

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/522 (2006.01)

H01L 21/768 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200610111820.3

[43] 公开日 2007年8月1日

[11] 公开号 CN 101009266A

[22] 申请日 2006.8.23

[21] 申请号 200610111820.3

[30] 优先权

[32] 2006.1.27 [33] US [31] 11/342,099

[71] 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹科学工业园区新竹市力行六路八号

[72] 发明人 郑心圃

[74] 专利代理机构 北京林达刘知识产权代理事务所  
代理人 刘新宇

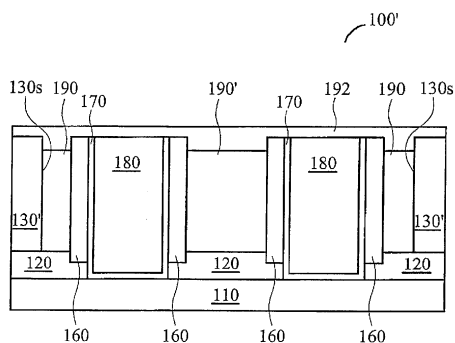
权利要求书 3 页 说明书 15 页 附图 20 页

## [54] 发明名称

半导体结构及其形成方法

## [57] 摘要

本发明提供一种半导体结构及其形成方法，该半导体结构的形成方法，包括：形成具有开口的第一介电层于基板上。改质开口所露出的第一介电层表面后，沿着改质部分形成保护介电层。接着将开口填满导电材料，并将改质部分移除以形成气隙。气隙位于保护介电层与保留的第一介电层之间。本发明所述的半导体结构及其形成方法提升了元件及封装的可靠度，在使用同样的 ILD 材料下降低了内连线之间的电容。所有的 ILD 薄膜维持原有的强度，使元件及封装维持一样的可靠度。



1. 一种半导体结构，其特征在于，该半导体结构包括：  
一半导体基板；

一第一介电层，位于该基板上；

一导电图案，位于该第一介电层中，且具有一侧壁；以及

一保护介电层，位于该导电图案的侧壁；

其中该第一介电层具有一气隙，该气隙位于该保护介电层与该第一介电层之间。

2. 根据权利要求1所述的半导体结构，其特征在于，更包括一盖层，位于该第一介电层上，以隔离该气隙与该盖层上的结构。

3. 根据权利要求1所述的半导体结构，其特征在于，该保护介电层包括一低介电常数的介电材料。

4. 根据权利要求1所述的半导体结构，其特征在于，该保护介电层的厚度小于30nm。

5. 根据权利要求1所述的半导体结构，其特征在于，

该结构为一双镶嵌结构；

该导电图案包括一导线及一导电插塞；以及

该保护介电层与该导线的侧壁及底部、以及该导电插塞的侧壁形成连续接触。

6. 根据权利要求5所述的半导体结构，其特征在于，该气隙沿着部分该保护介电层延伸。

7. 根据权利要求5所述的半导体结构，其特征在于，该气隙延伸至部分该导电插塞。

8. 一种半导体结构，其特征在于，该半导体结构包括：

一半导体基板；

一第一介电层及一第二介电层，位于该基板上；

一导电图案，分别位于该第一介电层及该第二介电层中并具有侧壁，且至少部分位于该第二介电层中的导电图案覆盖位于该

第一介电层中的导电图案；

一保护介电层，位于该导电图案的侧壁；

一气隙，位于该第一介电层、该第二介电层二者至少其一与该保护介电层之间；以及

一盖层，位于该第一介电层与第二介电层之间，且该盖层将部分该导电图案与该气隙隔离。

9. 根据权利要求8所述的半导体结构，其特征在于，该保护介电层的厚度小于30nm。

10. 一种半导体结构的形成方法，其特征在于，该半导体结构的形成方法包括下列步骤：

步骤一：提供一第一介电层于一基板上，该第一介电层具有一开口；

步骤二：于该开口中该第一介电层暴露的表面进行改质；

步骤三：沿着该第一介电层的改质部分，形成一保护介电层；

步骤四：以一导电材料填满该开口；

步骤五：移除该改质部分以形成一气隙，该气隙位于该第一介电层未改质的部分与该保护介电层之间。

11. 根据权利要求10所述的半导体结构的形成方法，其特征在于，移除该改质部分的步骤包括湿式或干式蚀刻步骤。

12. 根据权利要求10所述的半导体结构的形成方法，其特征在于，形成一保护介电层的步骤包括：

沉积一保护介电材料于该基板上与该开口中；以及

进行一蚀刻步骤移除该基板的上表面与该开口底部表面的该保护介电材料。

13. 根据权利要求10所述的半导体结构的形成方法，其特征在于，更包括形成一盖层于该基板上以封住该气隙。

14. 根据权利要求10所述的半导体结构的形成方法，其特征

在于，该步骤二至步骤五是用在一集成电路的每一层内连线。

## 半导体结构及其形成方法

### 技术领域

本发明是有关于半导体的制造方法，更特别有关于内连线的制作。

### 背景技术

当半导体制程迈入90nm以下的技术后，邻接的内连线之间的最小距离也随着缩小。为减少内连线之间的电容，层间介电层(inter level dielectric, 以下简称ILD)自氧化硅转为低介电常数(low-k)材料。35nm及42nm节点的电容问题更严重，一般解决此问题的方法是以较低介电常数材料作为ILD或金属间介电层(IMD)，例如氟硅玻璃(FSG)、掺杂碳的氧化硅如黑钻(black diamond)、及介电常数低于2.5的极低介电常数材料(extreme low-k, 以下简称ELK)。

但较低介电常数材料的机械强度往往不足，在应用上常有可靠度的问题，特别是封装问题。ELK薄膜的强度低于低介电常数材料的一半强度。当使用ELK及超低介电常数材料(ultra low-k, 以下简称ULK)时，晶粒与封装基板之间的热错位(thermal mismatch)将造成破损，甚至使ILD分层。ELK的成本较高，且ELK的制程相当复杂，包括封孔(pore sealing)及UV/电子束硬化等制程，这将增加成本及时间。ELK的热导性不佳(小于0.2 W/m-C)，散热困难将导致电子迁移及其他热相关可靠度的问题。

美国早期公开US 2005/0074961揭示了形成具有气隙(air gap)的半导体元件的方法。气隙具有隔离性及介电性。形成气隙的方法是以化学或机械方式将第一介电层部分改质，接着以蚀刻剂将改质部分移除。改质方法为非等向蚀刻，如含氧或含氟的等

离子、或外部(ex-situ)氧化步骤(即UV/臭氧处理,或含氧化剂的二氧化碳超临界流体)。气隙可在导线及阻障层完成后再制作,并邻接双镶嵌结构的插塞及/或沟槽。

## 发明内容

综上所述,本发明提出一种降低内连线间电容的改良方法。

为降低半导体结构的内连线间的电容,本发明提供一种半导体结构,包括半导体基板;第一介电层,位于基板上;导电图案,位于第一介电层中且具有侧壁;以及保护介电层,位于导电图案的侧壁;其中第一介电层具有气隙,气隙位于保护介电层与第一介电层之间。

本发明所述的半导体结构,更包括一盖层,位于该第一介电层上,以隔离该气隙与该盖层上的结构。

本发明所述的半导体结构,该保护介电层包括一低介电常数的介电材料。

本发明所述的半导体结构,该保护介电层的厚度约小于30nm。

本发明所述的半导体结构,该结构为一双镶嵌结构;该导电图案包括一导线及一导电插塞;以及该保护介电层与该导线的侧壁及底部、以及该导电插塞的侧壁形成连续接触。

本发明所述的半导体结构,该气隙沿着部分该保护介电层延伸。

本发明所述的半导体结构,该气隙延伸至部分该导电插塞。

本发明亦提供一种半导体结构,包括半导体基板;第一介电层及第二介电层,位于基板上;导电图案,分别位于第一介电层及第二介电层中并具有侧壁,且至少部分位于第二介电层中的导电图案覆盖位于第一介电层中的导电图案;保护介电层,位于导

电图案的侧壁；气隙，位于第一介电层、第二介电层二者至少其一与保护介电层之间；以及盖层，位于第一与第二介电层之间，且盖层将部分导电图案与气隙隔离。

本发明所述的半导体结构，该保护介电层的厚度约小于30nm。

本发明更提供一种半导体结构的形成方法，包括下列步骤：  
步骤一：提供第一介电层于基板上，第一介电层具有开口；步骤二：于开口中该第一介电层暴露的表面进行改质；步骤三：沿着第一介电层的改质部分，形成保护介电层；步骤四：以导电材料填满开口；步骤五：移除改质部分以形成气隙，气隙位于第一介电层未改质的部分与保护介电层之间。

本发明所述的半导体结构的形成方法，移除该改质部分的步骤包括湿式或干式蚀刻步骤。

本发明所述的半导体结构的形成方法，形成一保护介电层的步骤包括：沉积一保护介电材料于该基板上与该开口中；以及进行一蚀刻步骤移除该基板的上表面与该开口底部表面的该保护介电材料。

本发明所述的半导体结构的形成方法，更包括形成一盖层于该基板上以封住该气隙。

本发明所述的半导体结构的形成方法，其中该步骤二至步骤五是用在一积集成电路的每一层内连线。

本发明所述的半导体结构及其形成方法提升了元件及封装的可靠度，在使用同样的ILD材料下降低了内连线之间的电容。所有的ILD薄膜维持原有的强度，使元件及封装维持一样的可靠度。

## 附图说明

图1A至图1J是本发明较佳实施例的单镶嵌结构；

图2A至图2H是本发明较佳实施例的双镶嵌结构，位于图1A至图1J所示的单镶嵌结构上；

图3A至图3F是本发明较佳实施例中，图2A至图2H的结构的变化例；

图4显示本发明中，第一金属层与第一插塞对不准的示意图。

## 具体实施方式

本发明的较佳实施例将配合图示如下述。为了叙述方便，说明书中“较下/较上”、“水平/垂直”、“其上/其下”、“顶部/底部”等方向性的用语是以图示方向为准，并非用以限定特定的相对位置。若非特别说明，文中“耦合”、“连线”、“内连线”等用语指的是层间结构之间直接或非直接的关系。

图1I是本发明一实施例的内连线结构100的剖面图，是单镶嵌结构如集成电路的单一金属层(M1)。内连线结构100的半导体基板110可为基体半导体材料，其中形成有扩散区或多层导电层，其上可具有主动或被动元件。在主动或被动元件上，可更包括一个以上的内连线层(未图示)。虽然图1I的结构为单一金属层，但此结构亦可形成于单一金属层上的其他层。基板110可为玻璃、基体硅、III-V族(如砷化钾)半导体、绝缘层上硅(SOI)、绝缘层上锗(GOI)或其他合适的基板。

蚀刻停止层120位于基板110上，可为含碳介电层如碳化硅、氮化硅或其他合适的介电材料，其厚度约为600埃。

ILD 130是以化学气相沉积法(以下简称CVD)或旋转涂布法形成于蚀刻停止层120上，其厚度约介于100nm-700nm，例如介电常数低于4.0的低介电常数材料。在某些实施例中，ILD 130的介电常数低于3.0。ILD 130可为高介电常数材料、低介电常数材料、ELK或ULK。在一些实施例中，ILD 130为Applied Materials



of Santa Clara, CA所售的有机硅玻璃“BLACK DIAMOND”。在一些实施例中,ILD 130是碳氧化硅。ILD 130可为多孔薄膜、掺杂碳的介电材料、有机硅玻璃(organo silicate glass, OSG)、氟硅玻璃(fluorine-doped silicate glass, FSG)、有机低介电常数的氢化硅氧碳化物或掺杂碳的硅氧化物、或甲基倍半硅氧烷(methylquioxane, MSQ)。

蚀刻停止层120及ILD 130具有开口,开口侧壁标号130s。之后开口将填入导电材料以形成导线180。

导线180较佳为铜或铜合金,亦可为铝或铝合金、钨、金、银、其他导电金属或合金、半导体或导电高分子。

阻障层170沿着导线180的底部及侧壁形成,可为TaN或TaN/Ta,其他合适的材料还包括Ta、TiN、Ti、WN、WCN或上述的组合。阻障层170可为单层或多层结构。

保护介电层160是形成于导线180的周围,可为低介电常数材料或介电常数小于10的高介电常数材料。保护介电层160可保护并提供机械支撑力予导线180,可避免应力迁移与电子迁移以提高可靠度。保护介电层160亦阻止蚀刻剂造成的导线180底切,可减少导线180产生孔洞。由于保护介电层使导线180免于接触空气,可减少时依性介电击穿(time dependent dielectric breakdown, TDDB)的问题。

保护介电层160的材料可不同于ILD 130的材料。其他实施例中,保护介电层160的材料可与ILD 130的材料相同。在一些实施例中,保护介电层160可为碳化硅、掺杂或非掺杂的氧化硅、氮氧化硅、掺杂碳的氧化硅、氮化硅、FSG、磷硅玻璃(PSG)、CVD的高分子(如聚对二甲苯、聚亚酰胺或苯环丁烯)或上述的组合。在一些实施例中,保护介电层160的厚度小于约2000埃。在其他实施例中,保护介电层的厚度小于约300埃,较佳小于约100埃。

ILD 130具有至少一气隙190于保护介电层160及开口侧壁130s之间。每一导线180较佳具有对应的气隙190。气隙190的宽度可介于5nm-400nm。

覆盖ILD 130的盖层192可为碳化硅或其他保护介电层可用的材料。如图4所示，盖层192可封住气隙190并隔离气隙190与盖层192上的任何结构。

图2G是本发明实施例另一内连线结构200的剖面图，是双镶嵌结构如集成电路的第二金属层/第一插塞(M2/V1)层。内连线结构200可形成于单镶嵌层上，如单一金属层的内连线结构100。晶粒可具有多个双镶嵌层如M3/V2或M4/V3等等，因此内连线结构可形成于另一双镶嵌层(未图示)。

图2G中单镶嵌的内连线结构100与前述图1I的结构相同，除了形成M2/V1时，需形成开口于盖层192的部分。为简洁说明，将不重复内连线结构100的部分。内连线结构200具有位于盖层192上的ILD 210。ILD 210可为任何介电常数小于或等于约10的材料。ILD 210的材料较佳与ILD 130相同。盖层192与ILD 210具有开口，开口具有侧壁210s。开口填入导电材料后将形成导线250及导电插塞252。

导线250的材料较佳与导线180的材料相同。每一导线180的侧壁及底部及每一插塞252的侧壁均具有阻障层240。阻障层240的材料较佳与阻障层170的材料相同，但在另一实施例中，两者可使用不同的材料。

保护介电层230形成于导线250及插塞252周围，于导线250的侧边及底部与插塞底部形成连续接触。保护介电层230保护并提供机械支撑力予导线250及插塞252。在一些实施例中，保护介电层230的材料与保护介电层层160的材料相同。在其他实施例中，保护介电层230的材料不同于保护介电层160的材料。

ILD 210具有至少一气隙260于保护介电层230与开口侧壁210s之间。气隙260沿着导线250及插塞252周围的保护介电层230延伸。每一导线250较佳具有对应的气隙260于保护介电层230与开口侧壁210s之间。

如图2G所示，覆盖ILD 210的盖层270可封住气隙260并隔离气隙260与盖层270上的任何结构。

图2G明确的显示，ILD 130与ILD 210间的盖层192，可隔离ILD 210的插塞252与ILD 130的气隙190。以此类推，盖层270可隔离气隙260与更上层的插塞(未图示)。

图1A至图1I显示制造单镶嵌的内连线结构100，或多层结构内的第一金属层(M1)的流程图。

图1A显示于基板110上依序形成蚀刻停止层120、ILD 130、抗反射层140及光致抗蚀剂层150，形成方式可为旋转涂布法、CVD、等离子增强CVD(plasma enhanced CVD, PECVD)、物理气相沉积法(PVD)、溅镀、原子层沉积(atomic layer deposition, ALD)或其他类似的方法。

图1B显示以光刻制程图案化光致抗蚀剂层150，并以湿式或干式蚀刻制程形成开口152。

图1C显示以灰化制程(如氧等离子蚀刻)移除ILD 130上的光致抗蚀剂层150。灰化制程同时将开口152暴露的ILD 130表面改质，形成厚度约介于50埃-500埃的改质部分132。

ILD 130是SiCO:H组成的材料，改质部分132为缺碳的SiCO:H组成的材料。改质部分132的组成比例是取决于ILD 130本身材料、孔洞多寡及含碳比例。改质部分132的含碳量越低则越易被氢氟酸或其他酸移除。

在另一实施例中，ILD 130暴露表面的改质方式为化学或机械方式，改质部分则易于被蚀刻剂移除。介电材料的部分改质可由

下列方式完成：含氧等离子，或外部氧化制程如UV/臭氧处理，或添加氧化剂的二氧化碳超临界流体。除此之外，改质部分132亦可由惰性气体等离子或离子轰击(所谓的机械改质)完成。离子注入或具有化学反应性的等离子处理亦可完成上述的改质制程。

在其他实施例中，改质方法亦可为离子注入、等离子制程、浸润制程、热制程或分解制程。

图1D显示将保护介电层160形成于抗反射层140及开口152的侧边及底部，形成方式可为CVD如PECVD。

图1E显示一非等向蚀刻制程(即干蚀刻制程)，移除抗反射层140上及开口152底部的保护介电层160，并保留开口152侧边的保护介电层160。非等向蚀刻制程亦移除部分开口152底部的蚀刻停止层120。

图1F显示沿着开口152及抗反射层140的表面形成阻障层170(即TaN)，接着填入导电材料以形成导线180。阻障层170可避免导线180的导电材料迁移至基板110。阻障层的形成方法可为PVD、CVD或其他合适方法如电化学电镀或无电镀(electroless plating)。导线180的形成方法可为电化学电镀或CVD。

图1G显示一平坦化制程如化学机械研磨制程(CMP)，可移除所有位于ILD 130上表面上的抗反射层140、导线180、阻障层170及保护介电层160，并暴露出ILD 130、导线180、改质部分132、保护介电层160及阻障层170等结构的上表面。

图1H显示选择性制程移除改质部分132的结果。基板110可浸入含氢氟酸的蚀刻溶液，或蒸气态的蚀刻剂如氢氟酸或其他酸的蒸气。蚀刻后残留的空间即为气隙190，位于阻障层170及导线180的周围。其他实施例中，改质部分132的移除方法可为氢氟酸蒸气、稀释的氢氟酸或含氟蚀刻等离子。

图1I显示将盖层192沉积于ILD 130上，同时封住气隙190。

部分的盖层材料如碳化硅会进入气隙190，这是高深宽比气隙190会产生的自然现象。

图1J的内连线结构100'为图1I的结构的变化例，其具有类似的多层结构，相同元件亦使用相同标号。差别在图1J的灰化制程或湿蚀刻制程拉长，以致过分蚀刻ILD 130'，因此导线180之间的ILD 130'被完全移除并形成单一的加大气隙190'。一些较佳实施例中，加大气隙可减少导线180间的电容并隔离导线180。本领域技术人员自可计算封装结构中，晶粒上的基板110、ILD 130及封装基板(未图示)的机械性质是否适用于图1J的结构。

不论是单镶嵌或双镶嵌结构，在形成作为导线的沟槽时，保护介电层160具有一定的厚度，而ILD 130开口宽度至少为关键尺寸加上保护介电层160厚度的两倍(两倍的原因在于沟槽的两边都各自具有一保护介电层)。举例来说，若关键尺寸为600埃，保护介电层的厚度为100埃，则蚀刻制程后的沟槽的开口宽度至少需大于800埃。

图2A至图2G显示制造双镶嵌的内连线结构于图1I的内连线结构100上的流程图。

图2A显示于图1I的盖层192上依序形成ILD 210、抗反射层220、光致抗蚀剂层(未显示)；接着以光刻制程图案化光致抗蚀剂层后，以光致抗蚀剂层为遮罩进行蚀刻，形成插塞V1的开口，接着灰化光致抗蚀剂层。蚀刻及灰化制程将使ILD 210暴露于开口的表面形成改质部分212。ILD 210的材料可与ILD 130的材料相同如前述。插塞V1的开口较佳对准导线180的中心，但本发明可容许些微误差，只要开口位于部分的导线180上即可。

图2B显示后续的蚀刻步骤，以形成M2沟槽的图案。以光刻制程将抗反射层220上的光致抗蚀剂层(未图示)图案化后蚀刻出M2沟槽，接着灰化光致抗蚀剂层。上述的蚀刻及灰化制程将改质ILD

210暴露的表面，形成改质部分212于沟槽的侧壁与底部以及插塞的侧壁。

图2C显示以CVD沉积保护介电层230的步骤，其实质上顺应性地形成保护介电层230于图2B的结构表面。沉积方式较佳为PECVD。为了降低电容，保护介电层230的厚度较佳小于约30nm，更佳小于约15nm。保护介电层230可为任何一种介电材料如氧化硅、四乙基氧硅烷氧化物(TEOS oxide)、碳化硅、氮化硅、氮氧化硅、磷硅玻璃(PSG)或CVD沉积的高分子。为了更降低电容，保护介电层230可为低介电常数材料，如掺杂碳的氧化硅或氟硅玻璃(FSG)。保护介电层230的介电常数较佳小于约5.0。

图2D显示以非等向蚀刻制程(即非等向干蚀刻)移除插塞底部及抗反射层220上的保护介电层230。较佳实施例中，此制程保留沟槽底部的保护介电层230。其他实施例中，此制程亦移除沟槽底部的保护介电层230。此制程同时移除V1插塞底部的盖层192以暴露出导线180的上表面。

图2E显示沉积阻障层240如Ta<sub>2</sub>N衬垫开口后，以导电材料如铜填满开口形成导线250。

图2F显示一平坦化制程如CMP以移除超过ILD 210上表面的导线250、抗反射层220、阻障层240及保护介电层230。

图2G显示以湿蚀刻制程移除改质部分212后形成气隙260，并沉积盖层270如碳化硅以封住气隙260。经上述步骤后即形成本发明另一内连线结构200。

图2A至图2G是自我对准制程。不需额外的光罩或图案化制程，沉积保护介电层230及移除改质部分212的湿蚀刻制程可整合至现有的镶嵌制程，并使整合问题降到最低。越多的光罩将会造成越多的对准问题，上述不需额外光罩的制程使保护介电层230及气隙260可轻易对准沟槽及插塞。

虽然图2A至图2G只显示第二金属层/第一插塞(M2/V1)的双镶嵌结构,但可以理解的是这些结构可应用于其他的多层内连线。

上述例子中,湿蚀刻制程可完全移除改质部分。在一些实施例中,湿蚀刻制程无法深入到移除所有的改质部分。气隙深度将小于插塞的深度,与残留的改质部分共存。图2H大致与图2G相同,差别在于气隙260的深度小于插塞V1,残留的改质部分261则保留于插塞V1的底部。若湿蚀刻制程不够深,残留的改质部分261其上表面将高到沟槽的底部。本领域技术人员自可依本身需要调整电容或可靠度,如控制蚀刻时间以决定气隙260的深度。

图3A至图3F显示本发明另一种内连线结构300,特征在于沟槽与插塞的ILD之间多添加一层蚀刻停止层。

图3A显示于图1I的盖层192上依序沉积下列结构:ILD 310、蚀刻停止层318如碳化硅、ILD 314、抗反射层320、光致抗蚀剂层(未图示)。接着以光刻制程图案化光致抗蚀剂层后以蚀刻制程形成V1插塞的开口,接着灰化光致抗蚀剂层。上述的灰化制程将改质ILD 310、314暴露于开口的部分,形成改质部分312、316。ILD 310、314可与ILD 130的材料相同,材料如前述在此不重复。

图3B显示M2沟槽的蚀刻步骤。首先形成一光致抗蚀剂层(未图示)于抗反射层320上,经光刻制程图案化后进行蚀刻以形成M2沟槽,最后灰化光致抗蚀剂层。此灰化制程亦会改质ILD 310、314,形成改质部分312、316。

图3C显示以CVD顺应性地沉积保护介电层330于M2沟槽的侧壁及底部,以及V1插塞的侧壁及底部。接着以非等向移除制程如非等向干蚀刻将抗反射层320上及插塞底部的保护介电层330移除。较佳实施例中,沟槽底部的保护介电层被保留。其他实施例中,沟槽底部的保护介电层330则被移除。此制程亦移除插塞底部的盖层192以露出部分导线180的上表面。

图3D显示沉积阻挡层340如TaN衬垫开口后，以导电材料如铜填满开口形成导线350。

图3E显示一平坦化制程如CMP以移除超过ILD 314上表面的导线350、抗反射层320、阻挡层340及保护介电层330。

图3F显示以湿蚀刻制程移除改质部分316后形成气隙360，并沉积盖层370如碳化硅以封住气隙360。经上述步骤后即形成本发明另一内连线结构300。移除改质部分316的方法包括干式或湿式蚀刻。湿式蚀刻可为氢氟酸溶液或氢氟酸蒸气。为了气隙不具有残余物，移除较小尺寸的改质部分的方法较佳为蒸气式的蚀刻剂或等离子蚀刻。

值得注意的是图3A至图3F的结构中，气隙只形成于导线M1、M2的侧壁，而不形成于插塞V1的侧壁。然而保护介电层330则形成于沟槽与插塞的侧壁。

虽然图3A至图3F只显示M2/V1的双镶嵌层，但本领域技术人员可以理解此方法与结构可应用于更复杂的多层内连线。

图4显示盖层192的隔离功能，ILD 510并未完全对准M1导线180。因此，插塞512为未着陆插塞(unlanded via)。此结构的插塞512的导电材料并不会迁移或渗入气隙190，因为盖层192封住气隙190，且保护介电层160提高制程容许度。由于上述原因，在插塞512未对准的情况下，将覆盖部分的保护介电层160而不会接触到气隙190。

图4显示本发明如何避免未对准形成的未着陆插塞512可能导致的问题。图4的ILD 510是沉积后以未对准的光罩(未图示)图案化。因此插塞512未对准M1导线180的中心，且超出了阻挡层170的边缘。盖层192可避免阻挡层没挡住的导电材料如铜迁移或渗入气隙。保护介电层160更提高制程容许度。因此即使插塞512只部分覆盖了导线180，仍不会有导电材料迁移或渗入其他结构的问题。



题。

本发明的方法及结构提升了元件及封装的可靠度，在使用同样的ILD材料下降低了内连线之间的电容。所有的ILD薄膜维持原有的强度，使元件及封装维持一样的可靠度。

利用本发明的方法及结构，在不需提高成本的情况下可降低内连线电容。在现有的低介电常数及铜制程下，不需太多的改变即可应用本发明的技术。

将ILD以灰化或蚀刻制程改质后再移除的作法可避免损伤介电材料，进而避免提高介电材料的介电常数。气隙的形成自我对准步骤，且可进一步降低内连线的电容。

本发明的方法及结构并未提到散热(thermal dissipation)方面的技术。由于本发明在不改变ILD材料的情况下即可降低内连线电容，因此散热的方法及结构影响本发明的部分很少。

虽然上述实施例举了许多材料及方法作例子，但本领域技术人员可视情况决定是否使用其他未来开发的材料及方法。举例来说，美国早期公开US 2005/0074961所使用的材料及方法即可用来替换本发明的某些材料或制程。

以上所述仅为本发明较佳实施例，然其并非用以限定本发明的范围，任何熟悉本项技术的人员，在不脱离本发明的精神和范围内，可在此基础上做进一步的改进和变化，因此本发明的保护范围当以本申请的权利要求书所界定的范围为准。

附图中符号的简单说明如下：

100: 内连线结构

110: 基板

120: 蚀刻停止层

130、130': ILD

130s: 开口侧壁

- 132: 改质部分
- 140: 抗反射层
- 150: 光致抗蚀剂层
- 152: 开口
- 160: 保护介电层
- 170: 阻障层
- 180: 导线
- 190、190': 气隙
- 192: 盖层
- 200: 内连线结构
- V1: 插塞
- 210: ILD
- 210s: 开口侧壁
- 212: 改质部分
- 220: 抗反射层
- 230: 保护介电层
- 250: 导线
- 252: 插塞
- 260: 气隙
- 261: 残留的改质部分
- 270: 盖层
- 300: 内连线结构
- 310、314: ILD
- 312、316: 改质部分
- 318: 蚀刻停止层
- 320: 抗反射层
- 330: 保护介电层

340: 阻障层

350: 导线

360: 气隙

370: 盖层

510: ILD

512: 插塞

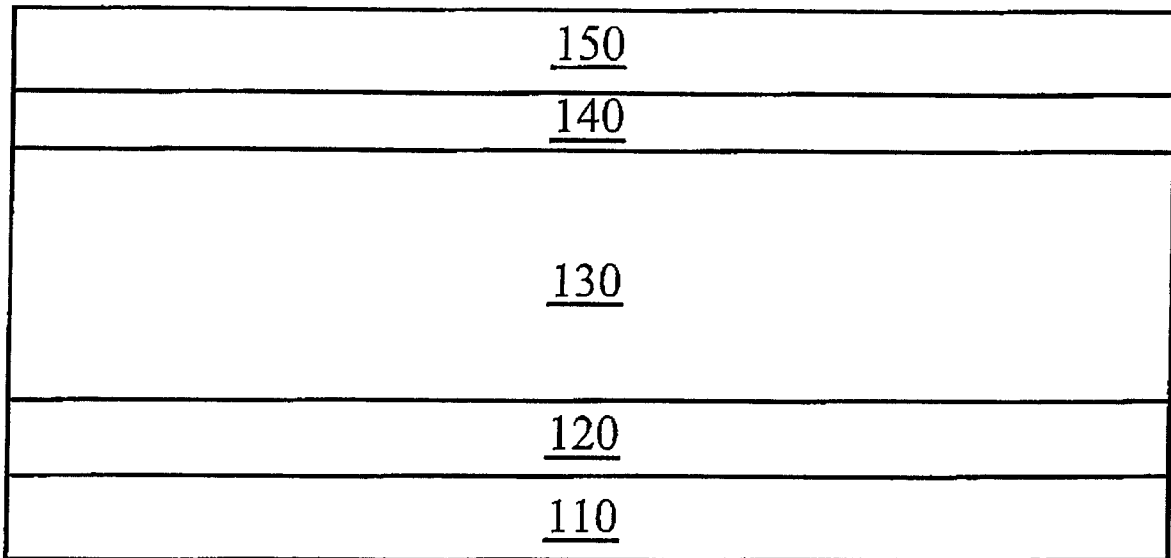


图 1A

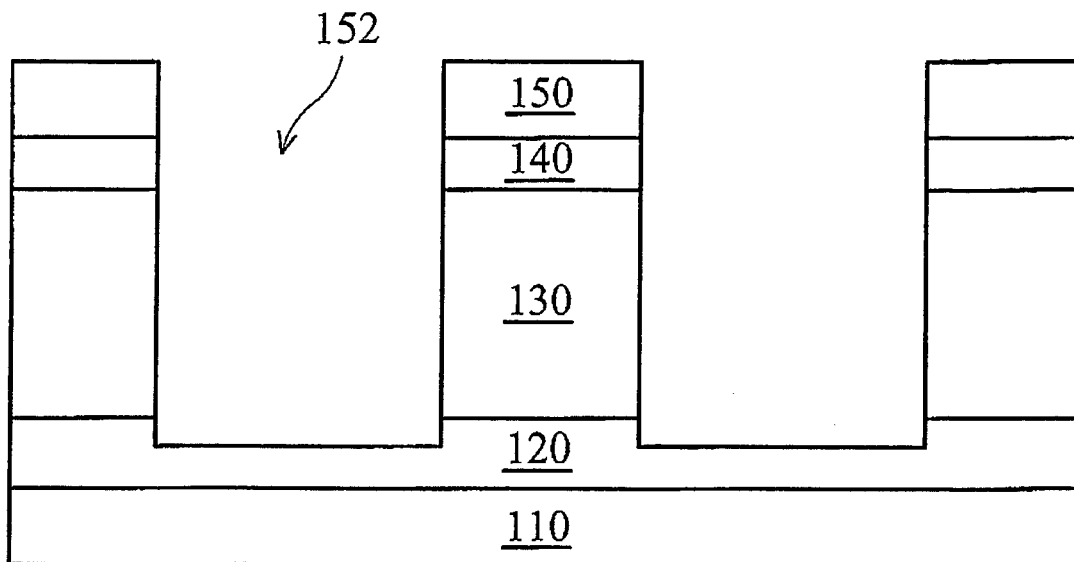


图 1B

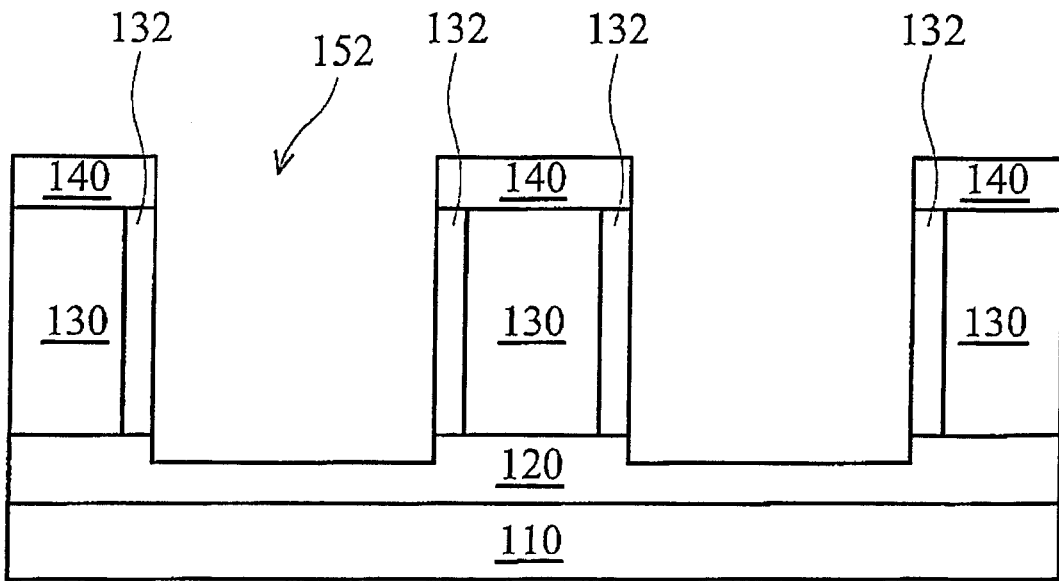


图 1C

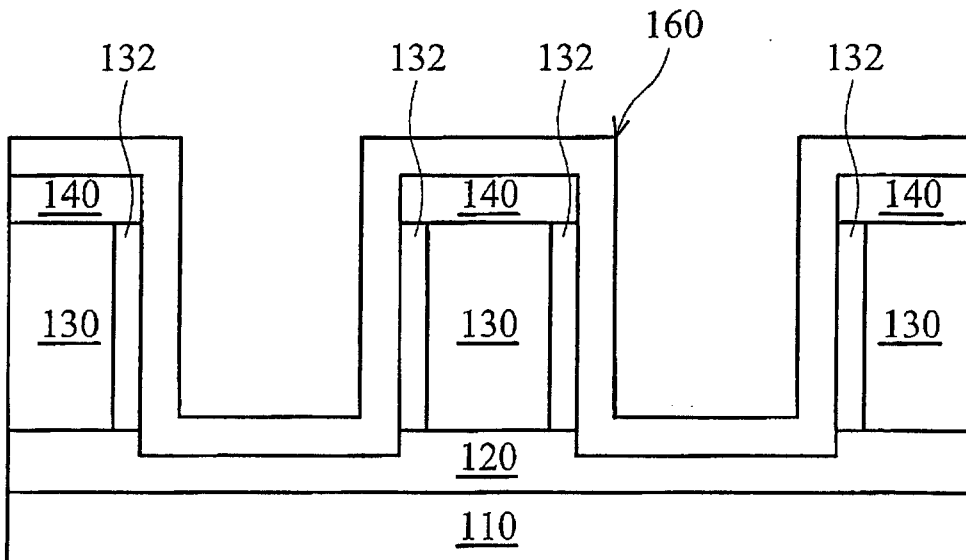


图 1D

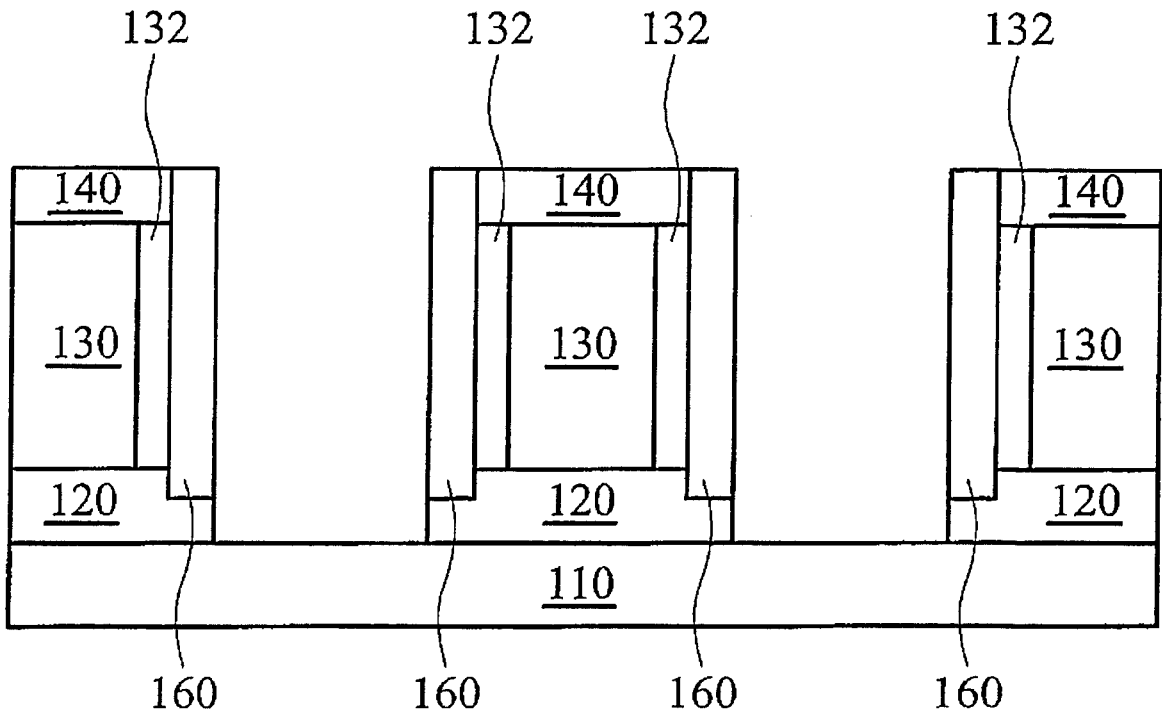


图 1E

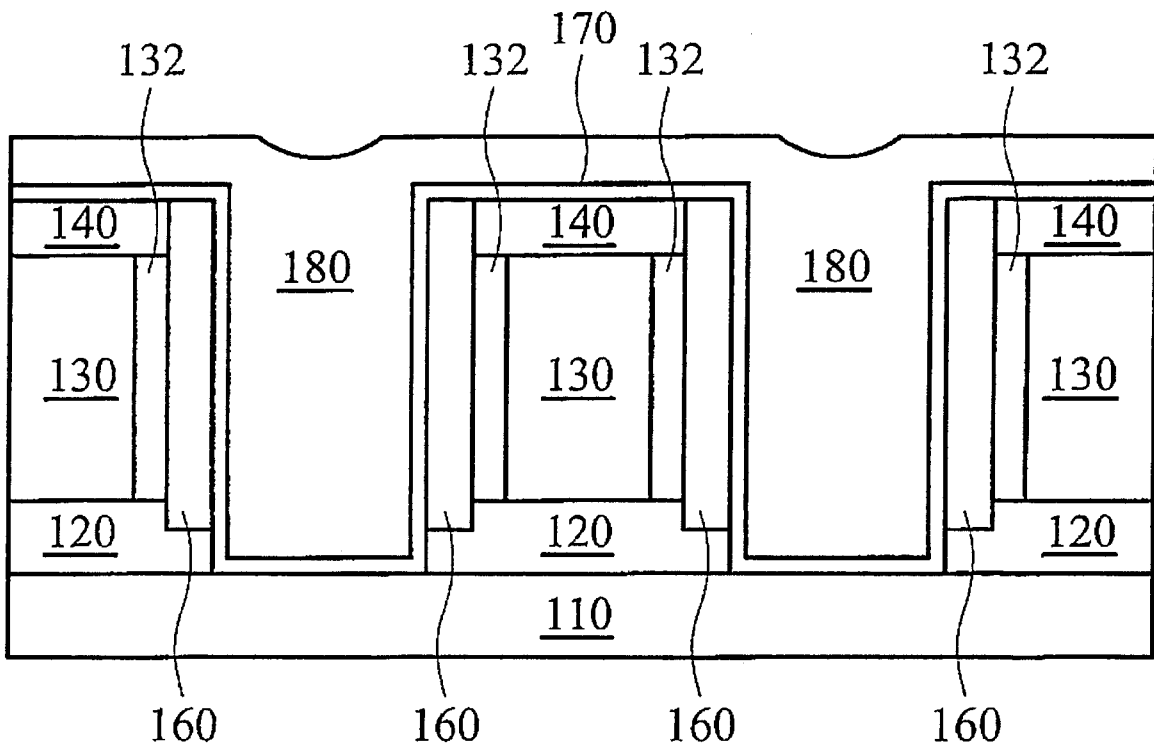


图 1F

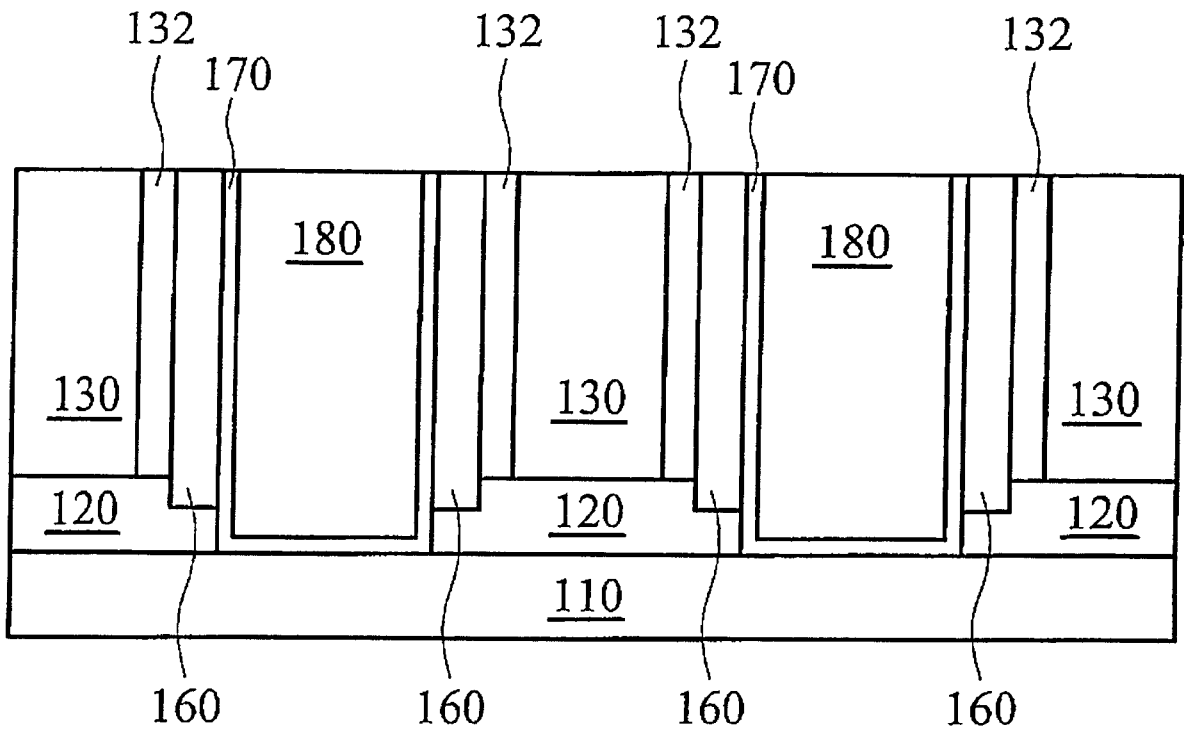


图 1G

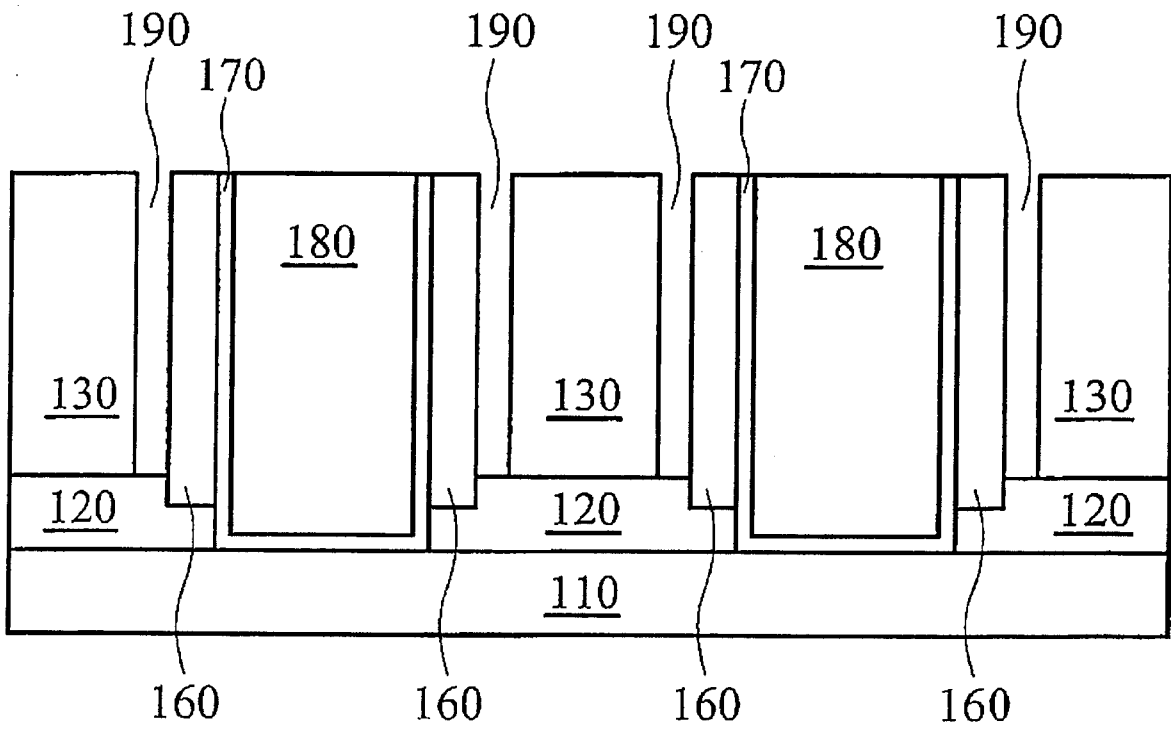


图 1H

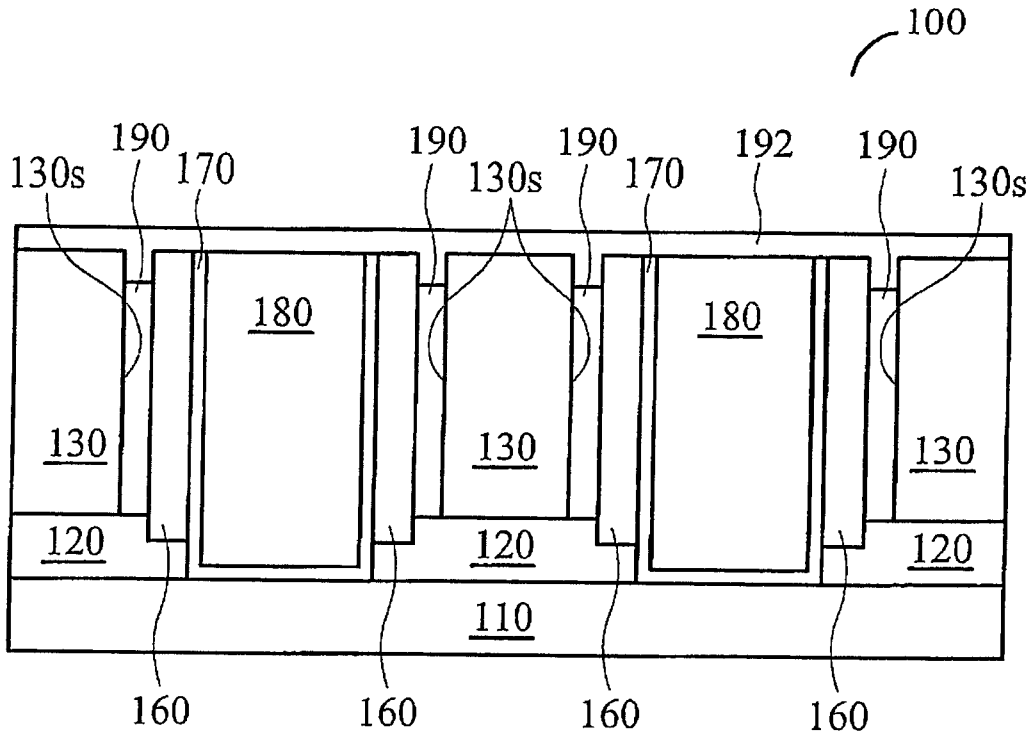


图 1I

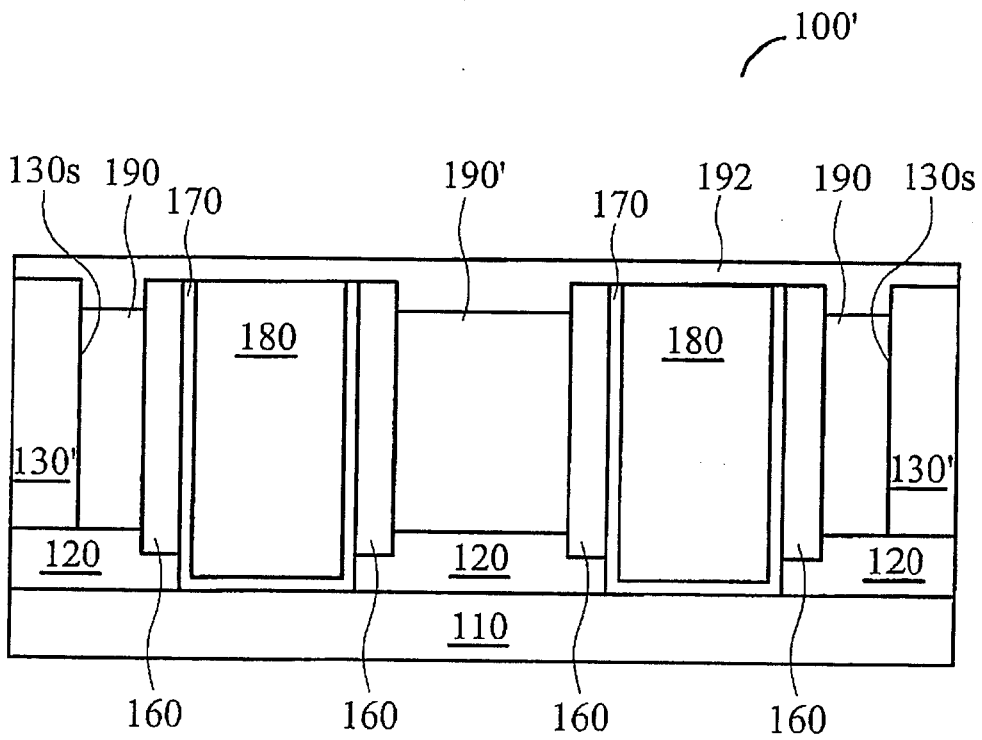


图 1J



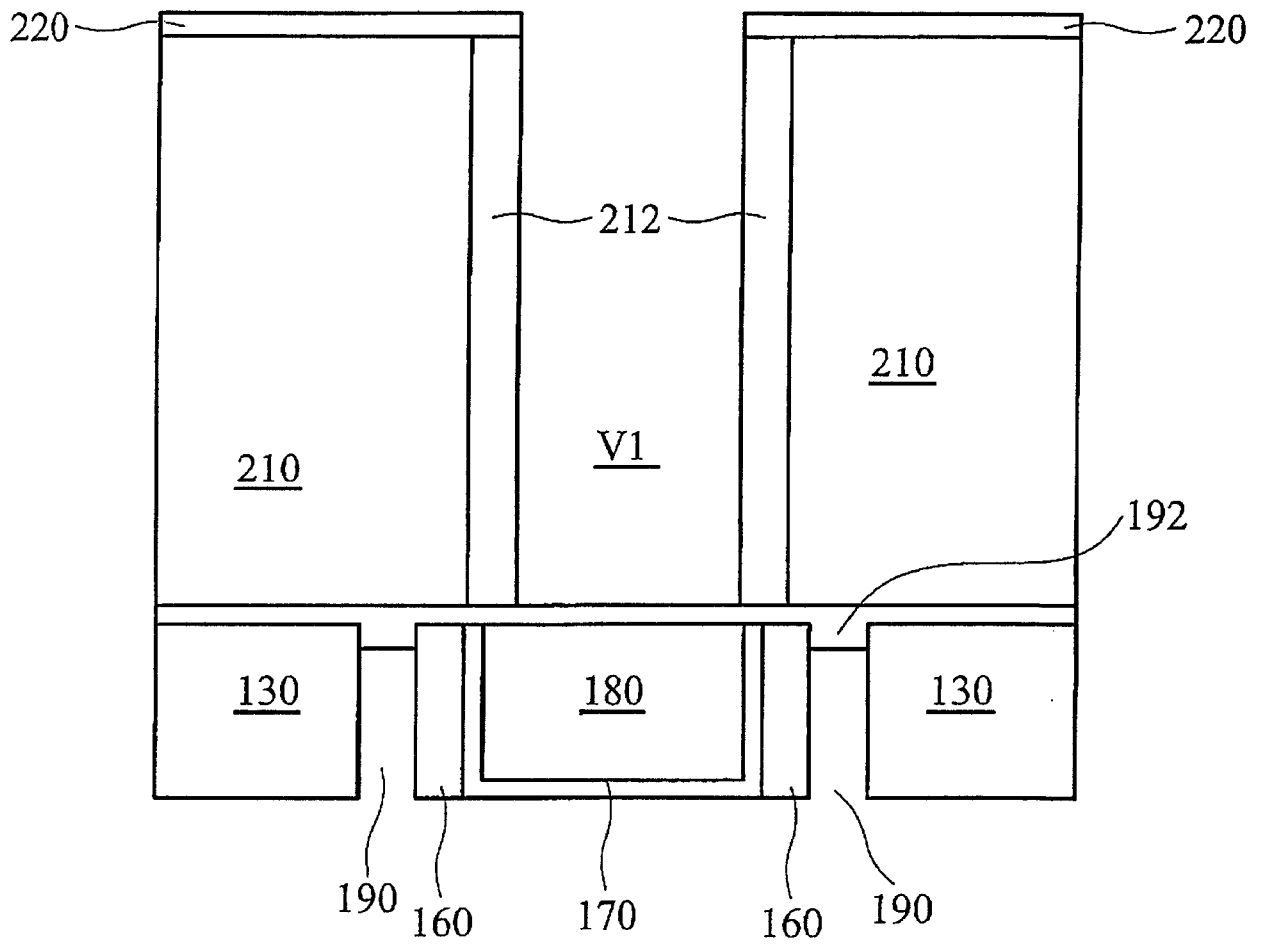


图 2A

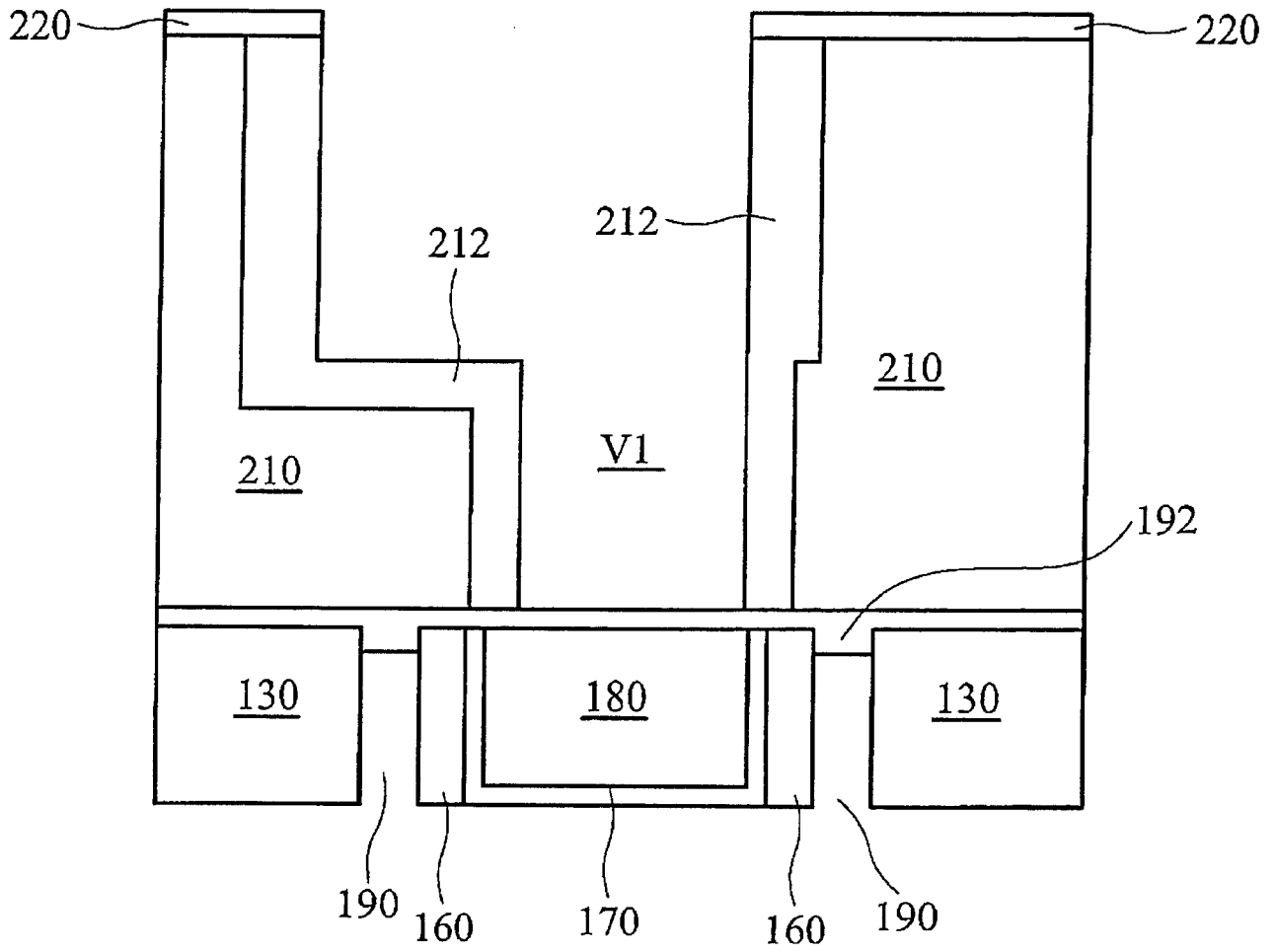


图 2B

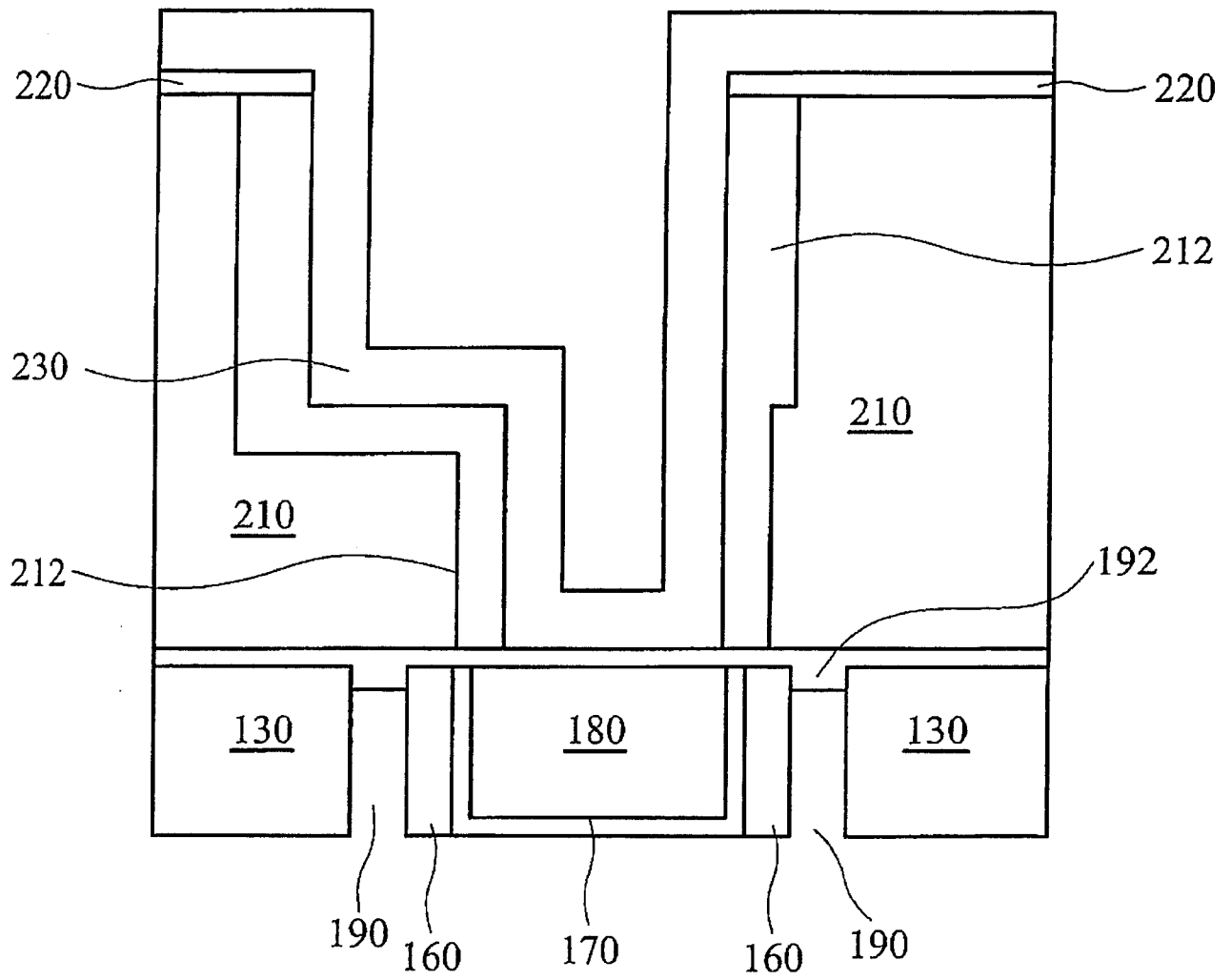


图 2C

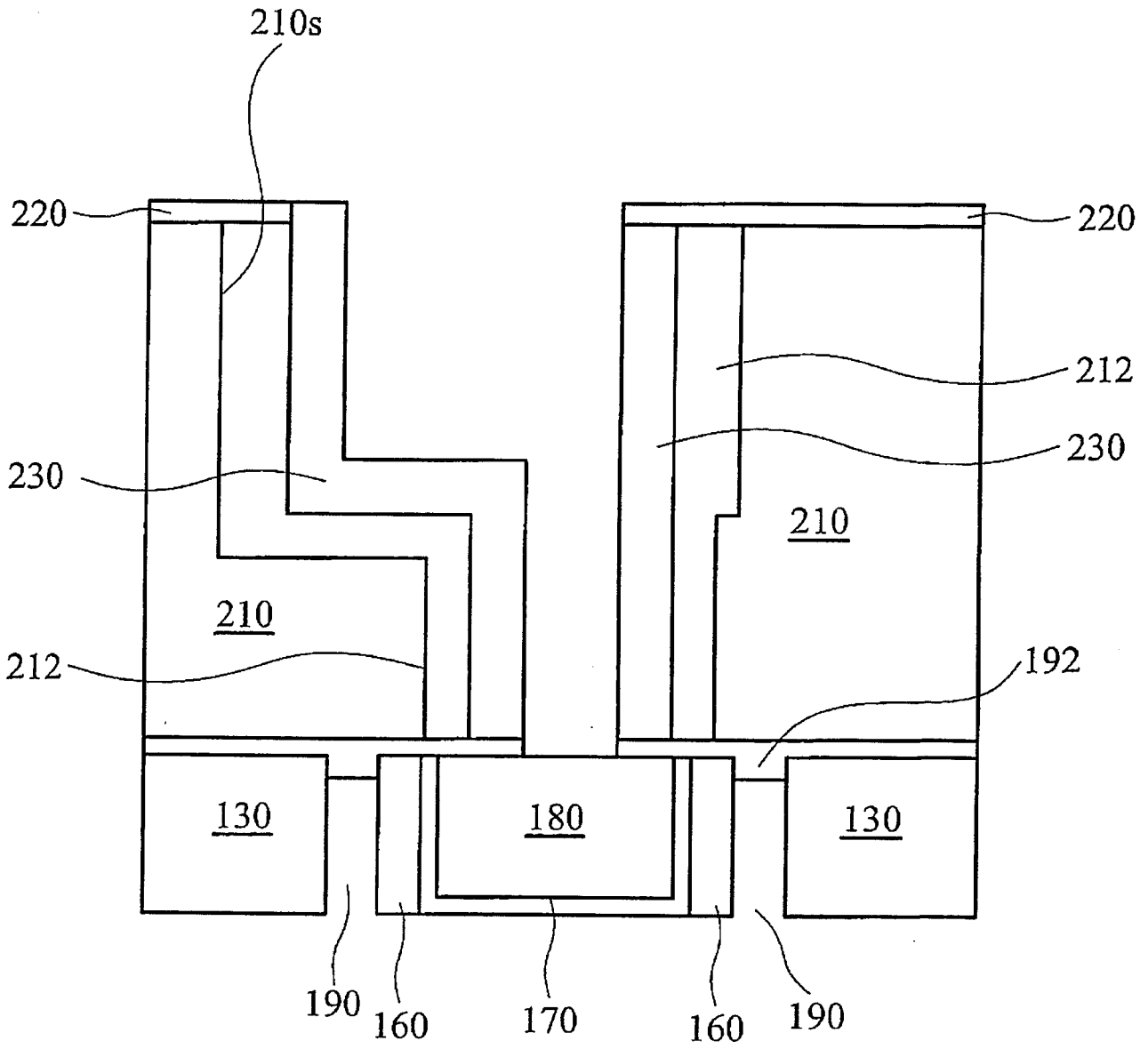


图 2D

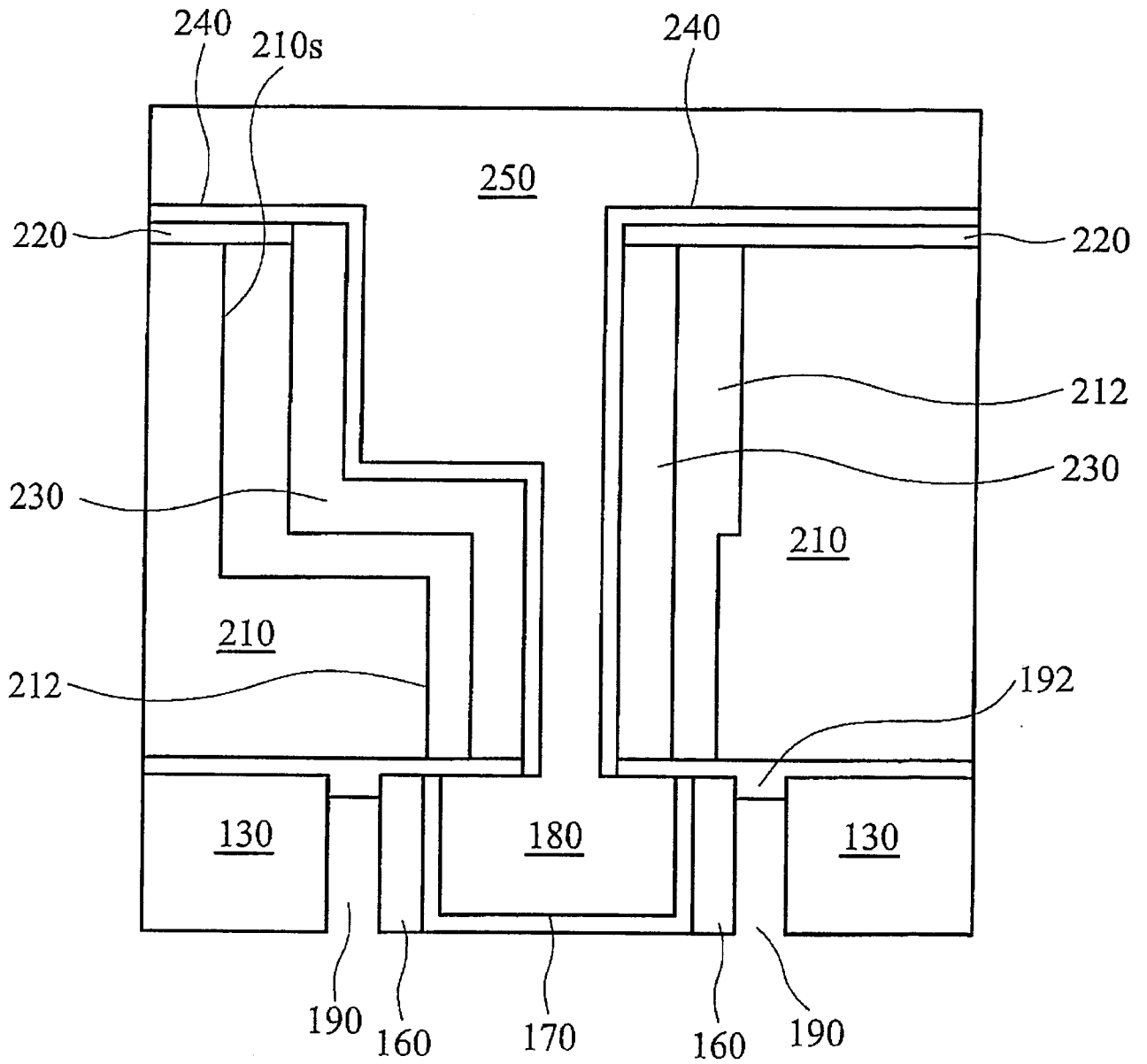


图 2E

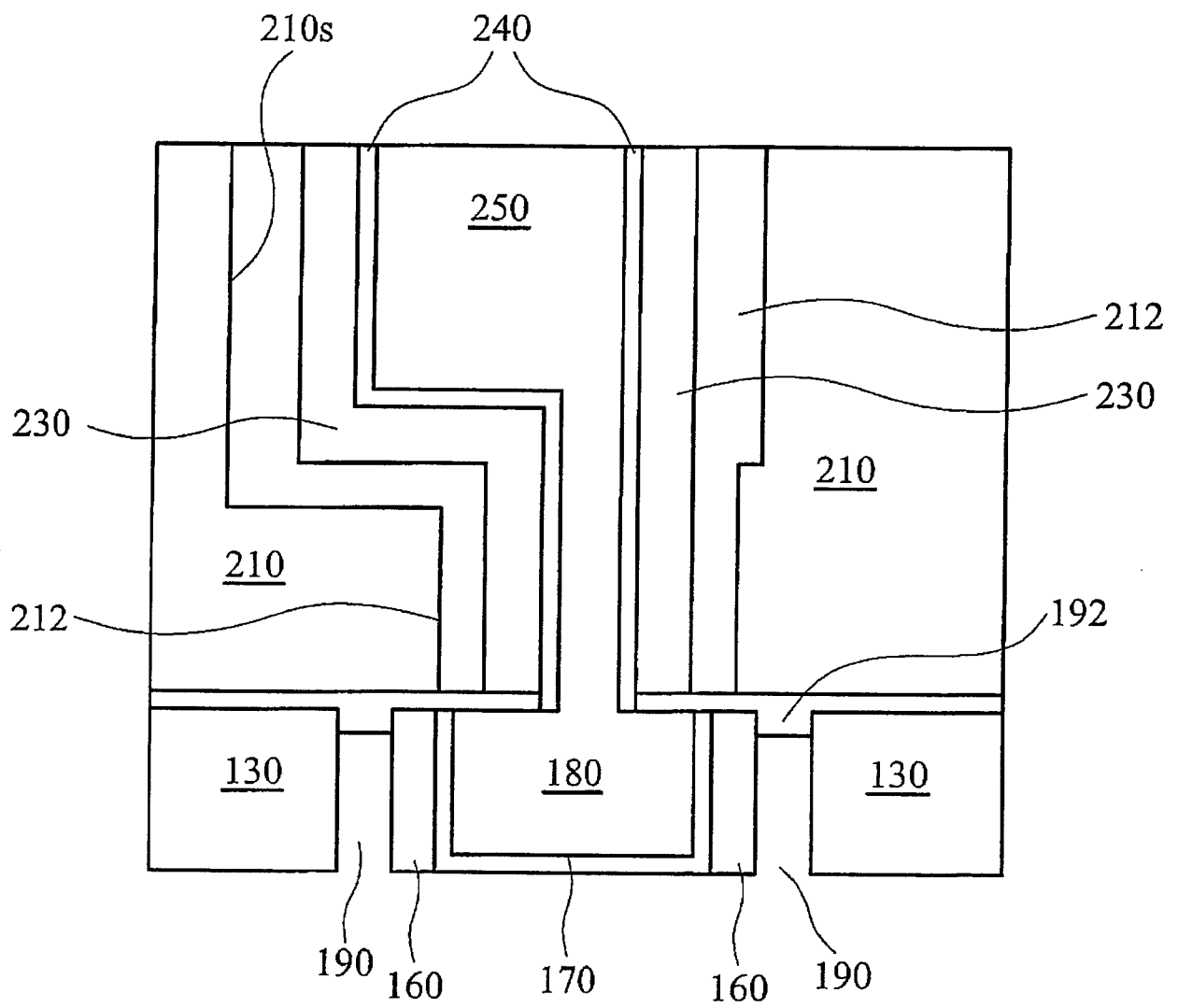


图 2F

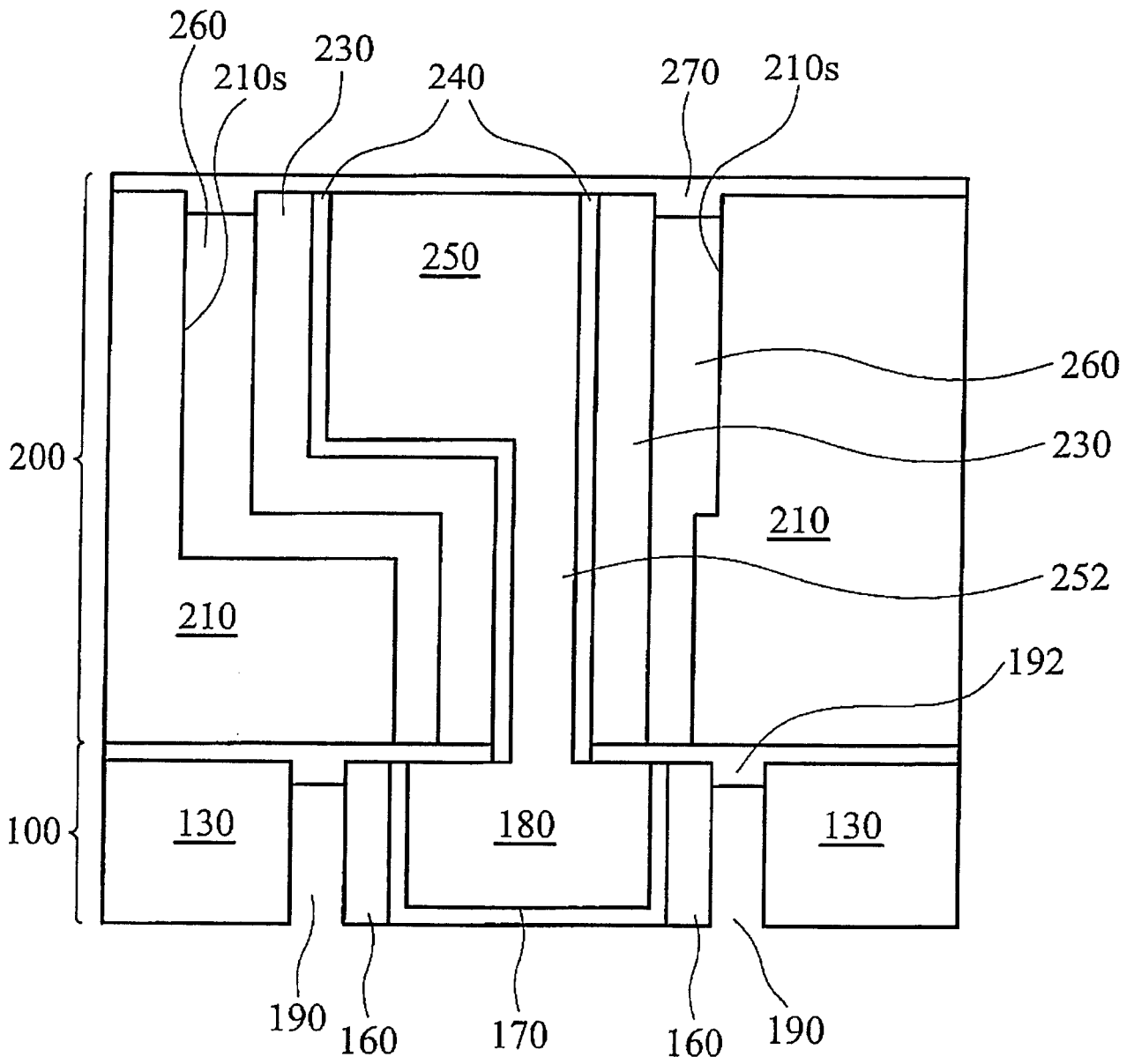


图 2G

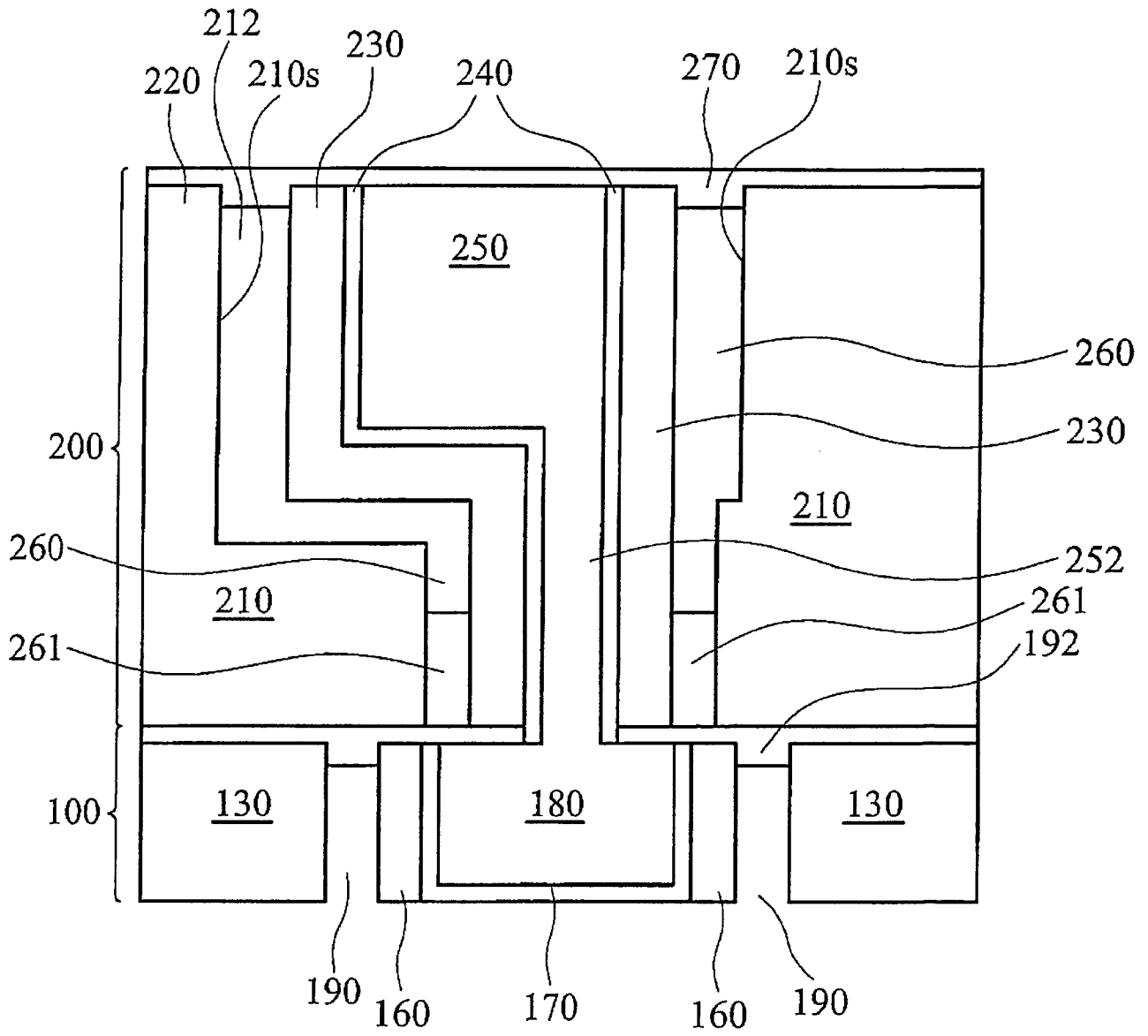


图 2H



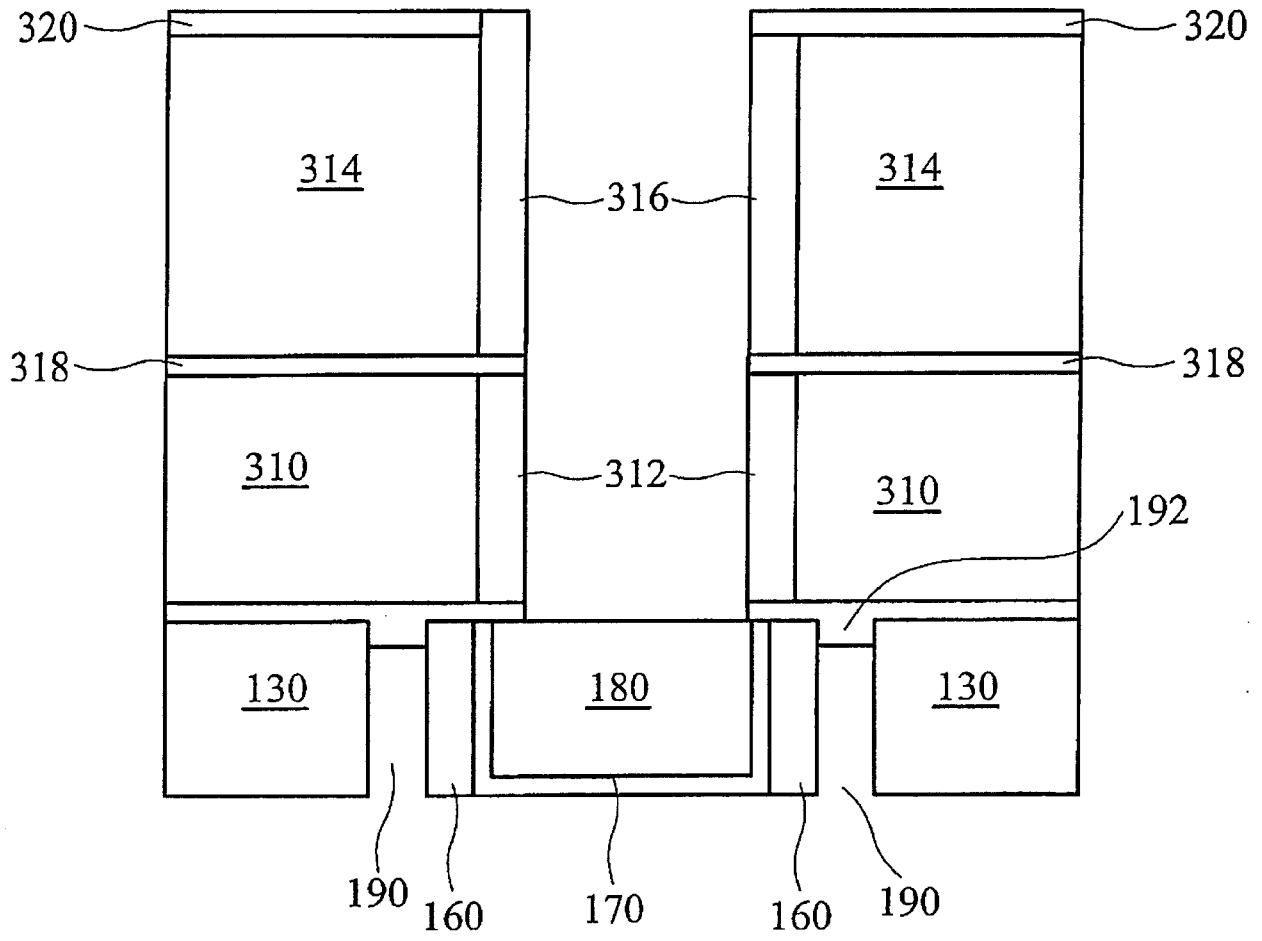


图 3A

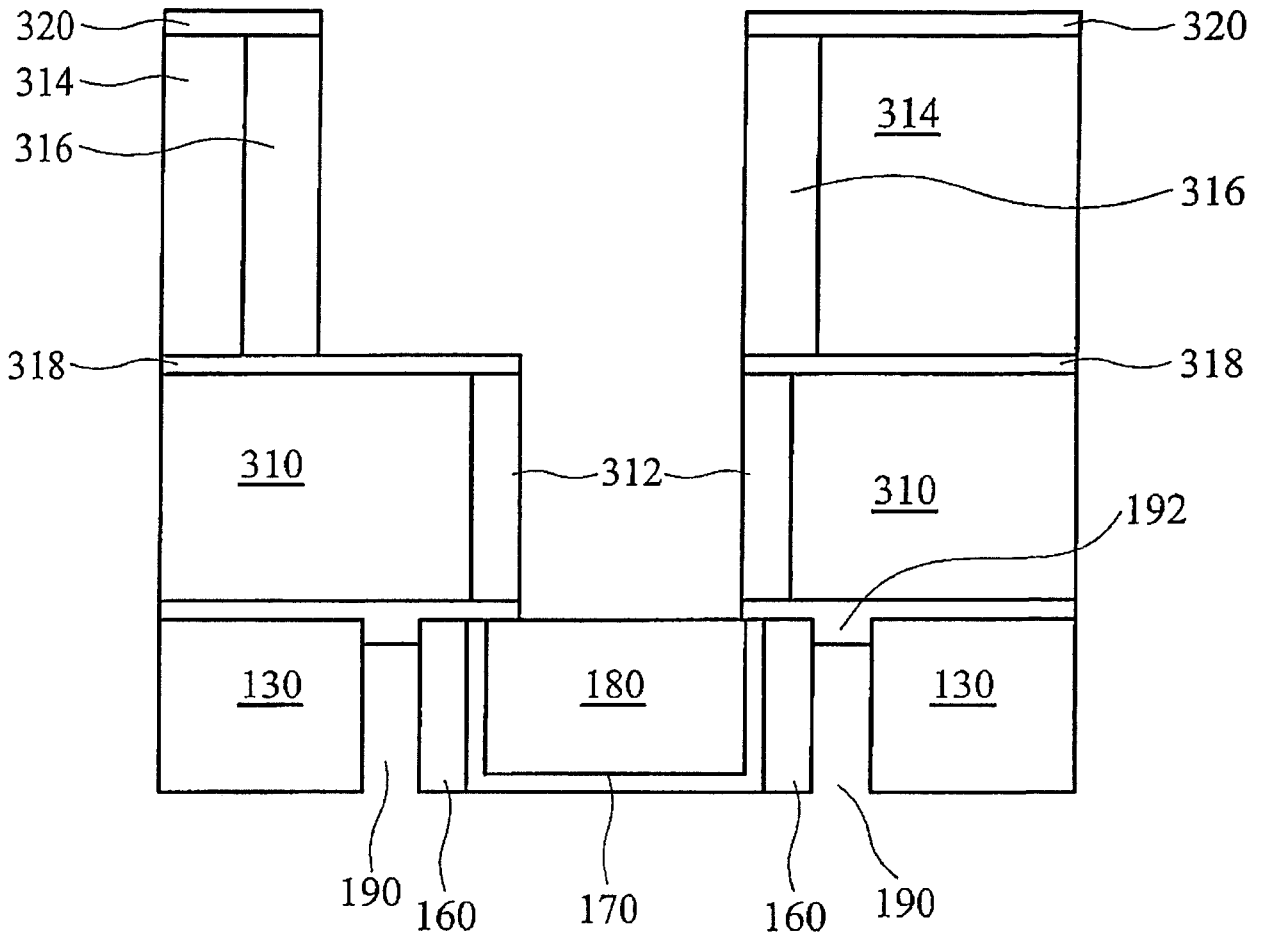


图 3B

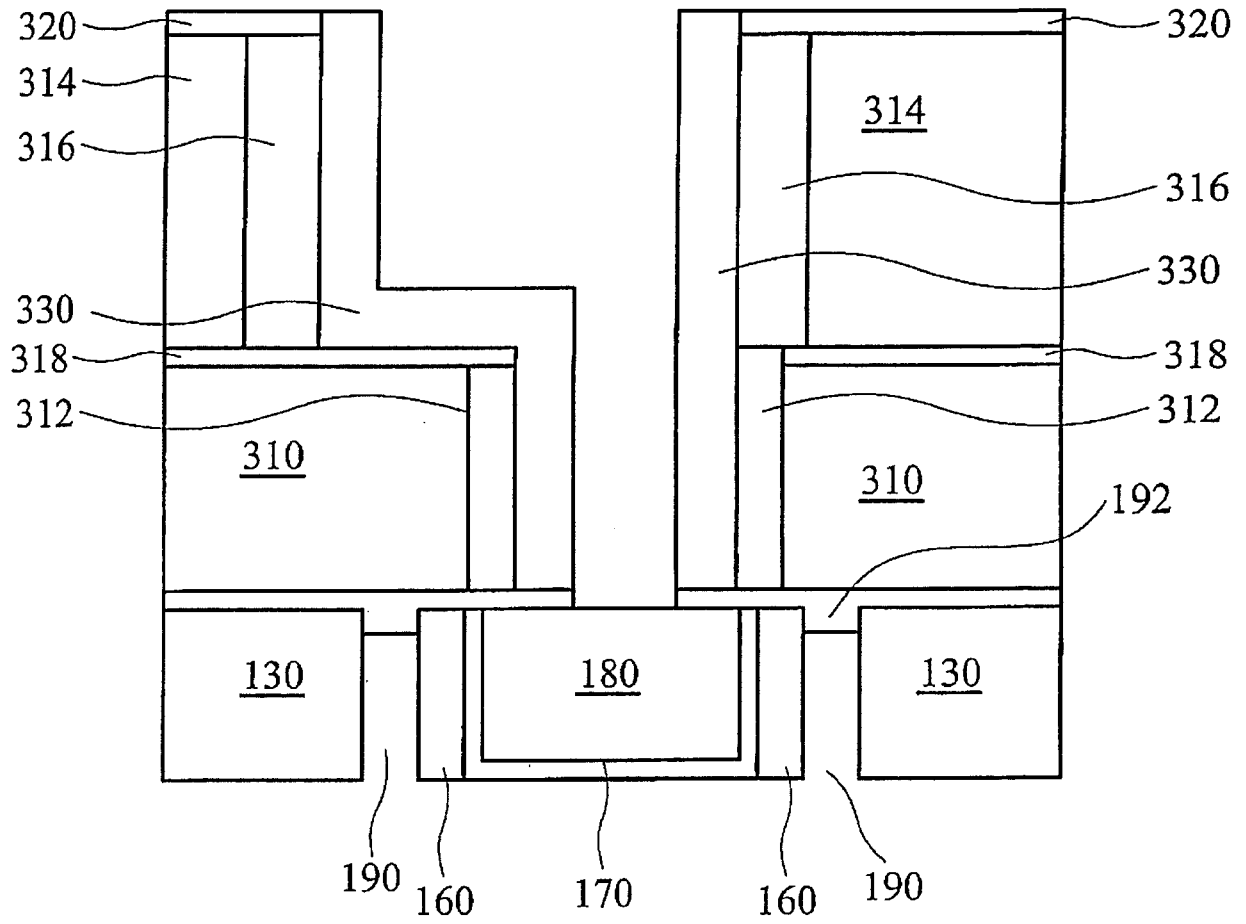


图 3C

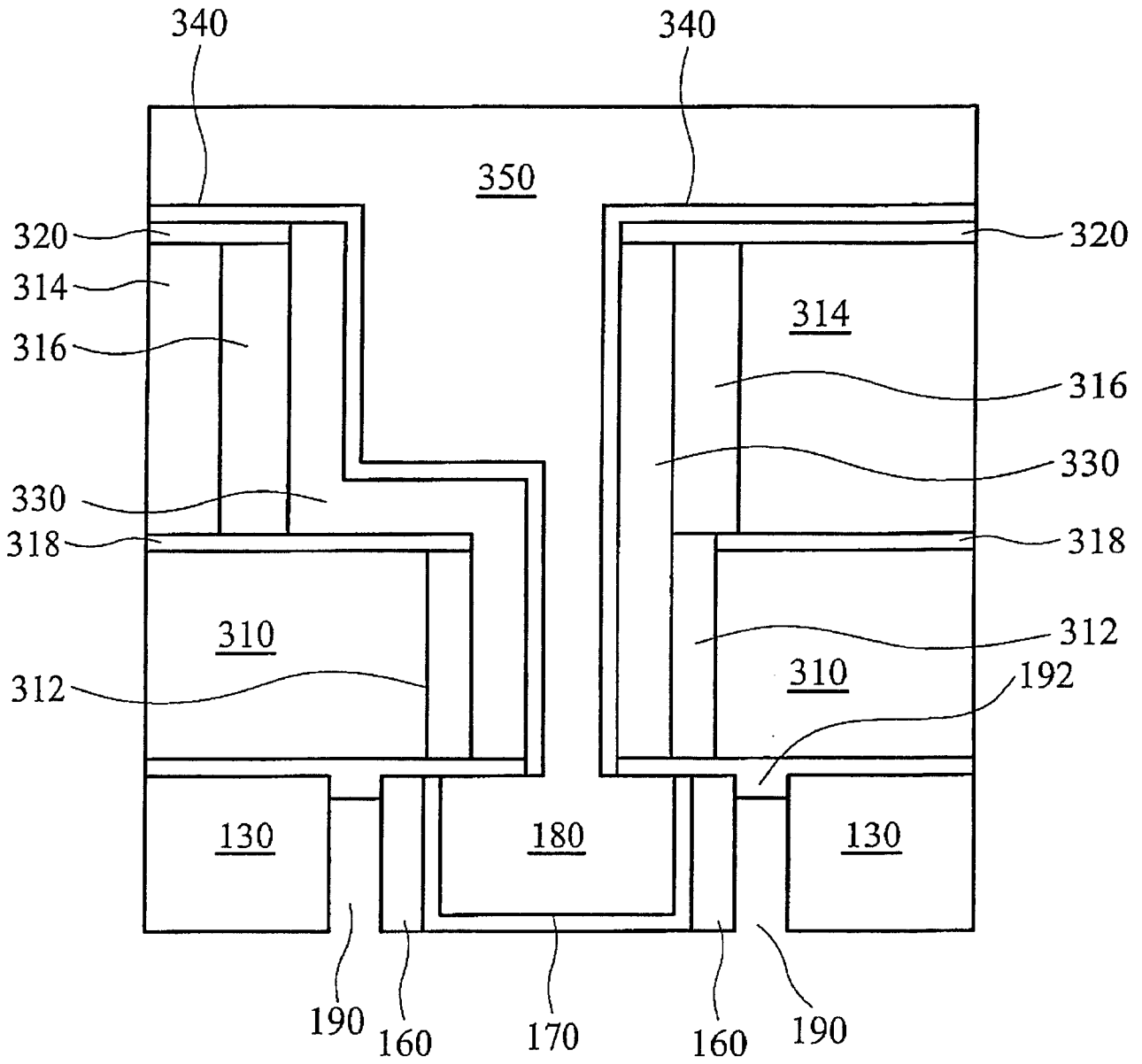


图 3D

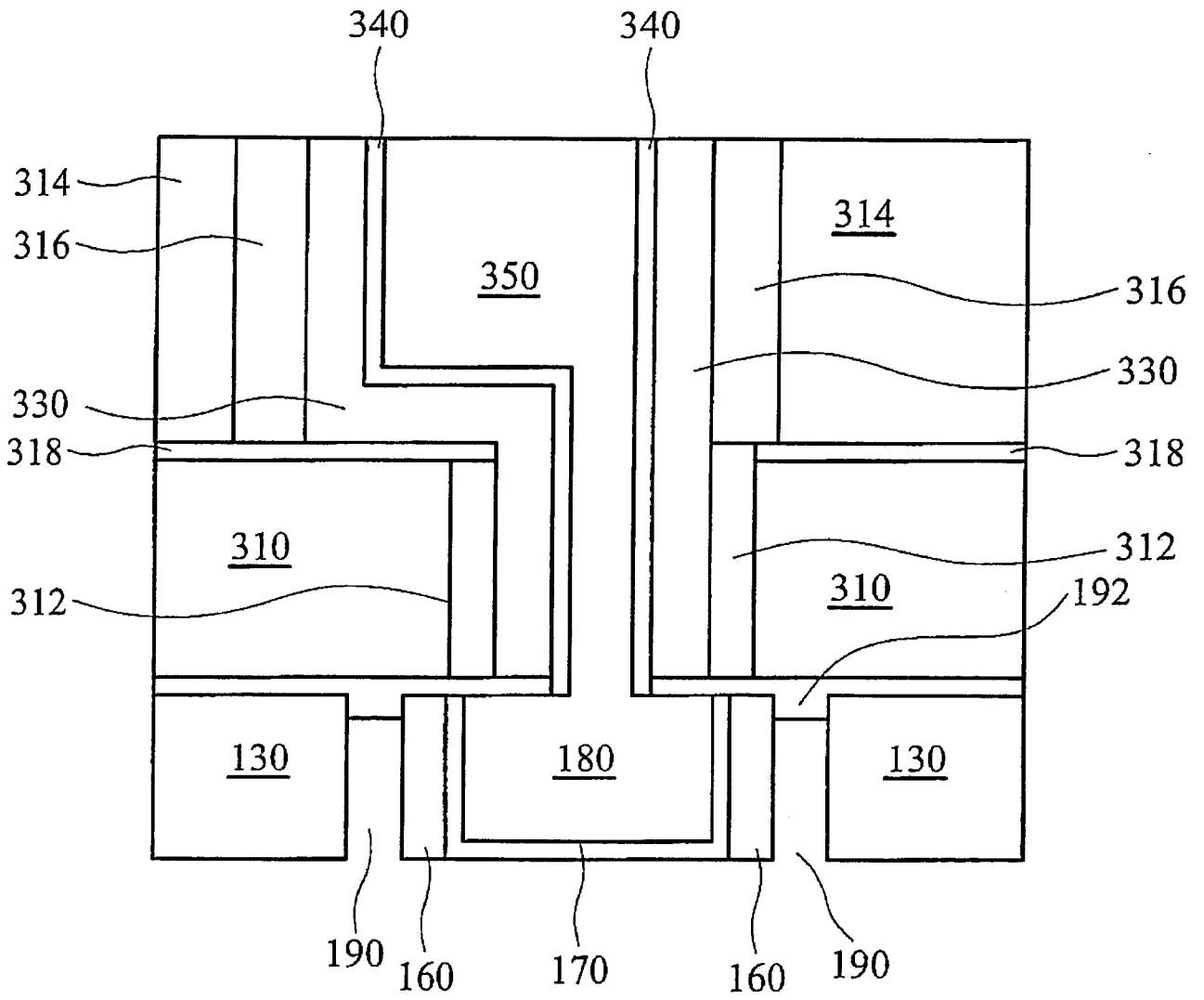


图 3E

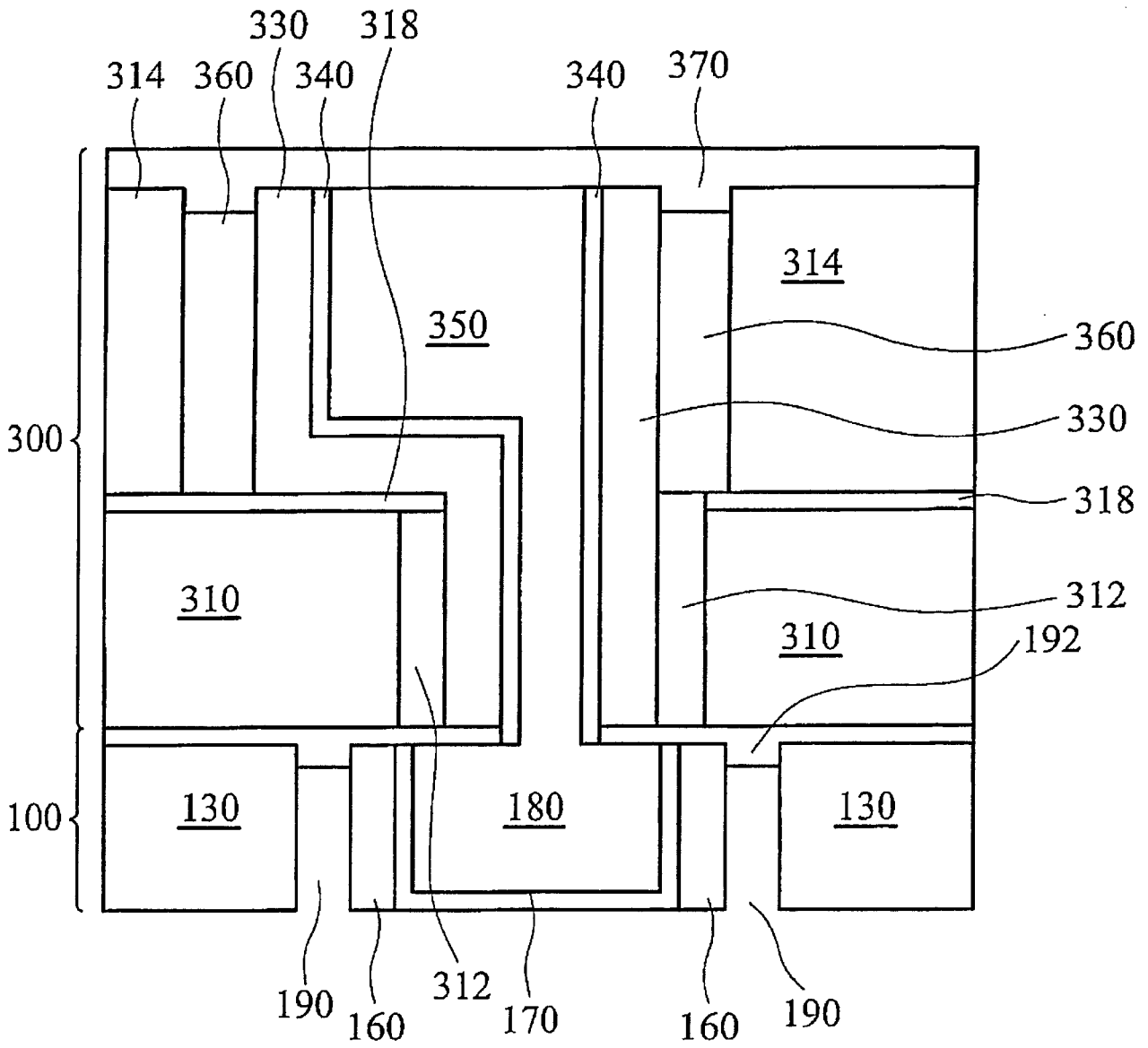


图 3F

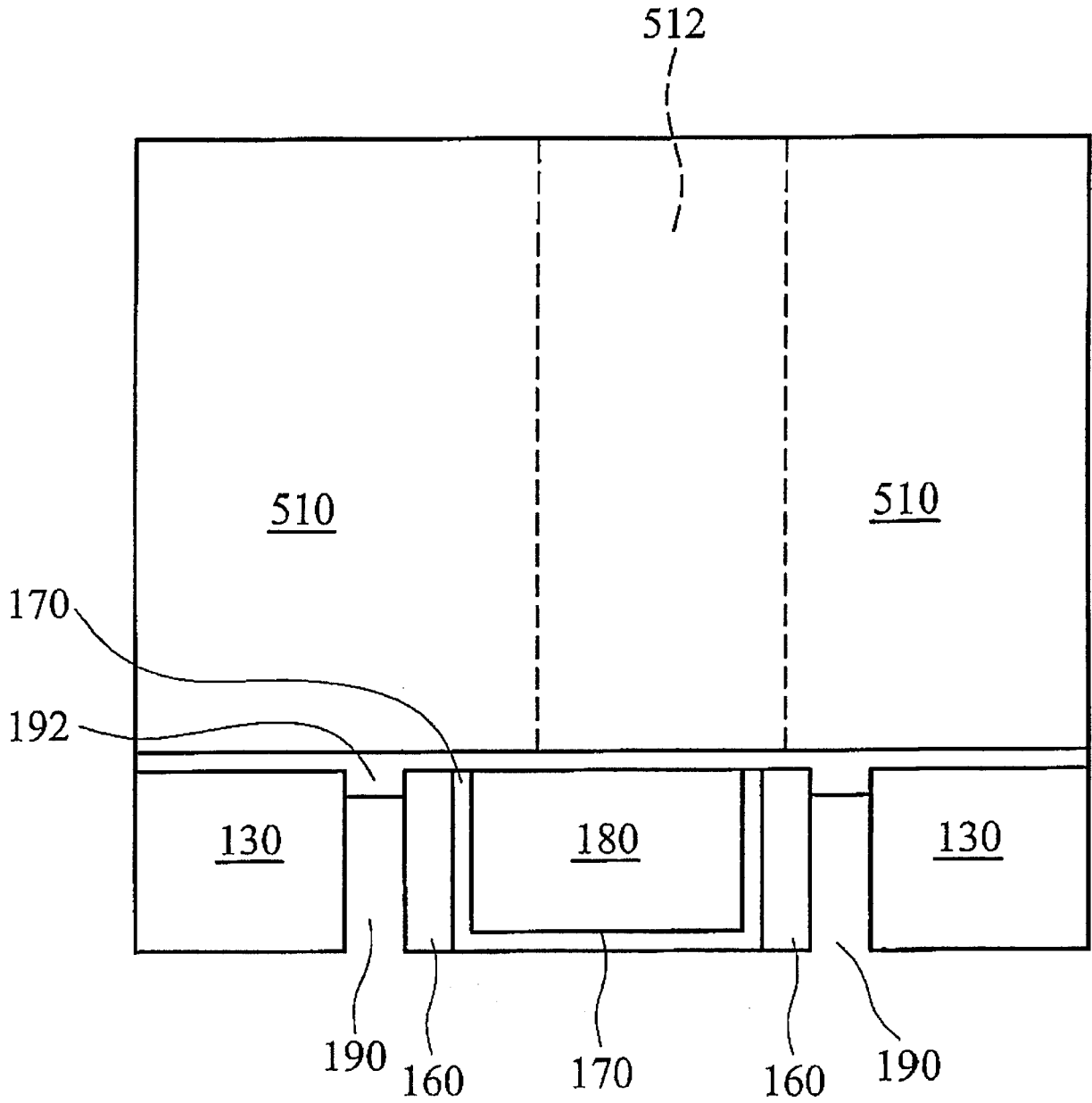


图 4