

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成24年2月2日 (2012.2.2)

【公表番号】特表2011-509528(P2011-509528A)

【公表日】平成23年3月24日 (2011.3.24)

【年通号数】公開・登録公報2011-012

【出願番号】特願2010-542235(P2010-542235)

【国際特許分類】

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 3 K 19/003 (2006.01)

【 F I 】

H 0 1 L 27/04 H

H 0 1 L 27/06 3 1 1 C

H 0 1 L 27/08 3 2 1 H

H 0 3 K 19/003 E

【手続補正書】

【提出日】平成23年12月12日 (2011.12.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

電源供給電圧線と接続された静電気放電 ( E S D ) 保護回路であって、

出力パッドと電源供給電圧線との間に接続されたソース/ドレインの経路を有する多重独立ゲート電界効果トランジスタ ( M I G F E T ) であって、第 1 のゲート端子および第 2 のゲート端子を有する前記 M I G F I T と、

出力を有する前段駆動回路と、

前記 M I G F I T の第 1 のゲート端子に接続されたホットゲートバイアス回路とを備え、

前記前段駆動回路の出力は、前記 M I G F I T の第 2 のゲート端子に接続され、前記ホットゲートバイアス回路は、E S D 現象中に、バイアス電圧を前記 M I G F I T の前記第 1 のゲート端子に印加するように構成され、

前記 M I G F I T は、前記前段駆動回路の出力に応答して前記出力パッドに信号を供給する、E S D 保護回路。

【請求項 2】

電源供給電圧線と接続された静電気放電 ( E S D ) 保護回路であって、

出力パッドと電源供給電圧線との間に接続されたソース/ドレインの経路を有する多重独立ゲート電界効果トランジスタ ( M I G F E T ) であって、第 1 のゲート端子および第 2 のゲート端子を有する前記 M I G F I T と、

出力を有する前段駆動回路と、

前記 M I G F I T の第 1 のゲート端子に接続されたホットゲートバイアス回路とを備え、

前記前段駆動回路の出力は、前記M I G F I Tの第2のゲート端子に接続され、前記ホットゲートバイアス回路は、E S D現象中に、バイアス電圧を前記M I G F I Tの前記第1のゲート端子に印加するように構成され、

前記M I G F I Tは、前記前段駆動回路の出力に応答して前記出力パッドに信号を供給し、

前記ホットゲートバイアス回路は、前記E S D現象を検出するようにさらに構成される、E S D保護回路。

【請求項3】

電源供給電圧線と接続された静電気放電(E S D)保護回路であって、

出力パッドと電源供給電圧線との間に接続されたソース/ドレインの経路を有する多重独立ゲート電界効果トランジスタ(M I G F E T)であって、第1のゲート端子および第2のゲート端子を有する前記M I G F I Tと、

出力を有する前段駆動回路と、

前記M I G F I Tの第1のゲート端子に接続されたホットゲートバイアス回路とを備え、

前記前段駆動回路の出力は、前記M I G F I Tの第2のゲート端子に接続され、前記ホットゲートバイアス回路は、E S D現象中に、バイアス電圧を前記M I G F I Tの前記第1のゲート端子に印加するように構成され、

前記M I G F I Tは、前記前段駆動回路の出力に応答して前記出力パッドに信号を供給し、

前記ホットゲートバイアス回路は、前記バイアス電圧を前記出力パッドの電圧と略等しくするのに十分な大きさの前記バイアス電圧を印加するように構成される、E S D保護回路。

【請求項4】

第1の電力供給電圧線および第2の電力供給電圧線に接続された静電気放電(E S D)保護回路であって、

出力パッドと前記第1の電力供給電圧線との間に接続されるソース/ドレインの経路を有する第1の多重独立ゲート電界効果トランジスタ(M I G F E T)であって、第1のゲート端子および第2のゲート端子を有する前記第1のM I G F I Tと、

前記出力パッドと前記第2の電力供給電圧線との間に接続されるソース/ドレインの経路を有する第2の多重独立ゲート電界効果トランジスタ(M I G F E T)であって、第1のゲート端子および第2のゲート端子を有する前記第2のM I G F I Tと、

出力を有する前段駆動回路と、

前記第1のM I G F I Tの前記第1のゲート端子と、前記第2のM I G F I Tの前記第1のゲート端子とに接続されるゲートバイアス回路とを備え、

前記前段駆動回路は、前記第1のM I G F I Tの前記第2のゲート端子および前記第2のM I G F I Tの前記第2のゲート端子に接続され、

前記ゲートバイアス回路は、E S D現象中に、前記第1のM I G F I Tの前記第1のゲート端子に第1のバイアス電圧を印加し、前記第2のM I G F I Tの前記第1のゲート端子に第2のバイアス電圧を印加するように構成され、

前記M I G F I Tは、前記前段駆動回路の出力に応答して前記出力パッドに信号を供給する、E S D保護回路。

【請求項5】

第1の電力供給電圧線および第2の電力供給電圧線に接続された静電気放電(E S D)保護回路であって、

出力パッドと前記第1の電力供給電圧線との間に接続されるソース/ドレインの経路を有する第1の多重独立ゲート電界効果トランジスタ(M I G F E T)であって、第1のゲート端子および第2のゲート端子を有する前記第1のM I G F I Tと、

前記出力パッドと前記第2の電力供給電圧線との間に接続されるソース/ドレインの経路を有する第2の多重独立ゲート電界効果トランジスタ(M I G F E T)であって、第1

のゲート端子および第２のゲート端子を有する前記第２のＭＩＧＦＩＴと、  
出力を有する前段駆動回路と、

前記第１のＭＩＧＦＩＴの前記第１のゲート端子と、前記第２のＭＩＧＦＩＴの前記第  
１のゲート端子とに接続されるゲートバイアス回路とを備え、

前記前段駆動回路は、前記第１のＭＩＧＦＩＴの前記第２のゲート端子および前記第２  
のＭＩＧＦＩＴの前記第２のゲート端子に接続され、

前記ゲートバイアス回路は、ＥＳＤ現象中に、前記第１のＭＩＧＦＩＴの前記第１のゲ  
ート端子に第１のバイアス電圧を印加し、前記第２のＭＩＧＦＩＴの前記第１のゲート端  
子に第２のバイアス電圧を印加するように構成され、

前記ＭＩＧＦＩＴは、前記前段駆動回路の出力に応答して前記出力パッドに信号を供給  
し、

前記ゲートバイアス回路は、前記ＥＳＤ現象を検出するようにさらに構成される、ＥＳ  
Ｄ保護回路。