

(11) 特許出願公開番号

特開2017-11430

(P2017-11430A)

(43) 公開日 平成29年1月12日(2017.1.12)

(51) Int. Cl.	F I	テーマコード (参考)
H O 4 N 5/378 (2011.01)	H O 4 N 5/335 7 8 0	5 C 0 2 4
H O 4 N 5/357 (2011.01)	H O 4 N 5/335 5 7 0	
H O 4 N 5/374 (2011.01)	H O 4 N 5/335 7 4 0	

審査請求 未請求 請求項の数 19 O L (全 30 頁)

(21) 出願番号 特願2015-123573 (P2015-123573)
(22) 出願日 平成27年6月19日 (2015. 6. 19)

(71) 出願人 515235207
ブリルニクス インク
英国領ケイマン諸島 グランドケイマン
クリケットスクエア ウィローハウス4階

(74) 代理人 100094053
弁理士 佐藤 隆久

(72) 発明者 大倉 俊介
東京都品川区南大井6丁目21番12号大
森プライムビル7階 ブリルニクスジャパ
ン株式会社内

(72) 発明者 大澤 慎治
東京都品川区南大井6丁目21番12号大
森プライムビル7階 ブリルニクスジャパ
ン株式会社内

[最終頁に続く](#)

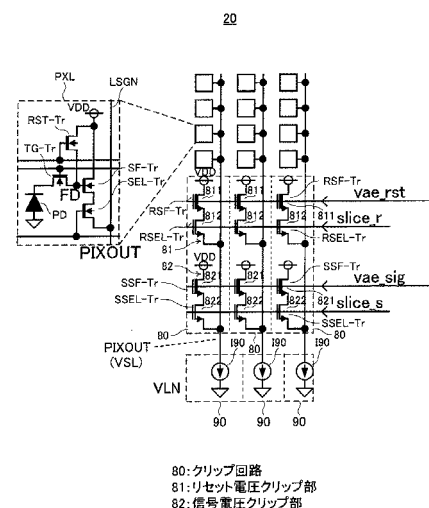
(54) 【発明の名称】 固体撮像装置およびその駆動方法、電子機器

(57) 【要約】

【課題】チップの小面積化を図ることができ、低電圧化と反転ビデオノイズの防止を両立することが可能で、ひいては高画質化を実現することが可能な固体撮像装置およびその駆動方法、電子機器を提供する。

【解決手段】画素部20と、画素読み出し電圧をクリップ電圧に応じてクリップ可能なクリップ回路80と、を有し、画素は、光電変換素子PDと、光電変換素子に蓄積された電荷を転送期間に転送可能な転送素子と、転送素子を通じて光電変換素子で蓄積された電荷が転送されるフローティングディフュージョンFDと、フローティングディフュージョンの電荷を電荷量に応じた利得をもって電圧信号に変換するソースフォロウ素子と、リセット期間にフローティングディフュージョンを所定電位にリセットするリセット素子と、を含み、クリップ回路80は、画素部の無効領域に配置されている。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

画素が配置された画素部と、
画素から読み出される画素読み出し電圧をクリップ電圧に応じてクリップ可能なクリップ回路と、を有し、

前記画素は、

蓄積期間に光電変換により生成した電荷を蓄積する光電変換素子と、

前記光電変換素子に蓄積された電荷を転送期間に転送可能な転送素子と、

前記転送素子を通じて前記光電変換素子で蓄積された電荷が転送されるフローティングディフュージョンと、

前記フローティングディフュージョンの電荷を電荷量に応じた利得をもって電圧信号に変換するソースフォロワ素子と、

リセット期間に前記フローティングディフュージョンを所定電位にリセットするリセット素子と、を含み、

前記クリップ回路は、

前記画素部の無効領域に配置されている

固体撮像装置。

【請求項 2】

前記クリップ回路は、

画素から読み出され画素読み出し電圧をクリップ電圧に応じてクリップ可能なクリップ素子を含み、

前記クリップ素子は、前記画素の前記ソースフォロワ素子と特性が等価な素子により形成されている

請求項 1 記載の固体撮像装置。

【請求項 3】

画素から読み出される画素読み出し電圧が出力される信号線を有し、

前記クリップ回路は、

前記クリップ素子が前記信号線と所定電源との間に接続されている

請求項 1 または 2 記載の固体撮像装置。

【請求項 4】

前記クリップ回路は、

前記信号線と前記所定電源との間に接続された前記クリップ素子と、

光電変換により生成した電荷を蓄積可能なクリップ回路用光電変換素子と、

所定電源と前記クリップ回路用光電変換素子の蓄積ノードとの間に直列に接続され、当該蓄積ノードを所定電源電位にリセットするクリップ回路用リセット素子およびクリップ回路用転送素子と、を含む

請求項 3 記載の固体撮像装置。

【請求項 5】

前記クリップ回路用リセット素子は前記リセット期間に導通状態に設定される

請求項 4 記載の固体撮像装置。

【請求項 6】

前記画素は、

前記信号線と電源との間に接続され、行選択信号に応じて導通状態と非導通状態が制御される選択素子を含み、

前記クリップ回路は、

前記信号線と前記所定電源との間に接続され、クリップ選択信号に応じて導通状態と非導通状態が制御されるクリップ回路用選択素子を含む

請求項 3 から 5 のいずれかに記載の固体撮像装置。

【請求項 7】

複数列の複数の前記クリップ回路を含む

10

20

30

40

50

請求項 1 から 6 のいずれかーに記載の固体撮像装置。

【請求項 8】

前記クリップ回路の前記クリップ電圧を制御するクリップ電圧制御部を有し、
前記クリップ電圧制御部は、

前記画素から読み出され、前記クリップ回路を介した画素読み出し電圧を検知する検知回路と、

前記検知回路により検知された電圧に応じて前記クリップ電圧を生成するクリップ電圧生成部と、を含む

請求項 1 から 7 のいずれかーに記載の固体撮像装置。

【請求項 9】

前記クリップ電圧生成部は、

前記検知回路により検知された電圧に応じて前記クリップ電圧を生成するためのクリップ電圧生成用素子を含み、

前記クリップ電圧生成用素子は、前記画素の前記ソースフォロワ素子と特性が等価な素子により形成されている

請求項 8 記載の固体撮像装置。

【請求項 10】

前記クリップ電圧生成用素子は、

複数のダミー画素素子を含んで形成されている

請求項 9 記載の固体撮像装置。

【請求項 11】

前記検知回路は、

無効画素から読み出された画素読み出し電圧を検知する

請求項 8 から 10 のいずれかーに記載の固体撮像装置。

【請求項 12】

前記クリップ電圧制御部は、

前記検知回路により検知された電圧に対してクリップマージを調整し、調整した電圧を前記クリップ電圧生成部に供給するクリップマージン調整回路を含む

請求項 8 から 11 のいずれかーに記載の固体撮像装置。

【請求項 13】

前記検知回路はサンプルホールド回路により形成され、

前記クリップ電圧制御部は、

前記サンプルホールド回路をリセット可能なリセット回路を含む

請求項 8 から 12 のいずれかーに記載の固体撮像装置。

【請求項 14】

前記リセット回路は、

フレーム毎に、セットアップ期間において前記サンプルホールド回路をリセットする

請求項 13 記載の固体撮像装置。

【請求項 15】

起動時に、前記サンプルホールド回路を駆動するクランプ回路を含む

請求項 8 から 14 のいずれかーに記載の固体撮像装置。

【請求項 16】

前記画素部から画素信号の読み出しを行う読み出し部を含み、

前記読み出し部は、

読み出しスキャン期間に、前記リセット期間に続く第 1 読み出し期間にリセット電圧を読み出す第 1 読み出しと、

前記リセット期間に続く前記第 1 読み出し期間後に行われる少なくとも一つの前記転送期間後の第 2 読み出し期間において、前記光電変換素子の蓄積電荷に応じた信号電圧を読み出す第 2 読み出しと、を行う

請求項 1 から 15 のいずれかーに記載の固体撮像装置。

10

20

30

40

50

【請求項 17】

前記画素は、

前記信号線と電源との間に接続され、行選択信号に応じて導通状態と非導通状態が制御される選択素子を含み、

前記クリップ回路は、

前記信号線と前記所定電源との間に接続され、クリップ選択信号に応じて導通状態と非導通状態が制御されるクリップ回路用選択素子を含み、

前記画素の選択素子を非導通状態とし、所定信号をスweepさせた状態で前記クリップ回路用選択素子を導通状態にして前記所定信号に対するクリップ機能をテストするテスト機能を有する

10

請求項 1 から 16 のいずれかに記載の固体撮像装置。

【請求項 18】

画素が配置された画素部を有し、

前記画素は、

蓄積期間に光電変換により生成した電荷を蓄積する光電変換素子と、

前記光電変換素子に蓄積された電荷を転送期間に転送可能な転送素子と、

前記転送素子を通じて前記光電変換素子で蓄積された電荷が転送されるフローティングディフュージョンと、

前記フローティングディフュージョンの電荷を電荷量に応じた利得をもって電圧信号に変換するソースフォロワ素子と、

20

リセット期間に前記フローティングディフュージョンを所定電位にリセットするリセット素子と、を含む固体撮像装置の駆動方法であって、

前記画素部の無効領域に配置され、前記画素の前記ソースフォロワ素子と特性が等価な素子により形成されているクリップ素子により、画素から読み出される画素読み出し電圧をクリップ電圧に応じてクリップする

固体撮像装置の駆動方法。

【請求項 19】

固体撮像装置と、

前記固体撮像装置に被写体像を結像する光学系と、を有し、

前記固体撮像装置は、

30

画素が配置された画素部と、

画素から読み出される画素読み出し電圧をクリップ電圧に応じてクリップ可能なクリップ回路と、を有し、

前記画素は、

蓄積期間に光電変換により生成した電荷を蓄積する光電変換素子と、

前記光電変換素子に蓄積された電荷を転送期間に転送可能な転送素子と、

前記転送素子を通じて前記光電変換素子で蓄積された電荷が転送されるフローティングディフュージョンと、

前記フローティングディフュージョンの電荷を電荷量に応じた利得をもって電圧信号に変換するソースフォロワ素子と、

40

リセット期間に前記フローティングディフュージョンを所定電位にリセットするリセット素子と、を含み、

前記クリップ回路は、

前記画素部の無効領域に配置されている

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置およびその駆動方法、電子機器に関するものである。

【背景技術】

50

【0002】

光を検出して電荷を発生させる光電変換素子を用いた固体撮像装置（イメージセンサ）として、CMOS（Complementary Metal Oxide Semiconductor）イメージセンサが実用に供されている。

CMOSイメージセンサは、デジタルカメラ、ビデオカメラ、監視カメラ、医療用内視鏡、パーソナルコンピュータ（PC）、携帯電話等の携帯端末装置（モバイル機器）等の各種電子機器の一部として広く適用されている。

【0003】

CMOSイメージセンサは、画素毎にフォトダイオード（光電変換素子）および浮遊拡散層（FD：Floating Diffusion、フローティングディフュージョン）を有するFDアン

10

【0004】

ところで、画素の構成としては、たとえば一つのフォトダイオード（光電変換素子）に対して、転送素子としての転送トランジスタ、リセット素子としてのリセットトランジスタ、ソースフォロワ素子としてのソースフォロワトランジスタ、および選択素子としての選択トランジスタをそれぞれ一つずつ有する4トランジスタ（4Tr）構成の画素を例示することができる。

【0005】

転送トランジスタは、所定の転送期間に選択されて導通状態となり、フォトダイオードで光電変換され蓄積された電荷（電子）をフローティングディフュージョンFDに転送する。

20

リセットトランジスタは、所定のリセット期間に選択されて導通状態となり、フローティングディフュージョンFDを電源線の電位にリセットする。

選択トランジスタは、読み出しスキャン時に選択されて導通状態となる。これにより、ソースフォロワトランジスタはフローティングディフュージョンFDの電荷を電荷量（電位）に応じた利得をもって電圧信号に変換した列出力の読み出し信号を垂直信号線に出力する。

【0006】

たとえば、読み出しスキャン期間において、リセット期間にフローティングディフュージョンFDがたとえば電源線の電位にリセットされた後、ソースフォロワトランジスタによりフローティングディフュージョンFDの電荷が電荷量（電位）に応じた利得をもって電圧信号に変換されて、読み出しリセット電圧 V_{rst} として垂直信号線に出力される。

30

続いて、所定の転送期間に、フォトダイオードで光電変換され蓄積された電荷（電子）がフローティングディフュージョンFDに転送される。そして、ソースフォロワトランジスタによりフローティングディフュージョンFDの電荷が電荷量（電位）に応じた利得をもって電圧信号に変換されて、読み出し信号電圧 V_{sig} として垂直信号線に出力される。

画素の出力信号は差分信号（ $V_{sig} - V_{rst}$ ）として処理される。

【0007】

40

ところが、このような画素を有するCMOSイメージセンサにおいて、非常に強い光が1つ以上の画素に入射した際、画素出力が飽和することから、高輝度信号が低輝度信号として誤出力されてしまい、いわゆる反転ビデオノイズが出力されるという不利益がある。

【0008】

これを解消すべく、非常に強い光が1つ以上の画素に入射した際、画素出力電圧を制限して、反転ビデオノイズが出力されることを防止する電圧リミッタとしてのクリップ回路を備えた画素バイアス回路が提案されている（たとえば特許文献1参照）。

【先行技術文献】

【特許文献】

【0009】

50

【特許文献1】US 7, 825, 982 B2

【発明の概要】

【発明が解決しようとする課題】

【0010】

ところが、特許文献1に開示されたクリップ回路では、有効画素領域に対応して配置されることから、配置位置や回路面積に対する制約を受け、有効画素領域に対する影響が大きく、ひいてはチップの小面積化を図ることが困難で、また、クリップ回路の設計の自由度が小さいという不利益がある。

また、特許文献1に開示されたクリップ回路では、チップ間バラツキを考慮してクリップ回路の制御電圧を決定するため、低電圧化と反転ビデオノイズの防止（太陽黒点防止）を両立することができないという不利益があった。

10

【0011】

本発明は、チップの小面積化を図ることができ、低電圧化と反転ビデオノイズの防止を両立することが可能で、ひいては高画質化を実現することが可能な固体撮像装置およびその駆動方法、電子機器を提供することにある。

【0012】

本発明の第1の観点は、画素が配置された画素部と、画素から読み出される画素読み出し電圧をクリップ電圧に応じてクリップ可能なクリップ回路と、を有し、前記画素は、蓄積期間に光電変換により生成した電荷を蓄積する光電変換素子と、前記光電変換素子に蓄積された電荷を転送期間に転送可能な転送素子と、前記転送素子を通じて前記光電変換素子で蓄積された電荷が転送されるフローティングディフュージョンと、前記フローティングディフュージョンの電荷を電荷量に応じた利得をもって電圧信号に変換するソースフォロワ素子と、リセット期間に前記フローティングディフュージョンを所定電位にリセットするリセット素子と、を含み、前記クリップ回路は、前記画素部の無効画素領域に配置されている。

20

【0013】

本発明の第2の観点は、画素が配置された画素部を有し、前記画素は、蓄積期間に光電変換により生成した電荷を蓄積する光電変換素子と、前記光電変換素子に蓄積された電荷を転送期間に転送可能な転送素子と、前記転送素子を通じて前記光電変換素子で蓄積された電荷が転送されるフローティングディフュージョンと、前記フローティングディフュージョンの電荷を電荷量に応じた利得をもって電圧信号に変換するソースフォロワ素子と、リセット期間に前記フローティングディフュージョンを所定電位にリセットするリセット素子と、を含む固体撮像装置の駆動方法であって、前記画素部の無効領域に配置され、前記画素の前記ソースフォロワ素子と特性が等価な素子により形成されているクリップ素子により、画素から読み出される画素読み出し電圧をクリップ電圧に応じてクリップする。

30

【0014】

本発明の第3の観点の電子機器は、固体撮像装置と、前記固体撮像装置に被写体像を結像する光学系と、を有し、前記固体撮像装置は、画素が配置された画素部と、画素から読み出される画素読み出し電圧をクリップ電圧に応じてクリップ可能なクリップ回路と、を有し、前記画素は、蓄積期間に光電変換により生成した電荷を蓄積する光電変換素子と、前記光電変換素子に蓄積された電荷を転送期間に転送可能な転送素子と、前記転送素子を通じて前記光電変換素子で蓄積された電荷が転送されるフローティングディフュージョンと、前記フローティングディフュージョンの電荷を電荷量に応じた利得をもって電圧信号に変換するソースフォロワ素子と、リセット期間に前記フローティングディフュージョンを所定電位にリセットするリセット素子と、を含み、前記クリップ回路は、前記画素部の無効領域に配置されている。

40

【発明の効果】

【0015】

本発明によれば、チップの小面積化を図ることができ、低電圧化と反転ビデオノイズの防止を両立することが可能で、ひいては高画質化を実現することができる。

50

【図面の簡単な説明】

【0016】

【図1】本発明の第1の実施形態に係る固体撮像装置の構成例を示すブロック図である。

【図2】本第1の実施形態に係る画素の一例を示す回路図である。

【図3】本実施形態における通常の画素読み出し動作時のシャッタースキャンおよび読み出しスキャンの動作タイミングを示す図である。

【図4】本発明の実施形態に係る固体撮像装置の画素部の列出力の読み出し系の構成例を説明するための図である。

【図5】本発明の第1の実施形態に係る画素およびクリップ回路の構成例を示す図である。

10

【図6】クリップ回路を、画素部の有効画素以外の無効領域に配置することを説明するための図である。

【図7】第1の実施形態に係るクリップ回路を適用した場合の読み出しスキャン期間における暗状態（Dark、低輝度）、明状態（Bright、高輝度）、超明状態（Ultra-Bright、超高輝度）時の読み出し動作を説明するための図である。

【図8】比較例として、第1の実施形態に係るクリップ回路を適用しない場合の読み出しスキャン期間における暗状態（Dark、低輝度）、明状態（Bright、高輝度）、超明状態（Ultra-Bright、超高輝度）時の読み出し動作を説明するための図である。

【図9】第1の実施形態に係るクリップ回路を適用した場合の読み出しスキャン期間における超明状態（Ultra-Bright、超高輝度）時のシミュレーション結果を示す図である。

20

【図10】本発明の第2の実施形態に係るクリップ回路の構成例を示す図である。

【図11】本発明の第2の実施形態に係るクリップ回路の構成例と配置例を説明するための図である。

【図12】本発明の第3の実施形態に係る画素およびクリップ回路の構成例を示す図である。

【図13】サンプルホールド（S/H）回路を含む読み出し処理の各クロックタイミングの一例を示す図である。

【図14】サンプルホールド（S/H）回路を駆動するクランプ回路およびリセット回路を含む構成例を示す図である。

30

【図15】サンプルホールド（S/H）回路のリセット時等の条件等を表として示す図である。

【図16】本発明の第4の実施形態に係るレギュレータのソースフォロワ回路の配置構成例を模式的に示す図である。

【図17】本発明の実施形態に係る固体撮像装置のテストシーケンスの一例を説明するための図である。

【図18】本発明の実施形態に係る固体撮像装置が適用される電子機器の構成の一例を示す図である。

40

【発明を実施するための形態】

【0017】

以下、本発明の実施形態を図面に関連付けて説明する。

【0018】

（第1の実施形態）

図1は、本発明の第1の実施形態に係る固体撮像装置の構成例を示すブロック図である。

本実施形態において、固体撮像装置10は、たとえばCMOSイメージセンサにより構成される。

【0019】

この固体撮像装置10は、図1に示すように、撮像部としての画素部20、垂直走査回

50

路（行走査回路）30、読み出し回路（カラム読み出し回路）40、水平走査回路（列走査回路）50、およびタイミング制御回路60を主構成要素として有している。

これらの構成要素のうち、たとえば垂直走査回路30、読み出し回路40、およびタイミング制御回路60により画素信号の読み出し部70が構成される。

【0020】

本実施形態において、固体撮像装置10は、後で詳述するように、画素部20の無効領域に、画素から読み出された画素読み出し電圧（リセット電圧 V_{rst} および信号電圧 V_{sig} ）をクリップ電圧に応じてクリップ可能なクリップ回路が配置されている。

【0021】

本実施形態において、読み出し部70は、一つの読み出しスキャン期間に、リセット期間に続く第1読み出し期間にリセット電圧 V_{rst} を読み出す第1読み出しと、リセット期間に続く第1読み出し期間後に行われる転送期間後の第2読み出し期間において、光電変換素子の蓄積電荷に応じた信号電圧 V_{sig} を読み出す第2読み出しと、を行うことが可能に構成されている。

10

【0022】

通常の画素読み出し動作においては、読み出し部70による駆動により、シャッタースキャンが行われ、その後、読み出しスキャンが行われるが、第1読み出しと第2読み出しは、読み出しスキャン期間に行われる。

【0023】

以下、固体撮像装置10の各部の構成および機能の概要を説明した後、クリップ回路の構成、それに関連した読み出し処理等について詳述する。

20

【0024】

（画素部20および画素 PXL の構成）

画素部20は、フォトダイオード（光電変換素子）と画素内アンプとを含む複数の画素が N 行 $\times$ M 列の2次元の行列状（マトリクス状）に配列されている。

【0025】

図2は、本実施形態に係る画素の一例を示す回路図である。

【0026】

この画素 PXL は、たとえば光電変換素子であるフォトダイオード（PD）を有する。

このフォトダイオードPDに対して、転送素子としての転送トランジスタ $TG-Tr$ 、リセット素子としてのリセットトランジスタ $RST-Tr$ 、ソースフォロワ素子としてのソースフォロワトランジスタ $SF-Tr$ 、および選択素子としての選択トランジスタ $SEL-Tr$ をそれぞれ一つずつ有する。

30

【0027】

フォトダイオードPDは、入射光量に応じた量の信号電荷（ここでは電子）を発生し、蓄積する。

以下、信号電荷は電子であり、各トランジスタが n 型トランジスタである場合について説明するが、信号電荷がホールであったり、各トランジスタが p 型トランジスタであっても構わない。

また、本実施形態は、複数のフォトダイオード間で、各トランジスタを共有している場合や、選択トランジスタを有していない3トランジスタ（3 Tr ）画素を採用している場合にも有効である。

40

【0028】

転送トランジスタ $TG-Tr$ は、フォトダイオードPDとフローティングディフュージョンFD（Floating Diffusion；浮遊拡散層）の間に接続され、制御線TGを通じて制御される。

転送トランジスタ $TG-Tr$ は、制御線TGがハイレベル（H）の期間に選択されて導通状態となり、フォトダイオードPDで光電変換され蓄積された電荷（電子）をフローティングディフュージョンFDに転送する。

【0029】

50

リセットトランジスタ RST-Tr は、電源線 VRst とフローティングディフュージョン FD の間に接続され、制御線 RST を通じて制御される。

なお、リセットトランジスタ RST-Tr は、電源線 VDD とフローティングディフュージョン FD の間に接続され、制御線 RST を通じて制御されるように構成してもよい。

リセットトランジスタ RST-Tr は、制御線 RST が H レベルの期間に選択されて導通状態となり、フローティングディフュージョン FD を電源線 VRst (または VDD) の電位にリセットする。

【0030】

ソースフォロワトランジスタ SF-Tr と選択トランジスタ SEL-Tr は、電源線 VDD と垂直信号線 LSGN の間に直列に接続されている。

ソースフォロワトランジスタ SF-Tr のゲートにはフローティングディフュージョン FD が接続され、選択トランジスタ SEL-Tr は制御線 SEL を通じて制御される。

選択トランジスタ SEL-Tr は、制御線 SEL が H レベルの期間に選択されて導通状態となる。これにより、ソースフォロワトランジスタ SF-Tr はフローティングディフュージョン FD の電荷を電荷量 (電位) に応じた利得をもって電圧信号に変換した列出力の読み出し電圧 (信号) VSL (PIXOUT) を垂直信号線 LSGN に出力する。

これらの動作は、たとえば転送トランジスタ TG-Tr、リセットトランジスタ RST-Tr、および選択トランジスタ SEL-Tr の各ゲートが行単位で接続されていることから、1 行分の各画素について同時並列的に行われる。

【0031】

画素部 20 には、画素 PXL が N 行×M 列配置されているので、各制御線 SEL、RST、TG はそれぞれ N 本、垂直信号線 LSGN は M 本ある。

図 1 においては、各制御線 SEL、RST、TG を 1 本の行走査制御線として表している。

【0032】

垂直走査回路 30 は、タイミング制御回路 60 の制御に応じてシャッター行および読み出し行において行走査制御線を通して画素の駆動を行う。

また、垂直走査回路 30 は、アドレス信号に従い、信号の読み出しを行うリード行と、フォトダイオード PD に蓄積された電荷をリセットするシャッター行の行アドレスの行選択信号を出力する。

【0033】

上述したように、通常の画素読み出し動作においては、読み出し部 70 の垂直走査回路 30 による駆動により、シャッタースキャンが行われ、その後、読み出しスキャンが行われる。

【0034】

図 3 は、本実施形態における通常の画素読み出し動作時のシャッタースキャンおよび読み出しスキャンの動作タイミングを示す図である。

【0035】

選択トランジスタ SEL-Tr のオン (導通)、オフ (非導通) を制御する制御線 SEL は、シャッタースキャン期間 PSH T には L レベルに設定されて選択トランジスタ SEL-Tr が非導通状態に保持され、読み出しスキャン期間 PRDO には H レベルに設定されて選択トランジスタ SEL-Tr が導通状態に保持される。

そして、シャッタースキャン期間 PSH T には、制御線 RST が H レベルの期間に所定期間制御線 TG が H レベルに設定されて、リセットトランジスタ RST-Tr および転送トランジスタ TG-Tr を通じてフォトダイオード PD およびフローティングディフュージョン FD がリセットされる。

【0036】

読み出しスキャン期間 PRDO には、制御線 RST が H レベルに設定されてリセットトランジスタ RST-Tr を通じてフローティングディフュージョン FD がリセットされ、このリセット期間 PR 後の第 1 読み出し期間 PRD 1 にリセット状態の画素読み出し電圧

10

20

30

40

50

であるリセット電圧 V_{rst} が読み出される。

読み出し期間 $PRD1$ 後に、所定期間、制御線 TG が H レベルに設定されて転送トランジスタ $TG-Tr$ を通じてフローティングディフュージョン FD にフォトダイオード PD の蓄積電荷が転送され、この転送期間 PT 後の第2読み出し期間 $PRD2$ に蓄積された電子（電荷）に応じた画素読み出し電圧である信号電圧 V_{sig} が読み出される。

【0037】

なお、本第1の実施形態の通常の画素読み出し動作において、蓄積期間（露光期間） EXP は、図3に示すように、シャッタースキャン期間 $PSHT$ でフォトダイオード PD およびフローティングディフュージョン FD をリセットして制御線 TG を L レベルに切り替えてから、読み出しスキャン期間 $PRDO$ の転送期間 PT を終了するために制御線 TG を L レベルに切り替えるまでの期間である。

10

【0038】

読み出し回路40は、画素部20の各列出力に対応して配置された複数の列信号処理回路（図示せず）を含み、複数の列信号処理回路で列並列処理が可能に構成されてもよい。

【0039】

読み出し回路40は、相関二重サンプリング（ CDS : Correlated Double Sampling）回路や ADC （アナログデジタルコンバータ； AD 変換器）、アンプ（ AMP 、増幅器）、サンプルホールド（ S/H ）回路等を含んで構成可能である。

【0040】

このように、読み出し回路40は、たとえば図4（A）に示すように、画素部20の各列出力の読み出し信号 VSL をデジタル信号に変換する $ADC41$ を含んで構成されてもよい。

20

あるいは、読み出し回路40は、たとえば図4（B）に示すように、画素部20の各列出力の読み出し信号 VSL を増幅するアンプ（ AMP ）42が配置されてもよい。

また、読み出し回路40は、たとえば図4（C）に示すように、画素部20の各列出力の読み出し信号 VSL をサンプル、ホールドするサンプルホールド（ S/H ）回路43が配置されてもよい。

【0041】

水平走査回路50は、読み出し回路40の ADC 等の複数の列信号処理回路で処理された信号を走査して水平方向に転送し、図示しない信号処理回路に出力する。

30

【0042】

タイミング制御回路60は、画素部20、垂直走査回路30、読み出し回路40、水平走査回路50等の信号処理に必要なタイミング信号を生成する。

【0043】

以上、固体撮像装置10の各部の構成および機能の概要について説明した。

次に、本第1の実施形態に係るクリップ回路80の構成、それに関連した読み出し処理等について詳述する。

【0044】

図5は、本発明の第1の実施形態に係る画素およびクリップ回路の構成例を示す図である。

40

【0045】

クリップ回路80は、画素部20の画素配列の各列に配置された垂直信号線 $LSGN$ と所定電源、たとえば電源線 VDD との間に接続されている。

各列に対応して配置される各クリップ回路80は、前述した画素 PXL の二つの読み出し電圧であるリセット電圧 V_{rst} および信号電圧 V_{sig} に対応して二つの回路が対（ペア）として設けられている。

すなわち、各列に対応して配置される各クリップ回路80は、画素 PXL から第1読み出し期間 $PRD1$ に読み出されるリセット電圧 V_{rst} をクリップするためのリセット電圧クリップ部81、および画素 PXL から第2読み出し期間 $PRD2$ に読み出される信号電圧 V_{sig} をクリップするための信号電圧クリップ部82を含んで構成されている。

50

【0046】

クリップ回路80は、超高輝度時に、画素PXLのソースフォロワトランジスタSF-T_rおよび選択トランジスタSEL-T_rによる画素出力が飽和するために高輝度信号が低輝度信号として誤出力されることを回避するために設けられている。

【0047】

リセット電圧クリップ部81は、画素部20の画素配列の各列に配置された垂直信号線LSGNと所定電源、たとえば電源線VDDとの間に、リセット用クリップ素子811とリセット用選択素子812が直列に接続されている。

【0048】

リセット用クリップ素子811は、画素PXLのソースフォロワ素子であるソースフォロワトランジスタSF-T_rと特性が等価な素子であるリセット用ソースフォロワトランジスタRSF-T_rにより形成されている。

【0049】

リセット用選択素子812は、画素PXLの選択素子である選択トランジスタSEL-T_rと特性が等価な素子であるリセット用選択トランジスタRSEL-T_rにより形成されている。

【0050】

そして、各列に対応して配置されたりセット用ソースフォロワトランジスタRSF-T_rの各ゲートが、あらかじめ設定されたりセット用クリップ電圧v_{ae_rst}の供給ラインに共通に接続されている。

各列に対応して配置されたりセット用選択トランジスタRSEL-T_rの各ゲートが、リセット用選択信号s_{lice_r}の供給ラインに共通に接続されている。

【0051】

本実施形態においては、リセット用選択信号s_{lice_r}は、読み出し部70により読み出しスキャンPRDOのリセット期間PRおよび第1読み出し期間PRD1にアクティブのHレベルに設定される。

【0052】

このように、リセット電圧クリップ部81は、画素PXLにおいてソースフォロワトランジスタSF-T_rと選択トランジスタSEL-T_rにより形成されるソースフォロワ構造と同等のソースフォロワ構造を有するように構成されている。

【0053】

信号電圧クリップ部82は、画素部20の画素配列の各列に配置された垂直信号線LSGNと所定電源、たとえば電源線VDDとの間に、信号用クリップ素子821と信号用選択素子822が直列に接続されている。

【0054】

信号用クリップ素子821は、画素PXLのソースフォロワ素子であるソースフォロワトランジスタSF-T_rと特性が等価な素子である信号用ソースフォロワトランジスタSSF-T_rにより形成されている。

【0055】

信号用選択素子822は、画素PXLの選択素子である選択トランジスタSEL-T_rと特性が等価な素子である信号用選択トランジスタSSEL-T_rにより形成されている。

【0056】

そして、各列に対応して配置された信号用ソースフォロワトランジスタSSF-T_rの各ゲートが、あらかじめ設定された信号用クリップ電圧v_{ae_sig}の供給ラインに共通に接続されている。

各列に対応して配置された信号用選択トランジスタSSEL-T_rの各ゲートが、信号用選択信号s_{lice_s}の供給ラインに共通に接続されている。

【0057】

本実施形態においては、信号用選択信号s_{lice_s}は、基本的に、読み出し部70

10

20

30

40

50

により読み出しスキャン P R D O の第 2 読み出し期間 P R D 2 にアクティブの H (ハイ) レベルに設定される。

【0058】

このように、信号電圧クリップ部 8 2 は、画素 P X L においてソースフォロワトランジスタ S F - T r と選択トランジスタ S E L - T r により形成されるソースフォロワ構造と同等のソースフォロワ構造を有するように構成されている。

【0059】

このように、本実施形態のクリップ回路 8 0 のリセット電圧クリップ部 8 1 および信号電圧クリップ部 8 2 は、画素 P X L においてソースフォロワトランジスタ S F - T r と選択トランジスタ S E L - T r により形成されるソースフォロワ構造と同等のソースフォロワ構造を有するように構成されている。その結果、クリップのミスマッチが低減され。クリップレベルのマージンを減少させることができ、ひいては低電圧化が可能となっている。

10

【0060】

そして、本実施形態のクリップ回路 8 0 は、画素部 2 0 の有効画素以外のいわゆる無効領域に配置される。

図 6 は、クリップ回路を、画素部 2 0 の有効画素以外の無効領域に配置することを説明するための図である。

【0061】

通常、画素部 2 0 は、図 6 に示すように、有効画素領域 2 1 と有効画素領域 2 1 の周辺の無効画素領域 2 2、残りの大部分の無効 O B 画素領域 (O B ; Optical Black 領域等) 2 3、有効 O B 画素領域 2 4 を含んで構成されている。

20

また、無効 O B 画素領域 2 3 は、遮光膜により遮光されている。

本実施形態においてクリップ回路 8 0 は、無効画素領域 2 2 や無効 O B 画素領域 2 3 等、有効画素以外の無効領域に配置される。

たとえば、図 6 に示すように、無効 O B 画素領域 2 3 の任意の領域に、クリップ用の専用領域 2 5 を設けて配置するように構成することも可能である。

【0062】

このように、もともと画素部 2 0 に存在している無効画素領域 2 2 や無効 O B 画素領域 2 3 等の無効領域にクリップ回路 8 0 を配置することから、配置位置や回路面積に対する制約を軽減でき、有効画素領域 2 1 に対する影響を極力小さくでき、ひいてはチップの小面積化を図ることができ、また、クリップ回路の設計の自由度が増大するという利点がある。

30

【0063】

以上の構成を有するクリップ回路 8 0 は、画素配列の各列に形成された垂直信号線 L S G N に接続されている。

また、各垂直信号線 L S G N には、図 5 に示すように、ロード回路 9 0 が接続されている。

【0064】

ロード回路 9 0 は、画素 P X L の出力用の電流シンクとして機能する。ロード回路 9 0 は、画素 P X L の出力電圧 (信号) V r s t、V s i g を受けて、これらの電圧信号に対応する出力を所定ノードに発生する。

40

ロード回路 9 0 は、M O S トランジスタにより形成される電流源 I 9 0 を有し、ゲートに制御信号 V L N を受ける。

制御信号 V L N は、電流源 I 9 0 を構成するトランジスタが発生するバイアス電流を調整するため、およびソースフォロワ回路の性能を、電力消費および速度に関して最適化するために用いる。この電流源 I 9 0 を構成するトランジスタはしばしば、バイアス・トランジスタと称される。

【0065】

次に、本第 1 の実施形態に係るクリップ回路を適用した場合の暗状態 (D a r k、低輝

50

度)、明状態(B r i g h t、高輝度)、超明状態(U l t r a - B r i g h t、超高輝度)時の読み出し動作について図7に関連付けて説明する。

【0066】

図7(A)～(G)は、第1の実施形態に係るクリップ回路を適用した場合の読み出しスキャン期間における暗状態(D a r k、低輝度)、明状態(B r i g h t、高輝度)、超明状態(U l t r a - B r i g h t、超高輝度)時の読み出し動作を説明するための図である。

図8は、比較例として、第1の実施形態に係るクリップ回路を適用しない場合の読み出しスキャン期間における暗状態(D a r k、低輝度)、明状態(B r i g h t、高輝度)、超明状態(U l t r a - B r i g h t、超高輝度)時の読み出し動作を説明するための図である。

図8(A)がクリップ回路を適用しない場合の等価回路を示し、図8(B)が動作波形を示している。

【0067】

読み出しスキャン期間P R D Oにおける暗状態(D a r k、低輝度)においては、図7(A)に示すように、画素アレイの中のある一行を選択するために、その選択された行の各画素P X Lに接続された制御線S E LがHレベルに設定されて画素P X Lの選択トランジスタS E L - T rが導通状態となる。

この選択状態において、図7(B)に示すように、リセット期間P R 1にリセットトランジスタR S T - T rが、制御線R S TがHレベルの期間に選択されて導通状態となり、図7(F)に示すように、フローティングディフュージョンF Dが電源線V D Dの電位にリセットされる。

このリセット期間P R 1が経過した後(リセットトランジスタR S T - T rが非導通状態)、転送期間P T 1が開始されるまでの期間が、リセット状態時のリセット電圧V r s tを読み出す第1読み出し期間P R D 1となる。

【0068】

リセット期間P R 1および第1読み出し期間P R D 1には、図7(D)および(E)に示すように、リセット用選択信号s l i c e _ rがHレベルに設定され、信号用選択信号s l i c e _ sがLレベルに設定される。これにより、リセット期間P R 1および第1読み出し期間P R D 1には、クリップ回路80のリセット電圧クリップ部81がアクティブとなり、信号電圧クリップ部82が非アクティブとなっている。

【0069】

上述したように、リセット期間P R 1後の第1読み出し期間P R D 1にリセット状態の画素読み出し電圧であるリセット電圧V r s tが垂直信号線L S G Nを通して読み出される。このとき、リセット電圧V r s tは、クリップすべきレベルより高いレベルであることから、リセット電圧クリップ部81でクリップ作用を受けることなく、ロード回路90を介して読み出し回路40に供給されて、たとえば保持される。

【0070】

ここで、第1読み出し期間P R D 1が終了し、転送期間P T 1となる。

図7(C)に示すように、転送期間P T 1に転送トランジスタT G - T rが、制御線T Gがハイレベル(H)の期間に選択されて導通状態となり、フォトダイオードP Dで光電変換され蓄積された電荷(電子)がフローティングディフュージョンF Dに転送される。

この転送期間P T 1が経過した後(転送トランジスタT G - T rが非導通状態)、フォトダイオードP Dが光電変換して蓄積した電荷に応じた信号電圧V s i gを読み出す第2読み出し期間P R D 2となる。

【0071】

転送期間P T 1および第2読み出し期間P R D 2には、図7(D)および(E)に示すように、リセット用選択信号s l i c e _ rがLレベルに設定され、信号用選択信号s l i c e _ sがHレベルに設定される。これにより、転送期間P T 1および第2読み出し期間P R D 2には、クリップ回路80のリセット電圧クリップ部81が非アクティブとなり

10

20

30

40

50

、信号電圧クリップ部 8 2 がアクティブとなっている。

【0072】

上述したように、第 1 読み出し期間 PRD 1 後に、所定期間、制御線 TG が H レベルに設定されて転送トランジスタ TG-Tr を通じてフローティングディフュージョン FD にフォトダイオード PD の蓄積電荷が転送され、この転送期間 PT 1 後の第 2 読み出し期間 PRD 2 に蓄積された電子（電荷）に応じた画素読み出し電圧である信号電圧 Vsig が読み出される。

このとき、信号電圧 Vsig は、クリップすべきレベルより高いレベルであることから、信号電圧クリップ部 8 2 でクリップ作用を受けることなく、ロード回路 9 0 を介して読み出し回路 4 0 に供給されて、たとえば保持される。

10

【0073】

そして、たとえば読み出し部 7 0 の一部を構成する読み出し回路 4 0 において、第 2 読み出し期間 PRD 2 に読み出された信号電圧 Vsig と第 1 読み出し期間 PRD 1 に読み出されたりセット電圧 Vrst との差分 ($Vsig - Vrst$) がとられて CDS 処理が行われる。

この暗状態 (Dark、低輝度) の場合、低輝度時であり、画素出力が飽和しないことから、低輝度信号は誤出力することなく低輝度信号として出力され、差分 ($Vsig - Vrst$) は小さい。

【0074】

リセット期間 PR 1 1、第 1 読み出し期間 PRD 1 1、転送期間 PT 1 1、および第 2 読み出し期間 PRD 1 2 に行われる明状態 (Bright、高輝度) 時の読み出し動作は、基本的に上記した暗状態 (Dark、低輝度) の場合と同様に行われる。したがって、その詳細は省略する。

20

この場合、高輝度時であり、画素出力が飽和しないことから、高輝度信号は誤出力することなく高低輝度信号として出力され、差分 ($Vsig - Vrst$) は低輝度時より大きい。

明状態 (Bright、高輝度) 時と暗状態 (Dark、低輝度) 時の読み出し動作は、基本的に、クリップ回路を設けない図 8 の場合と同様に行われる。

【0075】

次に、超明状態 (Ultra-Bright、超高輝度) 時の読み出し動作について説明する。

30

【0076】

読み出しスキャン期間 PRDO における超明状態 (Ultra-Bright、超高輝度) においては、図 7 (A) に示すように、画素アレイの中のある一行を選択するために、その選択された行の各画素 PXL に接続された制御線 SEL が H レベルに設定されて画素 PXL の選択トランジスタ SEL-Tr が導通状態となる。

この選択状態において、図 7 (B) に示すように、リセット期間 PR 2 1 にリセットトランジスタ RST-Tr が、制御線 RST が H レベルの期間に選択されて導通状態となり、図 7 (F) に示すように、フローティングディフュージョン FD が電源線 VDD の電位にリセットされる。

40

このリセット期間 PR 2 1 が経過した後 (リセットトランジスタ RST-Tr が非導通状態)、転送期間 PT 2 1 が開始されるまでの期間が、リセット状態時のリセット電圧 Vrst を読み出す第 1 読み出し期間 PRD 2 1 となる。

【0077】

この例は超高輝度時であることから、第 1 読み出し期間 PRD 2 1 等に、画素 PXL のフォトダイオード PD に蓄積された電荷 (電子) がフローティングディフュージョン FD に溢れだし、ゲートがフローティングディフュージョン FD に接続されているソースフォロワトランジスタ SF-Tr が飽和する場合がある。

【0078】

リセット期間 PR 2 1 および第 1 読み出し期間 PRD 2 1 には、図 7 (D) および (E

50

）に示すように、リセット用選択信号 s_{lice_r} が H レベルに設定され、信号用選択信号 s_{lice_s} が L レベルに設定される。これにより、リセット期間 PR_{21} および第 1 読み出し期間 PRD_{21} には、クリップ回路 80 のリセット電圧クリップ部 81 がアクティブとなり、信号電圧クリップ部 82 が非アクティブとなっている。

【0079】

上述したように、リセット期間 PR_{21} 後の第 1 読み出し期間 PRD_{21} にリセット状態の画素読み出し電圧であるリセット電圧 V_{rst} が垂直信号線 $LSGN$ を通して読み出される。このとき、リセット電圧 V_{rst} が、クリップすべきレベルを超えるレベルである場合、リセット電圧クリップ部 81 でリセット用クリップ電圧 v_{ae_rst} に応じてクリップ作用を受けて、ロード回路 90 を介して読み出し回路 40 に供給されて、たとえば保持される。

10

【0080】

ここで、第 1 読み出し期間 PRD_{21} が終了し、転送期間 PT_{21} となる。

図 7 (C) に示すように、転送期間 PT_{21} に転送トランジスタ $TG-Tr$ が、制御線 TG がハイレベル (H) の期間に選択されて導通状態となり、フォトダイオード PD で光電変換され蓄積された電荷 (電子) がフローティングディフュージョン FD に転送される。

この転送期間 PT_{21} が経過した後 (転送トランジスタ $TG-Tr$ が非導通状態)、フォトダイオード PD が光電変換して蓄積した電荷に応じた信号電圧 V_{sig} を読み出す第 2 読み出し期間 PRD_{22} となる。

20

【0081】

転送期間 PT_{21} および第 2 読み出し期間 PRD_{22} には、図 7 (D) および (E) に示すように、リセット用選択信号 s_{lice_r} が L レベルに設定され、信号用選択信号 s_{lice_s} が H レベルに設定される。これにより、転送期間 PT_{21} および第 2 読み出し期間 PRD_{22} には、クリップ回路 80 のリセット電圧クリップ部 81 が非アクティブとなり、信号電圧クリップ部 82 がアクティブとなっている。

【0082】

上述したように、第 1 読み出し期間 PRD_{21} 後に、所定期間、制御線 TG が H レベルに設定されて転送トランジスタ $TG-Tr$ を通じてフローティングディフュージョン FD にフォトダイオード PD の蓄積電荷が転送され、この転送期間 PT_{21} 後の第 2 読み出し期間 PRD_{22} に蓄積された電子 (電荷) に応じた画素読み出し電圧である信号電圧 V_{sig} が読み出される。

30

このとき、信号電圧 V_{sig} は、クリップすべきレベルを超えるレベルであることから、信号電圧クリップ部 82 で信号用クリップ電圧 v_{ae_sig} に応じてクリップ作用を受けて、ロード回路 90 を介して読み出し回路 40 に供給されて、たとえば保持される。

【0083】

そして、たとえば読み出し部 70 の一部を構成する読み出し回路 40 において、第 2 読み出し期間 PRD_{22} に読み出された信号電圧 V_{sig} と第 1 読み出し期間 PRD_{21} に読み出されたリセット電圧 V_{rst} との差分 ($V_{sig} - V_{rst}$) がとられて CDS 処理が行われる。

40

【0084】

この超明状態 ($Ultra-Bright$ 、超高輝度) の場合、超高輝度時であり、画素出力が飽和したとしても、クリップ回路 80 によりリセット電圧 V_{rst} および信号電圧 V_{sig} が所定レベルにクリップされることから、超高輝度信号は誤出力されることなく超高輝度信号として出力される。この場合、差分 ($V_{sig} - V_{rst}$) は大きい。

【0085】

これに対して、クリップ回路を有していない場合には、図 8 に示すように、超高輝度信号が、画素出力が飽和したことにより、低輝度信号として誤出力されることから、反転ビデオノイズの防止 (太陽黒点防止) を実現することは困難である。

【0086】

50

図 9 は、第 1 の実施形態に係るクリップ回路を適用した場合の読み出しスキャン期間における超明状態 (Ultra-Bright、超高輝度) 時のシミュレーション結果を示す図である。

【0087】

本実施形態の固体撮像装置 10 によれば、超明状態 (Ultra-Bright、超高輝度) の場合、超高輝度時であり、画素出力が飽和したとしても、図 9 に示すように、クリップ回路 80 によりリセット電圧 V_{rst} および信号電圧 V_{sig} が所定レベルにクリップされることから、超高輝度信号は誤出力することなく超高輝度信号として出力される。

【0088】

以上説明したように、本第 1 の実施形態によれば、もともと画素部 20 に存在している無効画素領域 22 や無効 OB 画素領域 23 等の無効領域にクリップ回路 80 を配置することから、配置位置や回路面積に対する制約を軽減でき、有効画素領域 21 に対する影響を極力小さくでき、ひいてはチップの小面積化を図ることができ、また、クリップ回路の設計の自由度が増大するという利点がある。

本第 1 の実施形態のクリップ回路 80 のリセット電圧クリップ部 81 および信号電圧クリップ部 82 は、画素 PXL においてソースフォロワトランジスタ SF-Tr と選択トランジスタ SEL-Tr により形成されるソースフォロワ構造と同等のソースフォロワ構造を有するように構成されている。その結果、クリップのミスマッチが低減され、クリップレベルのマージンを減少させることができ、ひいては低電圧化が可能となっている。

そして、本第 1 の実施形態によれば、チップ間バラツキを考慮してクリップ回路の制御電圧であるクリップ電圧を決定する必要がなくなり、低電圧化と反転ビデオノイズの防止 (太陽黒点防止) を両立することができ、ひいては高画質化を実現することが可能となる利点がある。

【0089】

(第 2 の実施形態)

図 10 は、本発明の第 2 の実施形態に係るクリップ回路の構成例を示す図である。

図 11 は、本発明の第 2 の実施形態に係るクリップ回路の構成例と配置例を説明するための図である。

【0090】

本第 2 の実施形態のクリップ回路 80A が、第 1 の実施形態のクリップ回路 80 と異なる点は、次の通りである。

第 1 の実施形態のクリップ回路 80 では、実際の画素とのミスマッチを低減するために、画素 PXL においてソースフォロワトランジスタ SF-Tr と選択トランジスタ SEL-Tr により形成されるソースフォロワ構造と同等のソースフォロワ構造を有するように構成されている。

【0091】

これに対して、本第 2 の実施形態のクリップ回路 80A は、さらにミスマッチを低減させ、クリップレベルのマージンを減少させることができ、ひいては低電圧化が可能となるように、画素 PXL においてソースフォロワトランジスタ SF-Tr と選択トランジスタ SEL-Tr により形成されるソースフォロワ構造と同等のソースフォロワ構造だけではなく、全体として画素 PXL と略等価 (略対称) となる構成を有している。

【0092】

すなわち、クリップ回路 80A は、リセットおよび信号用ソースフォロワトランジスタ (R, S) SF-Tr、リセットおよび信号用選択トランジスタ (R, S) SEL-Tr に加えて、リセットおよび信号用フォトダイオード (R, S) PD、リセットおよび信号用転送トランジスタ (R, S) TG-Tr、およびリセットおよび信号用リセットトランジスタ (R, S) RST-Tr を有している。

転送トランジスタ (R, S) TG-Tr およびリセットトランジスタ (R, S) RST-Tr は、電源線 VDD とフォトダイオード (R, S) のカソード (蓄積ノード側) との

10

20

30

40

50

間に直列に接続されている。

そして、転送トランジスタ (R, S) T G-T r のゲートが電源線 V D D に接続され、リセットトランジスタ (R, S) R S T-T r のゲートが画素 P X L の制御線 R S T に接続されている。

【0093】

そして、本第2の実施形態のクリップ回路80Aは、図11に示すように、画素部20の無効OB画素領域23の任意の領域に、クリップ用の専用領域25を設けて形成されている。

図11の例では、無効OB画素領域23において、6行X(複数)列の領域が専用領域25として割り当てられている。

専用領域25の上部2行の領域251にリセット電圧クリップ部81Aが形成され、次の2行の領域252に信号電圧クリップ部82Aが形成されている。

そして、図11の例では、残りの2行の領域253には後で説明するようなクランプ回路160が形成されている。

【0094】

このように、本第2の実施形態によれば、前述した第1の実施形態と同様に、もともと画素部20に存在している無効画素領域22や無効OB画素領域23等の無効領域にクリップ回路80Aを配置することから、配置位置や回路面積に対する制約を軽減でき、有効画素領域21に対する影響を極力小さくでき、ひいてはチップの小面積化を図ることができ、また、クリップ回路の設計の自由度が増大するという利点がある。

【0095】

さらに、本第2の実施形態によれば、画素PXLにおいてソースフォロワトランジスタS F-T rと選択トランジスタS E L-T rにより形成されるソースフォロワ構造と同等のソースフォロワ構造だけではなく、画素PXLと略等価(略対称)となる構成を有していることから、さらにミスマッチを低減させ、クリップレベルのマージンを減少させることができ、ひいては低電圧化が可能となる。

【0096】

さらに、本第2の実施形態によれば、クリップ回路として複数列を用いることから、これによっても、さらにミスマッチを低減させ、クリップレベルのマージンを減少させることができ、ひいては低電圧化が可能となる。

【0097】

(第3の実施形態)

図12は、本発明の第3の実施形態に係る画素およびクリップ回路の構成例を示す図である。

【0098】

本第3の実施形態のクリップ回路80Bが、第1および第2の実施形態のクリップ回路80、80Aと異なる点は次の通りである。

【0099】

第1および第2の実施形態のクリップ回路80、80Aは、クリップの制御電圧であるリセット用クリップ電圧v a e_r s tおよび信号用クリップ電圧v a e_s i gがクリップに適切な電圧としてあらかじめ設定されている。

【0100】

これに対して、本第3の実施形態のクリップ回路80Bでは、画素の出力電圧(読み出し電圧)であってクリップ回路80Bを介したリセット電圧V r s tを検知してリセット用クリップ電圧v a e_r s tおよび信号用クリップ電圧v a e_s i gを制御するクリップ電圧制御部100を設けて、チップ間のバラツキに対して不感となるように構成されている。

【0101】

さらに、本第3の実施形態では、検知対象のリセット電圧V r s tは、有効画素領域21における画素PXLから出力される読み出し電圧ではなく、無効OB画素領域23の画

10

20

30

40

50

素 P X L から出力される読み出し電圧 V_{rst} であって複数列（図 12 の例では 2 列）の読み出し電圧 V_{rst} を平均化した電圧である。

これにより、本第 3 の実施形態では、ミスマッチを低減させ、クリップレベルのマージンを減少させることができ、ひいては低電圧化が可能となるように構成されている。

本第 3 の実施形態によれば、検知する画素出力は無効画素であればよく、特に、無効 O B 画素のみを用いることで、超高輝度光による電圧変動による影響を回避することができる。

【0102】

図 12 は、基本的に、図 5 のクリップ回路に対してクリップ電圧制御部 100 を設けた構成を示している。

【0103】

クリップ電圧制御部 100 は、図 12 に示すように、検知回路 110、リセット回路 120、クリップマージン調整回路 130、リセット電圧用クリップ電圧生成部 140、および信号電圧用クリップ電圧生成部 150 を有している。

【0104】

検知回路 110 は、画素（図 12 の例では無効 O B 画素）から読み出され、クリップ回路 80 B を介した画素読み出し電圧を検知し、検知した電圧をクリップマージン調整回路 130 に出力する。

検知回路 110 に入力される読み出し電圧 V_{rst} は、2 列の無効 O B 画素の出力であったたとえば 2 列分の無効 O B 画素 23 B-B1, 23 B-B2 の出力電圧を平均化した電圧である。電圧 V_{rst} を出力する無効 O B 画素行は、垂直走査回路 30 の選択行に応じて変化する。

出力電圧の平均化部は、2 列の無効 O B 画素が接続された垂直信号線 LSGN-B1, LSGN-B2 を接続して構成され、その接続ノード NDB から平均化された読み出し電圧 V_{rst} が検知回路 110 に入力される

【0105】

検知回路 110 は、たとえば図 12 に示すように、サンプルホールド (S/H) 回路 110 A により構成される。

S/H 回路 110 A は、スイッチ SW1、SW2、SW3、キャパシタ C1、C2、およびノード ND1、ND2 を含んで構成される。

【0106】

図 13 は、サンプルホールド (S/H) 回路を含む読み出し処理の各クロックタイミングの一例を示す図である。

【0107】

スイッチ SW1 と SW2 は共通の端子 a と端子 b または端子 c との接続が切り替えられる。

スイッチ SW1 の端子 b は垂直信号線 LSGN-B1, LSGN-B2 の接続ノード NDB に接続され、端子 a がノード ND1 に接続されている。

スイッチ SW1 は、たとえばサンプリングクロック a_{e_smp1} （図 13）によりオンオフされる。

スイッチ SW2 は、フレーム毎に S/H 回路 110 A をリセットするため、フレーム毎に端子 c が端子 a と接続されて、S/H 回路 110 A をリセット回路 120 に接続する。

スイッチ SW3 は、端子 a がノード ND1 に接続され、端子 b がノード ND2 に接続される。

スイッチ SW3 は、たとえばホールドクロック a_{e_hold} （図 13）によりオンオフされる。

【0108】

キャパシタ C1 はノード ND1 と基準電位 VSS との間に接続され、キャパシタ C2 はノード ND2 と基準電位 VSS との間に接続されている。

そして、ノード ND2 は次段のクリップマージン調整回路 130 の入力部に接続されて

10

20

30

40

50

いる。

【0109】

このような構成を有するS/H回路110Aは、垂直信号線LSGN-B1、LSGN-B2の接続ノードNDBから供給される平均化された読み出し電圧Vrstをサンプル、ホールドして、読み出し電圧Vrstを検知する。

【0110】

なお、S/H回路110Aは、それ自体をローパスフィルタ化することにより、検知対象画素がデバイス欠陥により飽和していたとしても、クリップ電圧自体の低下を緩和することができる。

【0111】

また、S/H回路110Aは、電源投入時に、クランプ回路160を用いて駆動し、ハイインピーダンス(HiZ)による絶縁破壊を回避することができる。

図14は、サンプルホールド(S/H)回路を駆動するクランプ回路およびリセット回路を含む構成例を示す図である。

【0112】

クランプ回路160は、垂直信号線LSGNと電源VDDとの間にダイオード接続されたNMOSからなるトランジスタNT1および選択トランジスタNT2が接続されている。

【0113】

電源投入時には、最初に信号ae_pix_clampによりトランジスタNT2をオンさせて垂直信号線LSGNに固定電圧を出力し、S/H回路110Aを駆動する。

これにより、S/H回路110Aのハイインピーダンス(HiZ)による絶縁破壊を回避する。

【0114】

リセット回路120は、検知回路110としてのS/H回路110Aをリセット可能に構成されている。

リセット回路120は、図12および図14に示すように、NMOSのトランジスタNT11、可変抵抗素子R11、電流源I11、I12、およびノードND11、ND12を有している。

電源VDDと基準電位VSSとの間にトランジスタNT11および電流源I11が直列に接続され、トランジスタNT11のソースと電流源I11との接続点によりノードND11が形成されている。そして、ノードND11がスイッチSW2の端子cに接続されている。

また、電源VDDと基準電位VSSとの間に可変抵抗素子R11および電流源I12が直列に接続され、可変抵抗素子R11と電流源I12との接続点によりノードND12が形成されている。そして、ノードND12がトランジスタNT11のゲートに接続されている。

【0115】

図15は、S/H回路のリセット時等の条件等を表として示す図である。

リセット回路120は、図15に示すように、S/H回路のスイッチSW2、SW3がオンしている状態で、ノードND1、ND2に接続されたキャパシタC1、C2の電荷を放電させる。

フレーム毎に、セットアップ期間に、S/H回路110Aをリセットすることで、正帰還回路による発散を防止することができる。

また、上述したように、電源投入時等の起動時には、スイッチSW1とSW3がオンしている状態で、クランプ回路160により電圧を与えてS/H回路110Aを駆動して、S/H回路110Aをローインピーダンス状態に保持させる。

これにより、ハイインピーダンス(HiZ)による絶縁破壊を回避することができる。

【0116】

クリップマージン調整回路130は、検知回路110であるS/H回路110Aにより

10

20

30

40

50

検知された電圧に対してクリップマージンを調整し、調整した電圧をリセット電圧用クリップ電圧生成部140および信号電圧用クリップ電圧生成部150に供給する。

本第3の実施形態においては、垂直信号線LSGNのIRドロップをトラックすることにより、クリップレベルのマージンを減らすように調整することができ、これによっても低電圧化を図ることが可能となる。

【0117】

クリップマージン調整回路130は、演算増幅器（オペアンプ）131、NMOSのトランジスタNT21、可変抵抗素子R21、R22、電流源I21、およびノードND21を有している。

【0118】

クリップマージン調整回路130において、電源VDDと基準電位VSSとの間に、電流源I21、可変抵抗素子R21、R22、およびトランジスタNT21が直列に接続され、電流源I21と可変抵抗素子R21との接続点によりノードND21が形成されている。

オペアンプ131は、反転入力端子（-）がS/H回路110AのノードND2に接続され、非反転入力端子（+）がノードND21に接続され、出力がトランジスタNT21のゲートに接続されている。

【0119】

クリップマージン調整回路130においては、S/H回路110Aからの検知電圧と出力電圧からのノードND21からの帰還電圧とが比較され、差分がゼロになるようにトランジスタNT21のゲート電圧が調整される。

そして、クリップマージン分が調整されたリセット電圧の検知電圧がリセット電圧用クリップ電圧生成部140に出力される。

同様に、最大信号振幅とクリップマージン分が調整された信号電圧の検知電圧が信号電圧用クリップ電圧生成部150に出力される。

【0120】

リセット電圧用クリップ電圧生成部140は、クリップマージン調整回路130から供給されるリセット電圧の検知電圧に応じてリセット用クリップ電圧vae_rstを生成し、生成したリセット用クリップ電圧vae_rstを、クリップ回路80B-B1、80B-B2、80Bにおけるリセット電圧クリップ部81のリセット用ソースフォロワトランジスタRSF-Trの各ゲートに出力する。

【0121】

リセット電圧用クリップ電圧生成部140は、オペアンプ141、NMOSのトランジスタNT31、電流源I31、およびノードND31を有するレギュレータにより構成されている。

【0122】

リセット電圧用クリップ電圧生成部140において、電源VDDと基準電位VSSとの間にトランジスタNT31と電流源I31が接続され、トランジスタNT31のソースと電流源I31との接続点によりノードND31が形成されている。

オペアンプ141は、非反転入力端子（+）がクリップマージン調整回路130のリセット電圧の検知電圧に応じた電圧の供給ラインに接続され、反転入力端子（-）がノードND31に接続されている。

そして、オペアンプ141の出力がトランジスタNT31のゲート、およびクリップ回路80B-B1、80B-B2、80Bにおけるリセット電圧クリップ部81のリセット用ソースフォロワトランジスタRSF-Trの各ゲートに接続されている。すなわち、オペアンプ141の出力がリセット用クリップ電圧vae_rstの出力部となっている。

【0123】

リセット電圧用クリップ電圧生成部140において、クリップマージン調整回路130からの出力電圧とノードND31からの帰還電圧とが比較され、差分がゼロになるようにトランジスタNT31のゲート電圧が調整される。

【0124】

リセット電圧用クリップ電圧生成部140において、トランジスタNT31は、画素のソースフォロワトランジスタSF-Trと特性が等価な素子であるNMOSTランジスタにより形成されている。

したがって、リセット電圧用クリップ電圧生成部140においては、画素PXLのソースフォロワトランジスタSF-Trから読み出された（出力された）電圧（リセット電圧）から、ソースフォロワトランジスタSF-Trの入力電位であるフローティングディフュージョンFDの電位にシフトする回路として機能する。

【0125】

信号電圧用クリップ電圧生成部150は、クリップマージン調整回路130から供給される信号電圧の検知電圧に応じて信号用クリップ電圧vae_sigを生成し、生成した信号用クリップ電圧vae_sigを、クリップ回路80B-B1, 80B-B2, 80Bにおける信号電圧クリップ部82の信号用ソースフォロワトランジスタSSF-Trの各ゲートに出力する。

【0126】

信号電圧用クリップ電圧生成部150は、オペアンプ151, NMOSのトランジスタNT41、電流源I41、およびノードND41を有するレギュレータにより構成されている。

【0127】

信号電圧用クリップ電圧生成部150において、電源VDDと基準電位VSSとの間にトランジスタNT41と電流源I41が接続され、トランジスタNT41のソースと電流源I41との接続点によりノードND41が形成されている。

オペアンプ151は、非反転入力端子（+）がクリップマージン調整回路130の信号電圧の検知電圧に応じた電圧の供給ラインに接続され、反転入力端子（-）がノードND41に接続されている。

そして、オペアンプ151の出力がトランジスタNT41のゲート、およびクリップ回路80B-B1, 80B-B2, 80Bにおける信号電圧クリップ部82の信号用ソースフォロワトランジスタSSF-Trの各ゲートに接続されている。すなわち、オペアンプ151の出力が信号用クリップ電圧vae_sigの出力部となっている。

【0128】

信号電圧用クリップ電圧生成部150において、クリップマージン調整回路130からの出力電圧とノードND41からの帰還電圧とが比較され、差分がゼロになるようにトランジスタNT41のゲート電圧が調整される。

【0129】

信号電圧用クリップ電圧生成部150において、トランジスタNT41は、画素のソースフォロワトランジスタSF-Trと特性が等価な素子であるNMOSTランジスタにより形成されている。

したがって、信号電圧用クリップ電圧生成部150においては、画素PXLのソースフォロワトランジスタSF-Trから読み出された（出力された）電圧（リセット電圧）から、ソースフォロワトランジスタSF-Trの入力電位であるフローティングディフュージョンFDの電位にシフトする回路として機能する。

【0130】

上記構成においても、読み出しスキャン時の動作は、図5の構成の場合と同様に行われるが、新たにクリップ電圧制御部100によるクリップ電圧の制御動作が行われる。

以下に、クリップ電圧制御部100によるクリップ電圧の制御動作の概要を説明する。以下の説明では電源投入時やリセット時の処理については、既に詳述したので省略する。

【0131】

クリップ電圧制御部100においては、画素（図12の例では無効OB画素）から読み出され、クリップ回路80を介した画素読み出し電圧であるリセット電圧Vrstが検知される。

10

20

30

40

50

検知回路 110 に入力される読み出し電圧 V_{rst} は、2 列の無効 OB 画素の出力であつたたとえば 2 列分の無効 OB 画素 23B-B1, 23B-B2 の出力電圧を平均化した電圧である。無効 OB 画素行は垂直走査回路 30 の選択行に応じて変化する。

検知回路 110 において、読み出しスキャン時の第 1 読み出し期間 PRD1 にはリセット電圧 V_{rst} が検知される。

検知回路 110 で検知されたりセット電圧 V_{rst} はクリップマージン調整回路 130 に供給される。

【0132】

クリップマージン調整回路 130 では、検知回路 110 により検知された電圧に対してクリップマージンが調整され、調整した電圧がリセット電圧用クリップ電圧生成部 140 および信号電圧用クリップ電圧生成部 150 に供給される。

10

【0133】

リセット電圧用クリップ電圧生成部 140 においては、クリップマージン調整回路 130 から供給されるリセット電圧の検知電圧に応じてリセット用クリップ電圧 v_{ae_rst} が生成される。

リセット電圧用クリップ電圧生成部 140 においては、画素 PXL のソースフォロワトランジスタ SF-Tr から読み出された（出力された）電圧（リセット電圧）から、ソースフォロワトランジスタ SF-Tr の入力電位であるフローティングディフュージョン FD の電位にシフトするようにしてリセット用クリップ電圧 v_{ae_rst} が生成される。

主として第 1 読み出し期間 PRD1 において、生成されたりセット用クリップ電圧 v_{ae_rst} は、クリップ回路 80B-B1, 80B-B2, 80B におけるリセット電圧クリップ部 81 のリセット用ソースフォロワトランジスタ RSF-Tr の各ゲートに出力される。

20

【0134】

信号電圧用クリップ電圧生成部 150 においては、クリップマージン調整回路 130 から供給される最大信号振幅に応じて設定された信号用クリップ電圧 v_{ae_sig} が生成される。

信号電圧用クリップ電圧生成部 150 においては、画素 PXL のソースフォロワトランジスタ SF-Tr から読み出された（出力された）電圧（リセット電圧）から、ソースフォロワトランジスタ SF-Tr の入力電位であるフローティングディフュージョン FD の電位にシフトするようにして信号用クリップ電圧 v_{ae_sig} が生成される。

30

主として第 2 読み出し期間 PRD2 において、生成された信号用クリップ電圧 v_{ae_sig} は、クリップ回路 80B-B1, 80B-B2, 80B における信号電圧クリップ部 82 の信号用ソースフォロワトランジスタ SSF-Tr の各ゲートに出力される。

【0135】

本第 3 の実施形態によれば、上述した第 1 および第 2 の実施形態と同様の効果を得ることができることはもとより、以下の効果を得ることができる。

すなわち、本第 3 の実施形態によれば、画素の出力電圧（読み出し電圧）であつて介したりセット電圧 V_{rst} を検知してリセット用クリップ電圧 v_{ae_rst} および信号用クリップ電圧 v_{ae_sig} を制御するクリップ電圧制御部 100 を有することから、チップ間のバラツキに対して不感となり、垂直信号線 LSGN の IR ドロップをトラックすることにより、クリップレベルのマージンを減らすことができ、低電圧化が可能となる。

40

また、本第 3 の実施形態では、検知対象のリセット電圧 V_{rst} は、有効画素領域 21 における画素 PXL から出力される読み出し電圧ではなく、無効 OB 画素領域 23 の画素 PXL から出力される読み出し電圧 V_{rst} であつて複数列の読み出し電圧 V_{rst} を平均化した電圧である。

これにより、本第 3 の実施形態では、ミスマッチを低減させ、クリップレベルのマージンを減少させることができ、ひいては低電圧化が可能となる。

本第 3 の実施形態によれば、検知する画素出力は無効画素であればよく、特に、無効 OB 画素のみを用いることで、超高輝度光による電圧変動による影響を回避することができ

50

る。

【0136】

また、画素のソースフォロワトランジスタ $S F - T r$ と特性が等価な素子を用いてクリップ電圧を生成することで、チップ間のバラツキに不感となるので、クリップレベルのマージンを減らすことができ、低電圧化が可能となる。

【0137】

なお、検知回路である S / H 回路 110A は、それ自体をローパスフィルタ化することにより、検知対象画素がデバイス欠陥により飽和していたとしても、クリップ電圧自体の低下を緩和することができる。

また、 S / H 回路 110A は、電源投入時に、クランプ回路を用いて駆動し、ハイインピーダンス ($H i Z$) による絶縁破壊を回避することができる。

10

フレーム毎に、セットアップ期間に、 S / H 回路 110A をリセットすることで、正帰還回路による発散を防止することができる。

【0138】

(第4の実施形態)

図16は、本発明の第4の実施形態に係るレギュレータのソースフォロワ回路の配置構成例を模式的に示す図である。

【0139】

本第4の実施形態においては、レギュレータに用いるソースフォロファ回路に、画素素子のダミーを複数用いて、バラツキを低減する。

20

【0140】

図16に示すように、N型基板171に、たとえば 6×7 セルの領域172が形成され、その内側 4×5 セルの領域173、174を利用する。

外周は形状ダミーとして非選択とする。

【0141】

(応用例)

図17は、本発明の実施形態に係る固体撮像装置のテストシーケンスの一例を説明するための図である。

【0142】

本応用例では、追加素子を用いないクリップ系の安価なテスト方法を示す。

30

【0143】

図17のテストシーケンスにおいては、画素部20の全画素 $P X L$ の選択素子である選択トランジスタ $S E L - T r$ を非導通状態とする (ステップ $S T 1$)。

この状態で、所定信号、ここでは可変抵抗 $R 2 1$ および $R 2 2$ をスウィープさせた状態で (ステップ $S T 2$)、クリップ回路用選択素子を導通状態にして (ステップ $S T 3$ 、 $S T 4$)、クリップ回路動作をテストする。

ステップ $S T 3$ においては、クリップ回路80のリセット電圧クリップ部81のリセット用選択トランジスタ $R S E L - T r$ を導通状態として、リセット電圧クリップ部81を介した電圧信号を得る。

ステップ $S T 4$ においては、クリップ回路80の信号電圧クリップ部82の信号用選択トランジスタ $S S E L - T r$ を導通状態として、信号電圧クリップ部82を介した電圧信号を得る。

40

そして、ステップ $S T 5$ において、たとえば読み出し回路40の $A D C$ で $A D$ 変換し、リセット用クリップ電圧 $V a e_r s t$ と信号用クリップ電圧 $V a e_s i g$ の両方または $C D S$ 処理された差分電圧がチップから出力される。これらの出力コードを測定することで、追加素子を用いずに安易にクリップ系回路のテストを行うことができる。

【0144】

応用として、クリップ回路だけで読み出す方法やクランプ回路160とリセット回路120で読み出す方法等を採用しても良い。この場合は、クランプ回路の出力とリセット回路120の両方または $C D S$ 処理された差分電圧がチップから出力される。

50

【0145】

以上説明した固体撮像装置10は、デジタルカメラやビデオカメラ、携帯端末、あるいは監視用カメラ、医療用内視鏡用カメラなどの電子機器に、撮像デバイスとして適用することができる。

【0146】

図18は、本発明の実施形態に係る固体撮像装置が適用されるカメラシステムを搭載した電子機器の構成の一例を示す図である。

【0147】

本電子機器300は、図18に示すように、本実施形態に係る固体撮像装置10が適用可能なCMOSイメージセンサ310を有する。

10

さらに、電子機器300は、このCMOSイメージセンサ310の画素領域に入射光を導く（被写体像を結像する）光学系（レンズ等）320を有する。

電子機器300は、CMOSイメージセンサ310の出力信号を処理する信号処理回路（PRC）330を有する。

【0148】

信号処理回路330は、CMOSイメージセンサ310の出力信号に対して所定の信号処理を施す。

信号処理回路330で処理された画像信号は、液晶ディスプレイ等からなるモニタに動画として映し出し、あるいはプリンタに出力することも可能であり、またメモリカード等の記録媒体に直接記録する等、種々の態様が可能である。

20

【0149】

上述したように、CMOSイメージセンサ310として、前述した固体撮像装置10を搭載することで、高性能、小型、低コストのカメラシステムを提供することが可能となる。

そして、カメラの設置の要件に実装サイズ、接続可能ケーブル本数、ケーブル長さ、設置高さなどの制約がある用途に使われる、たとえば、監視用カメラ、医療用内視鏡用カメラなどの電子機器を実現することができる。

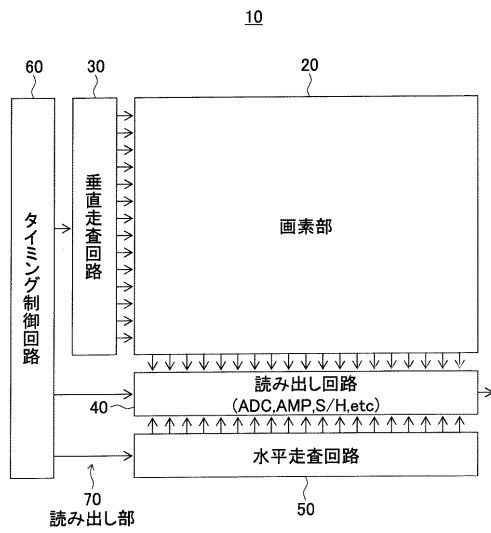
【符号の説明】

【0150】

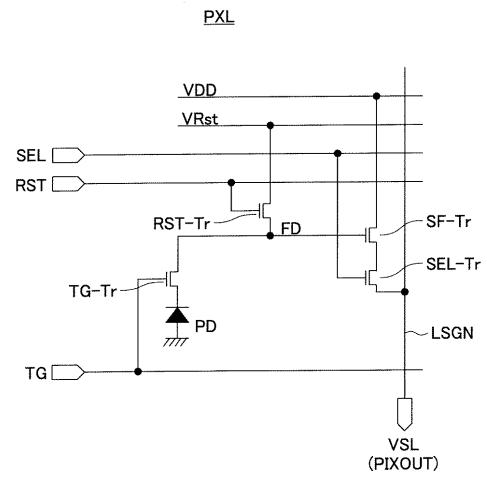
10・・・固体撮像装置、20・・・画素部、30・・・垂直走査回路、40・・・読み出し回路、50・・・水平走査回路、60・・・タイミング制御回路、70・・・読み出し部、80・・・クリップ回路、90・・・ロード回路、100・・・クリップ電圧制御部、110・・・検知回路、110A・・・S/H回路、120・・・リセット回路、130・・・クリップマージン調整回路、140・・・リセット電圧用クリップ電圧生成部、150・・・信号電圧用クリップ電圧生成部、160・・・クランプ回路、300・・・電子機器、310・・・CMOSイメージセンサ、320・・・光学系、330・・・信号処理回路（PRC）。

30

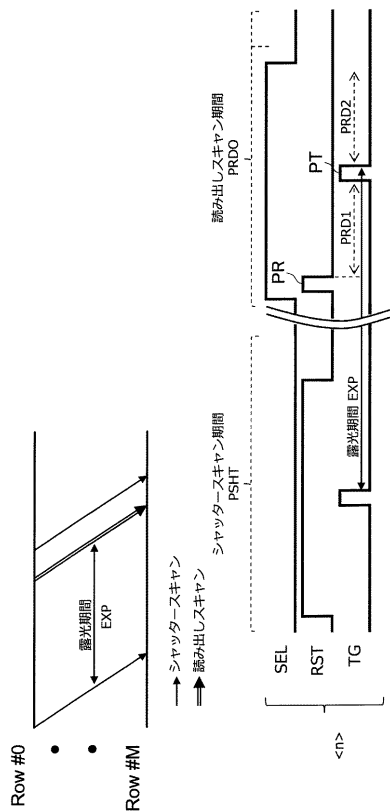
【図 1】



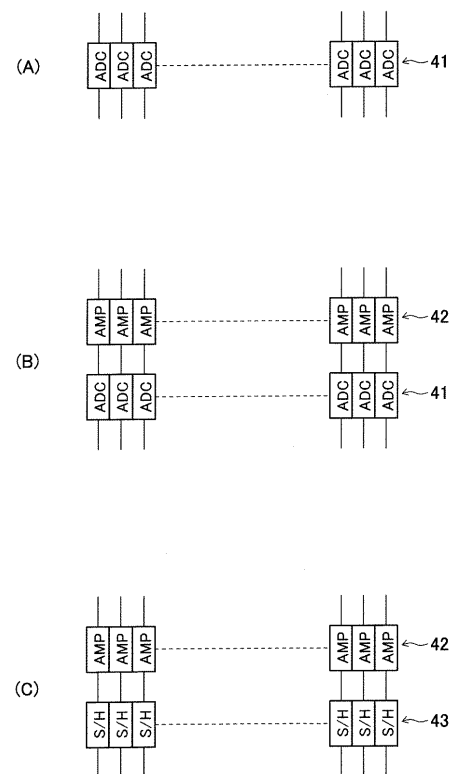
【図 2】



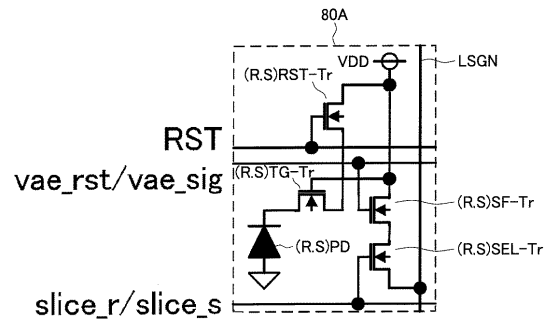
【図 3】



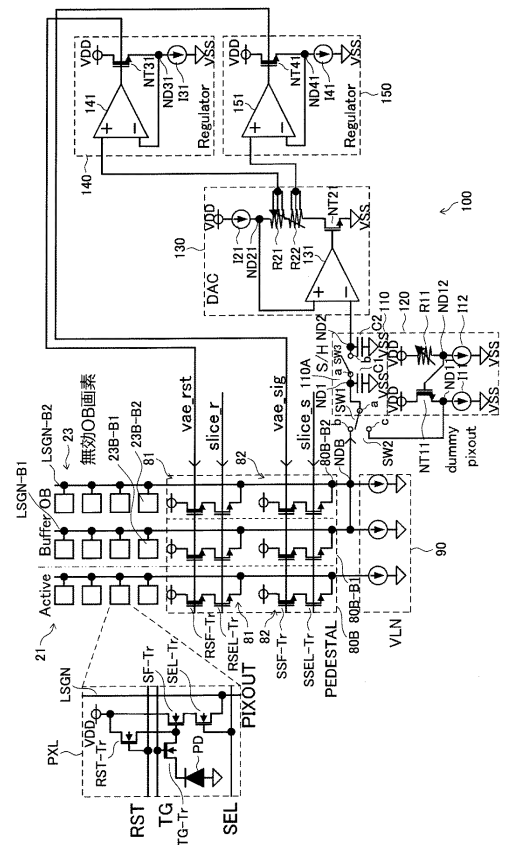
【図 4】



【 図 1 0 】

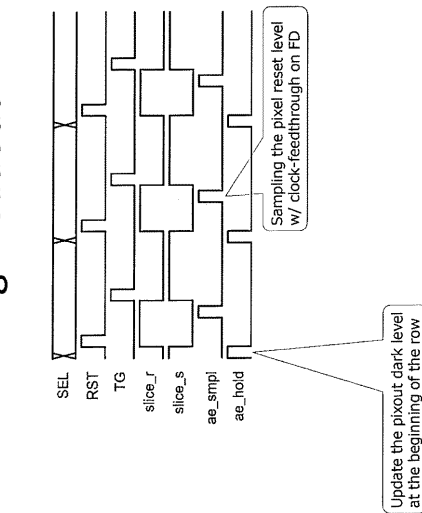


【图 1 2】

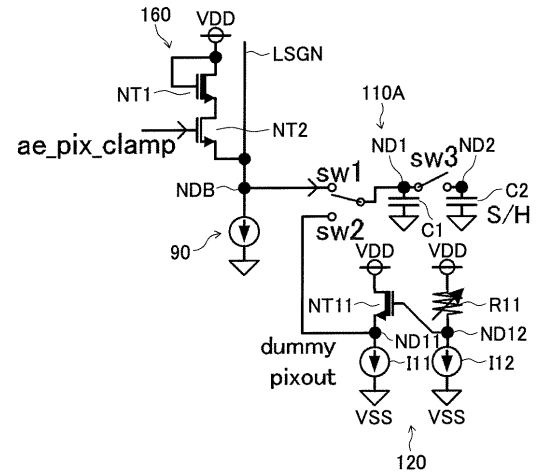


【図 13】

Clock Timing: Readout



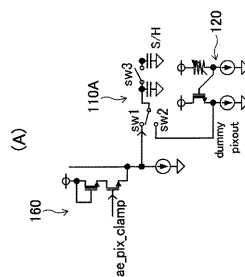
【図 14】



【図 15】

Reset of S/H Circuit

(B)

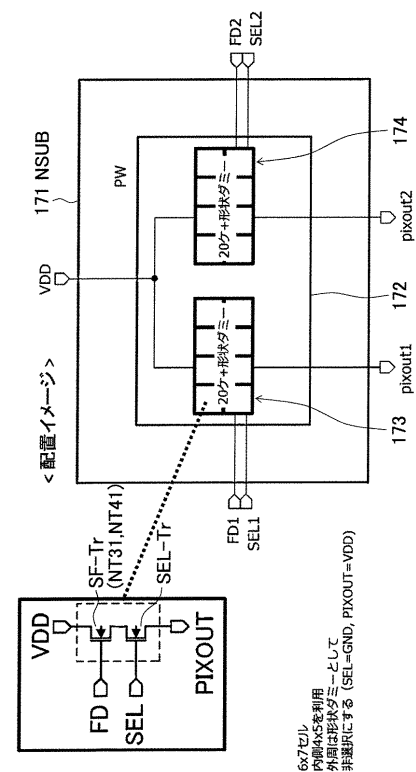


電源 投入	レジスタ 書き込み	通常読み出し動作 (1V期間)			
		プッシュ	SETUP	SETTING	有効画像
ae_pix_clamp	1	1	pulse	←	←
ae_smp1	1	1	pulse	←	←
ae_hold	1	1	pulse	←	←
ae_setup	0	0	1	0	0
loop_dis	0	0	0	1	0
sw1	1	1	ae_smp1 (0)	ae_smp1 (0)	←
sw2	0	0	1	0	←
sw3	1	1	ae_hold (1)	ae_hold (1)	←

Reset the S/H circuit with dummy_pixout

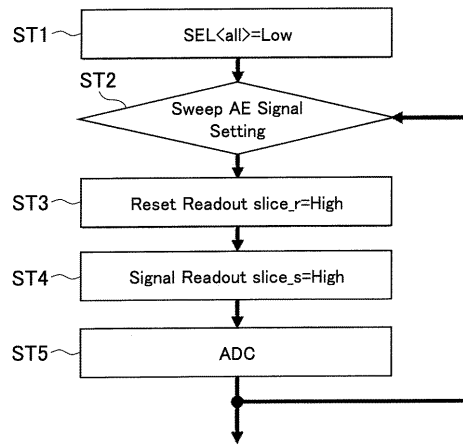
Keep the S/H circuit at low-impedance during startup

【図 16】

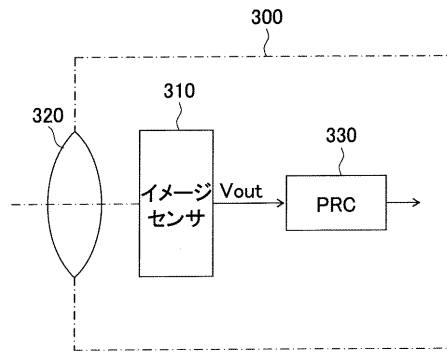
6x7セル
外部から利用
外部は形状タミとして
非選択にする (SEL=GND, PIXOUT=VDD)

【図 17】

Test Sequence



【図 18】



フロントページの続き

(72)発明者 吉村 憲雄

東京都品川区南大井6丁目2番12号大森プライムビル7階 ブリルニクスジャパン株式会社内

Fターム(参考) 5C024 CX03 CX12 CY47 GY31 HX11 HX29