



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년04월29일
(11) 등록번호 10-2661073
(24) 등록일자 2024년04월23일

- (51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) H03K 17/04 (2006.01)
H03K 3/356 (2006.01)
- (52) CPC특허분류
G09G 3/20 (2013.01)
H03K 17/04 (2013.01)
- (21) 출원번호 10-2022-7026344(분할)
- (22) 출원일자(국제) 2010년05월17일
심사청구일자 2022년08월26일
- (85) 번역문제출일자 2022년07월28일
- (65) 공개번호 10-2022-0110342
- (43) 공개일자 2022년08월05일
- (62) 원출원 특허 10-2021-7026521
원출원일자(국제) 2010년05월17일
심사청구일자 2021년08월20일
- (86) 국제출원번호 PCT/JP2010/058687
- (87) 국제공개번호 WO 2010/150607
국제공개일자 2010년12월29일
- (30) 우선권주장
JP-P-2009-150617 2009년06월25일 일본(JP)
- (56) 선행기술조사문헌
JP2006024350 A*
JP2004334216 A
KR1020030054816 A
KR1020030052033 A
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시킴가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
우메자키 아쓰시
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시킴가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 3 항

심사관 : 신영교

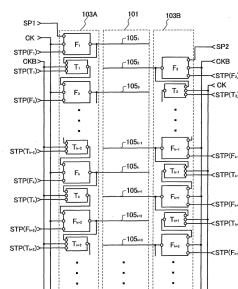
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명의 목적은 신호의 지연이나 왜곡 없이 화상을 양호하게 표시하는 표시 장치를 제공하는 것이다. 표시 장치는 제1 게이트 드라이버와 제2 게이트 드라이버를 포함한다. 제1 게이트 드라이버와 제2 게이트 드라이버의 각각은 복수의 플립플롭 회로와 복수의 전송 신호 생성 회로를 포함한다. 플립플롭 회로와 전송 신호 생성 회로

(뒷면에 계속)

대표도 - 도2



모두는 제1 입력 단자에 입력되는 신호를 반 클록 주기만큼 지연시켜 출력하는 회로들이다. 또한, 전송 신호 생성 회로의 출력 단자는, 다음 단의 플립플롭 회로의 제1 입력 단자에 직접 접속된다. 따라서, 전송 신호 생성 회로로부터 플립플롭 회로에 입력되는 신호의 지연과 왜곡을 줄일 수 있다.

(52) CPC특허분류

H03K 3/356 (2013.01)

G09G 2300/0426 (2013.01)

G09G 2300/0809 (2013.01)

G09G 2310/0202 (2013.01)

G09G 2310/0267 (2013.01)

G09G 2310/0286 (2013.01)

명세서

청구범위

청구항 1

반도체 장치로서,

제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터, 제7 트랜지스터 및 제8 트랜지스터를 포함하는 게이트 드라이버를 포함하고,

상기 제1 트랜지스터, 상기 제2 트랜지스터, 상기 제3 트랜지스터, 상기 제4 트랜지스터, 상기 제5 트랜지스터, 상기 제6 트랜지스터, 상기 제7 트랜지스터 및 상기 제8 트랜지스터는, 동일한 극성이고,

상기 제1 트랜지스터의 소스 및 드레인 중 하나는, 상기 제2 트랜지스터의 소스 및 드레인 중 하나와 제1 배선에 전기적으로 접속되고,

상기 제3 트랜지스터의 소스 및 드레인 중 하나는, 상기 제4 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제5 트랜지스터의 소스 및 드레인 중 하나는, 상기 제6 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제7 트랜지스터의 소스 및 드레인 중 하나는, 상기 제8 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제1 트랜지스터의 소스 및 드레인 중 다른 하나는, 제2 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 다른 하나는, 상기 제6 트랜지스터의 소스 및 드레인 중 다른 하나, 상기 제8 트랜지스터의 소스 및 드레인 중 다른 하나 및 제3 배선에 전기적으로 접속되고,

상기 제3 트랜지스터의 소스 및 드레인 중 다른 하나는, 상기 제3 트랜지스터의 게이트와 제4 배선에 전기적으로 접속되고,

상기 제7 트랜지스터의 소스 및 드레인 중 다른 하나는, 상기 제7 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제1 트랜지스터의 게이트는, 상기 제3 트랜지스터의 소스 및 드레인 중 하나와 상기 제4 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제2 트랜지스터의 게이트는, 상기 제4 트랜지스터의 게이트, 상기 제5 트랜지스터의 소스 및 드레인 중 하나 및 상기 제6 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제5 트랜지스터의 게이트는, 상기 제7 트랜지스터의 소스 및 드레인 중 하나와 상기 제8 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제6 트랜지스터의 게이트는, 상기 제8 트랜지스터의 게이트와 제5 배선에 전기적으로 접속되는, 반도체 장치.

청구항 2

반도체 장치로서,

제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터, 제7 트랜지스터 및 제8 트랜지스터를 포함하는 게이트 드라이버를 포함하고,

상기 제1 트랜지스터, 상기 제2 트랜지스터, 상기 제3 트랜지스터, 상기 제4 트랜지스터, 상기 제5 트랜지스터, 상기 제6 트랜지스터, 상기 제7 트랜지스터 및 상기 제8 트랜지스터는, 동일한 극성이고,

상기 제1 트랜지스터의 소스 및 드레인 중 하나는, 상기 제2 트랜지스터의 소스 및 드레인 중 하나와 제1 배선에 전기적으로 접속되고,

상기 제3 트랜지스터의 소스 및 드레인 중 하나는, 상기 제4 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제5 트랜지스터의 소스 및 드레인 중 하나는, 상기 제6 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제7 트랜지스터의 소스 및 드레인 중 하나는, 상기 제8 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고, 상기 제1 트랜지스터의 소스 및 드레인 중 다른 하나는, 제2 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 다른 하나는, 상기 제6 트랜지스터의 소스 및 드레인 중 다른 하나, 상기 제8 트랜지스터의 소스 및 드레인 중 다른 하나 및 제3 배선에 전기적으로 접속되고,

상기 제3 트랜지스터의 소스 및 드레인 중 다른 하나는, 상기 제3 트랜지스터의 게이트와 제4 배선에 전기적으로 접속되고,

상기 제7 트랜지스터의 소스 및 드레인 중 다른 하나는, 상기 제7 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제1 트랜지스터의 게이트는, 상기 제3 트랜지스터의 소스 및 드레인 중 하나와 상기 제4 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제2 트랜지스터의 게이트는, 상기 제4 트랜지스터의 게이트, 상기 제5 트랜지스터의 소스 및 드레인 중 하나 및 상기 제6 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제5 트랜지스터의 게이트는, 상기 제7 트랜지스터의 소스 및 드레인 중 하나와 상기 제8 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제6 트랜지스터의 게이트는, 상기 제8 트랜지스터의 게이트와 제5 배선에 전기적으로 접속되고,

상기 제1 배선은, 출력 신호가 출력되는 배선이고,

상기 제2 배선은, 클럭 신호가 입력되는 배선이고,

상기 제3 배선은, 제1 전위를 공급하는 배선인, 반도체 장치.

청구항 3

반도체 장치로서,

제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터, 제7 트랜지스터 및 제8 트랜지스터를 포함하는 게이트 드라이버를 포함하고,

상기 제1 트랜지스터, 상기 제2 트랜지스터, 상기 제3 트랜지스터, 상기 제4 트랜지스터, 상기 제5 트랜지스터, 상기 제6 트랜지스터, 상기 제7 트랜지스터 및 상기 제8 트랜지스터는, 동일한 극성이고,

상기 제1 트랜지스터의 소스 및 드레인 중 하나는, 상기 제2 트랜지스터의 소스 및 드레인 중 하나와 제1 배선에 전기적으로 접속되고,

상기 제3 트랜지스터의 소스 및 드레인 중 하나는, 상기 제4 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제5 트랜지스터의 소스 및 드레인 중 하나는, 상기 제6 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제7 트랜지스터의 소스 및 드레인 중 하나는, 상기 제8 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고, 상기 제1 트랜지스터의 소스 및 드레인 중 다른 하나는, 제2 배선에 전기적으로 접속되고,

상기 제2 트랜지스터의 소스 및 드레인 중 다른 하나는, 상기 제6 트랜지스터의 소스 및 드레인 중 다른 하나, 상기 제8 트랜지스터의 소스 및 드레인 중 다른 하나 및 제3 배선에 전기적으로 접속되고,

상기 제3 트랜지스터의 소스 및 드레인 중 다른 하나는, 상기 제3 트랜지스터의 게이트와 제4 배선에 전기적으로 접속되고,

상기 제7 트랜지스터의 소스 및 드레인 중 다른 하나는, 상기 제7 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제1 트랜지스터의 게이트는, 상기 제3 트랜지스터의 소스 및 드레인 중 하나와 상기 제4 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제2 트랜지스터의 게이트는, 상기 제4 트랜지스터의 게이트, 상기 제5 트랜지스터의 소스 및 드레인 중 하나 및 상기 제6 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제5 트랜지스터의 게이트는, 상기 제7 트랜지스터의 소스 및 드레인 중 하나와 상기 제8 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고,

상기 제6 트랜지스터의 게이트는, 상기 제8 트랜지스터의 게이트와 제5 배선에 전기적으로 접속되고,

상기 제1 배선은, 출력 신호가 출력되는 배선이고,

상기 제2 배선은, 클럭 신호가 입력되는 배선이고,

상기 제3 배선은, 제1 전위를 공급하는 배선이고,

상기 제1 트랜지스터, 상기 제2 트랜지스터, 상기 제3 트랜지스터, 상기 제4 트랜지스터, 상기 제5 트랜지스터, 상기 제6 트랜지스터, 상기 제7 트랜지스터 및 상기 제8 트랜지스터는 각각, 비정질 실리콘을 포함하는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명의 일 실시 형태는 액티브 매트릭스 모드에 의해 구동되는 표시 장치 및 표시 장치를 포함하는 전자 장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 모드에 의해 구동되는 표시 장치는, 화소에서의 스위치로서 기능하는 트랜지스터 등의 소자, 화소에 전기적으로 접속되고 스위치가 온 되어 있는 화소에 화상 신호를 출력하는 구동 회로(소스 드라이버), 및 스위치의 스위칭을 제어하는 구동 회로(게이트 드라이버)를 포함한다.

[0003] 또한, 트랜지스터는 화소에서의 스위치로서 기능할 수 있고 또한 게이트 드라이버를 형성할 수도 있다. 따라서, 절연 기판 위에 설치된 비단결정 반도체를 사용하여 형성된 트랜지스터를 이용하여 형성되는 화소의 스위치 및 게이트 드라이버를 포함하는 표시 장치가 개발되어 있다.

[0004] 전술한 게이트 드라이버는 표시 장치의 화소부에 근접하여 설치된다. 그러나, 게이트 드라이버가 화소부의 한 변에 근접하여 설치될 경우, 표시부가 표시 장치의 일측에 근접하게 된다. 따라서, 게이트 드라이버를 분할함으로써 형성되는 게이트 드라이버들이 화소부의 우측과 좌측 모두에 배치되는 표시 장치가 개발되어 있다 (예를 들면, 특허 문헌 1 참조).

[0005] 도 10은 특허 문헌 1에 개시된 표시 장치의 구조를 도시한다. 도 10에 도시한 표시 장치에서는, 제1 게이트 드라이버(1002A)와 제2 게이트 드라이버(1002B)가 화소부(1001)를 개재하여 서로 대향하도록 설치되어 있다. 제1 게이트 드라이버(1002A)의 출력 단자는 홀수 번째 게이트 선에 전기적으로 접속된다. 제2 게이트 드라이버(1002B)의 출력 단자는 짝수 번째 게이트 선에 전기적으로 접속된다. 즉, 제1 게이트 드라이버(1002A)는, 화소부(1001)의 홀수 번째 선에 배치된 화소와 소스 드라이버 간의 전기적 접속을 제어하는 한편, 제2 게이트 드라이버(1002B)는 화소부(1001)의 짝수 번째 선에 배치된 화소와 소스 드라이버 간의 전기적 접속을 제어한다.

[0006] 또한, 제1 게이트 드라이버(1002A)와 제2 게이트 드라이버(1002B)의 각각은 복수의 시프트 레지스터를 포함한다. 제1 시프트 레지스터(SRC₁)의 출력 단자는 제1 게이트 선(1003₁)을 통해 제2 시프트 레지스터(SRC₂)의 입력 단자들 중 하나에 전기적으로 접속된다. 제2 시프트 레지스터(SRC₂)의 출력 단자는 제2 게이트 선(1003₂)을 통해 제3 시프트 레지스터(SRC₃)의 입력 단자들 중 하나에 전기적으로 접속된다. 마찬가지로, 제k 시프트 레지스터(SRC_k)의 출력 단자는 제k 게이트 선(1003_k)을 통해 제(k+1) 시프트 레지스터(SRC_{k+1})의 입력 단자들 중 하나에 전기적으로 접속된다. 즉, 한 라인에 배치된 화소와 소스 드라이버 간의 전기적 접속을 위한 신호는, 출력 단자가 다음 라인에 배치된 화소에 접속된 시프트 레지스터의 시작 펄스 신호로서 사용된다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 일본 특허 공보 제4163416호

발명의 내용

- [0008] 화소부에서 연장되는 게이트 선에는 다양한 기생 용량 및 기생 저항이 존재한다. 특히, 화소부의 고 품질화로 인해, 게이트 선에 의해 유지되는 기생 용량 및 기생 저항의 영향이 커진다. 전술한 바와 같이, 도 10에 도시한 표시 장치에서는, 게이트 선을 통해 시프트 레지스터의 시작 펄스 신호가 입력된다. 따라서, 도 10에 도시한 표시 장치에서는, 고 정밀화 및 대형화로 인해, 신호가 지연되거나 왜곡될 가능성이 높다.
- [0009] 전술한 문제를 고려할 때, 본 발명의 일 실시 형태의 목적은 양호한 화상 표시가 가능한 표시 장치를 제공하는 것이다.
- [0010] 또한, 본 발명의 일 실시 형태의 목적은 단극성 트랜지스터를 사용하여 게이트 드라이버가 형성된 표시 장치를 제공하는 것이다.
- [0011] 또한, 본 발명의 일 실시 형태의 목적은 회로 면적이 저감된 게이트 드라이버를 포함하는 표시 장치를 제공하는 것이다.
- [0012] 발명의 일 실시 형태는 표시 장치이다. 표시 장치는, 평행 또는 대략 평행하도록 배치된 복수의 게이트 선; 홀수 번째 행의 각 게이트 선에 전기적으로 접속된 제1 게이트 드라이버; 및 짝수 번째 행의 각 게이트 선에 전기적으로 접속된 제2 게이트 드라이버를 포함한다. 제1 게이트 드라이버는 제k 플립플롭 회로 및 제k 전송 신호 생성 회로를 포함한다(k는 3 이상의 홀수임). 제k 플립플롭 회로에서, 출력 단자는 제k 게이트 선에 전기적으로 접속되고, 제1 입력 단자는 제(k-2) 전송 신호 생성 회로의 출력 단자에 전기적으로 접속되고, 제2 입력 단자는 클럭 신호 선에 전기적으로 접속되고, 제3 입력 단자는 제k 플립플롭 회로용 정지 펄스 신호 선에 전기적으로 접속된다. 제k 전송 신호 생성 회로에서, 출력 단자는 제(k+2) 플립플롭 회로의 제1 입력 단자에 전기적으로 접속되고, 제1 입력 단자는 제k 플립플롭 회로의 출력 단자에 전기적으로 접속되고, 제2 입력 단자는 반전 클럭 신호 선에 전기적으로 접속되고, 제3 입력 단자는 제k 전송 신호 생성 회로용 정지 펄스 신호 선에 전기적으로 접속된다. 제2 게이트 드라이버는 제(k+1) 플립플롭 회로 및 제(k+1) 전송 신호 생성 회로를 포함한다. 제(k+1) 플립플롭 회로에서, 출력 단자는 제(k+1) 게이트 선에 전기적으로 접속되고, 제1 입력 단자는 제(k-1) 전송 신호 생성 회로의 출력 단자에 전기적으로 접속되고, 제2 입력 단자는 반전 클럭 신호 선에 전기적으로 접속되고, 제3 입력 단자는 제(k+1) 플립플롭 회로용 정지 펄스 신호에 전기적으로 접속된다. 제(k+1) 전송 신호 생성 회로에서, 출력 단자는 제(k+3) 플립플롭 회로의 제1 입력 단자에 전기적으로 접속되고, 제1 입력 단자는 제(k+1) 플립플롭 회로의 출력 단자에 전기적으로 접속되고, 제2 입력 단자는 클럭 신호 선에 전기적으로 접속되고, 제3 입력 단자는 제k 전송 신호 생성 회로용 정지 펄스 신호 선에 전기적으로 접속된다.
- [0013] 또한, 제k 플립플롭 회로의 구조가 제k 전송 신호 생성 회로의 구조와 동일한 표시 장치도 본 발명의 일 실시 형태이다.
- [0014] 전술한 정지 펄스 신호 선은 정지 펄스 신호를 각 회로에 입력하는 배선이라는 점에 주목한다.
- [0015] 구체적으로, 제k 플립플롭 회로용 정지 펄스 신호로서, 제k 전송 신호 생성 회로의 출력 신호를 사용할 수 있다.
- [0016] 대안으로, 제k 플립플롭 회로용 정지 펄스 신호로서, 제(k+1) 플립플롭 회로의 출력 신호를 사용할 수도 있다.
- [0017] 마찬가지로, 제k 전송 신호 생성 회로용 정지 펄스 신호로서, 제(k+2) 플립플롭 회로의 출력 신호를 사용할 수 있다.
- [0018] 대안으로, 제k 전송 신호 생성 회로용 정지 펄스 신호로서, 제(k+1) 전송 신호 생성 회로의 출력 신호를 사용할 수도 있다.
- [0019] 또한, 상기 구성을 갖는 표시 장치를 포함하는 전자 장치도 본 발명의 일 실시 형태이다.

[0020] 본 발명의 일 실시 형태의 표시 장치에 설치된 제1 게이트 드라이버 및 제2 게이트 드라이버는, 입력된 신호를 반 클록 주기만큼 지연시켜 출력하는 전송 신호 생성 회로를 포함한다. 따라서, 신호의 지연 또는 왜곡 없이 양호한 화상 표시가 가능한 표시 장치를 제공할 수 있다.

도면의 간단한 설명

- [0021] 도 1은 제1 실시 형태에서 설명하는 표시 장치를 도시하는 도.
- 도 2는 제1 실시 형태에서 설명하는 게이트 드라이버의 구조를 도시하는 도.
- 도 3은 제1 실시 형태에서 설명하는 게이트 드라이버의 타이밍 차트를 도시하는 도.
- 도 4는 제2 실시 형태에서 설명하는 회로 구조의 구체적인 예를 도시하는 도.
- 도 5는 제2 실시 형태에서 설명하는 회로의 타이밍 차트를 도시하는 도.
- 도 6은 제3 실시 형태에서 설명하는 회로 구조의 구체적인 예를 도시하는 도.
- 도 7a와 도 7b의 각각은 제3 실시 형태에서 설명하는 인버터 회로의 구체적인 예를 도시하는 도.
- 도 8은 제4 실시 형태에서 설명하는 회로 구조의 구체적인 예를 도시하는 도.
- 도 9a와 도 9b의 각각은 제4 실시 형태에서 설명하는 제어 회로의 구체적인 예를 도시하는 도.
- 도 10은 특허 문헌 1에 도시한 게이트 드라이버의 구조를 도시하는 도.
- 도 11a 내지 도 11f의 각각은 제6 실시 형태에서 설명하는 전자 장치의 구체적인 예를 도시하는 도.
- 도 12a 내지 도 12d의 각각은 제6 실시 형태에서 설명하는 전자 장치의 구체적인 예를 도시하는 도.
- 도 13a 내지 도 13d의 각각은 제6 실시 형태에서 설명하는 전자 장치의 구체적인 예를 도시하는 도.
- 도 14a는 제1 실시예에서 설명하는 종래의 회로 구조를 도시하고, 도 14b는 제1 실시예에서 설명하는 본 발명의 회로 구조를 도시하는 도.
- 도 15는 종래의 게이트 드라이버의 플립플롭 회로의 출력 신호 및 제1 실시예에서 설명하는 본 발명에 개시된 게이트 드라이버의 플립플롭 회로의 출력 신호를 도시하는 도.

발명을 실시하기 위한 구체적인 내용

[0022] 이하에서는, 본 발명의 실시 형태들 및 일례를 도면을 참조하여 상세히 설명한다. 본 발명은 이하의 설명으로 한정되지 않고, 당업자라면 본 발명의 사상과 범위로부터 벗어나지 않고 다양한 변경 및 수정을 행할 수 있다는 것을 쉽게 이해할 것이다. 따라서, 본 발명은 후술하는 실시 형태들 및 예의 기재 내용으로 한정되는 것으로서 해석되지 않는다.

[0023] (제1 실시 형태)

[0024] 제1 실시 형태는 본 발명의 일 실시 형태인 표시 장치의 일례를 설명한다. 구체적으로, 제1 게이트 드라이버와 제2 게이트 드라이버를 포함하는 액티브 매트릭스 표시 장치를 도 1, 도 2 및 도 3을 참조하여 설명한다.

[0025] <표시 장치의 구성 예>

[0026] 도 1은 액티브 매트릭스형 표시 장치(100)를 도시한다. 표시 장치(100)는, 화소부(101), 소스 드라이버(102), 제1 게이트 드라이버(103A), 제2 게이트 드라이버(103B), 서로 평행 또는 대략 평행하게 배열된 m(m은 양의 정수)개의 소스 선(104₁ 내지 104_m), 서로 평행 또는 대략 평행하게 배열된 n(n은 양의 정수)개의 게이트 선(105₁ 내지 105_n)을 포함한다. 화소부(101)는 표시 장치(100)의 중앙부에 설치되어 있음에 주목한다. 소스 드라이버(102)는 화소부(101)의 일변에 근접하여 설치된다. 제1 게이트 드라이버(103A)와 제2 게이트 드라이버(103B)는, 화소부(101)의 다른 변에 근접하여 설치되고, 화소부(101)를 개재하여 서로 대향하도록 설치된다. 또한, 소스 드라이버(102)는 m개의 소스선(104₁ 내지 104_m)을 통해 화소부(101)에 전기적으로 접속된다. 제1 게이트 드라이버(103A)는, n개의 게이트 선(105₁ 내지 105_n) 중 홀수 번째 게이트 선을 통해 화소부(101)에 전기적으로 접속된다. 제2 게이트 드라이버(103B)는 n개의 게이트 선(105₁ 내지 105_n) 중 짝수 번째 게이트 선

을 통해 화소부(101)에 전기적으로 접속된다.

- [0027] 또한, 소스 드라이버(102), 제1 게이트 드라이버(103A), 및 제2 게이트 드라이버(103B)에는, 플렉시블 프린트 기판(106A, 106B)을 통해 외부로부터 신호(클록 신호, 시작 펄스 신호 등)가 입력된다.
- [0028] 또한, 화소부(101)는 $n \times m$ 개의 화소(107₁₁ 내지 107_{nm})를 포함한다. 화소(107₁₁ 내지 107_{nm})는 n 행 m 열로 배열되어 있음에 주목한다. 또한, m 개의 소스 선(104₁ 내지 104_m)의 각각은 동일한 행에 배열된 n 개의 화소에 전기적으로 접속된다. 다시 말하면, i 행 j 열(i, j 는 양의 정수, 단 $1 \leq i \leq n, 1 \leq j \leq m$)로 배치된 화소(105_{ij})는 소스 선(104_j)과 게이트 선(105_i)에 전기적으로 접속된다.
- [0029] 즉, 소스 드라이버(102)는 m 개의 소스선(104₁ 내지 104_m)을 통해 화소부(101)에 포함된 각 화소에 전기적으로 접속된다. 제1 게이트 드라이버(103A)는, n 개의 게이트 선(105₁ 내지 105_n) 중 홀수 번째 게이트 선을 통해 화소부(101)에 포함된 홀수 행에 배열된 각 화소에 전기적으로 접속된다. 제2 게이트 드라이버(103B)는, n 개의 게이트 선(105₁ 내지 105_n) 중 짝수 번째 게이트 선을 통해 화소부(101)에 포함된 짝수 행에 배열된 각 화소에 전기적으로 접속된다.
- [0030] [표시 장치의 동작 예]
- [0031] 표시 장치(100)에 있어서, 소스 드라이버(102)는 화소부(101)에 포함된 각 화소(107₁₁ 내지 107_{nm})에 화상 신호를 출력하는 회로이다. 제1 게이트 드라이버(103A)와 제2 게이트 드라이버(103B)는 소스 드라이버(102)와 화소(107₁₁ 내지 107_{nm}) 간의 전기적 접속을 제어하는 회로들이다.
- [0032] 표시 장치(100)는, $n \times m$ 개의 화소(107₁₁ 내지 107_{nm})에 입력되는 화상 신호에 의해 화소부(101)에 화상을 표시한다. 이하, 표시 장치(100)의 구체적인 동작을 설명한다.
- [0033] 우선, 제1 게이트 드라이버(103A)는 제1 행에 배열된 m 개의 화소를 선택하고(소스 드라이버(102)와 제1 행에 배열된 m 개의 화소가 전기적으로 접속되어 있음), 이어서, 소스선(104₁ 내지 104_m)을 통해 제1 행에 배열된 m 개의 화소(107₁₁ 내지 107_{1m})에 화상 신호가 입력된다. 다음으로, 제2 게이트 드라이버(103B)는 제2 행에 배열된 m 개의 화소를 선택하고, 이어서, 소스 선(104₁ 내지 104_m)을 통해 제2 행에 배열된 m 개의 화소(107₂₁ 내지 107_{2m})에 화상 신호가 입력된다. 그 후, 제1 게이트 드라이버(103A)와 제2 게이트 드라이버(103B)는 마찬가지로 방식으로 각 행의 m 개의 화소를 교대로 선택한다. 표시 장치(100)는 전술한 동작을 연속적으로 행함으로써 화상을 표시한다.
- [0034] [게이트 드라이버의 구성 예]
- [0035] 도 2는 액티브 매트릭스형 표시 장치(100)에 포함된 제1 게이트 드라이버(103A)와 제2 게이트 드라이버(103B)의 상세한 구조 예를 도시하는 블록도이다.
- [0036] 제1 게이트 드라이버(103A)와 제2 게이트 드라이버(103B)의 각각은, 적어도 3개의 입력 단자와 1개의 출력 단자를 갖는 복수의 전송 신호 생성 회로 및 복수의 플립플롭 회로를 포함한다.
- [0037] 제1 게이트 드라이버(103A)에 포함된 제1 플립플롭 회로(F₁)에서는, 출력 단자가 제1 게이트 선(105₁)에 전기적으로 접속되고, 제1 입력 단자가 제1 시작 펄스 신호(SP1) 선에 전기적으로 접속되고, 제2 입력 단자가 클록 신호(CK) 선에 전기적으로 접속되고, 제3 입력 단자가 제1 플립플롭 회로용 정지 펄스 신호(STP(F₁)) 선에 전기적으로 접속된다.
- [0038] 또한, 제1 게이트 드라이버(103A)에 포함된 제1 전송 신호 생성 회로(T₁)에서는, 출력 단자가 제3 플립플롭 회로(F₃)의 제1 입력 단자에 전기적으로 접속되고, 제1 입력 단자가 제1 플립플롭 회로(F₁)의 출력 단자에 전기적으로 접속되고, 제2 입력 단자가 반전 클록 신호(CKB) 선에 전기적으로 접속되고, 제3 입력 단자가 제1 전송 신호 생성 회로용 정지 펄스 신호(STP(T₁)) 선에 전기적으로 접속된다.
- [0039] 제2 게이트 드라이버(103B)에 포함된 제2 플립플롭 회로(F₂)에서는, 출력 단자가 제2 게이트 선(105₂)에 전기적으로 접속되고, 제1 입력 단자가 제2 시작 펄스 신호(SP2) 선에 전기적으로 접속되고, 제2 입력 단자가 반전 클

록 신호(CKB) 선에 전기적으로 접속되고, 제3 입력 단자가 제2 플립플롭 회로용 정지 펄스 신호(STP(F₂)) 선에 전기적으로 접속된다.

[0040] 또한, 제2 게이트 드라이버(103B)에 포함된 제2 전송 신호 생성 회로(T₂)에서는, 출력 단자가 제4 플립플롭 회로(도시 생략)의 제1 입력 단자에 전기적으로 접속되고, 제1 입력 단자가 제2 플립플롭 회로(F₂)의 출력 단자에 전기적으로 접속되고, 제2 입력 단자가 클록 신호(CK) 선에 전기적으로 접속되고, 제3 입력 단자가 제2 전송 신호용 정지 펄스 신호(STP(T₂)) 선에 전기적으로 접속된다.

[0041] 제1 게이트 드라이버(103A)에 포함된 제k(k은 3 이상의 홀수) 플립플롭 회로(F_k)에서는, 출력 단자가 제k 게이트 선(105_k)에 전기적으로 접속되고, 제1 입력 단자가 제(k-2) 전송 신호 생성 회로(T_{k-2})의 출력 단자에 전기적으로 접속되고, 제2 입력 단자가 클록 신호(CK) 선에 전기적으로 접속되고, 제3 입력 단자가 제k 플립플롭 회로용 정지 펄스 신호(STP(F_k)) 선에 전기적으로 접속된다.

[0042] 또한, 제1 게이트 드라이버(103A)에 포함된 제k 전송 신호 생성 회로(T_k)에서는, 출력 단자가 제(k+2) 플립플롭 회로(F_{k+2})에 전기적으로 접속되고, 제1 입력 단자가 제k 플립플롭 회로(F_k)의 출력 단자에 전기적으로 접속되고, 제2 입력 단자가 반전 클록 신호(CKB) 선에 전기적으로 접속되고, 제3 입력 단자가 제k 전송 신호 생성 회로용 정지 펄스 신호(STP(T_k)) 선에 전기적으로 접속된다.

[0043] 제2 게이트 드라이버(103B)에 포함된 제(k+1) 플립플롭 회로(F_{k+1})에서는, 출력 단자가 제(k+1) 게이트 선(105_{k+1})에 전기적으로 접속되고, 제1 입력 단자가 제(k-1) 전송 신호 생성 회로(T_{k-1})의 출력 단자에 전기적으로 접속되고, 제2 입력 단자가 반전 클록 신호(CKB) 선에 전기적으로 접속되고, 제3 입력 단자가 제(k+1) 플립플롭 회로용 정지 펄스 신호(STP(F_{k+1})) 선에 전기적으로 접속된다.

[0044] 또한, 제2 게이트 드라이버(103B)에 포함된 제(k+1) 전송 신호 생성 회로(T_{k+1})에서는, 출력 단자가 제(k+3) 플립플롭 회로(F_{k+3})에 전기적으로 접속되고, 제1 입력 단자가 제(k+1) 플립플롭 회로(F_{k+1})의 출력 단자에 전기적으로 접속되고, 제2 입력 단자가 클록 신호(CK) 선에 전기적으로 접속되고, 제3 입력 단자가 제(k+1) 전송 신호용 정지 펄스 신호(STP(T_{k+1})) 선에 전기적으로 접속된다.

[0045] 전술한 제1 게이트 드라이버(103A)에 포함된 복수의 플립플롭 회로와 복수의 전송 신호 생성 회로 및 전술한 제2 게이트 드라이버(103B)에 포함된 복수의 플립플롭 회로와 복수의 전송 신호 생성 회로는, 전기적 접속 관계에 있어서 공통되는 점과 서로 다른 점을 갖고 있다. 구체적인 차이점을 후술한다.

[0046] 우선, 제1 게이트 드라이버에 포함된 플립플롭 회로와 전송 신호 생성 회로 및 제2 게이트 드라이버에 포함된 플립플롭 회로와 전송 신호 생성 회로 사이의 전기적 접속 관계에 있어서의 차이점을 설명한다.

[0047] 제1 게이트 드라이버(103A)에서는, 플립플롭 회로의 제2 입력 단자는 클록 신호(CK) 선에 전기적으로 접속되고, 전송 신호 생성 회로의 제2 입력 단자는 반전 클록 신호(CKB) 선에 전기적으로 접속된다. 반면에, 제2 게이트 드라이버(103B)에서는, 플립플롭 회로의 제2 입력 단자는 반전 클록 신호(CKB) 선에 전기적으로 접속되고, 전송 신호 생성 회로의 제2 입력 단자는 클록 신호(CK) 선에 전기적으로 접속된다.

[0048] 다음으로, 플립플롭 회로와 전송 신호 생성 회로의 전기적 접속 관계에서의 차이점을 설명한다.

[0049] 제1 플립플롭(F₁) 회로의 출력 단자가 제1 게이트 선(105₁)에 전기적으로 접속되어 있으므로, 플립플롭 회로의 출력 단자는 동일한 행에 설치된 게이트 선에 전기적으로 접속된다. 한편, 제1 전송 신호 생성 회로(T₁)의 출력 단자가 제3 플립플롭 회로(F₃)의 제1 입력 단자에 전기적으로 접속되어 있으므로, 전송 신호 생성 회로의 출력 단자는 다음 단계에 설치된 플립플롭 회로의 제1 입력 단자에 전기적으로 접속된다. 이전 단계에 전송 신호 생성 회로가 설치되지 않은 제1 플립플롭 회로(F₁)와 제2 플립플롭 회로(F₂)의 제1 입력 단자들은 제1 시작 펄스 신호(SP₁) 선 및 제2 시작 펄스 신호(SP₂) 선에 각각 전기적으로 접속된다는 점에 주목한다.

[0050] 또한, 모든 플립플롭 회로와 모든 전송 신호 생성 회로의 제3 입력 단자들의 각각은 대응하는 정지 펄스 신호(STP) 선에 전기적으로 접속된다.

- [0051] [게이트 드라이버의 동작 예]
- [0052] 도 3은 타이밍 차트이다. 도 3에는, 클록 신호(CK), 반전 클록 신호(CKB), 제1 시작 펄스 신호(SP1), 제2 시작 펄스 신호(SP2), 제1 플립플롭 회로의 출력 신호(F₁OUT) 내지 제4 플립플롭 회로의 출력 신호(F₄OUT), 및 제1 전송 신호 생성 회로의 출력 신호(T₁OUT) 내지 제4 전송 신호 생성 회로의 출력 신호(T₄OUT)가 도시되어 있다는 점에 주목한다. 클록 신호(CK)는 일정한 주파수로 하이(이하, H라 함) 레벨 신호와 로우(이하, L이라 함) 레벨 신호 사이에서 발진하는 신호라는 점에 주목한다. 반전 클록 신호(CKB)는 그 레벨이 클록 신호의 레벨로부터 반전된 신호이다.
- [0053] 기간 T1에 있어서, 제1 시작 펄스 신호(SP1)는 H 레벨로 상승하고, H 레벨 신호가 제1 플립플롭 회로(F₁)의 제1 입력 단자에 입력된다.
- [0054] 기간 T2에 있어서, 제2 시작 펄스 신호(SP2)는 H 레벨로 상승하고, H 레벨 신호가 제2 플립플롭 회로(F₂)의 제1 입력 단자에 입력된다. 또한, 제1 플립플롭 회로(F₁)로부터 H 레벨 신호가 출력된다. 제1 플립플롭 회로(F₁)로부터 출력된 H 레벨 신호는 제1 게이트 선(105₁)을 통해 화소부(101)의 제1 행에 배열된 화소들(107₁₁ 내지 107_{1m})의 각각에 입력된다는 점에 주목한다. 이에 따라, 제1 행에 배열된 화소들(107₁₁ 내지 107_{1m})의 각각과 소스 드라이버(102)가 전기적으로 접속되어, 소스 드라이버(102)로부터 제1 행에 배열된 화소들(107₁₁ 내지 107_{1m})의 각각으로 화상 신호가 입력된다. 또한, 제1 플립플롭 회로(F₁)로부터 출력된 H 레벨 신호가 제1 전송 신호 생성 회로(T₁)의 제1 입력 단자에 입력된다.
- [0055] 기간 T3에 있어서, 제2 플립플롭 회로(F₂)로부터 H 레벨 신호가 출력된다. 제1 플립플롭 회로(F₁)의 출력 신호가 H 레벨일 때와 마찬가지로, 제2 플립플롭 회로(F₂)로부터 출력된 H 레벨 신호는, 제2 게이트 선(105₂)을 통해 화소부(101)의 제2행에 배열된 화소들(107₂₁ 내지 107_{2m})의 각각에 입력된다. 이에 따라, 제2 행에 배열된 화소들(107₂₁ 내지 107_{2m})의 각각과 소스 드라이버(102)가 전기적으로 접속되어, 소스 드라이버(102)로부터 제2 행에 배열된 화소들(107₂₁ 내지 107_{2m})의 각각으로 화상 신호가 입력된다. 또한, H 레벨 신호가, 제1 전송 신호 생성 회로(T₁)로부터 출력되어 제3 플립플롭 회로(F₃)의 제1 입력 단자에 입력된다.
- [0056] 기간 T4부터는, 전술한 동작들이 반복된다. 즉, H 레벨 신호가 제3 플립플롭 회로(F₃) 이후의 플립플롭 회로들로부터 순차 출력되어, 각 행에 배열된 복수의 화소에 화상 신호가 입력된다.
- [0057] 본 실시 형태에서 설명한 표시 장치는 제1 및 제2 게이트 드라이버를 갖는 액티브 매트릭스형 표시 장치이다. 또한, 제1 및 제2 게이트 드라이버의 각각은, 복수의 플립플롭 회로 및 복수의 전송 신호 생성 회로를 포함한다. 플립플롭 회로와 전송 신호 생성 회로 모두는, 제1 입력 단자에 입력된 신호를 반 클록 주기만큼 지연시켜 출력하는 회로들이다. 또한, 전송 신호 생성 회로의 출력 단자는 다음 단의 플립플롭 회로의 제1 입력 단자에 직접 접속된다. 따라서, 전송 신호 생성 회로로부터 플립플롭 회로에 입력되는 신호의 지연과 왜곡을 줄일 수 있다.
- [0058] 본 실시 형태에서는, 1개의 소스 드라이버와 2개의 게이트 드라이버를 포함하는 표시 장치의 일례를 설명하고 있다는 점에 주목한다. 그러나, 본 발명의 실시 형태는 이러한 구조로 한정되지 않는다. 예를 들면, 후술하는 구조들도 본 발명의 실시 형태들에 속한다. 즉, 표시 장치가 2개의 게이트 드라이버만을 포함하고 화상 신호가 외부로부터 입력되는 구조, 표시 장치가 2개의 소스 드라이버와 2개의 게이트 드라이버를 포함하고 화상 신호가 상기 2개의 소스 드라이버로부터 입력되는 구조, 및 각 화소가 2개의 게이트 선을 통해 게이트 드라이버에 전기적으로 접속된 구조가 가능하다.
- [0059] (제2 실시 형태)
- [0060] 제2 실시 형태에서는, 제1 실시 형태에서 설명한 플립플롭 회로 및 전송 신호 생성 회로에 적용될 수 있는 회로의 구체적인 예를 도 4와 도 5를 참조하여 설명한다. 구체적으로는, 트랜지스터를 사용하여 플립플롭 회로 및 전송 신호 생성 회로를 구성하는 일례를 예시한다. 트랜지스터의 소스 단자 및 드레인 단자는, 트랜지스터의 구조, 동작 조건 등에 의존할 수 있어서, 어떤 것이 소스 단자인지 또는 드레인 단자인지를 특정하는 것이 곤란하다는 점에 주목한다. 따라서, 이하에서는, 구별을 위해, 소스 단자와 드레인 단자 중 하나를 제1 단자라 칭

하고 나머지 하나를 제2 단자로 칭한다.

- [0061] [회로 구조의 일례]
- [0062] 도 4는 제1 실시 형태에서 설명한 제1 게이트 드라이버(103A)에 포함된 제k 플립플롭 회로(F_k)와 제k 전송 신호 생성 회로(T_k)에 적용될 수 있는 회로의 일례를 도시하는 도면이다. 제2 실시 형태에서 설명하는 제k 플립플롭 회로(F_k)는 제1 트랜지스터(401) 내지 제4 트랜지스터(404)를 포함하고, 제k 전송 신호 생성 회로(T_k)는 제5 트랜지스터(405) 내지 제8 트랜지스터(408)를 포함한다. 또한, 제2 실시 형태에서는, 제k 플립플롭 회로용 정지 펄스 신호($STP(F_k)$)로서 제k 전송 신호 생성 회로의 출력 신호(T_kOUT)를 사용한다. 제k 전송 신호 생성 회로용 정지 펄스 신호($STP(T_k)$)로서 제(k+2) 플립플롭 회로의 출력 신호($F_{k+2}OUT$)를 사용한다.
- [0063] 제1 트랜지스터(401)에서는, 게이트 단자 및 제1 단자가 제(k-2) 전송 신호 생성 회로(도시 생략)의 출력 단자에 전기적으로 접속된다.
- [0064] 제2 트랜지스터(402)의 게이트 단자는 제k 전송 신호 생성 회로(T_k)의 출력 단자에 전기적으로 접속되고, 제2 트랜지스터(402)의 제1 단자는 접지 전위(VSS) 선에 전기적으로 접속되고, 제2 트랜지스터(402)의 제2 단자는 제1 트랜지스터(401)의 제2 단자에 전기적으로 접속된다.
- [0065] 제3 트랜지스터(403)의 게이트 단자는 제1 트랜지스터(401)의 제2 단자 및 제2 트랜지스터(402)의 제2 단자에 전기적으로 접속되고, 제3 트랜지스터(403)의 제1 단자는 클록 신호(CK) 선에 전기적으로 접속되고, 제3 트랜지스터(403)의 제2 단자는 제k 전송 신호 생성 회로(T_k)의 제1 입력 단자에 전기적으로 접속된다.
- [0066] 제4 트랜지스터(404)의 게이트 단자는 제k 전송 신호 생성 회로(T_k)의 출력 단자에 전기적으로 접속되고, 제4 트랜지스터(404)의 제1 단자는 접지 전위(VSS) 선에 전기적으로 접속되고, 제4 트랜지스터(404)의 제2 단자는 제k 전송 신호 생성 회로(T_k)의 제1 입력 단자 및 제3 트랜지스터(403)의 제2 단자에 전기적으로 접속된다.
- [0067] 제5 트랜지스터(405)의 게이트 단자 및 제1 단자는 제k 플립플롭 회로(F_k)의 출력 단자에 전기적으로 접속된다.
- [0068] 제6 트랜지스터(406)의 게이트 단자는 제(k+2) 플립플롭 회로(도시 생략)의 출력 단자에 전기적으로 접속되고, 제6 트랜지스터(406)의 제1 단자는 접지 전위(VSS) 선에 전기적으로 접속되고, 제6 트랜지스터(406)의 제2 단자는 제5 트랜지스터(405)의 제2 단자에 전기적으로 접속된다.
- [0069] 제7 트랜지스터(407)의 게이트 단자는 제5 트랜지스터(405)의 제2 단자 및 제6 트랜지스터(406)의 제2 단자에 전기적으로 접속되고, 제7 트랜지스터(407)의 제1 단자는 반전 클록 신호(CKB) 선에 전기적으로 접속되고, 제7 트랜지스터(407)의 제2 단자는 제k 플립플롭 회로(F_k)의 제3 입력 단자 및 제(k+2) 플립플롭 회로(도시 생략)의 제1 입력 단자에 전기적으로 접속된다.
- [0070] 제8 트랜지스터(408)의 게이트 단자는 제(k+2) 플립플롭 회로(도시 생략)의 출력 단자에 전기적으로 접속되고, 제8 트랜지스터(408)의 제1 단자는 접지 전위(VSS) 선에 전기적으로 접속되고, 제8 트랜지스터(408)의 제2 단자는 제k 플립플롭 회로(F_k)의 제3 입력 단자, 제(k+2) 플립플롭 회로(도시 생략)의 제1 입력 단자, 및 제7 트랜지스터(407)의 제2 단자에 전기적으로 접속된다.
- [0071] 도 4에 도시한 바와 같이, 제k 플립플롭 회로(F_k)와 제k 전송 신호 생성 회로(T_k)에는 동일한 회로 구조가 적용될 수 있다. 회로를 설계할 때에는 이하의 점들에 유의하는 것이 바람직하다.
- [0072] 제k 플립플롭 회로(F_k)는 제k 게이트 선을 구동하기 위한 회로이다. 제k 전송 신호 생성 회로(T_k)는 제(k+2) 플립플롭 회로를 구동하기 위한 회로이다. 제k 게이트 선에는 전술한 바와 같이 다양한 기생 저항과 기생 용량이 존재한다. 따라서, 제k 플립플롭 회로(F_k)의 부하는 제k 전송 신호 생성 회로(T_k)의 부하보다 크다. 즉, 전술한 회로를 설계할 때, 제1 트랜지스터(401)의 전류 구동 능력이 제5 트랜지스터(405)의 전류 구동 능력보다 높은 것이 바람직하다. 예를 들면, 제1 트랜지스터(401)의 채널 폭이 제5 트랜지스터(405)의 채널 폭보다 클 수 있다. 동일한 이유로, 제2 트랜지스터(402)의 전류 구동 능력이 제6 트랜지스터(406)의 전류 구동 능력보다 높고, 제3 트랜지스터(403)의 전류 구동 능력이 제7 트랜지스터(407)의 전류 구동 능력보다 높고, 제4 트랜지스터(404)의 전류 구동 능력이 제8 트랜지스터(408)의 전류 구동 능력보다 높은 것이 바람직하다. 예를 들면, 전류

구동 능력은 채널 길이에 대한 채널 폭의 비(채널 폭/채널 길이(W/L))를 크게 함으로써 높아질 수 있다.

- [0073] 또한, 제k 플립플롭 회로(F_k)에 포함된 제1 트랜지스터(401) 내지 제4 트랜지스터(404) 중에서 제k 게이트 선의 구동에 직접 관여하는 제3 트랜지스터(403)의 전류 구동 능력이 가장 높은 것이 바람직하다. 마찬가지로, 제k 전송 신호 생성 회로(T_k)에 포함된 제5 트랜지스터(405) 내지 제8 트랜지스터(408) 중에서 제(k+2) 플립플롭 회로의 구동에 직접 관여하는 제7 트랜지스터(407)의 전류 구동 능력이 가장 높은 것이 바람직하다.
- [0074] 또한, 제1 게이트 드라이버(103A)에 포함된 제1 플립플롭 회로(F₁) 및 제1 전송 신호 생성 회로(T₁)에는 도 4에 도시한 회로 구조를 적용할 수 있다. 제1 플립플롭 회로(F₁)에서는, 제1 트랜지스터(401)의 게이트 단자 및 제1 단자가 제1 시작 펄스 신호(SP1) 선에 전기적으로 접속되는 점이 도 4에 도시한 구조와 다르다.
- [0075] 또한, 제2 게이트 드라이버(103B)에 포함된 제(k+1) 플립플롭 회로(F_{k+1}) 및 제(k+1) 전송 신호 생성 회로(T_{k+1})에는 도 4에 도시한 회로 구조를 적용할 수 있다. 제(k+1) 플립플롭 회로(F_{k+1}) 및 제(k+1) 전송 신호 생성 회로(T_{k+1})에서는, 제3 트랜지스터(403)의 제1 단자가 반전 클록 신호(CKB) 선에 전기적으로 접속되고, 제7 트랜지스터(407)의 제1 단자가 클록 신호(CK) 선에 전기적으로 접속되는 점이 도 4에 도시한 구조와 다르다는 점에 주목한다.
- [0076] 또한, 제2 게이트 드라이버(103B)에 포함된 제2 플립플롭 회로(F₂) 및 제2 전송 신호 생성 회로(T₂)에는 도 4에 도시한 회로 구조를 적용할 수 있다. 제2 플립플롭 회로(F₂) 및 제2 전송 신호 생성 회로(T₂)에서는, 제1 트랜지스터(401)의 게이트 단자 및 제1 단자가 제2 시작 펄스 신호(SP2) 선에 전기적으로 접속되고, 제3 트랜지스터(403)의 제1 단자가 반전 클록 신호(CKB) 선에 전기적으로 접속되고, 제7 트랜지스터(407)의 제1 단자가 클록 신호(CK) 선에 전기적으로 접속되는 점이 도 4에 도시한 구조와 다르다는 점에 주목한다.
- [0077] 제2 실시 형태에서는, 제k 전송 신호 생성 회로용 정지 펄스 신호(STP(T_k))로서 제(k+2) 플립플롭 회로의 출력 신호(F_{k+2}OUT)를 사용한다는 점에 주목한다. 따라서, n행에 배열된 복수의 화소에 대하여, 제1 게이트 드라이버(103A)에는 제(n+1) 플립플롭 회로가 더미 회로로서 설치될 필요가 있고, 제2 게이트 드라이버(103B)에는 제(n+2) 플립플롭 회로가 더미 회로로서 설치될 필요가 있다. 더미 회로로서, 전송 신호 생성 회로용 정지 펄스 신호의 공급만을 담당하고 게이트 선의 구동을 담당하지 않는 플립플롭 회로를 적용할 수 있다는 점에 주목한다. 다른 방안으로, 표시에 관여하지 않는 배선(더미 게이트 선)을 더미 회로와 함께 설치함으로써, 전송 신호 생성 회로용 정지 펄스 신호의 공급 및 배선의 구동을 담당하는 플립플롭 회로를 더미 회로로서 적용할 수 있다.
- [0078] [회로 동작의 예]
- [0079] 도 5는 도 4에 도시한 제k 플립플롭 회로(F_k) 및 제k 전송 신호 생성 회로(T_k)의 입력 신호 및 출력 신호의 타이밍 차트이다. 이하, 제k 플립플롭 회로(F_k) 및 제k 전송 신호 생성 회로(T_k)의 동작을 설명한다.
- [0080] 기간 t1에 있어서, 제(k-2) 전송 신호 생성 회로의 출력 신호(T_{k-2}OUT)는 H 레벨로 상승한다. 따라서, 다이오드 접속된 제1 트랜지스터(401)가 턴온되고, 제3 트랜지스터(403)의 게이트 단자의 전위가 H 레벨로 상승한다. 따라서, 기간 t1에서 L 레벨인 클록 신호(CK)가 제k 플립플롭 회로의 출력 신호(F_kOUT)로서 출력된다.
- [0081] 기간 t2에 있어서, 제(k-2) 전송 신호 생성 회로의 출력 신호(T_{k-2}OUT)는 L 레벨로 되고 클록 신호(CK)는 H 레벨로 상승한다. 따라서, 다이오드 접속된 제1 트랜지스터(401)가 턴오프되고, 이에 따라, 부유 상태에 있는 제3 트랜지스터(403)의 게이트 단자의 전위가, 제3 트랜지스터(403)의 제1 단자에 입력된 H 레벨 신호에 의해 상승되고(부트스트랩 동작) 더욱 증가한다. 또한, 제3 트랜지스터(403)는 온(ON) 상태를 유지하고, H 레벨 신호가 제k 플립플롭 회로(F_k)의 출력 신호(F_kOUT)로서 출력된다. 이 H 레벨 신호는 제5 트랜지스터(405)의 게이트 단자 및 제1 단자에 입력된다. 따라서, 다이오드 접속된 제5 트랜지스터(405)가 턴온되고, 이에 따라, 제7 트랜지스터(407)의 게이트 단자의 전위가 H 레벨까지 상승한다. 따라서, 기간 t2에서의 L 레벨인 반전 클록 신호(CKB)가 제k 전송 신호 생성 회로(T_k)의 출력 신호(T_kOUT)로서 출력된다.
- [0082] 기간 t3에 있어서, 클록 신호는 L 레벨로 되고, 반전 클록 신호(CKB)는 H 레벨로 상승한다. 따라서, 다이오드 접속된 제5 트랜지스터(405)가 턴오프되고, 이에 따라, 부유 상태에 있는 제7 트랜지스터(407)의 게이트 단자의

전위가 제7 트랜지스터(407)의 제1 단자에 입력된 H 레벨 신호에 의해 상승되고(부트스트랩 동작) 더욱 증가된다. 또한, 제7 트랜지스터(407)는 온 상태를 유지하고, H 레벨 신호는 제k 전송 신호 생성 회로(T_k)의 출력 신호(T_kOUT)로서 출력된다. 이 H 레벨 신호는 제2 트랜지스터(402) 및 제4 트랜지스터(404)의 게이트 단자들에 입력된다. 따라서, 제2 트랜지스터(402)가 턴온되고, 제3 트랜지스터(403)의 게이트 단자의 전위가 L 레벨로 된다. 따라서, 제3 트랜지스터(403)가 턴오프된다. 또한, 제4 트랜지스터(404)가 턴온되므로, L 레벨 신호가 제k 플립플롭 회로(F_k)의 출력 신호(F_kOUT)로서 출력된다.

[0083] 시간 t_4 에 있어서, 제(k+2) 플립플롭 회로의 출력 신호($F_{k+2}OUT$)는 H 레벨로 상승한다. 따라서, 제6 트랜지스터(406)가 턴온되고, 제7 트랜지스터(407)의 게이트 단자의 전위가 L 레벨로 된다. 따라서, 제7 트랜지스터(407)가 턴오프된다. 또한, 제8 트랜지스터(408)도 턴온되므로, L 레벨 신호가 제k 전송 신호 생성 회로(T_k)의 출력 신호(T_kOUT)로서 출력된다.

[0084] 제1 플립플롭 회로 및 제1 전송 신호 생성 회로, 제(k+1) 플립플롭 회로 및 제(k+1) 전송 신호 생성 회로, 및 제2 플립플롭 회로 및 제2 전송 신호 생성 회로의 회로 동작은, 전술한 제k 플립플롭 회로(F_k) 및 제k 전송 신호 생성 회로(T_k)의 회로 동작과 동일하다는 점에 주목한다.

[0085] [변형 예]

[0086] 제2 실시 형태에서는, 제k 플립플롭 회로용 정지 펄스 신호($STP(F_k)$) 및 제k 전송 신호 생성 회로용 정지 펄스 신호($STP(T_k)$)로서, 제k 전송 신호 생성 회로(T_k)의 출력 신호 및 제(k+2) 플립플롭 회로(F_{k+2})의 출력 신호를 각각 사용한다. 그러나, 제2 실시 형태의 구조는 이에 한정되지 않는다.

[0087] 예를 들면, 제k 플립플롭 회로용 정지 펄스 신호($STP(F_k)$) 및 제k 전송 신호 생성 회로용 정지 펄스 신호($STP(T_k)$)로서, 제(k+1) 플립플롭 회로(F_{k+1})의 출력 신호 및 제(k+1) 전송 신호 생성 회로(T_{k+1})의 출력 신호를 각각 사용할 수 있다. 이 경우, 제k 플립플롭 회로용 정지 펄스 신호($STP(F_k)$) 및 제k 전송 신호 생성 회로용 정지 펄스 신호($STP(T_k)$)는, 전술한 구조에서의 신호들과 비교할 때 지연되거나 왜곡된 신호들이다. 그러나, 해당 기간에서는 제k 플립플롭 회로(F_k)의 출력 신호 및 제k 전송 신호 생성 회로(T_k)의 출력 신호가 L 레벨로 되므로, 지연되거나 왜곡된 신호가 심각한 문제를 야기하지는 않는다.

[0088] (제3 실시 형태)

[0089] 제3 실시 형태에서는, 제1 실시 형태에서 설명한 플립플롭 회로 및 전송 신호 생성 회로에 적용가능한 회로의, 제2 실시 형태의 구체적인 예와는 다른, 구체적인 예를 도 6 및 도 7a와 도 7b를 참조하여 설명한다.

[0090] [회로 구조 예]

[0091] 도 6은, 제1 실시 형태에서 설명한 제1 게이트 드라이버(103A)에 포함되는 제k 플립플롭 회로(F_k) 및 제k 전송 신호 생성 회로(T_k)에 적용될 수 있는 회로의 일례를 도시한다. 제3 실시 형태에서는, 제k 플립플롭 회로(F_k)는 제1 트랜지스터(601) 내지 제5 트랜지스터(605) 및 인버터 회로(600)를 포함하고, 제k 전송 신호 생성 회로(T_k)는 제6 트랜지스터(606) 내지 제8 트랜지스터(608)를 포함한다. 다시 말하면, 도 6에 도시한 회로는 다음과 같다. 즉, 도 4에 도시한 제k 플립플롭 회로(F_k)에 인버터 회로(600)와 제5 트랜지스터(605)를 추가하고 도 4에 도시한 제k 전송 신호 생성 회로(T_k)에서 제8 트랜지스터(408)를 제거한 회로라는 점에 주목한다.

[0092] 제1 트랜지스터(601), 제2 트랜지스터(602), 및 제3 트랜지스터(603) 간의 전기적 접속 관계는 도 4에 도시한 회로에서의 전기적 접속 관계와 동일하다. 따라서, 제2 실시 형태의 설명이 여기에 적용된다.

[0093] 인버터 회로(600)의 입력 단자는 제1 트랜지스터(601)의 제2 단자, 제2 트랜지스터(602)의 제2 단자, 및 제3 트랜지스터(603)의 게이트 단자에 전기적으로 접속된다.

[0094] 제4 트랜지스터(604)의 게이트 단자는 인버터 회로(600)의 출력 단자에 전기적으로 접속되고, 제4 트랜지스터(604)의 제1 단자는 접지 전위(VSS) 선에 전기적으로 접속되고, 제4 트랜지스터(604)의 제2 단자는 제3 트랜지스터(603)의 제2 단자 및 제k 전송 신호 생성 회로(T_k)의 제1 입력 단자에 전기적으로 접속된다.

- [0095] 제5 트랜지스터(605)의 게이트 단자는 인버터 회로(600)의 출력 단자에 전기적으로 접속되고, 제5 트랜지스터(605)의 제1 단자는 접지 전위(VSS) 선에 전기적으로 접속되고, 제5 트랜지스터(605)의 제2 단자는 제1 트랜지스터(601)의 제2 단자, 제2 트랜지스터(602)의 제2 단자, 제3 트랜지스터(603)의 게이트 단자, 및 인버터 회로(600)의 입력 단자에 전기적으로 접속된다.
- [0096] 도 6에 도시한 제k 전송 신호 생성 회로(T_k)는 도 4에 도시한 제k 전송 신호 생성 회로(T_k)로부터 제8 트랜지스터(408)를 제거한 회로이다. 나머지 트랜지스터들 간의 전기적 접속 관계는 도 4에 도시한 회로에서의 전기적 접속 관계와 동일하다. 따라서, 제2 실시 형태의 설명이 여기에 적용된다.
- [0097] 도 6에 도시한 회로를 후술하는 바와 같이 설계할 필요가 있다는 점에 주목한다.
- [0098] 도 6에 도시한 회로는, 제k 플립플롭 회로(F_k)에(구체적으로는, 다이오드 접속된 제1 트랜지스터(601)에) H 레벨 신호가 입력될 때 인버터 회로(600)의 입력 단자에 H 레벨 신호가 확실하게 입력되도록 설계될 필요가 있다. 보다 구체적으로, 제1 트랜지스터(601)의 전류 구동 능력은 제5 트랜지스터(605)의 전류 구동 능력보다 높을 필요가 있다. 예를 들어, 제1 트랜지스터(601)의 채널 폭을 제5 트랜지스터(605)의 채널 폭보다 크게 할 필요가 있다.
- [0099] 또한, 도 5에 도시한 기간 t_4 에 있어서, 제k 전송 신호 생성 회로의 출력 신호(T_k OUT)는 L 레벨로 된다. 더욱 구체적으로, 제8 트랜지스터(608)의 전류 구동 능력은 제7 트랜지스터(607)의 전류 구동 능력보다 높을 필요가 있다. 따라서, 제7 트랜지스터(607)의 게이트 단자에 H 레벨 신호가 입력되는 동작, 제7 트랜지스터(607)가 턴 온되는 동작, 접지 전위(VSS)가 제8 트랜지스터(608)의 게이트 단자에 입력되는 동작, 제8 트랜지스터(608)가 턴 오프되는 동작 전에, 제k 전송 신호 생성 회로의 출력 신호(T_k OUT)를, 기간 t_4 에서의 반전 클록 신호(CKB)의 레벨인 L 레벨로 저하시킬 수 있다.
- [0100] 또한, 도 6에 도시한 회로를 설계할 때 제2 실시 형태에서 설명한 점을 고려하는 것이 바람직하다.
- [0101] 즉, 제1 트랜지스터(601)의 전류 구동 능력이 제6 트랜지스터(606)의 전류 구동 능력보다 높고, 제2 트랜지스터(602)의 전류 구동 능력이 제7 트랜지스터(607)의 전류 구동 능력보다 높고, 제3 트랜지스터(603)의 전류 구동 능력이 제8 트랜지스터(608)의 전류 구동 능력보다 높은 것이 바람직하다.
- [0102] 또한, 제k 플립플롭 회로(F_k)에 포함된 제1 트랜지스터(601) 내지 제5 트랜지스터(605) 중에서 제3 트랜지스터(603)의 전류 구동 능력이 가장 높은 것이 바람직하다. 또한, 제k 전송 신호 생성 회로(T_k)에 포함된 제6 트랜지스터(606) 내지 제8 트랜지스터(608) 중에서 제8 트랜지스터(608)의 전류 구동 능력이 가장 높은 것이 바람직하다.
- [0103] 또한, 도 6에는 제k 플립플롭 회로(F_k) 및 제k 전송 신호 생성 회로(T_k)만이 도시되어 있지만, 제(k+1) 플립플롭 회로 및 제(k+1) 전송 신호 생성 회로 등에 도 6의 회로를 적용할 수도 있다는 점에 주목한다. 제2 실시 형태에서 설명한 바와 같이, 단자들의 전기적 접속 관계의 일부가 다르다는 점에 주목한다. 제2 실시 형태의 설명은 접속 관계의 구체적인 차이점에 적용된다.
- [0104] 도 7a와 도 7b는 도 6에 도시한 인버터 회로(600)에 적용될 수 있는 회로의 구체적인 예들을 도시하는 도면이다. 도 7a와 도 7b에서, "IN"으로 표시된 배선은 입력 배선이고, "OUT"으로 표시된 배선은 출력 배선이라는 점에 주목한다.
- [0105] 도 7a에 도시한 인버터 회로(600A)는 다이오드 접속된 트랜지스터(701A), 및 트랜지스터(702A)를 포함한다.
- [0106] 트랜지스터(701A)의 게이트 단자 및 제1 단자는 전원 전위(VDD) 선에 전기적으로 접속되고, 트랜지스터(701A)의 제2 단자는 인버터 회로(600A)의 출력 단자에 전기적으로 접속된다.
- [0107] 트랜지스터(702A)의 게이트 단자는 인버터 회로(600A)의 입력 단자에 전기적으로 접속되고, 트랜지스터(702A)의 제1 단자는 접지 전위(VSS) 선에 전기적으로 접속되고, 트랜지스터(702A)의 제2 단자는 인버터 회로(600A)의 출력 단자 및 트랜지스터(701A)의 제2 단자에 전기적으로 접속된다.
- [0108] 도 7a에 도시한 인버터 회로(600A)는 2개의 트랜지스터(701A, 702A)를 이용하여 형성되므로, 회로 면적의 증가를 최소화할 수 있다.
- [0109] 도 7a에 도시한 인버터 회로(600A)를 도 6의 인버터 회로(600)에 적용하는 경우에, 트랜지스터(702A)가 온일 때

출력 신호가 L 레벨로 되도록 회로를 설계할 필요가 있다는 점에 주목한다. 보다 구체적으로는, 트랜지스터(702A)의 전류 구동 능력이 트랜지스터(701A)의 전류 구동 능력보다 높을 필요가 있다. 예를 들어, 트랜지스터(702A)의 채널 길이는 트랜지스터(701A)의 채널 길이보다 작을 필요가 있고, 또는 트랜지스터(702A)의 채널 폭이 트랜지스터(701A)의 채널 폭보다 클 필요가 있다.

- [0110] 도 7b에 도시한 인버터 회로(600B)는 다이오드 접속된 트랜지스터(701B), 트랜지스터(702B), 트랜지스터(703B), 및 트랜지스터(704B)를 포함한다.
- [0111] 트랜지스터(701B)의 게이트 단자 및 제1 단자는 전원 전위(VDD) 선에 전기적으로 접속된다.
- [0112] 트랜지스터(702B)의 게이트 단자는 인버터 회로(600B)의 입력 단자에 전기적으로 접속되고, 트랜지스터(702B)의 제1 단자는 접지 전위(VSS) 선에 전기적으로 접속되고, 트랜지스터(702B)의 제2 단자는 트랜지스터(701B)의 제2 단자에 전기적으로 접속된다.
- [0113] 트랜지스터(703B)의 게이트 단자는 트랜지스터(701B)의 제2 단자 및 트랜지스터(702B)의 제2 단자에 전기적으로 접속되고, 트랜지스터(703B)의 제1 단자는 전원 전위(VDD) 선에 전기적으로 접속되고, 트랜지스터(703B)의 제2 단자는 인버터 회로(600B)의 출력 단자에 전기적으로 접속된다.
- [0114] 트랜지스터(704B)의 게이트 단자는 인버터 회로(600B)의 입력 단자에 전기적으로 접속되고, 트랜지스터(704B)의 제1 단자는 접지 전위(VSS) 선에 전기적으로 접속되고, 트랜지스터(704B)의 제2 단자는 인버터 회로(600B)의 출력 단자 및 트랜지스터(703B)의 제2 단자에 전기적으로 접속된다.
- [0115] 도 7b에 도시한 인버터 회로(600B)에서, 다이오드 접속된 트랜지스터(701B)는 인버터 회로(600B)의 출력 단자에 직접 접속되지 않는다. 따라서, 출력 신호가, 전원 전위(VDD)로부터 감소하거나 접지 전위(VSS)로부터 증가하는 것을 억제할 수 있다.
- [0116] 도 7b에 도시한 인버터 회로(600B)를 도 6에 도시한 인버터 회로(600)에 적용하는 경우에, 트랜지스터(702B)가 온 일 때 트랜지스터(703B)가 턴오프되도록 회로를 설계할 필요가 있다는 점에 주목한다. 보다 구체적으로는, 트랜지스터(702B)의 전류 구동 능력이 트랜지스터(701B)의 전류 구동 능력보다 높을 필요가 있다. 예를 들면, 트랜지스터(702B)의 채널 길이는 트랜지스터(701B)의 채널 길이보다 작을 필요가 있고, 또는 트랜지스터(702B)의 채널 폭이 트랜지스터(701B)의 채널 폭보다 클 필요가 있다.
- [0117] [제2 실시 형태에서 설명한 회로와의 차이점]
- [0118] 도 6에 도시한 제k 플립플롭 회로(F_k)는 인버터 회로(600)와 제5 트랜지스터(605)를 포함하고, 제5 트랜지스터의 게이트 단자는 인버터 회로(600)의 출력 단자에 전기적으로 접속되고, 제5 트랜지스터의 제1 단자는 접지 전위(VSS) 선에 전기적으로 접속되고, 제5 트랜지스터의 제2 단자는 인버터 회로(600)의 입력 단자에 전기적으로 접속된다. 따라서, 인버터 회로(600)에 전기적으로 접속된 제5 트랜지스터(605)는, 제5 트랜지스터(605)가 일단 턴온되면 계속 온 상태에 있다. 제5 트랜지스터(605)가 온 상태로 되면, 제3 트랜지스터(603)의 게이트 단자의 전위가 접지 전위(VSS)에서 유지된다. 따라서, 제3 트랜지스터(603)의 게이트 단자에 노이즈가 침입한 경우에도, 제3 트랜지스터(603)가 턴온되지 않는다. 즉, 표시 장치의 화상 또는 영상에 불량을 초래하는 일이 없고, 표시 장치의 고성능을 실현할 수 있다.
- [0119] 도 6에 도시한 제k 전송 신호 생성 회로(T_k)는 3개의 트랜지스터(606 내지 608)를 이용하여 형성되므로, 회로 면적을 줄일 수 있다.
- [0120] <변형 예>
- [0121] 제3 실시 형태에서는, 5개의 트랜지스터(601 내지 605)와 인버터 회로(600)를 이용하여 형성된 플립플롭 회로, 및 3개의 트랜지스터(606 내지 608)를 이용하여 형성된 전송 신호 생성 회로의 일례를 설명하였다. 그러나, 실시 형태는 이러한 구조로 한정되지 않는다. 예를 들면, 제k 플립플롭 회로(F_k) 및 제k 전송 신호 생성 회로(T_k) 모두는 도 6에 도시한 제k 플립플롭 회로(F_k) 또는 제k 전송 신호 생성 회로(T_k)와 동일한 구조를 갖추어도 된다. 또한, 제2 실시 형태(도 4)의 회로와 제3 실시 형태(도 6)의 회로의 조합에 의해 플립플롭 회로 및 전송 신호 생성 회로를 형성할 수 있다.
- [0122] 또한, 제3 실시 형태에서는, 제k 전송 신호 생성 회로(T_k)의 출력 신호 및 제(k+2) 플립플롭 회로(F_{k+2})의 출력 신호를 제k 플립플롭 회로용 정지 펄스 신호(STP(F_k)) 및 제k 전송 신호 생성 회로용 정지 펄스 신호(STP(T_k))에

각각 적용하고 있다. 그러나, 제3 실시 형태의 구조는 이러한 구조로 한정되지 않는다.

- [0123] (제4 실시 형태)
- [0124] 본 실시 형태에서는, 제1 실시 형태에서 설명한 플립플롭 회로 및 전송 신호 생성 회로에 적용될 수 있는 회로의, 제2 및 제3 실시 형태와는 다른 구체적인 예를 도 8 및 도 9a와 도 9b를 참조하여 설명한다.
- [0125] [회로 구조 예]
- [0126] 도 8은, 제1 실시 형태에서 설명한 제1 게이트 드라이버(103A)에 포함된 제k 플립플롭 회로(F_k) 및 제k 전송 신호 생성 회로(T_k)에 적용가능한 회로의 일례를 도시한다. 제4 실시 형태에서, 제k 플립플롭 회로(F_k)는 제1 트랜지스터(801) 내지 제5 트랜지스터(805) 및 제어 회로(800)를 포함하고, 제k 전송 신호 생성 회로(T_k)는 제6 트랜지스터(806) 내지 제9 트랜지스터(809)를 포함한다. 다시 말하면, 도 8에 도시한 다음과 같이 형성된다는 점에 주목한다. 즉, 도 4에 도시한 회로에 제어 회로(800) 및 제5 트랜지스터(805)를 추가하고, 제6 트랜지스터(806)(도 4에서의 제5 트랜지스터(405)에 해당)의 제1 단자가 제6 트랜지스터(806)의 게이트 단자가 아닌 전원 전위(VDD) 선에 전기적으로 접속된다.
- [0127] 제1 트랜지스터(801), 제2 트랜지스터(802) 및 제3 트랜지스터(803) 간의 전기적 접속 관계는 도 4 및 도 6에 도시한 회로에서의 전기적 접속 관계와 동일하다. 따라서, 제2 실시 형태의 설명이 여기에 적용된다.
- [0128] 제어 회로(800)의 제1 입력 단자는, 제1 트랜지스터(801)의 제2 단자, 제2 트랜지스터(802)의 제2 단자, 및 제3 트랜지스터(803)의 게이트 단자에 전기적으로 접속되고, 제어 회로(800)의 제2 입력 단자는 클럭 신호(CK) 선에 전기적으로 접속된다.
- [0129] 제4 트랜지스터(804)의 게이트 단자는 제어 회로(800)의 출력 단자에 전기적으로 접속되고, 제4 트랜지스터(804)의 제1 단자는 접지 전위(VSS) 선에 전기적으로 접속되고, 제4 트랜지스터(804)의 제2 단자는 제3 트랜지스터(803)의 제2 단자 및 제k 전송 신호 생성 회로(T_k)의 제1 입력 단자에 전기적으로 접속된다.
- [0130] 제5 트랜지스터(805)의 게이트 단자는 제어 회로(800)의 출력 단자에 전기적으로 접속되고, 제5 트랜지스터(805)의 제1 단자는 접지 전위(VSS) 선에 전기적으로 접속되고, 제5 트랜지스터(805)의 제2 단자는, 제1 트랜지스터(801)의 제2 단자, 제2 트랜지스터(802)의 제2 단자, 제3 트랜지스터(803)의 게이트 단자, 및 제어 회로(800)의 제1 입력 단자에 전기적으로 접속된다.
- [0131] 제6 트랜지스터(806)의 게이트 단자는 제k 플립플롭 회로(F_k)의 출력 단자에 전기적으로 접속되고, 제6 트랜지스터(806)의 제1 단자는 전원 전위(VDD) 선에 전기적으로 접속된다.
- [0132] 제7 트랜지스터(807), 제8 트랜지스터(808), 및 제9 트랜지스터(809) 간의 전기적 접속 관계는 도 6에 도시한 제6 트랜지스터(606), 제7 트랜지스터(607), 및 제8 트랜지스터(608) 간의 전기적 접속 관계와 동일하다. 따라서, 제2 실시 형태의 설명이 여기에 적용된다.
- [0133] 도 8에 도시한 회로는 후술하는 바와 같이 설계될 필요가 있다는 점에 주목한다.
- [0134] 도 8에 도시한 회로는, 제k 플립플롭 회로(F_k)에(구체적으로는, 다이오드 접속된 제1 트랜지스터(801)에) H 레벨 신호가 입력될 때 제어 회로(800)의 입력 단자에 H 레벨 신호가 확실하게 입력되도록 설계될 필요가 있다. 보다 구체적으로, 제1 트랜지스터(801)의 전류 구동 능력은 제5 트랜지스터(805)의 전류 구동 능력보다 높을 필요가 있다. 예를 들면, 제1 트랜지스터(801)의 채널 폭은 제5 트랜지스터(805)의 채널 폭보다 클 필요가 있다.
- [0135] 또한, 도 8에 도시한 회로를 설계할 때 제2 실시 형태의 설명을 고려하는 것이 바람직하다.
- [0136] 즉, 제1 트랜지스터(801)의 전류 구동 능력이 제6 트랜지스터(806)의 전류 구동 능력보다 높고, 제2 트랜지스터(802)의 전류 구동 능력이 제7 트랜지스터(807)의 전류 구동 능력보다 높고, 제3 트랜지스터(803)의 전류 구동 능력이 제8 트랜지스터(808)의 전류 구동 능력보다 높고, 제4 트랜지스터(804)의 전류 구동 능력이 제9 트랜지스터(809)의 전류 구동 능력보다 높은 것이 바람직하다.
- [0137] 또한, 제k 플립플롭 회로(F_k)에 포함된 제1 트랜지스터(801) 내지 제5 트랜지스터(805) 중에서 제3 트랜지스터(803)의 전류 구동 능력이 가장 높은 것이 바람직하다. 또한, 제k 전송 신호 생성 회로(T_k)에 포함된 제6 트랜지스터(806) 내지 제9 트랜지스터(809) 중에서 제8 트랜지스터(808)의 전류 구동 능력이 가장 높은 것이 바람직

하다.

- [0138] 도 8은 제k 플립플롭 회로(F_k) 및 제k 전송 신호 생성 회로(T_k)만을 도시하고 있지만, 도 8의 회로는 제(k+1) 플립플롭 회로(F_{k+1}) 및 제(k+1) 전송 신호 생성 회로(T_{k+1}) 등에 적용될 수 있다. 제2 실시 형태에서 설명한 바와 같이, 단자들의 전기적인 접속 관계의 일부가 다르다는 점에 주목한다. 제2 실시 형태의 설명은 접속 관계의 구체적인 차이점에 적용된다.
- [0139] 도 9a와 도 9b는 도 8에 도시한 제어 회로(800)에 적용될 수 있는 회로의 구체적인 예를 도시하는 도면이다. 도 9a와 도 9b에 있어서, "IN"으로 표시된 배선은 제1 입력 배선이고, "CK"로 표시된 배선은 클록 신호(CK) 선에 전기적으로 접속된 제2 입력 배선이고, "OUT"으로 표시된 배선은 출력 배선이다.
- [0140] 도 9a에 도시한 제어 회로(800A)는 용량 소자(901A)와 트랜지스터(902A)를 포함한다.
- [0141] 용량 소자(901A)의 단자들 중 하나는 클록 신호(CK) 선에 전기적으로 접속되고, 나머지 단자는 제어 회로(800A)의 출력 단자에 전기적으로 접속된다.
- [0142] 트랜지스터(902A)의 게이트 단자는 제어 회로(800A)의 제1 입력 단자에 전기적으로 접속되고, 트랜지스터(902A)의 제1 단자는 접지 전위(VSS) 선에 전기적으로 접속되고, 트랜지스터(902A)의 제2 단자는 제어 회로(800A)의 출력 단자 및 용량 소자(901A)의 나머지 단자에 전기적으로 접속된다.
- [0143] 도 5에서의 시간 t_3 후에, 제어 회로(800A)의 제1 입력 단자에는 L 레벨 신호가 입력되고, 트랜지스터(902A)가 턴오프된다. 이에 따라, 제어 회로(800A)의 출력 신호가 부유 상태로 된다. 따라서, 제어 회로(800A)의 출력 신호로서, 클록 신호(CK)에 동조된 신호가 출력된다.
- [0144] 도 9a에 도시한 제어 회로(800A)를 도 8의 제어 회로(800)에 적용하는 경우에, 시간 t_2 로부터 시간 t_3 으로의 이행시 용량 소자(901A)의 단자들 중 하나의 전위가 L 레벨로 된 후 제어 회로의 출력 단자가 부유 상태로 되도록 제어 회로(800A)를 설계할 필요가 있다는 점에 주목한다.
- [0145] 도 9b에 도시한 제어 회로(800B)는, 다이오드 접속된 트랜지스터(901B), 트랜지스터(902B), 트랜지스터(903B), 및 트랜지스터(904B)를 포함한다.
- [0146] 트랜지스터(901B)의 게이트 단자 및 제1 단자는 클록 신호(CK) 선에 전기적으로 접속된다.
- [0147] 트랜지스터(902B)의 게이트 단자는 제어 회로(800B)의 제1 입력 단자에 전기적으로 접속되고, 트랜지스터(902B)의 제1 단자는 접지 전위(VSS) 선에 전기적으로 접속되고, 트랜지스터(902B)의 제2 단자는 트랜지스터(901B)의 제2 단자에 전기적으로 접속된다.
- [0148] 트랜지스터(903B)의 게이트 단자는 트랜지스터(901B)의 제2 단자 및 트랜지스터(902B)의 제2 단자에 전기적으로 접속되고, 트랜지스터(903B)의 제1 단자는 클록 신호(CK) 선에 전기적으로 접속되고, 트랜지스터(903B)의 제2 단자는 제어 회로(800B)의 출력 단자에 전기적으로 접속된다.
- [0149] 트랜지스터(904B)의 게이트 단자는 제어 회로(800B)의 입력 단자에 전기적으로 접속되고, 트랜지스터(904B)의 제1 단자는 접지 전위(VSS) 선에 전기적으로 접속되고, 트랜지스터(904B)의 제2 단자는 제어 회로(800B)의 출력 단자 및 트랜지스터(903B)의 제2 단자에 전기적으로 접속된다.
- [0150] 도 9b에 도시한 제어 회로(800B)를 도 8에 도시한 제어 회로(800)에 적용하는 경우에, 트랜지스터(902B)가 온일 때 트랜지스터(903B)를 턴오프하도록 회로를 설계할 필요가 있다는 점에 주목한다. 보다 구체적으로, 트랜지스터(902B)의 전류 구동 능력은 트랜지스터(901B)의 전류 구동 능력보다 높을 필요가 있다. 예를 들면, 트랜지스터(902B)의 채널 길이는 트랜지스터(901B)의 채널 길이보다 작을 필요가 있고, 또는 트랜지스터(902B)의 채널 폭이 트랜지스터(901B)의 채널 폭보다 클 필요가 있다.
- [0151] [제2 실시 형태 및 제3 실시 형태에서 설명한 회로와의 차이점]
- [0152] 도 9a와 도 9b에 도시한 제어 회로(800A, 800B)는 클록 신호(CK) 또는 클록 신호(CK)에 동조된 신호를 출력한다. 따라서, 제3 트랜지스터(803)의 게이트 단자에 노이즈가 침입한 경우에도, 제4 트랜지스터(804) 및 제5 트랜지스터(805)가 턴온되면 노이즈를 제거할 수 있다. 또한, 제4 트랜지스터(804) 및 제5 트랜지스터(805)는 항상 온 상태에 있는 것은 아니며, 이에 의해 제4 트랜지스터(804) 및 제5 트랜지스터(805)의 열화를 억제할 수 있다. 즉, 표시 장치의 화상에 불량을 초래하지 않아서, 표시 장치의 성능 및 신뢰성을 향상시킬 수 있다.

- [0153] [변형 예]
- [0154] 제4 실시 형태에서는, 5개의 트랜지스터(801 내지 805)와 제어 회로(800)를 사용하여 형성된 플립플롭 회로 및 4개의 트랜지스터(806 내지 809)를 사용하여 형성된 전송 신호 생성 회로의 일례를 설명하였다. 그러나, 실시 형태는 이러한 구조로 한정되지 않는다. 예를 들어, 제k 플립플롭 회로(F_k) 및 제k 전송 신호 생성 회로(T_k) 모두는 도 8에 도시한 제k 플립플롭 회로(F_k) 또는 제k 전송 신호 생성 회로(T_k)와 동일한 구조를 가져도 된다. 또한, 제2 실시 형태(도 4) 또는 제3 실시 형태(도 6)의 회로 및 제4 실시 형태(도 8)의 회로의 조합에 의해 플립플롭 회로 및 전송 신호 생성 회로를 형성해도 된다.
- [0155] 또한, 제4 실시 형태에서는, 제k 플립플롭 회로용 정지 펄스 신호($STP(F_k)$) 및 제k 전송 신호 생성 회로용 정지 펄스 신호($STP(T_k)$)에, 제k 전송 신호 생성 회로(T_k)의 출력 신호 및 제(k+2) 플립플롭 회로(F_{k+2})의 출력 신호를 각각 적용하고 있다. 그러나, 제4 실시 형태의 구조는 이러한 구조로 한정되지 않는다.
- [0156] (제5 실시 형태)
- [0157] 제5 실시 형태에서는, 제2 실시 형태 내지 제4 실시 형태에서 설명한 플립플롭 회로 및 전송 신호 생성 회로에 포함되는 트랜지스터의 구체적인 예를 설명한다.
- [0158] 해당 트랜지스터로서, 다양한 재료와 구조를 사용하여 형성된 트랜지스터를 이용할 수 있다. 즉, 사용되는 트랜지스터의 종류에는 한정이 없다. 예를 들면, 비정질 실리콘, 다결정 실리콘, 미결정(마이크로크리스탈, 나노크리스탈, 세미-아몰퍼스라고도 함) 실리콘 등으로 형성된 막으로 대표되는 비단결정 반도체막을 포함하는 박막 트랜지스터(TFT)를 이용할 수 있다.
- [0159] 박막 트랜지스터를 이용해서 표시 장치를 제조하는 경우, 다양한 장점들이 있다. 박막 트랜지스터는 단결정 실리콘을 이용하여 트랜지스터가 형성되는 온도보다 낮은 온도에서 형성될 수 있으므로, 표시 장치의 제조 비용의 삭감 또는 제조 장치의 대형화를 도모할 수 있다. 또한, 박막 트랜지스터는 저온에서 제조될 수 있으므로, 내열성이 낮은 기판 위에 박막 트랜지스터를 제조할 수 있다. 따라서, 내열성이 낮은 투광성 기판 위에 트랜지스터를 제조할 수 있다. 또한, 박막 트랜지스터의 두께는 얇으므로, 트랜지스터를 형성하는 막의 일부에 광을 투과시킬 수 있다. 이에 따라, 개구율을 향상시킬 수 있다.
- [0160] 또한, 트랜지스터로서, MOS형 트랜지스터, 접합형 트랜지스터, 바이폴라 트랜지스터 등을 이용할 수도 있다. 트랜지스터로서 MOS형 트랜지스터를 이용함으로써 트랜지스터의 사이즈를 작게 할 수 있다는 점에 주목한다. 다른 방안으로, 트랜지스터로서 바이폴라 트랜지스터를 이용함으로써 큰 전류를 흘릴 수 있다. 따라서, 고속 동작이 가능하다. MOS형 트랜지스터와 바이폴라 트랜지스터를 하나의 기판 위에 형성해도 된다는 점에 주목한다. 따라서, 저 소비 전력, 소형화, 고속 동작 등을 실현할 수 있다.
- [0161] 또한, 다결정 실리콘을 형성하기 위한 촉매(예를 들어, 니켈)를 이용함으로써, 결정성을 더욱 향상시킬 수 있고, 전기적 특성이 양호한 박막 트랜지스터를 제조할 수 있다는 점에 주목한다. 이에 따라, 게이트 드라이버 회로, 소스 드라이버 회로, 및 신호 처리 회로(예를 들어, 신호 생성 회로, 감마 보정 회로, 또는 DA 변환 회로)를 동일한 기판 위에 형성할 수 있다.
- [0162] 또한, 미결정 실리콘을 형성하기 위한 촉매(예를 들어, 니켈)를 이용함으로써, 결정성을 더욱 향상시킬 수 있고, 전기적 특성이 양호한 트랜지스터를 제조할 수 있다. 이때, 레이저 광 조사를 행하지 않고 열 처리를 행하는 것만으로 결정성을 향상시킬 수도 있다. 그 결과, 소스 드라이버의 일부(예를 들어, 아날로그 스위치) 및 게이트 드라이버를 동일한 기판 위에 형성할 수 있다. 결정화를 위한 레이저 조사를 행하지 않는 경우에는, 실리콘의 결정성의 불균일을 억제할 수 있다는 점에 주목한다. 따라서, 화질이 향상된 화상을 표시할 수 있다.
- [0163] 촉매(예를 들어, 니켈)를 이용하지 않고 다결정 실리콘 또는 미결정 실리콘을 제조할 수 있다는 점에 주목한다.
- [0164] 또한, 실리콘의 결정성 향상은 실리콘 전체를 대상으로 하는 것이 바람직하지만, 제5 실시예는 이에 한정되지 않는다. 실리콘 중 일부의 결정성만 향상되어도 된다. 선택적으로 결정성을 향상시키는 것은 레이저 광을 선택적으로 조사하는 것 등에 의해 가능하다. 예를 들면, 게이트 드라이버 및 소스 드라이버 등의 영역을 레이저 광으로 조사해도 된다. 그 결과, 회로의 고속 동작이 필요한 영역에서만 실리콘의 결정성을 향상시킬 수 있다. 화소부는 고속으로 구동될 필요가 없으므로, 결정성이 향상되지 않아도 심각한 문제없이 화소 회로를 구동할 수 있다. 따라서, 결정성을 향상시키는 영역이 감소되고 제조 공정이 짧아진다. 따라서, 스루풋이 향상되어, 표시 장치의 제조 비용을 저감할 수 있다.

- [0165] 또한, 트랜지스터는 실리콘을 이용하여 형성된 트랜지스터로 한정되지 않는다. 트랜지스터로서, 실리콘 게르마늄, 갈륨 비소 등의 화합물 반도체, 또는 산화 아연, 인듐 및 갈륨을 포함하는 산화 아연 등의 산화물 반도체를 이용하여 형성된 트랜지스터를 사용할 수도 있다. 또한, 이러한 화합물 반도체 또는 산화물 반도체로 형성된 박막을 포함하는 박막 트랜지스터를 사용할 수도 있다. 박막 트랜지스터는 저온에서 제조가능하므로, 예를 들면, 실온에서 트랜지스터를 제조할 수 있다. 이에 따라, 내열성이 낮은 기판, 예를 들면, 플라스틱 기판 또는 필름 기판 등의 기판 위에 트랜지스터를 직접 형성할 수 있다. 이러한 화합물 반도체 또는 산화물 반도체를, 트랜지스터의 채널 부분뿐만 아니라 다른 용도를 위해서도 이용할 수 있다는 점에 주목한다. 예를 들면, 이러한 화합물 반도체 또는 산화물 반도체를, 배선, 저항 소자, 화소 전극, 투광성 전극 등을 위해 이용할 수 있다. 이러한 소자는 트랜지스터와 동시에 성막되거나 형성될 수 있으므로, 표시 장치의 제조 비용을 저감할 수 있다.
- [0166] 또한, 트랜지스터로서, 유기 반도체나 카본 나노튜브를 포함하는 트랜지스터를 이용할 수 있다. 이에 따라, 휘어질 수 있는 기판 위에 트랜지스터들을 형성할 수 있다. 이러한 기판을 이용하는 표시 장치는 충격에 강하다.
- [0167] 또한, 트랜지스터의 제조 방법은 한정되지 않는다. 제조 방법으로서, 포토리소그래피법, 잉크젯법, 인쇄법 등을 적용할 수 있다. 잉크젯법 및 인쇄법에서는, 제조시 마스크(레티클)를 사용하지 않으므로, 트랜지스터의 레이아웃을 용이하게 변경할 수 있다는 점에 주목한다. 또한, 레지스트를 사용하지 않고 트랜지스터를 제조할 수 있으므로, 재료 비용이 저감되고 공정 수도 저감될 수 있다. 또한, 필요한 경우에만 막을 형성할 수 있으므로, 재료가 낭비되지 않는다. 따라서, 비용을 저감할 수 있다.
- [0168] 다른 방안으로, 트랜지스터로서, 게이트 단자가 2개 이상인 멀티 게이트 구조의 트랜지스터를 이용할 수도 있다. 멀티 게이트 구조를 이용하면, 채널 영역들이 직렬로 접속되기 때문에 복수의 트랜지스터가 직렬 접속된다. 따라서, 멀티 게이트 구조에 의해, 트랜지스터의 오프 전류의 저감 및 트랜지스터의 내압 향상(신뢰성 향상)을 도모할 수 있다.
- [0169] 트랜지스터로서, 채널 영역의 위와 아래에 게이트 단자들이 형성되는 구조의 트랜지스터를 사용할 수도 있다. 채널 영역의 위와 아래에 게이트 단자들을 배치함으로써, 복수의 트랜지스터가 병렬 접속된 구조를 얻게 된다. 즉, 채널 영역이 증가하게 된다. 따라서, 전류량을 증가시킬 수 있다. 또한, 채널 영역의 위와 아래에 게이트 단자들을 형성하는 구조를 이용함으로써, 공핍층을 쉽게 형성할 수 있고, 이에 따라 S 값을 향상시킬 수 있다.
- [0170] 또한, 트랜지스터로서, 채널 영역 위에 게이트 단자가 배치되어 있는 구조, 채널 영역 아래에 게이트 단자가 배치되어 있는 구조, 순방향 스테거(forward staggered) 구조, 역방향 스테거(inverted staggered) 구조, 채널 영역을 복수의 영역으로 분할한 구조, 채널 영역들을 병렬 또는 직렬 접속한 구조 등을 갖는 트랜지스터를 적용할 수 있다.
- [0171] 또한, 다른 방안으로, 트랜지스터로서, 채널 영역(또는 채널 영역의 일부)에 소스 단자 또는 드레인 단자가 겹치는 구조의 트랜지스터를 이용할 수도 있다. 채널 영역(또는 채널 영역의 일부)에 소스 단자 또는 드레인 단자가 겹치는 구조를 이용함으로써, 채널 영역의 일부에 전하들이 축적되어 동작이 불안정화되는 것을 방지할 수 있다.
- [0172] 또한, LDD 영역을 설치한 구조를 트랜지스터에 적용할 수 있다. LDD 영역을 설치함으로써, 트랜지스터의 오프 전류의 저감 및 트랜지스터의 내압 향상(신뢰성 향상)을 도모할 수 있다. 또한, LDD 영역을 설치함으로써, 트랜지스터가 포화 영역에서 동작할 때 드레인-소스 전압이 변화하더라도 드레인-소스 전류가 변하지 않아서, 전압-전류 특성의 기울기가 편평할 수 있다.
- [0173] 트랜지스터는 다양한 기판을 이용해서 형성될 수 있다는 점에 주목한다. 즉, 기판의 종류는 소정의 유형으로 한정되지 않는다. 기판으로는, 예를 들어, 반도체 기판 (예를 들면, 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인레스 스틸 기판, 스테인레스 스틸 호일을 포함하는 기판, 텅스텐 기판, 텅스텐 호일을 포함하는 기판, 가요성 기판, 접합 필름, 섬유 재료를 포함하는 종이, 기재 필름 등을 사용할 수 있다. 유리 기판의 예로는, 바륨 보로실리케이트 유리 기판, 알루미늄보로실리케이트 유리 기판, 소다라임 유리 기판 등을 사용할 수 있다. 가요성 기판으로는, 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN), 폴리에테르 술폰(PES)으로 대표되는 플라스틱 또는 아크릴 등의 가요성 합성 수지를 사용할 수 있다. 접합 필름의 예로는, 폴리프로필렌, 폴리에스테르, 비닐, 폴리 불화 비닐, 폴리 염화 비닐 등을 사용하여 형성된 접합 필름이 있다. 기재 필름의 예로는, 폴리에스테르, 폴리이미드, 폴리이미드, 무기 증착 필름, 종이 등을 사용하여 형성된 기재 필름이 있다. 특히, 반도체 기판, 단결정 기판, SOI 기판 등을 사용하여 트랜지스터를 제조하는 경우, 특성, 사이즈, 형상 등의 변동이 적고, 전류 공급 능력이 높고,

사이즈가 작은 트랜지스터를 제조할 수 있다. 이러한 트랜지스터를 사용하여 회로를 형성함으로써, 회로의 소비 전력을 저감할 수 있고 또는 회로를 고집적화할 수 있다.

[0174] 다른 방안으로, 하나의 기판을 이용하여 트랜지스터를 형성한 후, 트랜지스터를 다른 기판 위로 전치하여 배치해도 된다. 트랜지스터가 전치되는 기판의 예로는, 트랜지스터를 위에 형성할 수 있는 전술한 기판 외에도, 종이 기판, 셀로판 기판, 석재 기판, 목재 기판, 천 기판(천연 섬유(예를 들어, 비단, 면, 삼), 합성 섬유(예를 들어, 나일론, 폴리우레탄, 폴리에스테르), 재생 섬유(예를 들어, 아세테이트, 큐푸라(cupra), 레이온(rayon), 또는 재생 폴리에스테르) 등을 포함), 피혁 기판, 고무 기판 등이 있다. 이러한 기판을 이용함으로써, 특성이 뛰어난 트랜지스터, 소비 전력이 작은 트랜지스터, 및 내구성과 내열성이 높고 경량이면서 얇은 장치를 제조할 수 있다.

[0175] (제6 실시 형태)

[0176] 제6 실시 형태에서는, 제1 실시 형태에서 설명한 표시 장치를 포함하는 전자 장치의 예를 도 11a 내지 도 11f, 도 12a 내지 도 12d, 및 도 13a 내지 도 13d를 참조하여 설명한다.

[0177] 도 11a 내지 도 11f 및 도 12a 내지 도 12d는 제1 실시 형태에서 설명한 표시 장치를 포함하는 전자 장치를 도시한다. 이러한 전자 장치들은, 하우징(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005) (전원 스위치 또는 조작 스위치를 포함), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 가시광, 액체, 자기, 온도, 화학 물질, 소리, 시간, 경도, 전계, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함), 마이크로폰(5008) 등을 포함할 수 있다. 이러한 전자 장치들에서, 제1 실시 형태에서 설명한 표시 장치는 표시부(5001)에 포함되어 있다.

[0178] 도 11a는, 전술한 대상들 외에 스위치(5009), 적외선 포트(5010) 등을 포함할 수 있는 모바일 컴퓨터를 도시한다. 도 11b는, 기록 매체를 구비한 휴대형 화상 재생 장치(예를 들면, DVD 재생 장치)를 도시하고 있으며, 전술한 대상들 이외에, 제2 표시부(5002), 기록 매체 판독부(5011) 등을 구비할 수 있다. 도 11c는 전술한 대상들 이외에, 광원(5033), 투사 렌즈(5034) 등을 포함할 수 있는 프로젝터를 도시한다. 도 11d는 휴대형 게임기를 도시하고 있으며, 전술한 대상들 이외에, 기록 매체 판독부(5011) 등을 구비할 수 있다. 도 11e는 텔레비전 수상기를 도시하고 있으며, 전술한 대상들 이외에, 튜너, 화상 처리부 등을 구비할 수 있다. 도 11f는 휴대형 텔레비전 수상기를 도시하고 있으며, 전술한 대상들 이외에, 신호의 송수신이 가능한 충전기(5017) 등을 구비할 수 있다. 도 12a는 디스플레이를 도시하고 있으며, 전술한 대상들 이외에, 지지대(5018) 등을 구비할 수 있다. 도 12b는 카메라를 도시하고 있으며, 전술한 대상들 이외에, 외부 접속 포트(5019), 셔터 버튼(5015), 수상부(5016) 등을 구비할 수 있다. 도 12c는 컴퓨터를 도시하고 있으며, 전술한 대상들 이외에, 포인팅 디바이스(5020), 외부 접속 포트(5019), 리더/라이터(5021) 등을 구비할 수 있다. 도 12d는 휴대 전화를 도시하고 있으며, 전술한 대상들 이외에, 안테나, 휴대 전화와 이동 단말기용 1세그먼트(1seg 디지털 TV 브로드캐스트) 부분 수신 서비스의 튜너 등을 구비할 수 있다.

[0179] 도 11a 내지 도 11f 및 도 12a 내지 도 12d에 도시한 전자 장치는, 다양한 기능을 가질 수 있으며, 예를 들어, 다양한 정보(정지 화상, 동화상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 캘린더, 날짜, 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 이용해서 다양한 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능을 이용해서 다양한 데이터를 송수신하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하고 그 프로그램 또는 데이터를 표시부에 표시하는 기능을 가질 수 있다. 또한, 복수의 표시부를 포함하는 전자 장치는, 주로 하나의 표시부에 화상 정보를 표시하는 한편 다른 하나의 표시부에 텍스트 정보를 표시하는 기능, 시차를 고려한 화상들을 복수의 표시부에 표시함으로써 3차원 화상을 표시하는 기능 등을 가질 수 있다. 또한, 수상부를 갖는 전자 장치는, 정지 화상을 촬영하는 기능, 동화상을 촬영하는 기능, 촬영한 화상을 자동으로 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 기록 매체 또는 카메라에 내장된 기록 매체)에 저장하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 도 11a 내지 11f 및 도 12a 내지 도 12d에 도시한 전자 장치용으로 설치될 수 있는 기능은 이에 한정되지 않으며, 전자 장치는 다양한 기능을 가질 수 있다.

[0180] 건물과 일체로 설치된 전자 장치의 일례를 도 13a와 도 13b를 참조하여 설명한다.

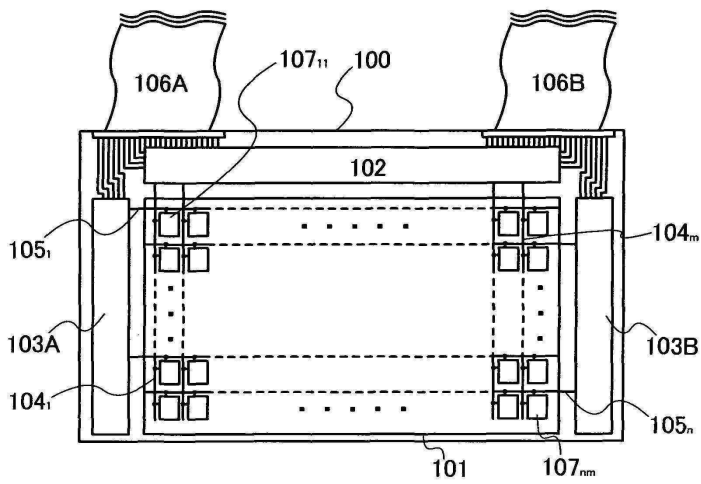
[0181] 도 13a는 건물과 일체로 설치된 전자 장치의 일례를 도시하고 있다. 전자 장치는 하우징(5022), 표시부(5023), 스피커(5025) 등을 포함한다. 전자 장치는 리모콘 장치(5024)에 의해 조작될 수 있다. 전자 장치는, 벽걸이형으로서 건물과 일체로 되며, 큰 공간을 필요로 하지 않고 설치될 수 있다.

106B: 플렉시블 프린트 기판	107 ₁₁ : 화소
107 _{nm} : 화소	401: 트랜지스터
402: 트랜지스터	403: 트랜지스터
404: 트랜지스터	405: 트랜지스터
406: 트랜지스터	407: 트랜지스터
408: 트랜지스터	600: 인버터 회로
600A: 인버터 회로	600B: 인버터 회로
601: 트랜지스터	602: 트랜지스터
603: 트랜지스터	604: 트랜지스터
605: 트랜지스터	606: 트랜지스터
607: 트랜지스터	608: 트랜지스터
701A: 트랜지스터	701B: 트랜지스터
702A: 트랜지스터	702B: 트랜지스터
703B: 트랜지스터	704B: 트랜지스터
800: 제어회로	800A: 제어회로
800B: 제어회로	801: 트랜지스터
802: 트랜지스터	803: 트랜지스터
804: 트랜지스터	805: 트랜지스터
806: 트랜지스터	807: 트랜지스터
808: 트랜지스터	809: 트랜지스터
901A: 용량소자	901B: 트랜지스터
902A: 트랜지스터	902B: 트랜지스터
903B: 트랜지스터	904B: 트랜지스터
1001: 화소부	1002A: 제1 게이트 드라이버
1002B: 제2 게이트 드라이버	1003 ₁ : 게이트 선
1003 ₂ : 게이트 선	1003 _k : 게이트 선
5000: 하우징	5001: 표시부
5002: 제2 표시부	5003: 스피커
5004: LED 램프	5005: 조작 키
5006: 접속 단자	5007: 센서
5008: 마이크로폰	5009: 스위치
5010: 적외선 포트	5011: 기록 매체 관독부
5015: 셔터 버튼	5016: 수상부
5017: 충전기	5018: 지지대
5019: 외부 접속 포트	5020: 포인팅 디바이스

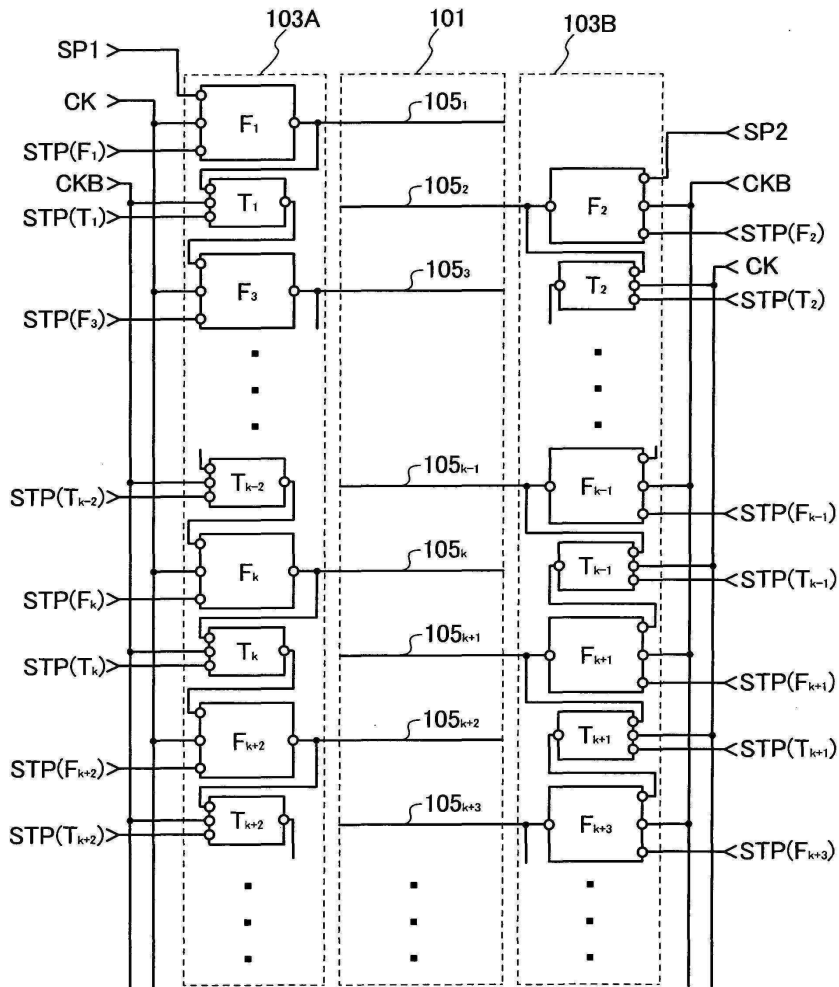
- | | |
|--------------|--------------|
| 5021: 리더/라이터 | 5022: 하우징 |
| 5023: 표시부 | 5024: 리모콘 장치 |
| 5025: 스피커 | 5026: 표시부 |
| 5027: 육조 | 5028: 표시부 |
| 5029: 차체 | 5030: 천장 |
| 5031: 표시부 | 5032: 힌지부 |
| 5033: 광원 | 5034: 투사 렌즈 |

도면

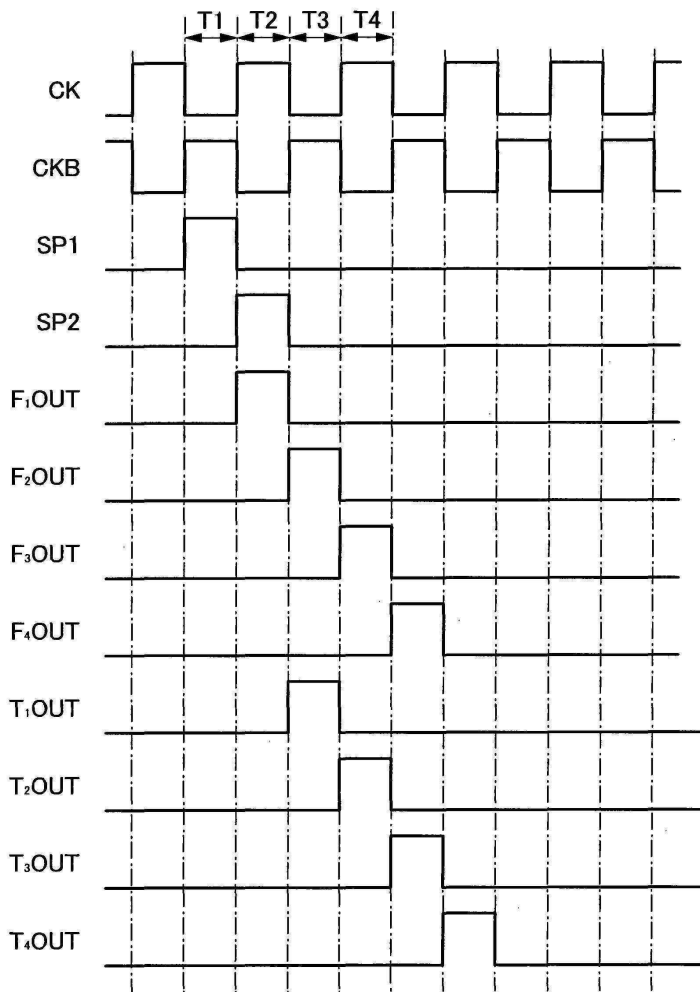
도면1



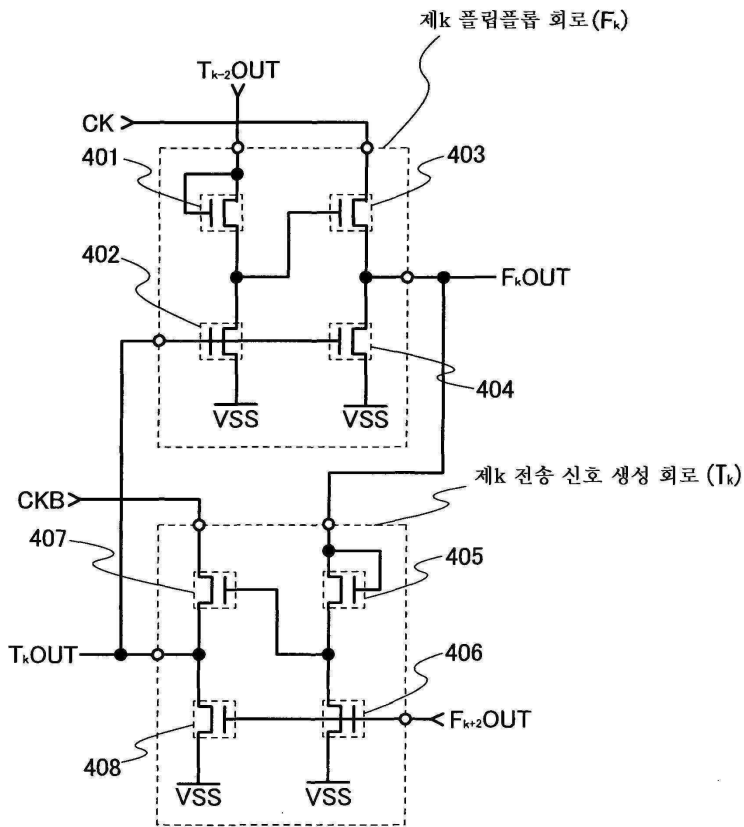
도면2



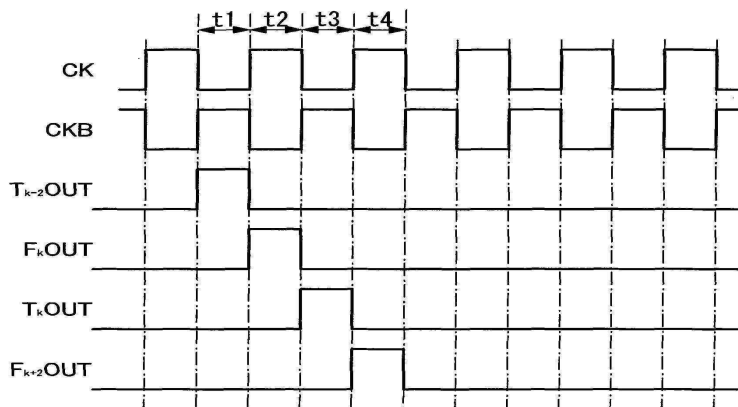
도면3



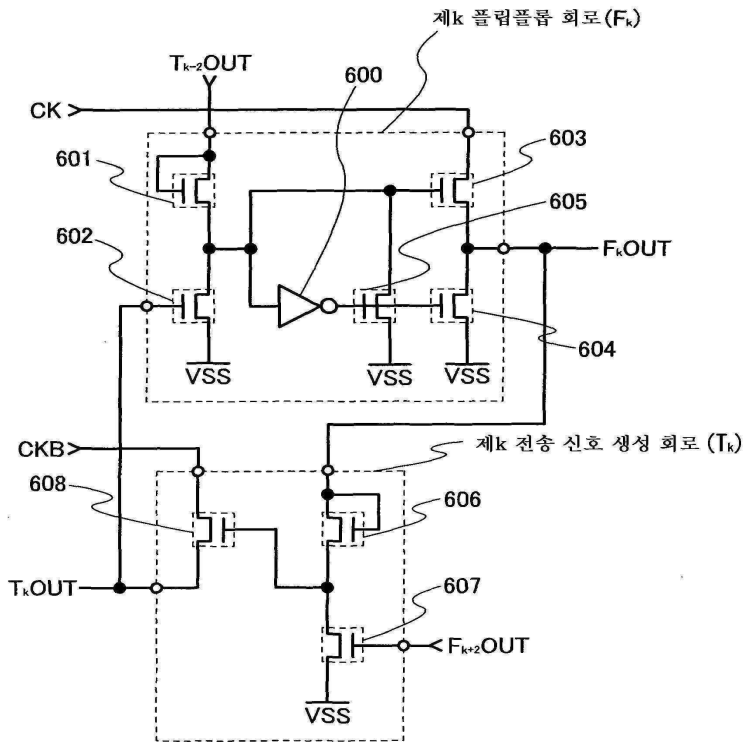
도면4



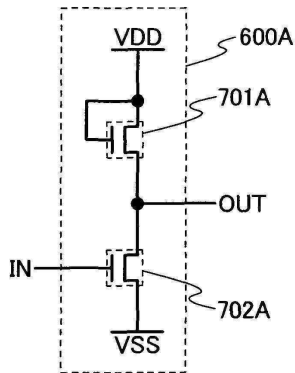
도면5



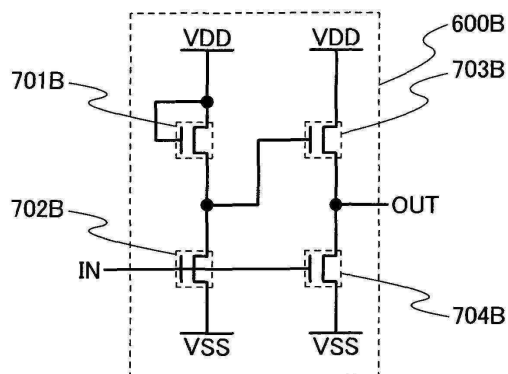
도면6



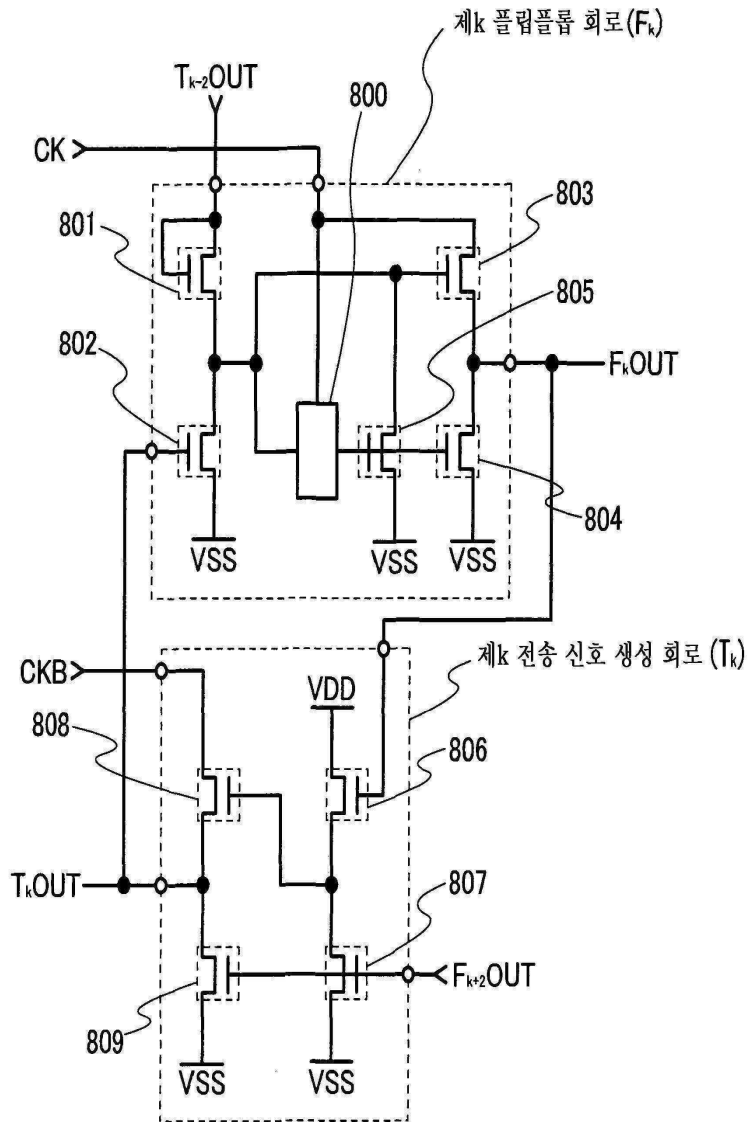
도면7a



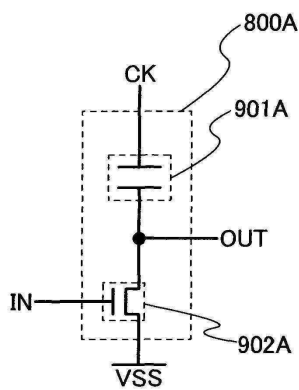
도면7b



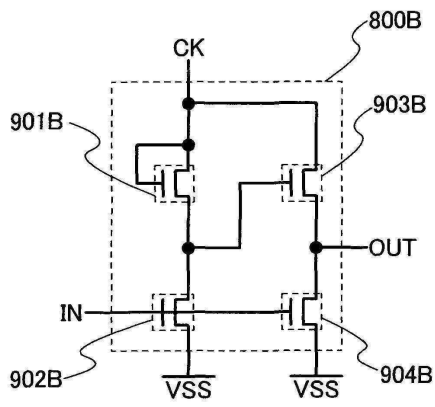
도면8



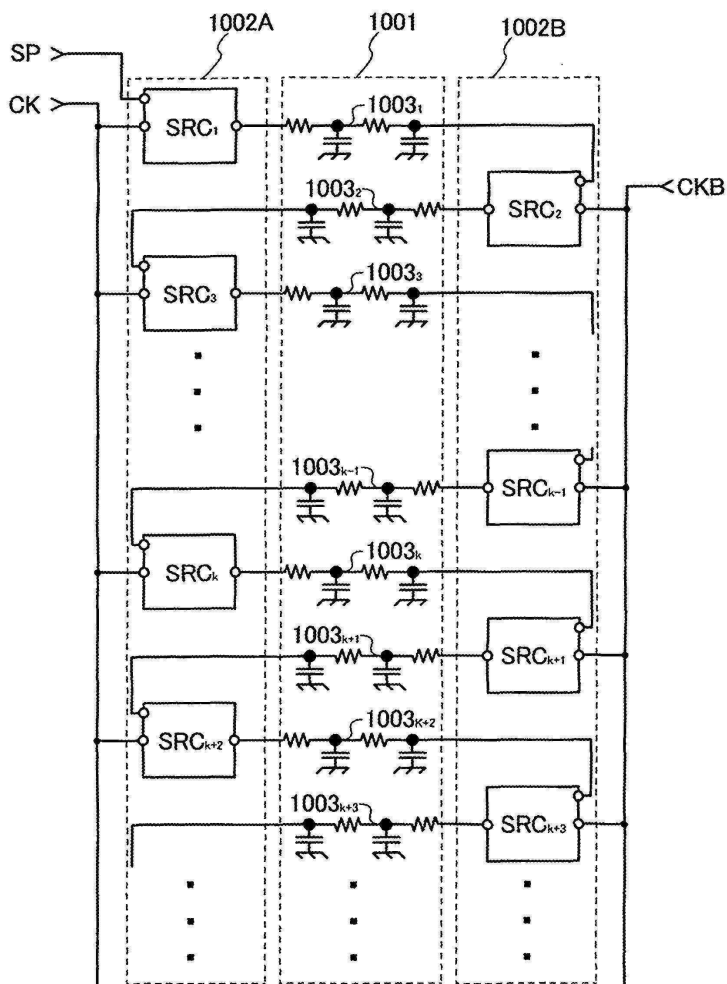
도면9a



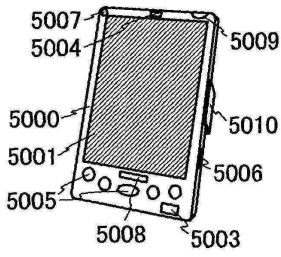
도면9b



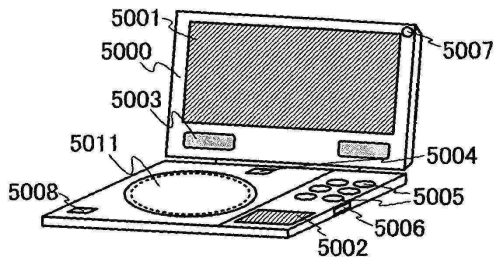
도면10



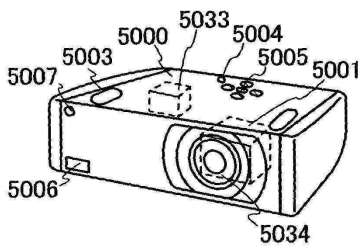
도면11a



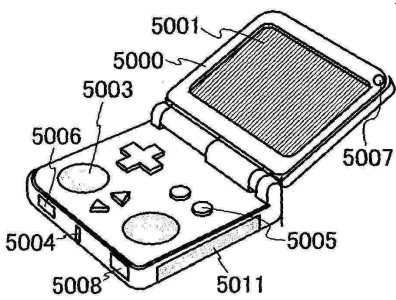
도면11b



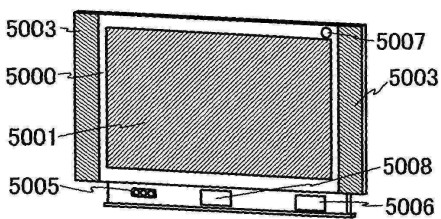
도면11c



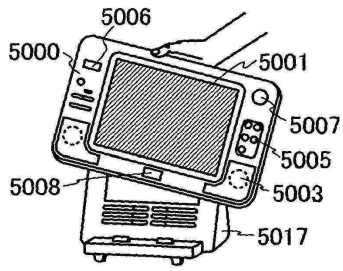
도면11d



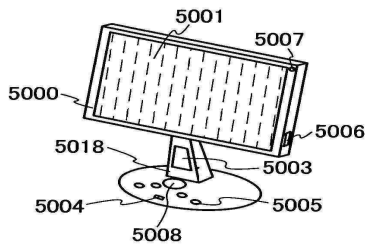
도면11e



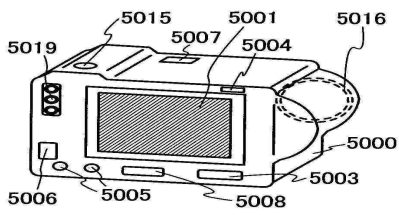
도면11f



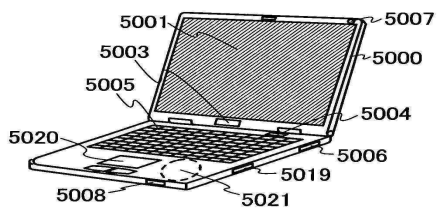
도면12a



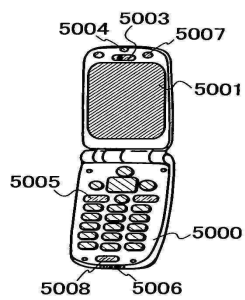
도면12b



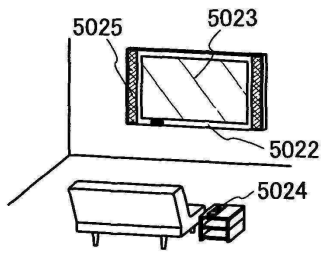
도면12c



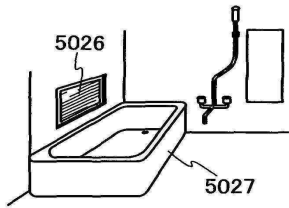
도면12d



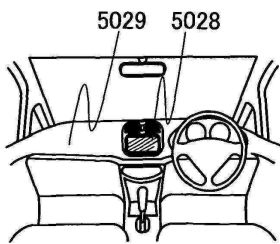
도면13a



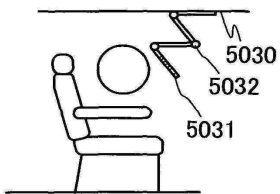
도면13b



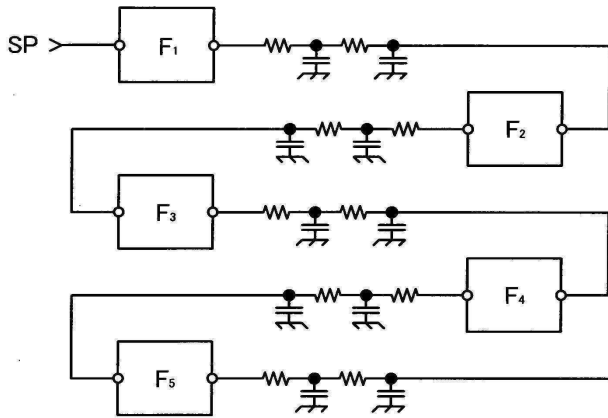
도면13c



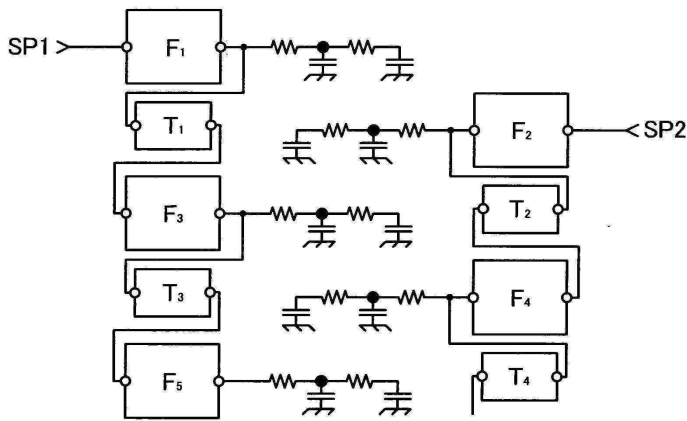
도면13d



도면14a



도면14b



도면15

