

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

conductive layer, and a second portion that is connected to the first portion and is disposed between the first surface and the at least one recess portion.

(57) 要約: 半導体装置は、厚さ方向 z の一方側を向く第1面を有する第1リード1と、前記第1面に支持された半導体素子と、前記第1面と前記半導体素子とを接合する導電性接合材と、を備え、前記半導体素子は、厚さ方向 z の反対側を向く素子裏面と、前記素子裏面に配置された裏面導電層と、4つの素子側面と、を有し、前記半導体素子は、前記4つの素子側面の少なくともいずれか1つと前記素子裏面とにつながり、前記素子側面および前記素子裏面から凹む少なくとも1つの凹部を有し、前記導電性接合材は、前記第1面と前記裏面導電層との間に配置された第1部と、前記第1部につながり、且つ前記第1面と前記少なくとも1つの凹部との間に配置された第2部と、を含む。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 半導体素子を備えた半導体装置は、様々な構成が提案されている。特許文献1には、従来の半導体装置の一例が開示されている。同文献に開示された半導体装置は、リード、半導体素子および導電性接合材を備えている。半導体素子は、当該半導体素子の厚さ方向に見て矩形状である。半導体素子は、リードに支持されている。導電性接合材は、リードと半導体素子とを導通接合する。

[0003] このような半導体装置において、半導体素子から発生した熱により当該半導体素子の温度が上昇すると、導電性接合材に応力が生じる。導電性接合材に生じる応力は、半導体素子の厚さ方向に見て当該半導体素子の外周付近が相対的に大きくなる。導電性接合材に生じる応力により、半導体素子の外周付近において導電性接合材が剥離することが懸念される。

先行技術文献

特許文献

[0004] 特許文献1：特開2017-135241号公報

発明の概要

発明が解決しようとする課題

[0005] 本開示は、従来より改良が施された半導体装置を提供することを一の課題とする。特に本開示は、上記した事情に鑑み、半導体素子を支持するリードと当該半導体素子とを接合する導電性接合材に生じる応力を低減し、剥離等を抑制するのに適した半導体装置を提供することをその一の課題とする。

課題を解決するための手段

[0006] 本開示の一の側面によって提供される半導体装置は、厚さ方向の一方側を

向く第1面を有する第1リードと、前記第1面に支持された半導体素子と、前記第1面と前記半導体素子とを接合する導電性接合材と、を備える。前記半導体素子は、前記厚さ方向の一方側を向く素子主面と、前記厚さ方向の反対側を向く素子裏面と、前記素子裏面に配置された裏面導電層と、4つの素子側面と、を有する。前記4つの素子側面はそれぞれ、前記厚さ方向に直交する第1方向の一方側および他方側と、前記厚さ方向および前記第1方向の双方に直交する第2方向の一方側および他方側と、を向いている。前記半導体素子は、前記4つの素子側面の少なくともいずれか1つと前記素子裏面とにつながり、前記素子側面および前記素子裏面から凹む少なくとも1つの凹部を有する。前記導電性接合材は、前記第1面と前記裏面導電層との間に配置された第1部と、前記第1部につながり、且つ前記第1面と前記少なくとも1つの凹部との間に配置された第2部と、を含む。

発明の効果

- [0007] 上記構成によれば、半導体素子を支持する第1リードと当該半導体素子とを接合する導電性接合材の剥離等を抑制することができる。
- [0008] 本開示のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

- [0009] [図1]図1は、本開示の第1実施形態に係る半導体装置を示す平面図である。
- [図2]図2は、本開示の第1実施形態に係る半導体装置を示す底面図である。
- [図3]図3は、本開示の第1実施形態に係る半導体装置を示す平面図（封止樹脂を透過）である。
- [図4]図4は、図3のI-V-I線に沿う断面図である。
- [図5]図5は、図3のV-V線に沿う断面図である。
- [図6]図6は、図3のV-I-V線に沿う断面図である。
- [図7]図7は、図3の部分拡大図である。
- [図8]図8は、図7のV-I-I-I-V-I-I-I線に沿う拡大断面図である。
- [図9]図9は、図7のI-X-I-X線に沿う拡大断面図である。

[図10]図10は、図7のX-X線に沿う拡大断面図である。

[図11]図11は、図7のX1-X1線に沿う拡大断面図である。

[図12]図12は、図8の部分拡大図である。

[図13]図13は、第1実施形態の第1変形例に係る半導体装置を示し、図8と同様の断面図である。

[図14]図14は、第1実施形態の第2変形例に係る半導体装置を示し、図8と同様の断面図である。

[図15]図15は、第1実施形態の第3変形例に係る半導体装置を示し、図8と同様の断面図である。

[図16]図16は、第1実施形態の第4変形例に係る半導体装置を示し、図8と同様の断面図である。

[図17]図17は、第1実施形態の第5変形例に係る半導体装置を示し、図8と同様の断面図である。

[図18]図18は、第1実施形態の第6変形例に係る半導体装置を示し、図8と同様の断面図である。

発明を実施するための形態

[0010] 以下、本開示の好ましい実施の形態につき、図面を参照して具体的に説明する。

[0011] 本開示における「第1」、「第2」、「第3」等の用語は、単にラベルとして用いたものであり、必ずしもそれらの対象物に順列を付することを意図していない。

[0012] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある

物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B上に位置していること」を含む。また、「ある物Aがある物Bにある方向に見て重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。また、本開示において「ある面Aが方向B（の一方側または他方側）を向く」とは、面Aの方向Bに対する角度が 90° である場合に限定されず、面Aが方向Bに対して傾いている場合を含む。また「ある物Aがある物Bに支持されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接支持されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに支持されていること」を含む。

[0013] 第1実施形態：

図1～図12は、本開示の第1実施形態に係る半導体装置を示している。本実施形態の半導体装置A10は、第1リード1、第2リード2、第3リード3、半導体素子4、導電性接合材5、複数の第1導通部材61、第2導通部材62および封止樹脂7を備えている。

[0014] 図1は、半導体装置A10を示す平面図である。図2は、半導体装置A10を示す底面図である。図3は、半導体装置A10を示す平面図である。図4は、図3のI-V-I-Vに沿う断面図である。図5は、図3のV-V線に沿う断面図である。図6は、図3のV|I-V|I線に沿う断面図である。図7は、図3の部分拡大図である。図8は、図7のV|I|I-V|I|I線に沿う拡大断面図である。図9は、図7のI-X-I-X線に沿う拡大断面図である。図10は、図7のX-X線に沿う拡大断面図である。図11は、図7のX-I-X|線に沿う拡大断面図である。図12は、図8の部分拡大図である。なお、図3は、理解の便宜上、封止樹脂7を透過している。図7においては、第

1 導通部材 6 1 および第 2 導通部材 6 2 を省略している。

[0015] 半導体装置 A 1 0 の説明においては、半導体装置 A 1 0 の厚さ方向は、本開示の「厚さ方向」の一例であり、「厚さ方向 z」と呼ぶ。厚さ方向 z に対して直交する 1 つの方向を、たとえば「第 1 方向 x」と呼ぶ。

[0016] 第 1 リード 1、第 2 リード 2 および第 3 リード 3 は、たとえば、金属板（リードフレーム）に打ち抜き加工や折り曲げ加工等を施すことにより形成されている。第 1 リード 1、第 2 リード 2 および第 3 リード 3 の厚さは、特に限定されず、たとえば 0.1 mm ~ 1.5 mm 程度である。第 1 リード 1、第 2 リード 2 および第 3 リード 3 の構成材料は、たとえば Cu（銅）および Ni（ニッケル）のいずれか、またはこれらの合金などからなる。

[0017] 第 1 リード 1 は、半導体素子 4 が搭載される部材である。図 3 ~ 図 6 に示すように、第 1 リード 1 は、素子ボンディング部 1 1、複数の端子状延出部 1 2、2 つの側方延出部 1 3 および底部 1 4 を有する。素子ボンディング部 1 1 は、第 1 面 1 1 a および裏面実装部 1 1 b を有する。第 1 面 1 1 a は、厚さ方向 z の一方側を向いており、裏面実装部 1 1 b は、厚さ方向 z の他方側を向いている。第 1 面 1 1 a には、半導体素子 4 が搭載されており、この第 1 面 1 1 a に半導体素子 4 が支持されている。素子ボンディング部 1 1 の形状は何ら限定されず、図示された例においては、厚さ方向 z に見て略矩形状である。また、図 4 ~ 図 6 に示すように、本実施形態においては、裏面実装部 1 1 b は、封止樹脂 7 から露出している。裏面実装部 1 1 b は、たとえば半導体装置 A 1 0 を図示しない回路基板等を実装する際に、はんだなどの接合材によって接合される部位である。

[0018] 複数の端子状延出部 1 2 は、図 3 および図 4 に示すように、素子ボンディング部 1 1 に対して第 2 方向 y の一方側（図 3 における上側）に位置する。複数の端子状延出部 1 2 は、各々、素子ボンディング部 1 1 の第 2 方向 y の一方側につながり、第 2 方向 y の一方側に延出している。複数の端子状延出部 1 2 は、第 1 方向 x に間隔を隔てて配置されている。複数の端子状延出部 1 2 の各々の先端部は、封止樹脂 7 から第 2 方向 y の一方側に突出している

。2つの側方延出部13は、素子ボンディング部11から第1方向xの両側に延出している。2つの側方延出部13の先端部は、封止樹脂7から第1方向xの両側に突出している。

[0019] 底部14は、素子ボンディング部11の周縁部から第1方向xまたは第2方向yに突出した形状部分を有する部位である。底部14は、たとえば、封止樹脂7の一部と係合することにより、封止樹脂7による素子ボンディング部11の保持力を高めるために設けられている。

[0020] 第2リード2は、複数の第1導通部材61が接合される部材である。図3に示すように、第2リード2は、厚さ方向zに見て、第1リード1に対して離隔して配置されている。図1～図3および図5に示すように、本実施形態の第2リード2は、ボンディング部21、複数（本実施形態では3つ）の端子部22、複数（本実施形態では3つ）の屈曲部23、および貫通孔24を有する。ボンディング部21には、後述の複数の第1導通部材61が接合される。ボンディング部21の形状は何ら限定されず、図示された例においては、厚さ方向zに見て略矩形状である。図5に示すように、ボンディング部21は、複数の端子部22に対して、厚さ方向zの一方側（図5における上側）に位置している。また、図5に示すように、本実施形態においては、ボンディング部21は、封止樹脂7に覆われている。

[0021] 複数の端子部22は、第1リード1の素子ボンディング部11に対して第2方向yの他方側（図5における左側）に位置する。複数の端子部22は、第1方向xに間隔を隔てて配置されている。端子部22は、封止樹脂7から露出する部位を含む。端子部22は、たとえば半導体装置A10を図示しない回路基板に実装する際に、はんだなどの接合材によって接合される部位である。

[0022] 複数の屈曲部23は、ボンディング部21と複数の端子部22とを各別につないでおり、第1方向xに見て屈曲形状である。貫通孔24は、第2リード2を厚さ方向zに貫通している。図3に示すように、貫通孔24は、厚さ方向zに見て屈曲部23（図3における左端の屈曲部23）と重なっている

。また、貫通孔24は、厚さ方向zに見てボンディング部21および屈曲部23と重なっている。

[0023] 第3リード3は、第2導通部材62が接合される部材である。図3に示すように、第3リード3は、厚さ方向zに見て、第1リード1および第2リード2に対して離隔して配置されている。図1～図4に示すように、本実施形態の第3リード3は、ボンディング部31、端子部32、屈曲部33および貫通孔34を有する。ボンディング部31には、後述の第2導通部材62が接合される。ボンディング部31の形状は何ら限定されず、図示された例においては、厚さ方向zに見て略矩形形状である。図4に示すように、ボンディング部31は、端子部32に対して、厚さ方向zの一方側（図4における上側）に位置している。また、図4に示すように、本実施形態においては、ボンディング部31は、封止樹脂7に覆われている。

[0024] 端子部32は、第1リード1の素子ボンディング部11に対して第2方向yの他方側（図4における左側）に位置する。図3に示すように、端子部32は、第2リード2の端子部22に対して第1方向xの一方側に位置する。端子部32は、封止樹脂7から露出する部位を含む。端子部32は、たとえば半導体装置A10を図示しない回路基板に実装する際に、はんだなどの接合材によって接合される部位である。

[0025] 屈曲部33は、ボンディング部31と端子部32とをつないでおり、第1方向xに見て屈曲形状である。貫通孔34は、第3リード3を厚さ方向zに貫通している。図3に示すように、貫通孔34は、厚さ方向zに見て屈曲部33と重なっている。また、貫通孔34は、厚さ方向zに見てボンディング部31および屈曲部33と重なっている。

[0026] 半導体素子4は、半導体装置A10の電氣的機能を発揮する要素である。半導体素子4の種類は特に限定されず、本実施形態においては、半導体素子4は、トランジスタとして構成されている。図3～図7に示すように、本実施形態の半導体素子4は、素子主面4a、素子裏面4b、4つの素子側面401、402、403、404、第1主面電極41、第2主面電極42、裏

面電極43、および凹部44を有する。

- [0027] 半導体素子4は、厚さ方向zに見て矩形状である。素子主面4aは、厚さ方向zの一方側（図4～図6における上側）を向く面である。素子裏面4bは、厚さ方向zにおいて素子主面4aとは反対側の他方側（図4～図6における下側）を向く面である。素子主面4aは、厚さ方向zにおいて素子ボンディング部11の第1面11aと同じ側を向く。このため、素子裏面4bは、第1面11aに対向している。
- [0028] 4つの素子側面401～404の各々は、半導体素子4が厚さ方向z視で矩形状をなす各辺に対応している。素子側面401および素子側面402は、第1方向xにおいて互いに離れている。素子側面401は、第1方向xの一方側を向く。素子側面402は、第1方向xの他方側を向く。素子側面403および素子側面404は、それぞれが素子側面401および素子側面402の双方につながる。素子側面403および素子側面404は、第2方向yにおいて互いに離れている。素子側面403は、第2方向yの一方側を向く。素子側面404は、第2方向yの他方側を向く。
- [0029] 図3に示すように、第1主面電極41および第2主面電極42は、素子主面4aに配置されている。本実施形態において、第1主面電極41は、ソース電極であり、入出力端子として用いられる電極である。第1主面電極41は、素子主面4aの大半を覆っている。第2主面電極42は、ゲート電極であり、スイッチング素子としての半導体素子4にゲート電圧が印加される電極である。図示された例においては、第2主面電極42は、第1主面電極41よりも小さい。
- [0030] 図4～図6に示すように、裏面電極43は、素子裏面4bに配置されている。本実施形態において、裏面電極43は、ドレイン電極であり、第1主面電極41とともに、入出力端子として用いられる電極である。裏面電極43は、素子裏面4bの略全面を覆っている。
- [0031] 裏面電極43は、導電性接合材5を介して第1面11a（素子ボンディング部11、第1リード1）に電氣的に接合されている。導電性接合材5は、

第1面11a（素子ボンディング部11）と裏面電極43とを導通接合する。導電性接合材5の構成材料は、たとえばAg（銀）を含む。半導体装置A10では、導電性接合材5は、焼成銀である。なお、導電性接合材5は、Ag以外の金属を含む焼成金属、金属ペースト材、あるいは、はんだにより構成してもよい。

[0032] 凹部44は、4つの素子側面401～404の少なくともいずれか1つと、素子裏面4bとにつながる。凹部44は、素子側面401（402，403，404）および素子裏面4bから凹む。本実施形態において、凹部44は、4つの素子側面401～404の各々に対応して設けられている。凹部44は、4つの素子側面401～404それぞれと、素子裏面4bとにつながる。図7において、凹部44が設けられた領域にハッチングを付している。本実施形態において、素子側面401，402に対応する凹部44は、素子側面401，402それぞれの第2方向yの全長にわたって設けられている。素子側面403，404に対応する凹部44は、素子側面403，404それぞれの第1方向xの全長にわたって設けられている。これにより、凹部44は、厚さ方向zに見て4つの素子側面401～404に囲まれた矩形環状に設けられている。

[0033] 図8～図11に示すように、凹部44は、凹部底面441および凹部側面442を有する。凹部底面441は、凹部44に対応する素子側面401（402，403，404）につながり、厚さ方向zの他方側（図8～図11における下側）を向く。

[0034] 凹部側面442は、凹部底面441および素子裏面4bの双方につながり、凹部44に対応する素子側面401（402，403，404）と同一方向（あるいは略同一方向）を向く。図8に示すように、素子側面401に対応する凹部44の凹部側面442は、素子側面401と同一方向（あるいは略同一方向）である第1方向xの一方側を向く。図9に示すように、素子側面402に対応する凹部44の凹部側面442は、素子側面402と同一方向（あるいは略同一方向）である第1方向xの他方側を向く。図10に示す

ように、素子側面403に対応する凹部44の凹部側面442は、素子側面403と同一方向（あるいは略同一方向）である第2方向yの一方側を向く。図11に示すように、素子側面404に対応する凹部44の凹部側面442は、素子側面404と同一方向（あるいは略同一方向）である第1方向xの他方側を向く。

[0035] 図8～図11に示した例では、凹部側面442と、当該凹部側面442に対応する素子側面401（402，403，404）との第1方向xまたは第2方向yの距離（第1寸法L1）は、凹部底面441と素子裏面4bとの厚さ方向zの距離（第2寸法L2）よりも大である。図8に示すように、凹部側面442と、当該凹部側面442に対応する素子側面401との第1方向xの距離である第1寸法L1は、凹部底面441と素子裏面4bとの厚さ方向zの距離である第2寸法L2よりも大である。図9に示すように、凹部側面442と、当該凹部側面442に対応する素子側面402との第1方向xの距離である第1寸法L1は、凹部底面441と素子裏面4bとの厚さ方向zの距離である第2寸法L2よりも大である。図10に示すように、凹部側面442と、当該凹部側面442に対応する素子側面403との第2方向yの距離である第1寸法L1は、凹部底面441と素子裏面4bとの厚さ方向zの距離である第2寸法L2よりも大である。図11に示すように、凹部側面442と、当該凹部側面442に対応する素子側面404との第2方向yの距離である第1寸法L1は、凹部底面441と素子裏面4bとの厚さ方向zの距離である第2寸法L2よりも大である。

[0036] 図8～図11に示した例では、凹部側面442と、当該凹部側面442に対応する素子側面401（402，403，404）との第1方向xまたは第2方向yの距離である第1寸法L1は、半導体素子4の厚さt2の3%～500%の範囲である。ここで、半導体素子4の厚さt2は、素子主面4aと素子裏面4bとの厚さ方向zの距離である。半導体素子4の厚さt2は、特に限定されず、たとえば0.05mm～0.3mm程度である。

[0037] 上記の凹部44を有する半導体素子4は、たとえば半導体基板をブレード

により切断して複数の半導体素子4に個片化する際、切断幅の異なる2種類のブレードを用いて切断することにより作製することができる。具体的な手順としては、たとえば上記半導体基板の素子主面側からブレードにより半導体基板の厚さ方向に一定深さの凹溝を形成する。次いで、上記凹溝の形成に用いたブレードよりも切断幅が大である、凹部44に対応する切断幅のブレードを用いて、上記半導体基板の素子裏面側から半導体基板の厚さ方向に上記凹溝に到達するまで切断する。このようにして、凹部44を有する半導体素子4が個片化される。

[0038] 本実施形態において、図8～図12に示すように、凹部44には、第1めっき層45が形成されている。第1めっき層45は、凹部44（凹部底面441および凹部側面442）の全体を覆っており、めっきによって形成された金属層である。第1めっき層45は、たとえば複数の金属層が積層された構成とされている。図12に示すように、第1めっき層45は、たとえば第1金属層451、第2金属層452および第3金属層453が積層された構成である。第1金属層451の構成材料は、たとえばTi（チタン）を含む。第2金属層452の構成材料は、たとえばNiを含む。第3金属層453の構成材料は、たとえばAgを含む。これにより、複数の第1金属層451、第2金属層452および第3金属層453のうち、最も表面側にある第3金属層453の構成材料は、Agを含む。

[0039] 本実施形態においては、図8～図12に示すように、素子ボンディング部11（第1リード1）の第1面11aには、めっき層19が形成されている。めっき層19は、第1リード1を構成するCu等の金属板にめっきによって形成された金属層である。めっき層19は、厚さ方向zに見て少なくとも導電性接合材5と重なる領域に形成されている。本実施形態では、めっき層19は、第1面11aの大半を覆っている。めっき層19は、たとえば複数の金属層が積層された構成とされている。図12に示すように、めっき層19は、たとえば金属層191、192、193が積層された構成である。金属層191の構成材料は、たとえばTiを含む。金属層192の構成材料は

、たとえばNiを含む。金属層193の構成材料は、たとえばAgを含む。これにより、複数の金属層191、192、193のうち、最も表面側にある金属層193の構成材料は、Agを含む。なお、素子ボンディング部11（第1リード1）について、第1面11a上にめっき層19が形成されていない構成としてもよい。

[0040] 図3～図11に示すように、導電性接合材5は、厚さ方向zに見て、半導体素子4と重なる矩形状領域、および半導体素子4を囲む周囲に配置されている。

[0041] 導電性接合材5は、第1部51、第2部52および第3部53を有する。第1部51は、素子ボンディング部11（第1リード1）の第1面11aと半導体素子4の裏面電極43との間に配置されており、厚さ方向zに見て素子裏面4bと重なっている。裏面電極43は、本開示の裏面導電層の一例である。

[0042] 図8～図11に示した第1部51の厚さt1は、特に限定されず、たとえば5 μ m～30 μ m程度である。上記凹部側面442と、該凹部側面442に対応する素子側面401（402、403、404）との第1方向xまたは第2方向yの距離である第1寸法L1は、第1部51の厚さt1と同一または第1部51の厚さt1よりも大である。図8～図11に示した例では、凹部側面442と、当該凹部側面442に対応する素子側面401（402、403、404）との第1方向xまたは第2方向yの距離である第1寸法L1は、第1部51の厚さt1よりも大である。

[0043] 第2部52は、第1部51につながり、第1面11aと半導体素子4の凹部44との間に配置されている。第2部52は、厚さ方向zに見て凹部44と重なっている。

[0044] 第3部53は、第2部52につながり、4つの素子側面401～404のうち第2部52が配置された凹部44に対応するいずれかに対して半導体素子4の外方に位置する。図8に示すように、第3部53の一部は、素子側面401に対応する凹部44に配置された第2部52につながっており、素子

側面401に対して第1方向xの一方側に位置する。図9に示すように、第3部53の一部は、素子側面402に対応する凹部44に配置された第2部52につながっており、素子側面402に対して第1方向xの他方側に位置する。図10に示すように、第3部53の一部は、素子側面403に対応する凹部44に配置された第2部52につながっており、素子側面403に対して第2方向yの一方側に位置する。図11に示すように、第3部53の一部は、素子側面404に対応する凹部44に配置された第2部52につながっており、素子側面404に対して第2方向yの他方側に位置する。上記構成により、第3部53は、厚さ方向zに見て半導体素子4（4つの素子側面401～404）を囲っている。また、本実施形態においては、図8～図11に示すように、第3部53は、4つの素子側面401～404それぞれに接する。

[0045] 上記の導電性接合材5の形成は、たとえば以下の手順により行うことができる。まず、たとえばペースト状の導電性金属材料（たとえばAgペースト）を素子ボンディング部11（第1面11a）上に所定量塗布する。次に、半導体素子4を上記導電性金属材料上に配置する。ここで、裏面電極43が上記導電性金属材料に接するように配置し、半導体素子4を素子ボンディング部11側に押圧する。次いで、上記導電性金属材料を加熱（焼成）し、第1面11aと裏面電極43とを導電性接合材5により接合する。上記導電性金属材料の加熱（焼成）時には、当該導電性金属材料において、厚さ方向zにおいて半導体素子4（裏面電極43）と重なる部分が第1面11a上に押し広げられ、厚さ方向zに見て半導体素子4の裏面電極43および各素子側面401～404からはみ出す。その後冷却されて、第1部51、第2部52および第3部53を有する導電性接合材5が形成される。第3部53は、凹部44よりも上方（厚さ方向zの一方側）に這い上がり、4つの素子側面401～404それぞれに接することとなる。

[0046] 複数の第1導通部材61は、半導体素子4の第1主面電極41と第2リード2とを導通させるためのものである。第1導通部材61の具体的構成は何

ら限定されず、たとえば金属からなるワイヤやリボンが挙げられる。第1導通部材61を構成する金属としては、たとえばAu（金）、Al（アルミニウム）等の金属やこれらの合金が挙げられる。本実施形態においては、第1導通部材61は、Auからなるワイヤである。図3、図5に示すように、各第1導通部材61は、第1主面電極41と第2リード2のボンディング部21とに接続されている。

[0047] 第2導通部材62は、半導体素子4の第2主面電極42と第3リード3とを導通させるためのものである。第2導通部材62の具体的構成は何ら限定されず、たとえば金属からなるワイヤやリボンが挙げられる。第2導通部材62を構成する金属としては、たとえばAu、Al等の金属やこれらの合金が挙げられる。本実施形態においては、第2導通部材62は、Auからなるワイヤである。図3、図4に示すように、第2導通部材62は、第2主面電極42と第3リード3のボンディング部31とに接続されている。

[0048] 封止樹脂7は、第1リード1、第2リード2および第3リード3それぞれの一部と、半導体素子4と、複数の第1導通部材61と、第2導通部材62とを覆っている。封止樹脂7は、たとえば黒色のエポキシ樹脂からなる。

[0049] 図1、図2、図4～図6に示すように、封止樹脂7は、樹脂主面71、樹脂裏面72、および樹脂側面731～734を有する。樹脂主面71および樹脂裏面72は、厚さ方向zにおいて互いに反対側を向き、かつ、互いに離れている。樹脂主面71は、素子主面4aと同じ方向（あるいは略同じ方向）を向き、樹脂裏面72は、素子裏面4bと同じ方向（あるいは略同じ方向）を向く。樹脂側面731～734の各々は、樹脂主面71および樹脂裏面72につながるとともに、厚さ方向zにおいて樹脂主面71と樹脂裏面72とに挟まれている。樹脂側面731は、第1方向xの一方側を向いている。樹脂側面732は、第1方向xの他方側を向いている。樹脂側面733は、第2方向yの一方側を向いている。樹脂側面734は、第2方向yの他方側を向いている。本実施形態においては、樹脂裏面72から素子ボンディング部11の裏面実装部11bが露出している。また、樹脂側面731および樹

脂側面 7 3 2 の各々から側方延出部 1 3 が突出している。樹脂側面 7 3 3 から複数の端子状延出部 1 2 の各々の一部が突出している。樹脂側面 7 3 4 から複数の端子部 2 2、および端子部 3 2 の各々の一部が突出している。図示した例では、図示した例では、樹脂側面 7 3 1 ~ 7 3 4 は、各々、厚さ方向 z に対して若干傾斜している。なお、図 1、図 2、図 4 ~ 図 6 に示す封止樹脂 7 の形状は一例である。封止樹脂 7 の形状は、例示された形状に限定されない。

[0050] 次に、本実施形態の半導体装置 A 1 0 の作用について説明する。

[0051] 半導体装置 A 1 0 は、第 1 リード 1、半導体素子 4 および導電性接合材 5 を備える。半導体素子 4 は、厚さ方向 z の他方側を向く素子裏面 4 b と、素子裏面 4 b に配置された裏面電極 4 3 と、4 つの素子側面 4 0 1 ~ 4 0 4 と、凹部 4 4 とを有する。素子側面 4 0 1、4 0 2 は、第 1 方向 x の一方側および他方側を向き、素子側面 4 0 3、4 0 4 は、第 2 方向 y の一方側および他方側を向く。凹部 4 4 は、4 つの素子側面 4 0 1 ~ 4 0 4 の少なくともいずれか 1 つと、素子裏面 4 b とにつながる。凹部 4 4 は、素子側面 4 0 1 (4 0 2、4 0 3、4 0 4) および素子裏面 4 b から凹む。導電性接合材 5 は、第 1 部 5 1 および第 2 部 5 2 を含む。第 1 部 5 1 は、第 1 リード 1 の第 1 面 1 1 a と半導体素子 4 の裏面電極 4 3 との間に配置されている。第 2 部 5 2 は、第 1 部 5 1 につながり、第 1 面 1 1 a と凹部 4 4 との間に配置されている。

[0052] このような構成によれば、凹部 4 4 は、厚さ方向 z に見て半導体素子 4 の外周に相当する 4 つの素子側面 4 0 1 ~ 4 0 4 の少なくともいずれかに対応して設けられており、この凹部 4 4 に配置された第 2 部 5 2 の厚さ (厚さ方向 z の寸法) は、第 1 部 5 1 の厚さ t 1 よりも大となる。これにより、半導体素子 4 の温度上昇等に起因して導電性接合材 5 に生じる応力は、厚さ方向 z に見て半導体素子 4 の外周付近に位置する第 2 部 5 2 によって低減することができる。したがって、本実施形態によれば、第 1 リード 1 と半導体素子 4 とを接合する導電性接合材 5 の剥離等を抑制することができる。

[0053] 導電性接合材5は、第3部53をさらに有する。第3部53は、第2部52につながり、4つの素子側面401～404のうち第2部52が配置された凹部44に対応するいずれかに対して半導体素子4の外方に位置する。このような構成によれば、半導体素子4の温度上昇等に起因して導電性接合材5に生じる応力は、厚さ方向zに見て半導体素子4の外周付近に位置する第2部52および第3部53によって、より低減することができる。このことは、第1リード1と半導体素子4とを接合する導電性接合材5の剥離等を抑制する上で、より好ましい。

[0054] 半導体装置A10において、凹部44は、4つの素子側面401～404の各々に対応して設けられている。凹部44は、4つの素子側面401～404それぞれと、素子裏面4bとにつながる。素子側面401, 402に対応する凹部44は、素子側面401, 402それぞれの第2方向yの全長にわたって設けられている。素子側面403, 404に対応する凹部44は、素子側面403, 404それぞれの第1方向xの全長にわたって設けられている。凹部44は、厚さ方向zに見て4つの素子側面401～404に囲まれた矩形環状に設けられている。このような構成によれば、半導体素子4の温度上昇等に起因して導電性接合材5に生じる応力は、厚さ方向zに見て半導体素子4の外周部全周に位置する第2部52および第3部53によって、より一層低減することができる。したがって、導電性接合材5に生じる応力に起因する剥離等を、適切に抑制することが可能である。また、本実施形態では、第3部53は、4つの素子側面401～404それぞれに接する。このことは、導電性接合材5の剥離等を抑制する上で、より好ましい。

[0055] 凹部44は、凹部底面441および凹部側面442を有する。凹部底面441は、凹部44に対応する素子側面401(402, 403, 404)につながり、厚さ方向zの他方側を向く。凹部側面442は、凹部底面441および素子裏面4bの双方につながり、凹部44に対応する素子側面401(402, 403, 404)と同一方向(あるいは略同一方向)を向く。凹部側面442と、当該凹部側面442に対応する素子側面401(402,

403, 404) との第1方向xまたは第2方向yの距離(第1寸法L1)は、凹部底面441と素子裏面4bとの厚さ方向zの距離(第2寸法L2)よりも大である。また、凹部側面442と、当該凹部側面442に対応する素子側面401(402, 403, 404)との第1方向xまたは第2方向yの距離である第1寸法L1は、半導体素子4の厚さt2の3%~500%の範囲である。凹部側面442と、該凹部側面442に対応する素子側面401(402, 403, 404)との第1方向xまたは第2方向yの距離である第1寸法L1は、第1部51の厚さt1と同一または第1部51の厚さt1よりも大である。このような構成によれば、第2部52が配置される領域を適度に確保することができる。このことは、導電性接合材5に生じる応力に起因する剥離等を抑制する上で、より好ましい。

[0056] 導電性接合材5の構成材料は、Agを含む。凹部44には、第1めっき層45が形成されている。このような構成によれば、凹部44上に配置された第1めっき層45と導電性接合材5との接合力を向上させることができる。また、第1めっき層45は、複数の第1金属層451、第2金属層452および第3金属層453が積層された構成である。複数の第1金属層451、第2金属層452および第3金属層453のうち、最も表面側にある第3金属層453の構成材料は、Agを含む。このような構成によれば、第1めっき層45と導電性接合材5との接合力をより向上させることができる。また、導電性接合材5と第1めっき層45との間で生じる熱応力を抑制することができ、導電性接合材5の剥離等を抑制するのにより適している。

[0057] 第1実施形態の第1変形例：

図13は、第1実施形態の第1変形例に係る半導体装置を示している。図13は、上記実施形態において示した図8と同様の断面図である。なお、図13以降の図面において、上記実施形態の半導体装置A10と同一または類似の要素には、上記実施形態と同一の符号を付しており、適宜説明を省略する。また、各変形例における各部の構成は、技術的な矛盾を生じない範囲において相互に適宜組み合わせ可能である。

- [0058] 本変形例の半導体装置A 1 1においては、第1めっき層4 5の形成範囲が上記実施形態の半導体装置A 1 0と異なっている。本変形例では、第1めっき層4 5は、凹部4 4および裏面電極4 3の双方を覆っている。
- [0059] 本変化例においても、凹部4 4に配置された第2部5 2の厚さ（厚さ方向zの寸法）は、第1部5 1の厚さt 1よりも大となる。これにより、半導体素子4の温度上昇等に起因して導電性接合材5に生じる応力は、厚さ方向zに見て半導体素子4の外周付近に位置する第2部5 2によって低減することができる。したがって、本変形例によれば、第1リード1と半導体素子4とを接合する導電性接合材5の剥離等を抑制することができる。
- [0060] また、第1めっき層4 5は、凹部4 4および裏面電極4 3の双方を覆っている。このような構成によれば、凹部4 4上および裏面電極4 3上に配置された第1めっき層4 5と導電性接合材5との接合力を向上させることができる。その他にも、上記実施形態の半導体装置A 1 0と同様の構成の範囲において、上記実施形態と同様の作用効果を奏する。
- [0061] 第1実施形態の第2変形例：
図1 4は、第1実施形態の第2変形例に係る半導体装置を示している。図1 4は、上記実施形態において示した図8と同様の断面図である。本変形例の半導体装置A 1 2においては、凹部4 4における凹部底面4 4 1と凹部側面4 4 2の寸法が上記実施形態と異なっている。
- [0062] 本変形例の半導体装置A 1 2においては、凹部側面4 4 2と、当該凹部側面4 4 2に対応する素子側面4 0 1との第1方向xの距離（第1寸法L 1）は、凹部底面4 4 1と素子裏面4 bとの厚さ方向zの距離（第2寸法L 2）と同程度である。なお、詳細な図示説明は省略するが、素子側面4 0 2～4 0 4それぞれに対応する凹部4 4についても、図1 4に示した素子側面4 0 1に対応する凹部4 4と同様の構成である。
- [0063] 本変化例においても、凹部4 4に配置された第2部5 2の厚さ（厚さ方向zの寸法）は、第1部5 1の厚さt 1よりも大となる。これにより、半導体素子4の温度上昇等に起因して導電性接合材5に生じる応力は、厚さ方向z

に見て半導体素子4の外周付近に位置する第2部52によって低減することができる。したがって、本変形例によれば、第1リード1と半導体素子4とを接合する導電性接合材5の剥離等を抑制することができる。その他にも、上記実施形態の半導体装置A10と同様の構成の範囲において、上記実施形態と同様の作用効果を奏する。

[0064] 第1実施形態の第3変形例：

図15は、第1実施形態の第3変形例に係る半導体装置を示している。図15は、上記実施形態において示した図8と同様の断面図である。本変形例の半導体装置A13においては、凹部44における凹部底面441と凹部側面442の寸法が上記実施形態と異なっている。

[0065] 本変形例の半導体装置A13においては、凹部側面442と、当該凹部側面442に対応する素子側面401との第1方向xの距離（第1寸法L1）は、凹部底面441と素子裏面4bとの厚さ方向zの距離（第2寸法L2）よりも小である。また、本変形例では、第3部53は、素子側面401に接していない。なお、詳細な図示説明は省略するが、素子側面402～404それぞれに対応する凹部44、当該凹部44に配置された第2部52、および当該第2部52につながる第3部53についても、図15に示した素子側面401に対応する凹部44、当該凹部44に配置された第2部52、および当該第2部52につながる第3部53と同様の構成である。

[0066] 本変形例においても、凹部44に配置された第2部52の厚さ（厚さ方向zの寸法）は、第1部51の厚さt1よりも大となる。これにより、半導体素子4の温度上昇等に起因して導電性接合材5に生じる応力は、厚さ方向zに見て半導体素子4の外周付近に位置する第2部52によって低減することができる。したがって、本変形例によれば、第1リード1と半導体素子4とを接合する導電性接合材5の剥離等を抑制することができる。その他にも、上記実施形態の半導体装置A10と同様の構成の範囲において、上記実施形態と同様の作用効果を奏する。

[0067] 第1実施形態の第4変形例：

図16は、第1実施形態の第4変形例に係る半導体装置を示している。図16は、上記実施形態において示した図8と同様の断面図である。本変形例の半導体装置A14においては、凹部44の形状が上記実施形態と異なっている。

[0068] 本変形例の半導体装置A14においては、凹部44は、複数の段差を有する階段状とされている。なお、詳細な図示説明は省略するが、素子側面402~404それぞれに対応する凹部44についても、図16に示した素子側面401に対応する凹部44と同様の構成である。

[0069] 本変形例においても、凹部44に配置された第2部52の厚さ（厚さ方向zの寸法）は、第1部51の厚さt1よりも大となる。これにより、半導体素子4の温度上昇等に起因して導電性接合材5に生じる応力は、厚さ方向zに見て半導体素子4の外周付近に位置する第2部52によって低減することができる。したがって、本変形例によれば、第1リード1と半導体素子4とを接合する導電性接合材5の剥離等を抑制することができる。その他にも、上記実施形態の半導体装置A10と同様の構成の範囲において、上記実施形態と同様の作用効果を奏する。

[0070] 第1実施形態の第5変形例：

図17は、第1実施形態の第5変形例に係る半導体装置を示している。図17は、上記実施形態において示した図8と同様の断面図である。本変形例の半導体装置A15においては、凹部44の形状が上記実施形態と異なっている。

[0071] 本変形例の半導体装置A15においては、凹部44は、厚さ方向zに対して傾斜する傾斜面とされている。また、本変形例では、上記実施形態と異なり、凹部44には第1めっき層45が形成されていない。なお、詳細な図示説明は省略するが、素子側面402~404それぞれに対応する凹部44についても、図17に示した素子側面401に対応する凹部44と同様の構成である。

[0072] 本変形例においても、凹部44に配置された第2部52の厚さ（厚さ方向

zの寸法)は、第1部51の厚さ t_1 よりも大となる。これにより、半導体素子4の温度上昇等に起因して導電性接合材5に生じる応力は、厚さ方向zに見て半導体素子4の外周付近に位置する第2部52によって低減することができる。したがって、本変形例によれば、第1リード1と半導体素子4とを接合する導電性接合材5の剥離等を抑制することができる。その他にも、上記実施形態の半導体装置A10と同様の構成の範囲において、上記実施形態と同様の作用効果を奏する。

[0073] 第1実施形態の第6変形例：

図18は、第1実施形態の第6変形例に係る半導体装置を示している。図18は、上記実施形態において示した図8と同様の断面図である。本変形例の半導体装置A16においては、凹部44の形状が上記実施形態と異なっている。

[0074] 本変形例の半導体装置A16においては、凹部44は、断面円弧状の曲面とされている。また、本変形例では、上記実施形態と異なり、凹部44には第1めっき層45が形成されていない。なお、詳細な図示説明は省略するが、素子側面402~404それぞれに対応する凹部44についても、図18に示した素子側面401に対応する凹部44と同様の構成である。

[0075] 本変形例においても、凹部44に配置された第2部52の厚さ(厚さ方向zの寸法)は、第1部51の厚さ t_1 よりも大となる。これにより、半導体素子4の温度上昇等に起因して導電性接合材5に生じる応力は、厚さ方向zに見て半導体素子4の外周付近に位置する第2部52によって低減することができる。したがって、本変形例によれば、第1リード1と半導体素子4とを接合する導電性接合材5の剥離等を抑制することができる。その他にも、上記実施形態の半導体装置A10と同様の構成の範囲において、上記実施形態と同様の作用効果を奏する。

[0076] 本開示に係る半導体装置は、上述した実施形態に限定されるものではない。本開示に係る半導体装置の各部の具体的な構成は、種々に設計変更自在である。

[0077] 上記実施形態において、凹部44は、4つの素子側面401～404の各々に対応して設けられていたが、本開示はこれに限定されない。凹部44が4つの素子側面401～404のいずれか1つ、2つまたは3つに対応して設けられてもよい。また、凹部44は、4つの素子側面401～404それぞれにおいて第1方向xまたは第2方向yの全長にわたって設けられていたが、4つの素子側面401～404において凹部44が部分的に設けられた構成でもよく、複数の凹部44が、素子側面401（402，403，404）が延びる方向において間隔を隔てて設けられた構成でもよい。また、凹部44が、厚さ方向zに見て4つの素子側面401～404の4隅の各々に設けられる構成であってもよい。

[0078] 本開示は、以下の付記に関する構成を含む。

[0079] 付記1.

厚さ方向の一方側を向く第1面を有する第1リードと、

前記第1面に支持された半導体素子と、

前記第1面と前記半導体素子とを接合する導電性接合材と、を備え、

前記半導体素子は、前記厚さ方向の一方側を向く素子主面と、前記厚さ方向の反対側を向く素子裏面と、前記素子裏面に配置された裏面導電層と、4つの素子側面と、を有し、

前記4つの素子側面はそれぞれ、前記厚さ方向に直交する第1方向の一方側および他方側と、前記厚さ方向および前記第1方向の双方に直交する第2方向の一方側および他方側と、を向いており、

前記半導体素子は、前記4つの素子側面の少なくともいずれか1つと前記素子裏面とにつながり、前記素子側面および前記素子裏面から凹む少なくとも1つの凹部を有し、

前記導電性接合材は、前記第1面と前記裏面導電層との間に配置された第1部と、前記第1部につながり、且つ前記第1面と前記少なくとも1つの凹部との間に配置された第2部と、を含む、半導体装置。

付記2.

前記導電性接合材は、前記第 2 部につながり、且つ前記厚さ方向に見て当該第 2 部が配置された前記凹部に対応する前記素子側面に対して前記半導体素子の外方に位置する第 3 部を有する、付記 1 に記載の半導体装置。

付記 3.

前記第 3 部は、前記素子側面に接する、付記 2 に記載の半導体装置。

付記 4.

前記凹部は、当該凹部に対応する前記素子側面につながり、且つ前記厚さ方向の他方側を向く凹部底面と、前記凹部底面および前記素子裏面の双方につながり、且つ前記凹部に対応する前記素子側面と同一方向を向く凹部側面と、を有する、付記 2 に記載の半導体装置。

付記 5.

前記凹部側面と当該凹部側面に対応する前記素子側面との前記第 1 方向または前記第 2 方向の距離である第 1 寸法は、前記凹部底面と前記素子裏面との前記厚さ方向の距離である第 2 寸法と同一または前記第 2 寸法よりも大である、付記 4 に記載の半導体装置。

付記 6.

前記凹部側面と当該凹部側面に対応する前記素子側面との前記第 1 方向または前記第 2 方向の距離である第 1 寸法は、前記第 1 部の厚さと同一または前記第 1 部の厚さよりも大である、付記 4 に記載の半導体装置。

付記 7.

前記凹部側面と当該凹部側面に対応する前記素子側面との前記第 1 方向または前記第 2 方向の距離である第 1 寸法は、前記半導体素子の厚さの 3%～500%の範囲である、付記 4 に記載の半導体装置。

付記 8.

前記少なくとも 1 つの凹部は、前記 4 つの素子側面の各々に対応して設けられている、付記 2 ないし 7 のいずれかに記載の半導体装置。

付記 9.

前記少なくとも 1 つの凹部は、前記厚さ方向に見て前記 4 つの素子側面の

4隅の各々に設けられている、付記8に記載の半導体装置。

付記10.

前記少なくとも1つの凹部は、前記4つの素子側面それぞれにおいて前記第1方向または前記第2方向の全長にわたって設けられている、付記8に記載の半導体装置。

付記11.

前記導電性接合材の構成材料は、銀を含む、付記1に記載の半導体装置。

付記12.

前記少なくとも1つの凹部には、第1めっき層が形成されている、付記11に記載の半導体装置。

付記13.

前記第1めっき層は、前記少なくとも1つの凹部および前記裏面導電層の双方を覆う、付記12に記載の半導体装置。

付記14.

前記第1めっき層は、複数の金属層が積層されて構成されており、前記複数の金属層のうち最も表面側にある金属層の構成材料は、銀を含む、付記12または13に記載の半導体装置。

符号の説明

[0080] A10, A11, A12, A13, A14, A15, A16 : 半導体装置

1 : 第1リード 11 : 素子ボンディング部

11a : 第1面 11b : 裏面実装部

12 : 端子状延出部 13 : 側方延出部

14 : 底部 19 : めっき層

191, 192, 193 : 金属層 2 : 第2リード

21 : ボンディング部 22 : 端子部

23 : 屈曲部 24 : 貫通孔

3 : 第3リード 31 : ボンディング部

32 : 端子部 33 : 屈曲部

3 4 : 貫通孔 4 : 半導体素子
4 a : 素子主面 4 b : 素子裏面
4 0 1, 4 0 2, 4 0 3, 4 0 4 : 素子側面 4 1 : 第 1 主面電極
4 2 : 第 2 主面電極 4 3 : 裏面電極 (裏面導電層)
4 4 : 凹部 4 4 1 : 凹部底面
4 4 2 : 凹部側面 4 5 : 第 1 めっき層
4 5 1 : 第 1 金属層 4 5 2 : 第 2 金属層
4 5 3 : 第 3 金属層 5 : 導電性接合材
5 1 : 第 1 部 5 2 : 第 2 部
5 3 : 第 3 部 6 1 : 第 1 導通部材
6 2 : 第 2 導通部材 7 : 封止樹脂
7 1 : 樹脂主面 7 2 : 樹脂裏面
7 3 1, 7 3 2, 7 3 3, 7 3 4 : 樹脂側面 L 1 : 第 1 寸法
L 2 : 第 2 寸法 t 1 : (第 1 部の) 厚さ
t 2 : (半導体素子の) 厚さ x : 第 1 方向
y : 第 2 方向 z : 厚さ方向

請求の範囲

- [請求項1] 厚さ方向の一方側を向く第1面を有する第1リードと、
前記第1面に支持された半導体素子と、
前記第1面と前記半導体素子とを接合する導電性接合材と、を備え、
前記半導体素子は、前記厚さ方向の一方側を向く素子主面と、前記厚さ方向の反対側を向く素子裏面と、前記素子裏面に配置された裏面導電層と、4つの素子側面と、を有し、
前記4つの素子側面はそれぞれ、前記厚さ方向に直交する第1方向の一方側および他方側と、前記厚さ方向および前記第1方向の双方に直交する第2方向の一方側および他方側と、を向いており、
前記半導体素子は、前記4つの素子側面の少なくともいずれか1つと前記素子裏面とにつなぎ、前記素子側面および前記素子裏面から凹む少なくとも1つの凹部を有し、
前記導電性接合材は、前記第1面と前記裏面導電層との間に配置された第1部と、前記第1部につなぎ、且つ前記第1面と前記少なくとも1つの凹部との間に配置された第2部と、を含む、半導体装置。
- [請求項2] 前記導電性接合材は、前記第2部につなぎ、且つ前記厚さ方向に見て当該第2部が配置された前記凹部に対応する前記素子側面に対して前記半導体素子の外方に位置する第3部を有する、請求項1に記載の半導体装置。
- [請求項3] 前記第3部は、前記素子側面に接する、請求項2に記載の半導体装置。
- [請求項4] 前記凹部は、当該凹部に対応する前記素子側面につなぎ、且つ前記厚さ方向の他方側を向く凹部底面と、前記凹部底面および前記素子裏面の双方につなぎ、且つ前記凹部に対応する前記素子側面と同一方向を向く凹部側面と、を有する、請求項2に記載の半導体装置。
- [請求項5] 前記凹部側面と当該凹部側面に対応する前記素子側面との前記第1

方向または前記第2方向の距離である第1寸法は、前記凹部底面と前記素子裏面との前記厚さ方向の距離である第2寸法と同一または前記第2寸法よりも大である、請求項4に記載の半導体装置。

[請求項6] 前記凹部側面と当該凹部側面に対応する前記素子側面との前記第1方向または前記第2方向の距離である第1寸法は、前記第1部の厚さと同一または前記第1部の厚さよりも大である、請求項4に記載の半導体装置。

[請求項7] 前記凹部側面と当該凹部側面に対応する前記素子側面との前記第1方向または前記第2方向の距離である第1寸法は、前記半導体素子の厚さの3%~500%の範囲である、請求項4に記載の半導体装置。

[請求項8] 前記少なくとも1つの凹部は、前記4つの素子側面の各々に対応して設けられている、請求項2ないし7のいずれかに記載の半導体装置。

[請求項9] 前記少なくとも1つの凹部は、前記厚さ方向に見て前記4つの素子側面の4隅の各々に設けられている、請求項8に記載の半導体装置。

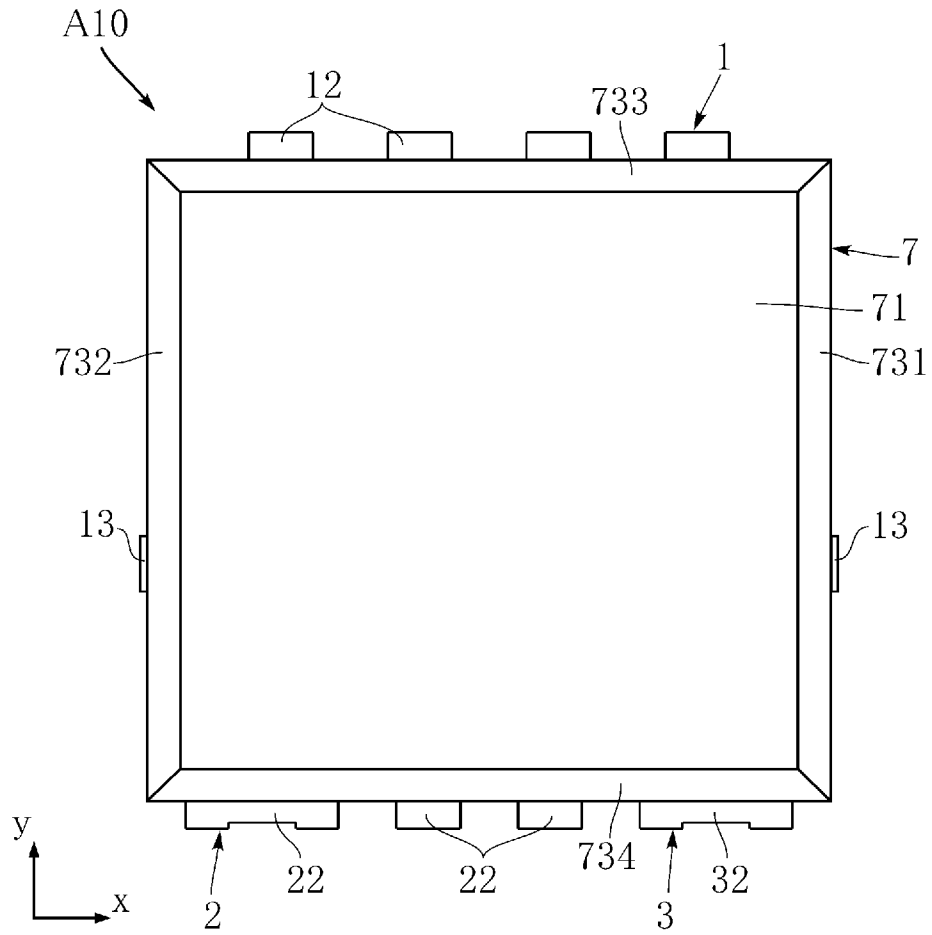
[請求項10] 前記少なくとも1つの凹部は、前記4つの素子側面それぞれにおいて前記第1方向または前記第2方向の全長にわたって設けられている、請求項8に記載の半導体装置。

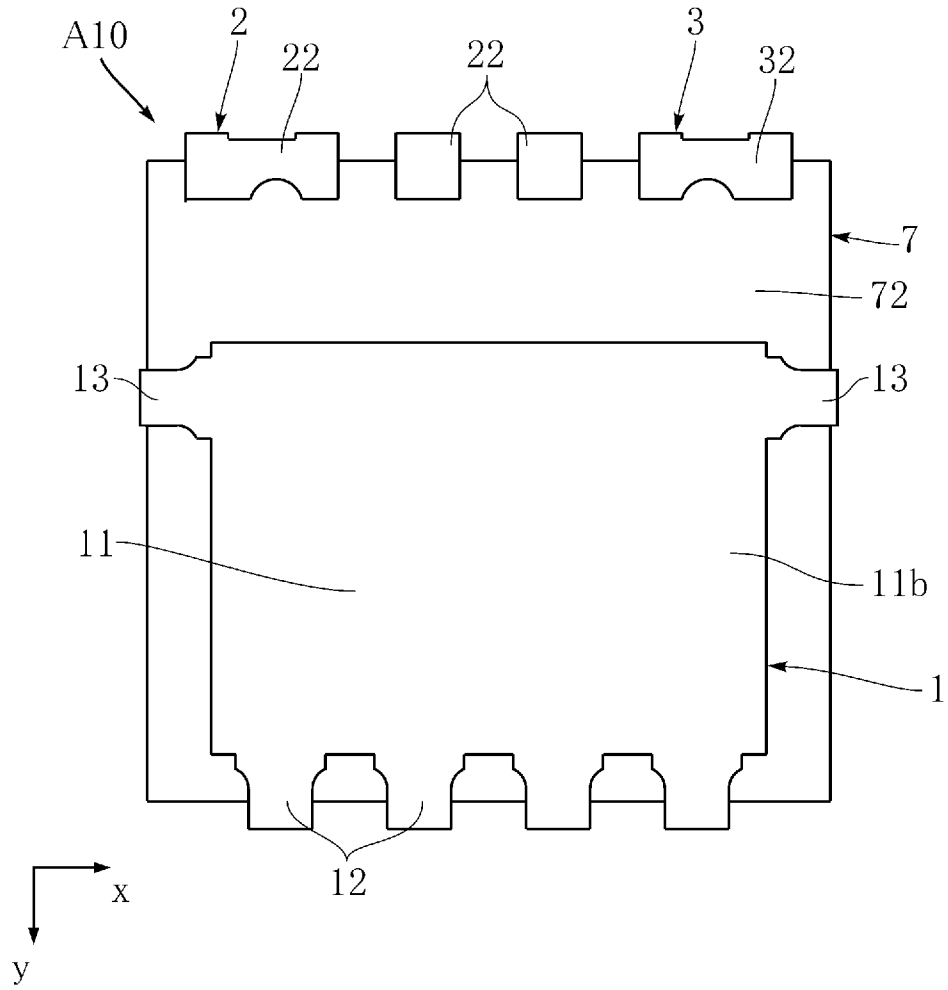
[請求項11] 前記導電性接合材の構成材料は、銀を含む、請求項1に記載の半導体装置。

[請求項12] 前記少なくとも1つの凹部には、第1めっき層が形成されている、請求項11に記載の半導体装置。

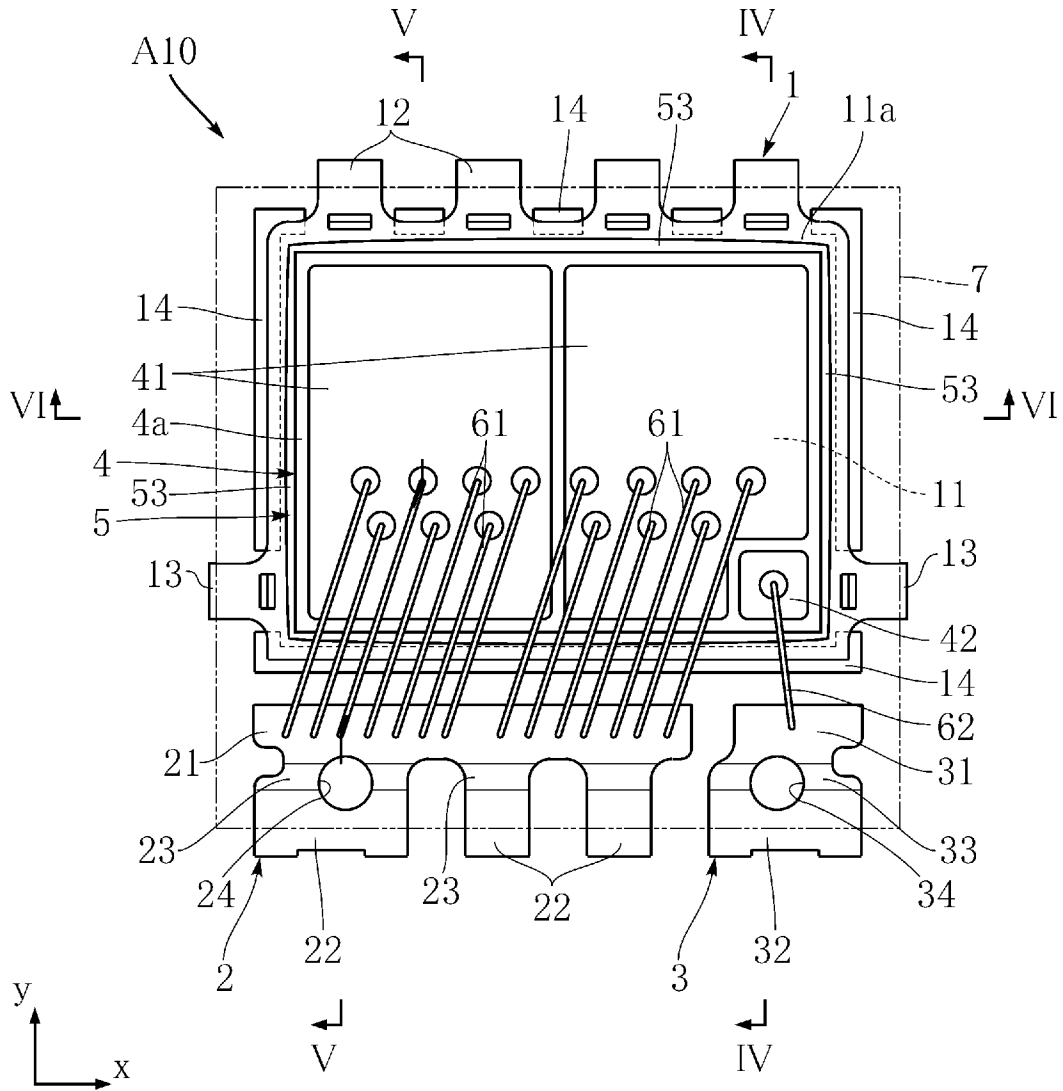
[請求項13] 前記第1めっき層は、前記少なくとも1つの凹部および前記裏面導電層の双方を覆う、請求項12に記載の半導体装置。

[請求項14] 前記第1めっき層は、複数の金属層が積層されて構成されており、前記複数の金属層のうち最も表面側にある金属層の構成材料は、銀を含む、請求項12または13に記載の半導体装置。

[図1]
FIG.1

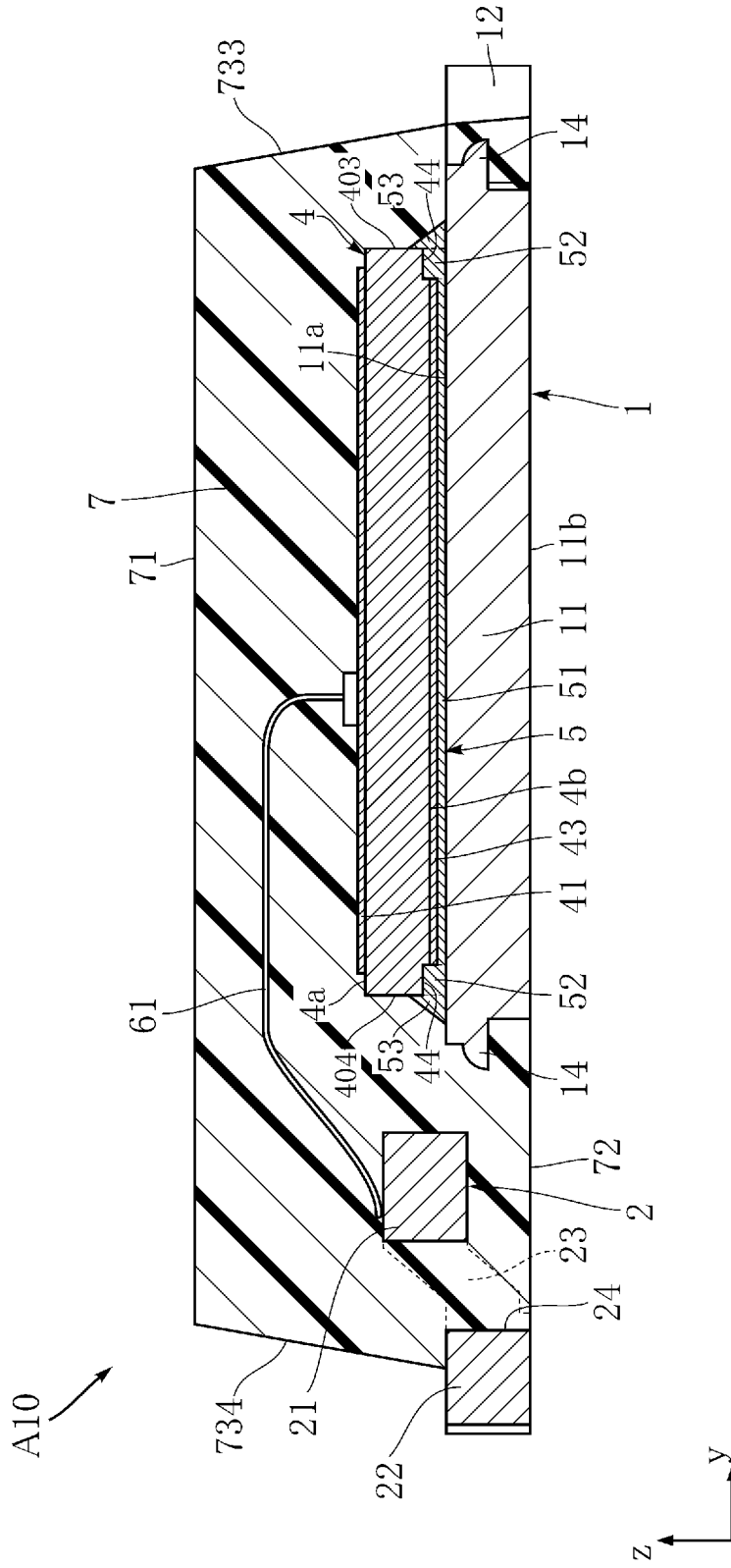
[図2]
FIG.2

[図3]
FIG.3



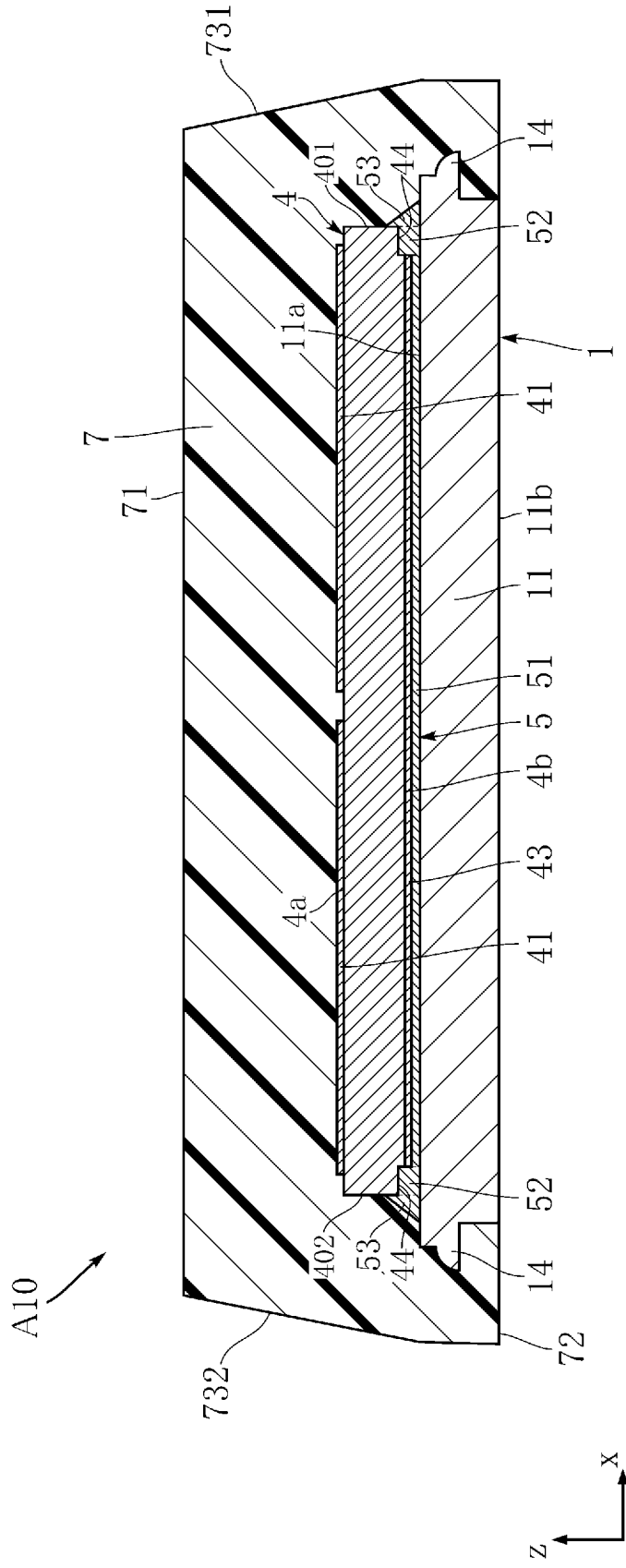
[図5]

FIG.5



[図6]

FIG.6



[図7]

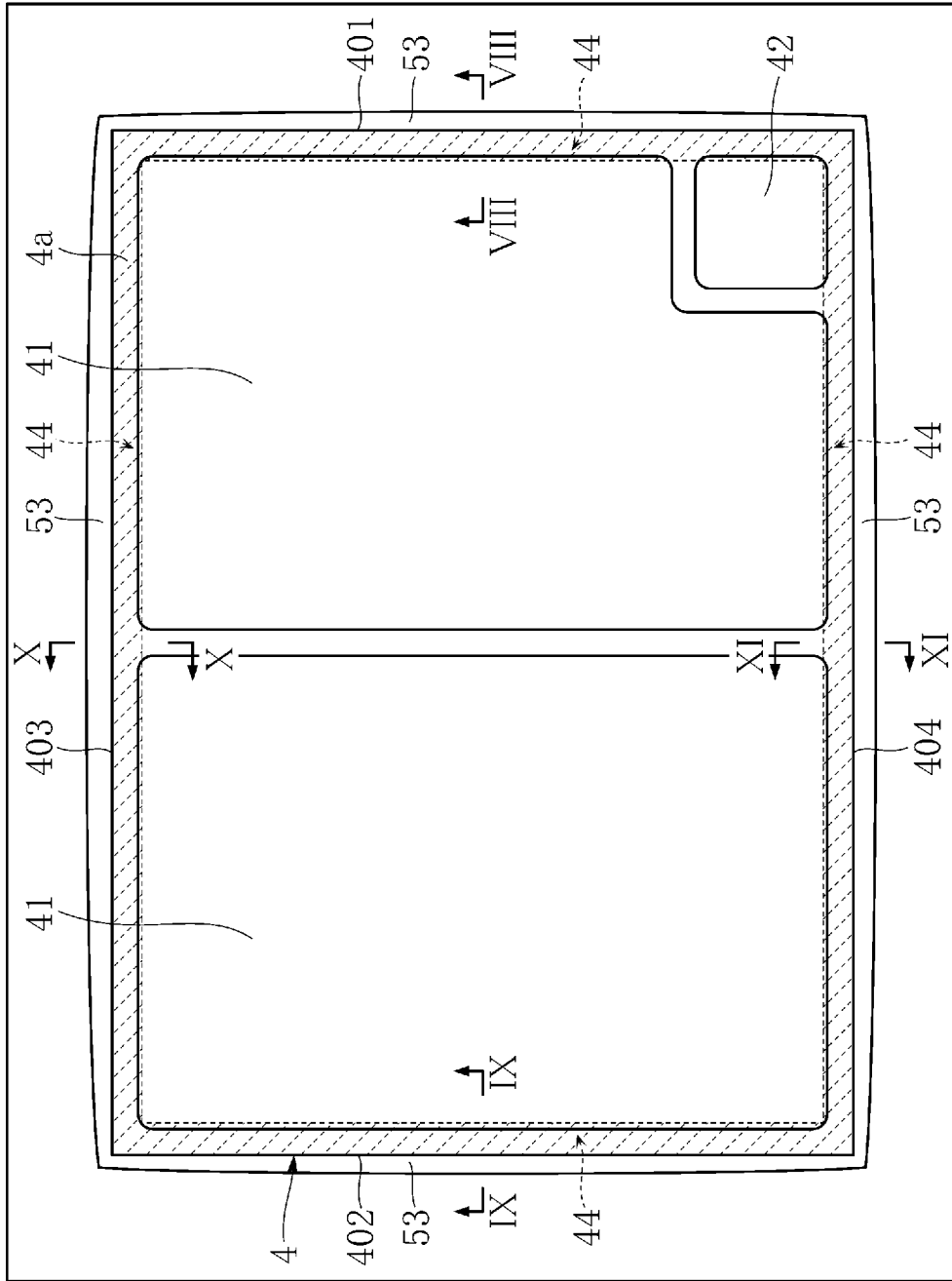
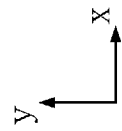
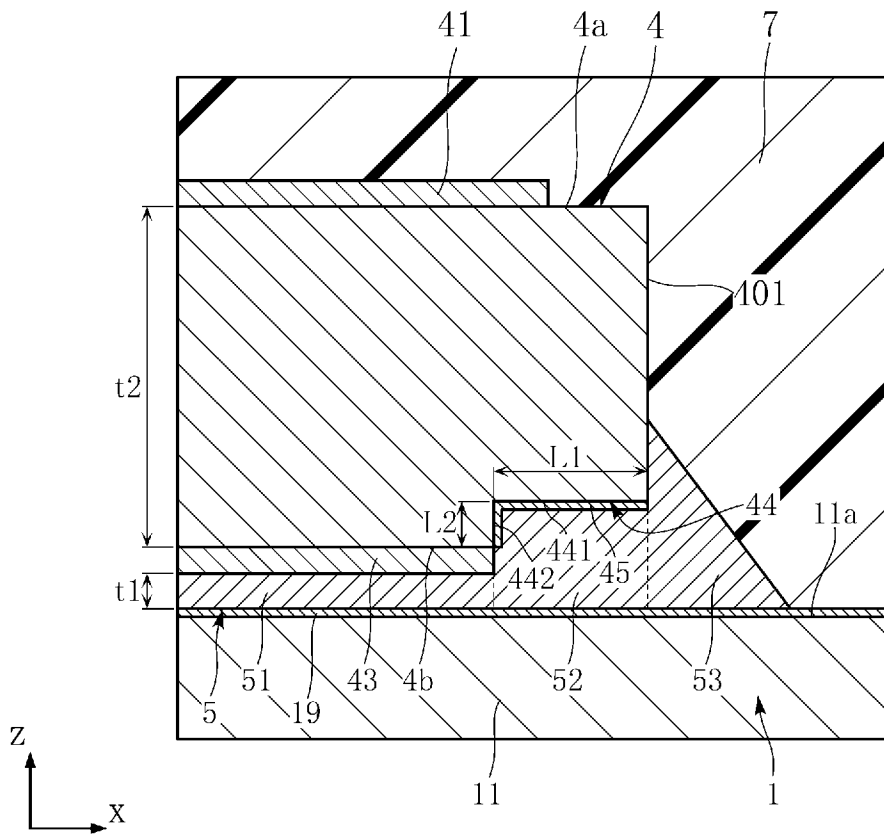


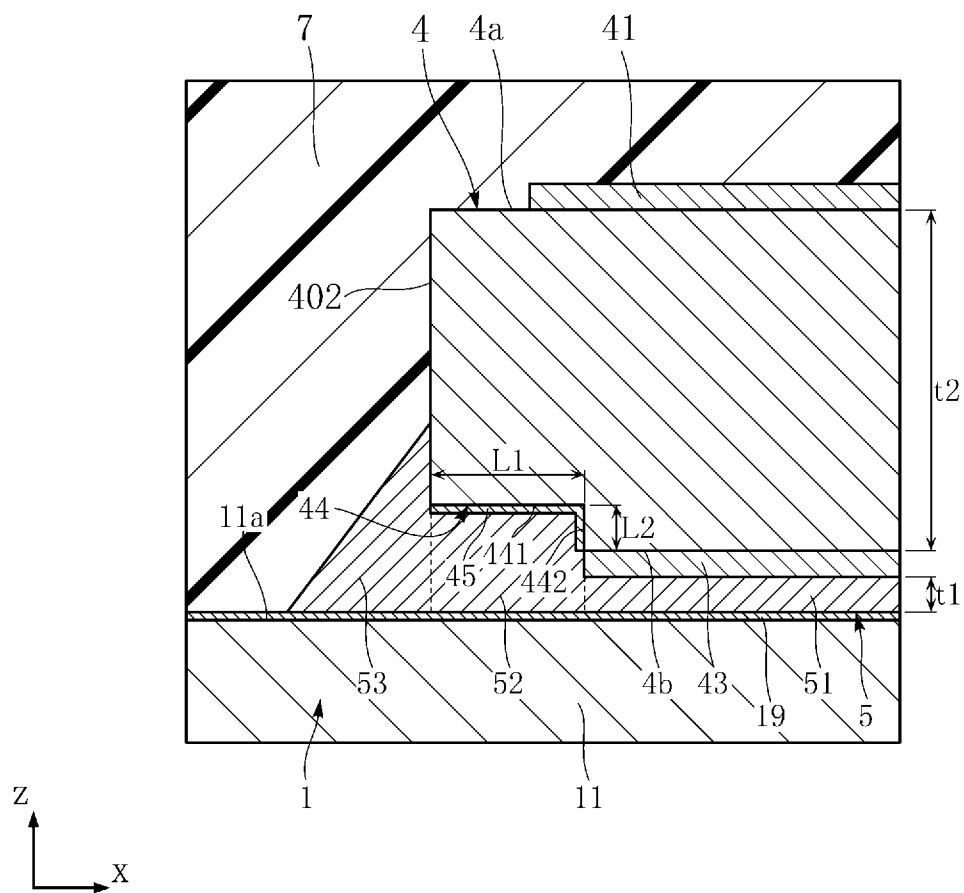
FIG. 7



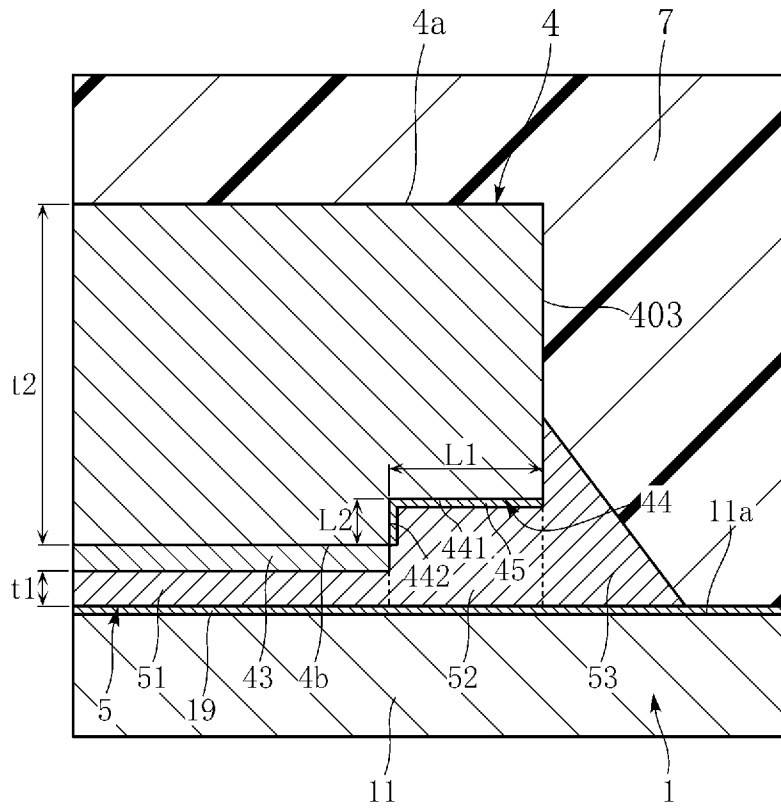
[図8]
FIG.8



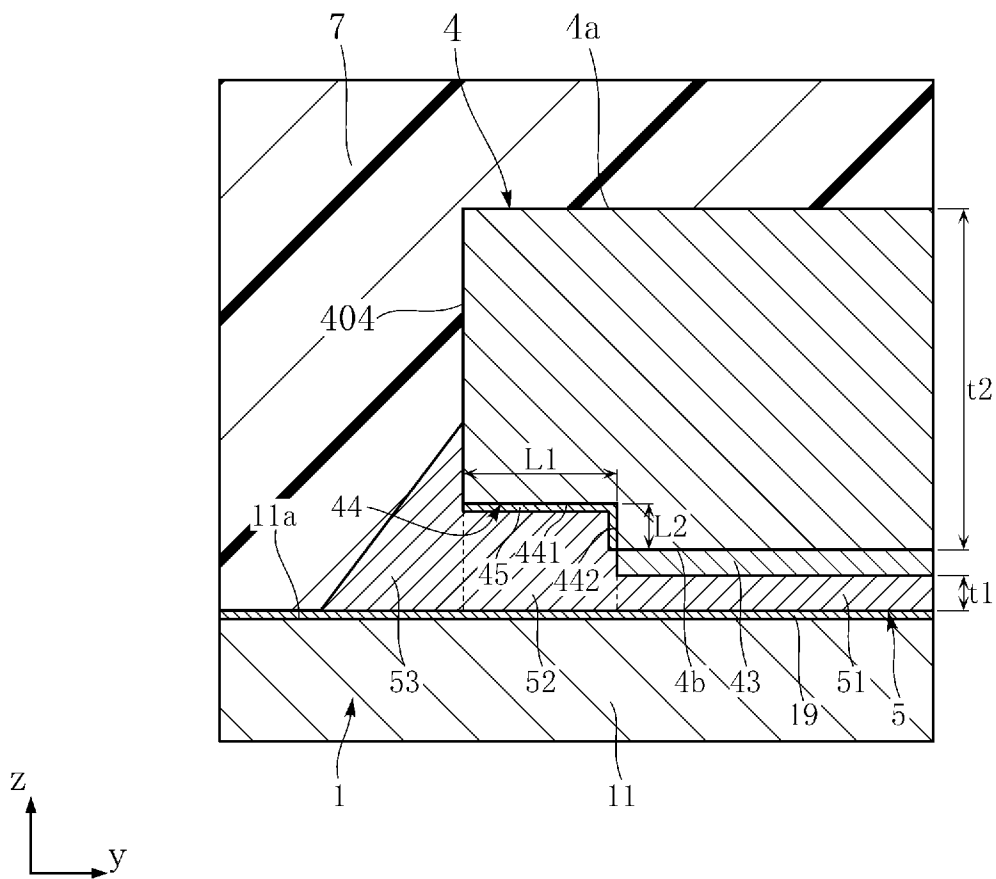
[図9]
FIG.9



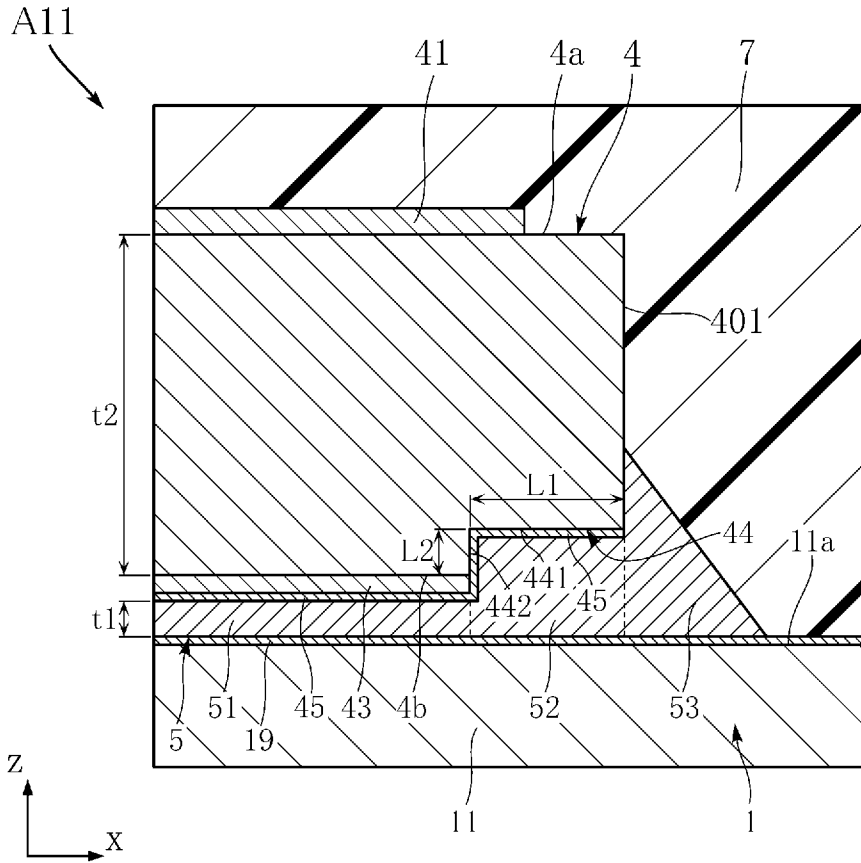
[図10]
FIG.10



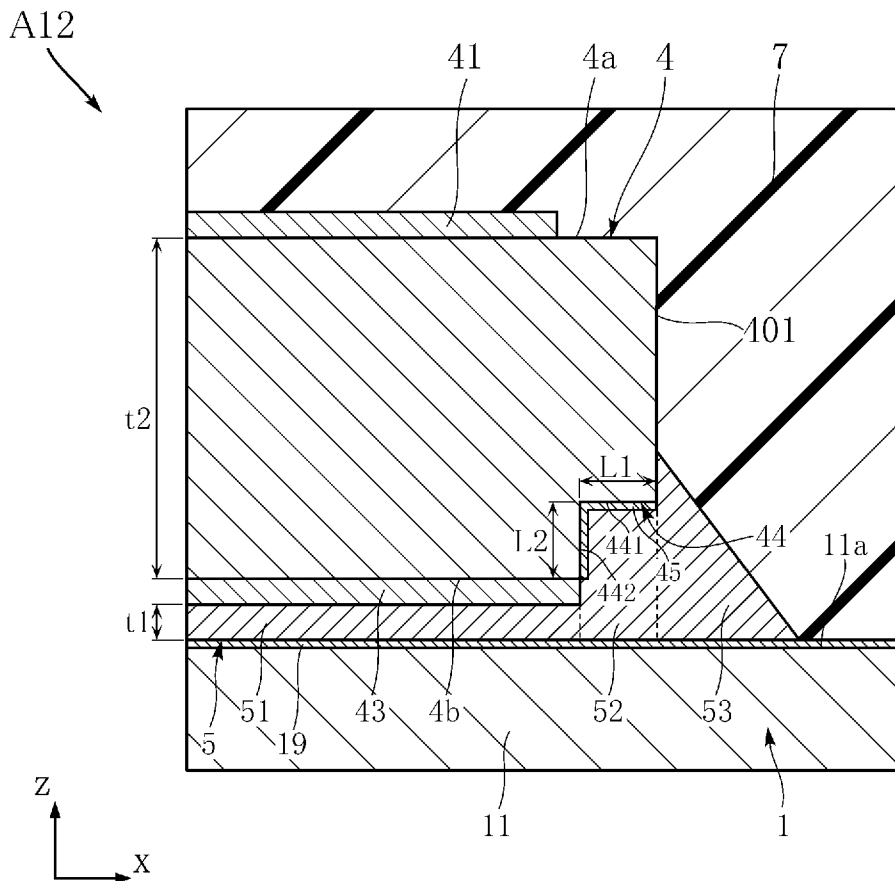
[図11]
FIG.11




[図13]
FIG.13

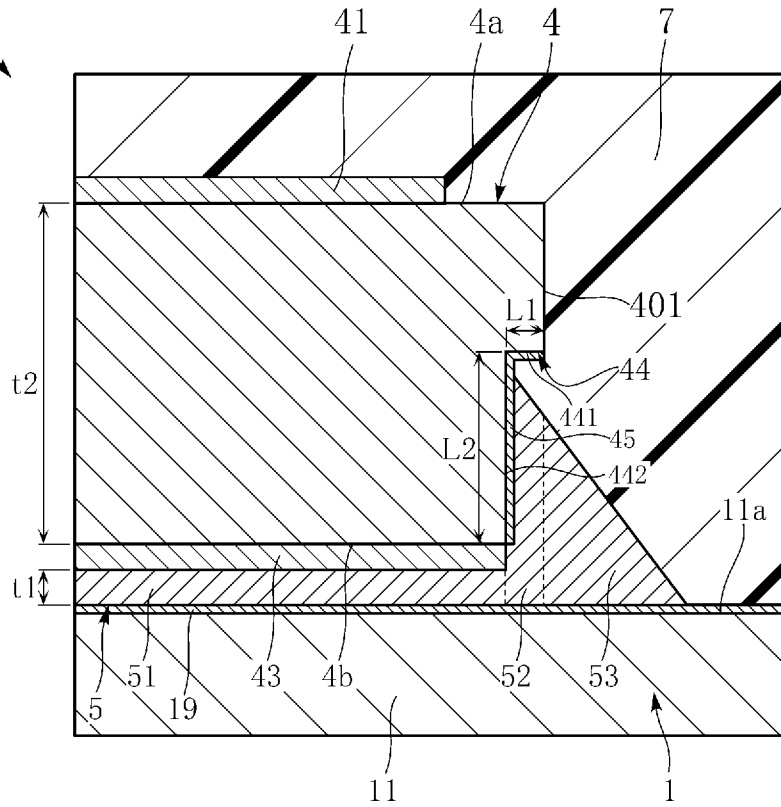



[図14]
FIG.14



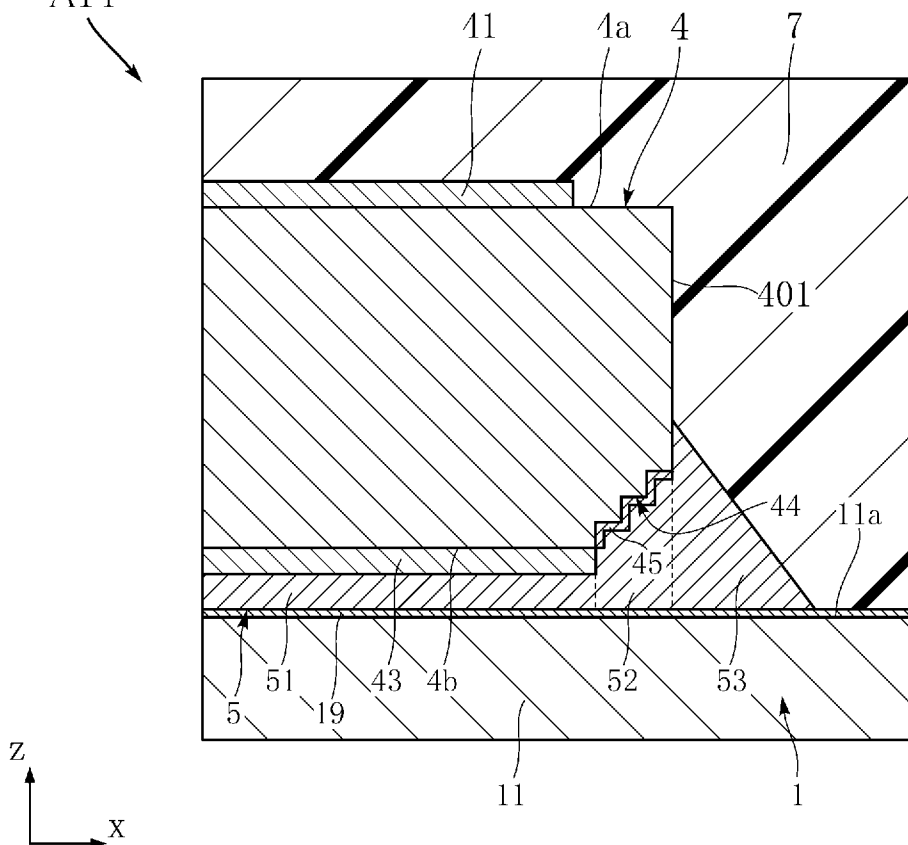
[] FIG.15

A13



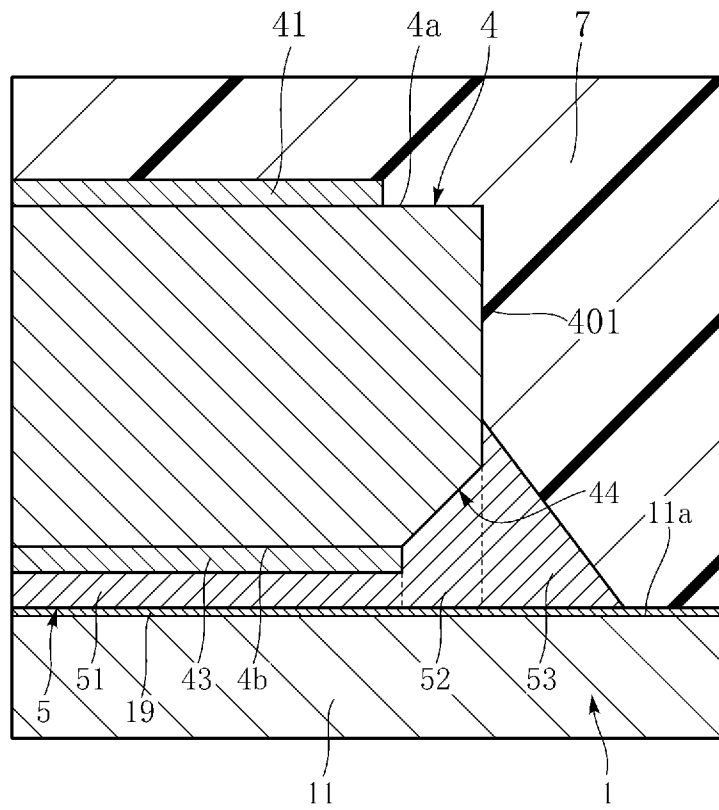
[] FIG.16

A14




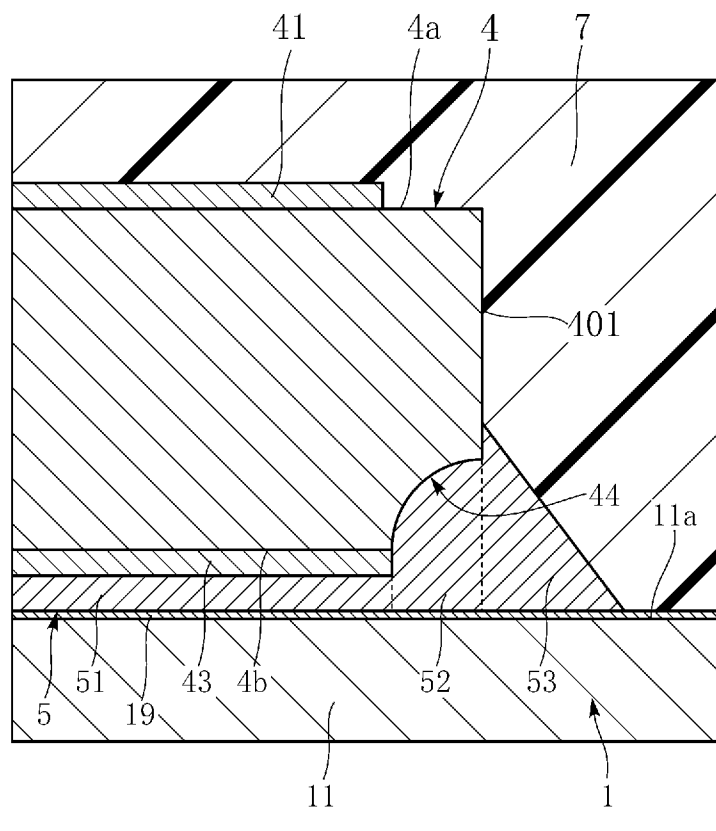
[17]
FIG.17

A15 



[18]
FIG.18

A16 



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/009288

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 21/52</i> (2006.01)i; <i>H01L 21/48</i> (2006.01)i; <i>H01L 21/50</i> (2006.01)i FI: H01L21/52 A; H01L21/48; H01L21/50 G		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L21/52; H01L21/48; H01L21/50		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2020-77665 A (ROHM CO LTD) 21 May 2020 (2020-05-21) paragraphs [0006], [0028]-[0082], fig. 20-30	1-3, 8-11
A		4-7, 12-14
Y	JP 2017-135241 A (ROHM CO LTD) 03 August 2017 (2017-08-03) paragraphs [0083]-[0086], fig. 6	1-3, 8-11
A		4-7, 12-14
A	JP 2016-192476 A (OKI DATA KK) 10 November 2016 (2016-11-10) paragraphs [0005], [0013]-[0038], fig. 1-3	1-14
A	JP 2016-157880 A (RENESAS ELECTRONICS CORP) 01 September 2016 (2016-09-01) paragraphs [0001], [0020]-[0044], fig. 1-3	1-14
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 14 April 2023		Date of mailing of the international search report 16 May 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2023/009288

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2020-77665	A 21 May 2020	(Family: none)	
JP 2017-135241	A 03 August 2017	US 2017/0213782 A1 paragraphs [0060]-[0063], fig. 6	
JP 2016-192476	A 10 November 2016	(Family: none)	
JP 2016-157880	A 01 September 2016	US 2016/0254160 A1 paragraphs [0002], [0037]-[0061], fig. 1-3 CN 105931989 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/52(2006.01)i; H01L 21/48(2006.01)i; H01L 21/50(2006.01)i FI: H01L21/52 A; H01L21/48; H01L21/50 G		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/52; H01L21/48; H01L21/50 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2020-77665 A (ローム株式会社) 21.05.2020 (2020-05-21) 段落[0006],[0028]-[0082], 図20-30	1-3, 8-11 4-7, 12-14
Y A	JP 2017-135241 A (ローム株式会社) 03.08.2017 (2017-08-03) 段落[0083]-[0086], 図6	1-3, 8-11 4-7, 12-14
A	JP 2016-192476 A (株式会社沖データ) 10.11.2016 (2016-11-10) 段落[0005],[0013]-[0038], 図1-3	1-14
A	JP 2016-157880 A (ルネサスエレクトロニクス株式会社) 01.09.2016 (2016-09-01) 段落[0001],[0020]-[0044], 図1-3	1-14
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 14.04.2023	国際調査報告の発送日 16.05.2023	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 小池 英敏 5F 8396 電話番号 03-3581-1101 内線 3516	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/009288

引用文献	公表日	パテントファミリー文献	公表日
JP 2020-77665 A	21.05.2020	(ファミリーなし)	
JP 2017-135241 A	03.08.2017	US 2017/0213782 A1 段落[0060]-[0063], 図6	
JP 2016-192476 A	10.11.2016	(ファミリーなし)	
JP 2016-157880 A	01.09.2016	US 2016/0254160 A1 段落[0002], [0037]-[0061], 図1-3 CN 105931989 A	