



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I492507 B

(45)公告日：中華民國 104 (2015) 年 07 月 11 日

(21)申請案號：102135709

(22)申請日：中華民國 102 (2013) 年 10 月 02 日

(51)Int. Cl. : **H02M1/44 (2007.01)**

(30)優先權：2012/10/19 美國 61/715,947

2012/12/10 美國 13/710,127

(71)申請人：林耳科技公司 (美國) LINEAR TECHNOLOGY CORPORATION (US)
美國

(72)發明人：史塔歌 李奧那多 SHTARGOT, LEONARD (US)；張 丹尼爾 CHENG, DANIEL (US)；葛登納 約翰 GARDNER, JOHN (US)；惠特 傑佛瑞 WITT, JEFFREY (US)；古威克 克立思丁 KUECK, CHRISTIAN (DE)

(74)代理人：陳長文

(56)參考文獻：

TW I338435

TW 201101663A

CN 102067309B

JP 2012-59896A

US 2010/0038735A1

US 2011/0128074A1

US 2014/0055117A1

審查人員：林賜敬

申請專利範圍項數：27 項 圖式數：8 共 22 頁

(54)名稱

切換式穩壓器中的磁場抵消

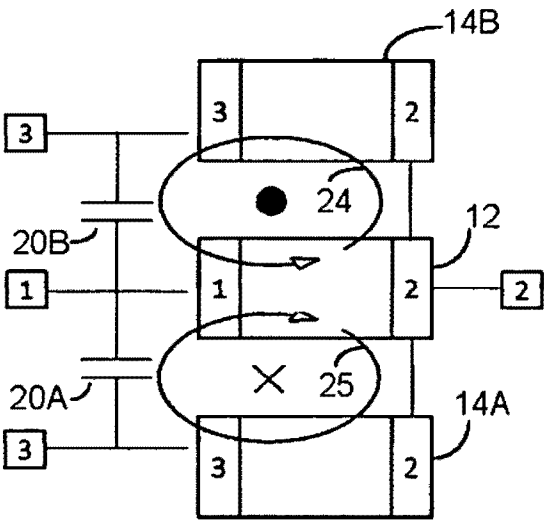
MAGNETIC FIELD CANCELLATION IN SWITCHING REGULATORS

(57)摘要

本發明使用新的切換式穩壓器結構將單磁環分割為具有相連的反向磁場的多個磁環，以產生抵消效應，從而大幅降低整體磁場。這使得 EMI 降低。在一個實施例中，同步被切換的電晶體被分為並聯的頂部電晶體和並聯的底部電晶體。頂部電晶體係定位成與底部電晶體相對，旁路電容器係連接在成對之電晶體之間以產生多個電流迴路。設置部件以形成不同電流迴路的鏡像，藉此使所引起的磁場具有相反方向，而實質上彼此抵消。以具有交叉點的數字 8 的形式形成導線和部件也可以產生反向電流迴路。

This invention uses new switching regulator structures to split single magnetic loops into multiple magnetic loops, with linked opposing magnetic fields, to cause a cancelling effect, resulting in a much lower overall magnetic field. This results in lower EMI. In one embodiment, synchronously switched transistors are divided up into parallel topside transistors and parallel bottomside transistors. The topside transistors are positioned to oppose the bottomside transistors, and bypass capacitors are connected between the pairs to create a plurality of current loops. The components are arranged to form a mirror image of the various current loops so that the resulting magnetic fields are in opposite directions and substantially cancel each other out. Creating opposite current loops may also be achieved by forming the conductors and components in a figure 8 pattern with a cross-over point.

第2A圖



- 1、2、3 . . . 端子
- 12 . . . 頂部開關
- 14A、14B . . . 開關
- 20A、20B . . . 旁路電容器
- 24、25 . . . 電流迴路

發明摘要

※ 申請案號：102135709

※ 申請日：102.10.2

※IPC 分類：H02M 1/44 (2007.01)

【發明名稱】(中文/英文)

切換式穩壓器中的磁場抵消

MAGNETIC FIELD CANCELLATION IN SWITCHING REGULATORS

【中文】

本發明使用新的切換式穩壓器結構將單磁環分割為具有相連的反向磁場的多個磁環，以產生抵消效應，從而大幅降低整體磁場。這使得EMI降低。在一個實施例中，同步被切換的電晶體被分為並聯的頂部電晶體和並聯的底部電晶體。頂部電晶體係定位成與底部電晶體相對，旁路電容器係連接在成對之電晶體之間以產生多個電流迴路。設置部件以形成不同電流迴路的鏡像，藉此使所引起的磁場具有相反方向，而實質上彼此抵消。以具有交叉點的數字8的形式形成導線和部件也可以產生反向電流迴路。

【英文】

This invention uses new switching regulator structures to split single magnetic loops into multiple magnetic loops, with linked opposing magnetic fields, to cause a cancelling effect, resulting in a much lower overall magnetic field. This results in lower EMI. In one embodiment, synchronously switched transistors are divided up into parallel topside transistors and parallel bottomside transistors. The topside transistors are positioned to oppose the bottomside transistors, and bypass capacitors are connected between the pairs to

create a plurality of current loops. The components are arranged to form a mirror image of the various current loops so that the resulting magnetic fields are in opposite directions and substantially cancel each other out. Creating opposite current loops may also be achieved by forming the conductors and components in a figure 8 pattern with a cross-over point.

【代表圖】

【本案指定代表圖】：第（2A）圖。

【本代表圖之符號簡單說明】：

1、2、3 端子

12 頂部開關

14A、14B 開關

20A、20B 旁路電容器

24、25 電流迴路

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

切換式穩壓器中的磁場抵消

MAGNETIC FIELD CANCELLATION IN SWITCHING REGULATORS

【技術領域】

本發明係關於一種切換式穩壓器，尤指一種減小由高頻切換所產生磁場所引起的電磁干擾(EMI)的技術。

【先前技術】

切換式穩壓器一般在 100KHz-5MHz 的頻率下進行切換。這種高速下產生的小電流迴路會生成顯著的磁場。如果開關形成於積體電路(IC)中，那麼電流迴路可能完全出現在 IC 中，或者一部分出現在 IC 內部、一部分出現在 IC 外部。如果電源開關的關閉或者同步整流器開關的關閉導致迴路傳導初始暫態電流，那麼較高的 di/dt 會引起產生電磁干擾(EMI)的高磁場。

第 1A 圖係顯示先前技術的開關電源中的電流迴路 10，其中形成迴路的整個電路(例如電晶體、導線/走線、電容器、寄生器件等)增加了磁場，引起 EMI。開關 12 和 14 係顯示為 MOSFET，但其也可以是其他類型的開關，例如雙極電晶體。開關 12 和 14 顯示為 n 通道 MOSFET，但是根據應用也可以使用 CMOS 電晶體。還顯示了開關的寄生電容 16 和 18。

在示例中，假設開關 12 和 14 同時開關，以交替地耦合端子 1 的電源電壓(V_{cc})至輸出端子 2，隨後耦合端子 3 的接地電壓至輸出端子 2。電感器(未顯示)可耦合至端子 2，作為降壓穩壓器中的輸出電路 17 的一部分。在穩壓器的一個示例中，PWM 控制器 IC 19 連接至兩個開關 12

和 14 的閘極，用於控制開關工作週期以輸出經調整電壓 V_{out} 或經調節電流。控制工作周期以使得與穩壓器的輸出電壓成比例的反饋電壓 V_{fb} 與參考電壓匹配。一個開關係用作為電源開關，另一個則為同步整流器，同步整流器本質上係作為一低壓降二極體。開關 12 和 14 不會同時接通以避免短路。

穩壓器可以是任何類型的（例如降壓、升壓、返馳等），開關 12 和 14 至電感器的特定連接是由穩壓器的類型決定的。本發明可用於任何類型的切換式穩壓器中，並提供一些示例以顯示本發明應用於標準降壓穩壓器開關結構中的構思。

第 1A 圖顯示了連接於端子 1 和端子 3 之間的傳統的旁路電容器 20。旁路電容器通常用於先前技術的開關電路中。如果我們假設端子 1 連接至 V_{cc} ，端子 3 接地，當開關 12 和 14 打開關閉時，旁路電容器 20 將會平滑暫態。例如，當穩壓器控制器關閉開關 12 以對電感器進行充電時，通過端子 2 連接至電感器的旁路電容器 20 將引起衝擊電流。這有助於補償衝擊電流所引起的 V_{cc} 的降低，以及平滑開關暫態。電容器 20 構成環繞端子 2、3 和 1 的電流迴路的一部分。開關 12 和 14 的寄生電容 16 和 18 也是電流迴路的一部分，當開關 14 被切斷以及開關 12 被接通時，寄生電容 18 將會進行充電。

如上所述，在切換頻率下將產生通過迴路 10 的很快很高的電流脈衝（具有大 di/dt ）。該脈衝產生 EMI，EMI 可能干擾附近電路或在附近電路中產生失真。

開關 12 和 14 可以在 IC 11 內，也可以是 PWM 控制器 IC 19 的一部分。

第 1B 圖是第 1A 圖的電路的另一種表示，其顯示了電晶體開關在印

刷電路板（PCB）或 IC 封裝中的位置。端子 1、2 和 3 可能是用於從 IC 封裝延伸的引腳的連接節點。電流迴路 10 顯示出沿逆時針方向流動的暫態電流，引起方向向上的磁場（由點表示）。磁場以某種形式向所有方向發射。

所需要的是一種減小由切換式穩壓器產生的整體磁場以減小 EMI 的技術。

【發明內容】

本發明係關於一種產生大幅減小的整體磁場的切換式穩壓器，其中磁場係與快速變化的開關電流相關。

該創新的技術將先前技術中單磁環分割為多個磁環（每個磁環包括高頻開關），其中多個磁環具有相連且彼此抵消的反向磁場，因此相較於先前技術的設計，能大幅降低整體磁場和 EMI。

本發明的磁場抵消技術同時適用於開關模式電源的平面和三維（3-D）切換電路。平面構造包括積體電路和印刷電路板。3-D 構造包括疊層（垂直取向）迴路部件、疊層積體電路元件和疊層印刷電路板。

在一個實施例中，以如下方式劃分設置頂部電源開關和同步整流器開關（底部開關）。在平面實施例中，底部開關係被分為並聯工作的兩個相同的底部開關，而且底部開關設置在頂部開關的相對側。第一旁路電容器係連接在第一底部開關和頂部開關之間，且第二旁路電容器係連接在第二底部開關和頂部開關之間。其構造基本上是鏡像，而頂部開關位於中間。若假設頂部開關剛剛被接通，通過頂部開關和第一底部開關的電流迴路為逆時針方向，通過頂部開關和第二底部開關的電流迴路則為順時針方向。所產生的兩個磁場的方向是相反的。由於迴路非常接近，因此所產生的磁場實質上相互抵消，此大幅減小從穩壓器輻射的整體磁

場，從而減小了 EMI。

該技術也可以應用於劃分頂部開關，其中第一對頂部開關和底部開關產生沿第一方向的第一電流迴路，且第二對頂部開關和底部開關產生沿相反方向的第二電流迴路，以抵消磁場。

在另一個實施例中，頂部開關和底部開關被分為四個底部開關和兩個頂部開關，這些開關形成在 x 和 y 方向上彼此相反的四個電流迴路，以產生更低的整體磁場。

類似的技術可用於 3-D 構造中，其中反向電流迴路是垂直取向的。例如，旁路電容器可位於開關上方。

此外，可以層疊開關或 PCB，以抵消每層產生的磁場。

在另一個實施例中，以數字 8 的形狀形成單電流通路，以產生兩個反向電流迴路，從而抵消磁場。

其他實施例也是可以預見的。

【圖式簡單說明】

第 1A 圖係顯示用於習知切換式穩壓器的先前技術開關電路。

第 1B 圖為第 1A 圖之不同態樣，顯示電晶體開關在 IC 或 PCB 上的位置。

第 2A 圖係顯示達成第 1A 圖的電路開關功能但產生小得多的 EMI 的開關構造。

第 2B 圖係呈現第 2A 圖所顯示之不同態樣中的 IC 或 PCB 的部分之立體外觀圖，其係顯示電晶體開關在 IC 或 PCB 上的位置。

第 3A 圖顯示達成第 1A 圖的電路開關功能並同時進一步減小 EMI 的開關之另一種構型。

第 3B 圖係為一個或多個 IC 封裝的半透明俯視圖，其係顯示封裝引

腳之佈局以及對應於第 3A 圖中端子的引腳。

第 4 圖係為 IC 封裝的半透明俯視圖，其係顯示封裝引腳佈局以及對應於開關構型中端子的引腳，其中第 2B 圖的三個開關已被分為總共六個開關，而且在封裝中的位置為鏡像以進一步減小 EMI。

第 5 圖具有與第 4 圖相同的開關設置，但是旁路電容器連接不同，而於保留兩個電容器之同時仍得以使 EMI 減小。

第 6 圖係顯示數字 8 形狀的跨接導線是如何產生反向電流迴路的。

第 7A 圖係為包含六個開關（例如圖 4 的開關）的 IC 的側視圖，其中旁路電容器係疊在電晶體上方以形成反向垂直電流迴路，以減小 EMI。

第 7B 圖係為第 7A 圖的 IC 的俯視圖，其中第 7A 圖是從第 7B 圖的上方觀察的側視圖。

第 8A 圖係為包含四個開關的 IC 的側視圖，其中旁路電容器係疊在電晶體上方以形成反向垂直電流迴路，以減小 EMI。

第 8B 圖係為第 8A 圖的 IC 的俯視圖，其中第 8A 圖是從第 8B 圖的上方觀察的側視圖。

圖中，相同或等效元件係以相同的數字表示。

【實施方式】

在所有實施例中，假設 MOSFET 開關的閘極連接至用於直流-直流轉換器的習知同步 PWM 控制器，習知輸出電路係連接至特殊類型轉換器所需的端子 1、2 和 3。輸出電路通常包括一個或多個電感器和一個或多個大平滑電容器。Linear Technology Corporation 網站在線可用的針對 LT8611 同步降壓穩壓器的資料表顯示了用於本文描述的開關的適當的 PWM 控制器以及輸出電路，通過引用將其包含於本文內，以作為用於同步開關的 PWM 控制器和輸出電路的典型示例。在轉讓給本受讓人美國

專利 5,731,731 和 5,847,554 中描述了其他適當的 PWM 控制器和輸出電路，也通過引用包含於此。控制器可以在固定頻率或可變頻率下進行開關。

根據本發明，將開關分為多個開關部分，並將多個開關部分電性相連以產生具有相反方向的多個類似電流迴路，從而實現平面結構中的磁環抵消。這種構型使反向磁場緊密靠近，以實現整體較低的磁場輻射。在垂直結構中，電流迴路中的一個或多個部件（例如導線/走線或旁路電容器）在 IC 或 PCB 表面上方，以產生反向垂直電流迴路，從而實現整體較低的磁場。

第 2A 圖顯示了如何將第 1A 圖的開關電路分成沿相反方向傳輸電流的多個迴路，使得磁場具有相反的方向（由點和 x 表示），藉以部分抵消每個迴路產生的磁場。因此，減小了電路發出的整體磁場。對於平面構造而言，可以獲得 50%甚至更高的磁場抵消。

在第 2A 圖中，第 1A 圖中的底部開關 14 被兩個並聯開關 14A 和 14B 取代，這兩個開關夾住平面中的另一個開關 12（頂部開關）。反向電流迴路 24 和 25 在晶片或 PCB 上盡可能靠近在一起，以增強抵消效果。第 1A 圖中的旁路電容器 20 由旁路電容器 20A 和 20B 取代，以執行與旁路電容器 20 相同的功能。開關 14A 和 14B 的尺寸均可以是開關 14 的一半，所以不會大幅增大尺寸。開關 14A 和 14B 可以是 MOSFET、雙極電晶體或者由 PWM 控制器 IC 19 控制的任何其他類型的開關元件，開關可以在 PWM 控制器 IC 19 上。端子 2 可以連接至第 1A 圖的輸出電路 17。

第 2A 圖顯示了平面電路構造。也可以通過產生 3-D 結構以達成磁場抵消，如下文所述。

第 2B 圖顯示了第 2A 圖的開關在 IC 28 上的佈局，IC 28 還可以包含

控制電路。

在所有實施例中，所有的旁路電容器都可位於封裝內部或封裝外部。在封裝內部設置電容器將更有利於保證反向磁場的對稱關係，最佳地達成抵消。

雖然在示例中使用了同步開關電晶體，但是其他類型的切換式穩壓器也可以同時切斷兩個開關，例如在操作的睡眠模式或間斷模式中。可以通過反轉電壓檢測電路控制同步整流器開關，而不使同步整流器開關與另一個開關同步進行開關。

第 3A 圖顯示另一示例，其顯示如何將第 1A 圖的開關電路分開以產生沿相反方向傳輸電流的多個電流迴路 30/32，沿相反方向傳輸電流的多個電流迴路產生具有相反方向或極性（由點和 X 顯示）的磁場，從而部分抵消每個迴路產生的磁場。旁路電容器 34 和 36 仍顯示為每個迴路的一部分。在第 3A 圖中，第 1A 圖中的底部開關 14 由兩個並聯開關 14A 和 14B 取代，第 1A 圖中的頂部開關 12 則由兩個並聯開關 12A 和 12B 代替。電路佈局在 PCB 或矽中，相反方向的迴路盡可能靠近在一起，以增強抵消效果。因為兩個 MOSFET 是並聯連接的，所以每個開關（例如 MOSFET）的尺寸均可以是先前技術之開關的一半，以獲得相同的電源控制規格。因此並沒有顯著增大所得的尺寸。

第 3B 圖為用於一個或多個 IC 的封裝 38 的半透明俯視圖，其顯示封裝引腳佈局和對應於第 3A 圖中的端子 1、2 和 3 的引腳。端子 1、2 和 3 可以是 PCB 上的連接節點。封裝具有 20 個週邊引腳和中心接地焊墊 21，接地焊墊 21 用於連接 PCB 上的接地引腳或接地焊墊。IC 42 的輪廓如圖所示，第 3A 圖中 IC 42 包含兩組開關。IC 42 上的端子可以通過接合導線、引線框、PCB 或其他連接器而連接至封裝 38 的引腳。多個端子和引腳可

以連接在一起，以處理更高的電流和/或產生理想的電流迴路形式。

由於結構的不對稱性，第 2B 和 3B 圖中的磁場抵消在 x 方向和 y 方向上是不同的。爲了產生更對稱的抵消結構，可以使用第 4 圖的構型。

在第 4 圖中，沿著暴露的焊墊 21A 和 21B 顯示 IC 44 的輪廓。IC 44 包含六個開關，通過劃分開關 14A、14B 和 12 獲得第 2B 圖中的開關構造的鏡像，以產生相等但反向的電流迴路 24A 和 25B 以及 24B 和 25B。附加旁路電容器 24B 和 25B 連接至端子 1 和 3。所得到的磁場彼此對稱抵消，從而降低了所有方向上的 EMI。端子 1、2 和 3（例如 PCB 上用於連接電源和旁路電容器的節點）應靠近關聯的封裝引腳（引腳 4-13），以產生四個類似的電流迴路結構。因此，爲了產生靠近在一起的具有類似形狀的電流迴路，封裝引腳（構成電流迴路的一部分）的選擇非常重要。

引腳可以結在一起，以減小電阻，而利於抵消磁場。

第 5 圖顯示另一種電路設置，其係使用與第 4 圖相同的封裝 46 和 IC 44，其中僅使用兩個旁路電容器 48 和 50。反向電流迴路 24A 和 25B 以及 24B 和 25B 的每一者可以共用旁路電容器 48 或 50。

第 5 圖中的每個旁路電容器（48 或 50）最佳地在其關聯的外部開關（例如第 2B 圖中的開關 14A 和 14B）之間對稱設置，從而與每個關聯的外部開關實質上等距，以使反向磁場相等。

必須考慮開關構型、旁路電容器構造、從封裝至 IC 引線的佈線、封裝內的內部走線、IC 中的金屬導線構造、IC/封裝端子/引腳設置、以及 PCB 走線的組合，以獲得最大程度的磁場抵消。

在所有實施例中，不需要在相同矽晶片上形成開關，多個矽晶片可以在單封裝中互連，這時互連（導線或走線）是電流迴路的一部分。

各種開關/電容器設置的目的在於提供能產生類似但是相反磁場特性

的最小的兩個電流通路。這可以通過不同於如第 2A 圖至第 5 圖所描述的方案來達成。第 6 圖至第 8B 圖係顯示了幾種其他方案。

第 6 圖顯示了用於開關 12 和 14 的交叉佈線構型，其連接至旁路電容器 20，在 IC 或 PCB 中產生用於減小所產生的整體磁場的反向電流迴路 52 和 54。抵消電流迴路形成數字 8 的形狀，其包括圓角數字 8 形狀和直線數字 8 形狀。通過交叉導線 55 或走線，並在層間進行絕緣，形成兩個或更多個反向電流迴路。導線/走線 55 可以在 IC 內部或外部，或者一部分在內部、一部分在外部。

旁路電容器 20 可位於電路迴路中的任何位置，例如位於交叉點。交叉點可置於電容器下方。

第 7A 和 7B 圖分別顯示了 IC 58 中的電路構造的側視圖和俯視圖，其中反向電流迴路 60 和 62 具有用於抵消第 7B 圖中的磁場 64、65、66 和 67 的垂直部件。磁場方向由箭頭顯示。在 IC 58 上附加旁路電容器 70、71、72 和 73 以產生垂直電流迴路而非平面迴路，從而形成磁場抵消。使用六個開關能產生可以抵消所有方向磁場的四個垂直電流迴路。在第 7B 圖顯示的設置中，這六個開關包括分為三個並聯開關的頂部開關和分為三個並聯開關的底部開關。注意，第 7B 圖的上半部具有兩個底部開關（耦合至端子 3 和 2），其夾住中心的頂部開關（耦合至端子 1 和 2），第 7B 圖的下半部具有兩個頂部開關（耦合至端子 1 和 2），其夾住中心的底部開關（耦合至端子 3 和 2），從而形成不對稱設置。

第 8A 和 8B 圖顯示 IC 76 中的垂直電路的另一個實施例的側視圖和俯視圖，其中反向電流迴路 78（在第 8A 圖中只顯示了一個電流迴路）用於抵消圖 8B 中的磁場 80 和 82。在第 8B 圖中有四個開關，其中在第 8B 圖所示的設置中頂部開關被分為兩個並聯開關，底部開關被分為兩個並

聯開關。第 8B 圖基本上是第 7B 圖的電路的左半部分，在第 8B 圖中，每個開關較大，以承載一半的電流。

一般而言，通過迴圈電流的通路位於垂直取向的鏡像結構中的形式形成多個電源開關器件，從而在 3-D 構造中形成磁環抵消。該結構被設計為產生反向電流迴路，以產生具有抵消效果的反向平行磁場。

緊靠迴路（例如在相同的 IC 封裝中）具有更好的抵消效果，但是與先前技術的單迴路設計相比，即使距離較遠也能提高抵消效果。

在所述的各種實施例中，在穿過二維或三維抵消設計的任意平面中，流過兩個或更多個抵消電流迴路的淨電流所感應的整體磁場，係小於單獨迴路或先前技術的單迴路設計的等效迴路的絕對磁場之和。據此，使用本發明的技術具有較小的 EMI。

雖然在各種實施例中反向磁場的大小是相同的，但是即使在反向磁場具有不同大小時，例如在電流迴路具有不同的迴路半徑或形狀時，本發明仍可以運作，即能夠將 EMI 降低到較小的程度。

這種降低 EMI 的抵消作用還會引起較低的寄生電感，在高切換頻率下寄生電感是一種損耗機制。因此，與先前技術相比，本發明的抵消技術在高切換頻率下具有較高的電源效率。這為前述磁場抵消技術所可獲得之無法預期之效果。

雖然已經顯示和描述了本發明的具體實施例，但是本領域中技術人員顯然可以理解，於不悖離本發明之更大範圍內仍可進行變化和修改，因此，所附申請專利範圍包括本發明的真實精神和範圍內的所有這些變化和修改。

【符號說明】

1、2、3 端子

10、24、24A、24B、25、25A、25B、30、32、52、54、60、62、78 電

流迴路

11 IC

12 頂部開關

12A、12B、14A、14B 開關

14 底部開關

16、18 寄生電容

17 輸出電路

19、28、42、44、58、76 IC

20、20A、20B、34、36、48、50、70、71、72、73 旁路電容器

21 中心接地焊墊

21A、21B 焊墊

28 IC

38、46 封裝

55 導線

64、65、66、67、80、82 磁場

申請專利範圍

1. 一種切換式穩壓器電路，其接收一輸入電壓並產生一調節輸出，
所述電路包括：

一控制器(19)，其用於產生電晶體開關控制訊號；

一第一開關(14A)，其由所述控制器控制，所述控制器在一可調整工作週期之一單一切換週期期間控制所述第一開關切換於一導電狀態與一非導電狀態之間，以控制所述切換式穩壓器電路的所述調節輸出，其中所述工作週期係為所述第一開關在所述單一切換週期期間處於一導電狀態之時間的一百分比數；

一第一旁路電容器(20A)，其耦合至所述第一開關以作為包含所述第一開關之一電流迴路之一部份；以及

一第二開關(14B)，其與所述第一開關並聯連接，所述第二開關由所述控制器控制以與所述第一開關處於相同狀態，以與所述第一開關具有相同的工作週期以控制所述切換式穩壓器電路之所述調節輸出，

其中所述第一開關經定位以當切換為其導電狀態時，產生一第一電流迴路(25)，其中一第一電流在所述第一電流迴路中沿一第一方向流動以在一第一方向產生具有一第一大小的一第一磁場，

其中所述第二開關經定位以當切換為其導電狀態時，產生一第二電流迴路(24)，其中一第二電流在所述第二電流迴路中沿與所述第一方向相反的一第二方向流動以在一第二方向產生具有一第二大小的一第二磁場，以使得所述第一磁場與所述第二磁場組合以減小由所述切換式穩壓器電路所產生的電磁干擾（EMI）。

2. 如申請專利範圍第 1 項所述的切換式穩壓器電路，其中所述第一大小大致與所述第二大小相同。

3. 如申請專利範圍第 1 項所述的切換式穩壓器電路，其更包括：
一第三開關(12)，

其中所述第一開關(14A)和所述第二開關(14B)係位於所述第三開關的相對側，藉此所述第一電流迴路(25)係由流入所述第一開關和所述第三開關的所述第一電流所產生，所述第二電流迴路(24)係由流入所述第二開關和所述第三開關的所述第二電流所產生。

4. 如申請專利範圍第 3 項所述的切換式穩壓器電路，其中當所述第一開關(14A)和所述第二開關(14B)接通並且所述第三開關(12)切斷時，所述第一電流流過所述第一開關並進入所述第三開關的一寄生電容器，所述第二電流流過所述第二開關並進入所述第三開關的寄生電容器。

5. 如申請專利範圍第 3 項所述的切換式穩壓器電路，其中所述第一旁路電容器(20A)係耦合在所述第三開關(12)和所述第一開關(14A)之間，以及其中所述第一旁路電容器係為所述第一電流迴路(25)的一部分。

6. 如申請專利範圍第 5 項所述的切換式穩壓器電路，其更包括耦合在所述第三開關(12)和所述第二開關(14B)之間的一第二旁路電容器(20B)，且其中所述第二旁路電容器係為所述第二電流迴路(24)的一部分。

7. 如申請專利範圍第 5 項所述的切換式穩壓器電路，其中所述第一旁路電容器(50)亦耦合在所述第三開關和所述第二開關之間，且其中所述第一旁路電容器亦為所述第二電流迴路(24)的一部分。

8. 如申請專利範圍第 7 項所述的切換式穩壓器電路，其中所述第一旁路電容器(50)係對稱設置在所述第一開關(14A)和所述第二開關(14B)之間，藉此與所述第一開關和所述第二開關保持實質上等距。

9. 如申請專利範圍第 1 項所述的切換式穩壓器電路，其更包括：

並聯連接以同時進行傳導的一第三開關(12A)和一第四開關(12B)，其

中所述第三開關係定位成與所述第一開關(14A)相對，其中所述第四開關(12B)係定位成與所述第二開關(14B)相對，其中所述第四開關係緊鄰所述第三開關，以及其中所述第一開關係緊鄰所述第二開關，藉此所述第一電流迴路(30)係由流入所述第一開關和所述第三開關的所述第一電流所產生，且所述第二電流迴路(32)係由流入所述第二開關和所述第四開關的所述第二電流所產生。

10. 如申請專利範圍第 9 項所述的切換式穩壓器電路，其中當所述第一開關(14A)和所述第二開關(14B)接通且所述第三開關(12A)和所述第四開關(12B)切斷時，所述第一電流係流過所述第一開關並且進入所述第三開關的一寄生電容器，且所述第二電流係流過所述第二開關並且進入所述第四開關的寄生電容器。

11. 如申請專利範圍第 9 項所述的切換式穩壓器電路，其中所述第一旁路電容器(34)係耦合在所述第三開關(12A)和所述第一開關(14A)之間，以及其中所述第一旁路電容器係為所述第一電流迴路(30)的一部分。

12. 如申請專利範圍第 11 項所述的切換式穩壓器電路，其更包括耦合在所述第四開關(12B)和所述第二開關(14B)之間的一第二旁路電容器(36)，且其中所述第二旁路電容器係為所述第二電流迴路(32)的一部分。

13. 如申請專利範圍第 1 項所述的切換式穩壓器電路，其更包括：
一第三開關(12A)及一第四開關(12B)，其並聯連接以同時進行切換並相對於所述第一開關(14A)及所述第二開關(14B)之切換而切換；

其中所述第一開關及所述第二開關係定位成與所述第三開關及所述第四開關相對，以產生開關之相對的成對者，

其中所述相對的成對者係產生複數個電流迴路，包括所述第一電流迴路(30)和所述第二電流迴路(32)，其中一些電流迴路的流動方向與其他

電流迴路的流動方向相反，以產生具有相反方向的複數個磁場，藉以減小所述切換式穩壓器電路所產生的 EMI。

14. 如申請專利範圍第 13 項所述的切換式穩壓器電路，其更包括複數個旁路電容器(34, 36)，包括所述第一旁路電容器(34)，其中所述複數個旁路電容器中相關聯的旁路電容器係耦合在所述第一開關、第二開關、第三開關及第四開關之間，以形成所述電流迴路。

15. 如申請專利範圍第 14 項所述的切換式穩壓器電路，其中至少產生四電流迴路(24A, 24B, 25A, 25B)，所述四個電流迴路包括所述第一電流迴路(24A)和所述第二電流迴路(24B)，以及一第三電流迴路(25A)和一第四電流迴路(25B)，其中所述第三電流迴路中的一電流方向係與所述第四電流迴路中的一電流方向相反。

16. 如申請專利範圍第 1 項所述的切換式穩壓器電路，其中所述第一電流迴路(25)和所述第二電流迴路(24)係為平面的，其係實質平行於在其上形成有所述第一開關(14A)和所述第二開關(14B)的一基板的一表面。

17. 如申請專利範圍第 1 項所述的切換式穩壓器電路，其中所述第一電流迴路(60)和所述第二電流迴路(62)係具有垂直部件，所述垂直部件與其上形成有所述第一開關(14A)和所述第二開關(14B)的一基板的一表面不在同一平面。

18. 如申請專利範圍第 17 項所述的切換式穩壓器電路，其中所述第一旁路電容器(70)與所述第一開關(14A)和所述第二開關(14B)不在同一平面。

19. 如申請專利範圍第 1 項所述的切換式穩壓器電路，其中所述第一開關(14A)和所述第二開關(14B)係為 MOSFET。

20. 如申請專利範圍第 1 項所述的切換式穩壓器電路，其中所述第一

開關(14A)和所述第二開關(14B)係形成在一積體電路晶片(46, 58)上。

21. 如申請專利範圍第 20 項所述的切換式穩壓器電路，其中所述積體電路晶片(46)係具有連接至所述第一開關(14A)和所述第二開關(14B)的交替或交叉的外部端子。

22. 如申請專利範圍第 20 項所述的切換式穩壓器電路，其中所述積體電路晶片(46)係具有連接至所述第一開關(14A)和所述第二開關(14B)的兩組外部端子，於所述積體電路封裝的每一側上設有一組。

23. 如申請專利範圍第 20 項所述的切換式穩壓器電路，其中所述積體電路晶片(46)係利用容納所述晶片的一積體電路封裝外部的多個電容器(20, 48, 50)連接至所述第一開關(14A)和所述第二開關(14B)的全部端子或者一部分端子。

24. 如申請專利範圍第 20 項所述的切換式穩壓器電路，其中所述積體電路晶片(46)係利用容納所述晶片的一積體電路封裝內部的多個電容器在多個位置連接至所述第一開關(14A)和所述第二開關(14B)。

25. 如申請專利範圍第 1 項所述的切換式穩壓器電路，其中所述第一開關(14A)和所述第二開關(14B)係容納在具有端子的一相同封裝中，其中所述端子係設置在所述封裝上，而當所述第一旁路電容器(48)連接至所述封裝外部的端子時，得以形成所述第一電流迴路和所述第二電流迴路。

26. 一種切換式穩壓器電路，其包括：

一控制器(19)，其用於產生電晶體開關控制訊號；

至少一第一開關(12)，其由所述控制器控制，其中所述第一開關之一工作週期控制所述切換式穩壓器電路之一調節輸出，所述控制器在一可調整工作週期之一單一切換週期期間控制所述第一開關切換於一導電狀態與一非導電狀態之間，以控制所述切換式穩壓器電路的所述調節輸

出，其中所述工作週期係為所述第一開關在所述單一切換週期期間處於一導電狀態之時間的一百分比數；

一第一旁路電容器(20)，其耦合至所述第一開關以作為包含所述第一開關之一電流迴路之一部份；

藉由所述第一開關之切換同時產生之至少一第一電流迴路(52)及一第二電流迴路(54)，其中一第一電流在所述第一電流迴路中沿一第一方向流動以在一第一方向產生具有一第一大小的一第一磁場，其中一第二電流在所述第二電流迴路中沿與所述第一方向相反的一第二方向流動以在一第二方向產生具有一第二大小的一第二磁場，以使得所述第一磁場與所述第二磁場組合以減小由所述切換式穩壓器電路所產生的電磁干擾(EMI)；

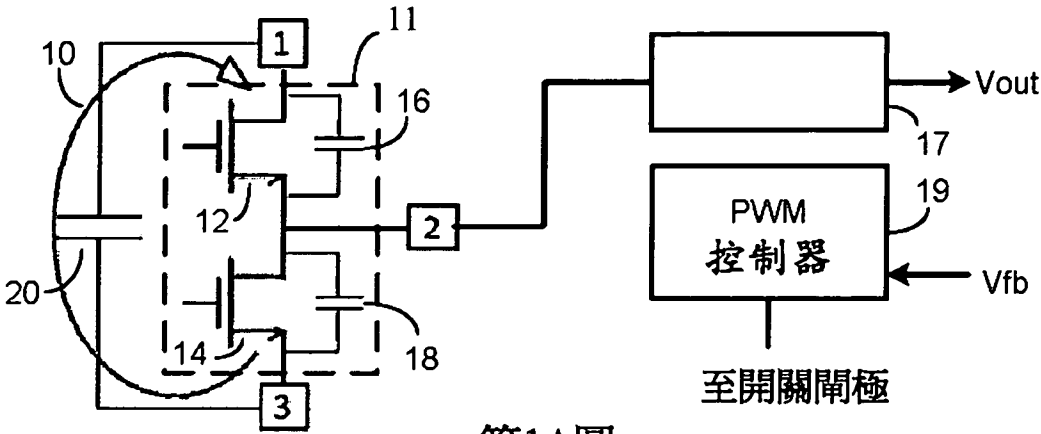
一第一導體(55)，其係連接在所述第一開關的一第一端子和所述第一旁路電容器的一第一端子之間；以及

一第二導體，其係連接在所述第一旁路電容器的一第二端子和一參考電壓之間，

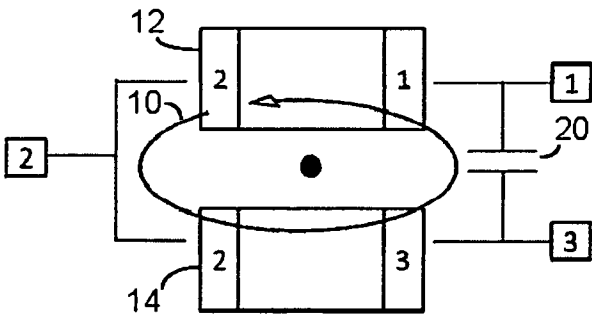
其中所述第一導體和所述第二導體係彼此交叉，以形成數字 8 之形狀，所述數字 8 形狀形成沿相反方向傳輸電流的所述第一電流迴路和所述第二電流迴路。

27. 如申請專利範圍第 26 項所述的切換式穩壓器電路，其中藉由在所述第一旁路電容器(20)下方形成交叉點來構建數字 8 之形狀。

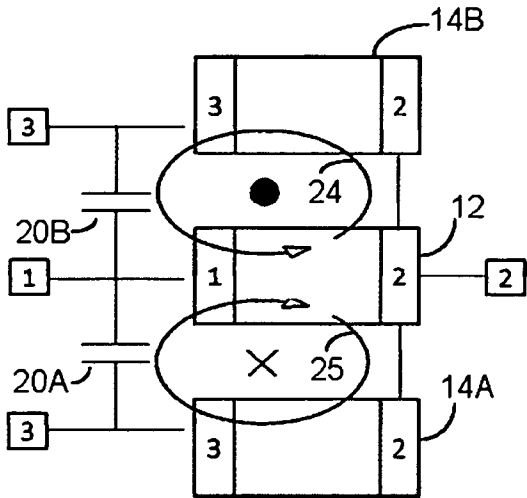
圖式



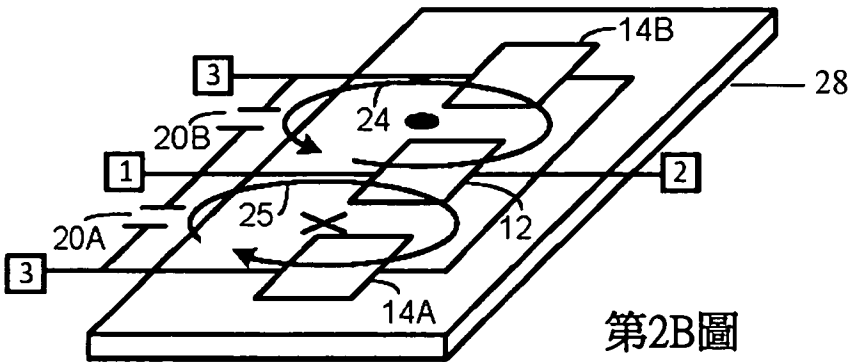
第1A圖
(先前技術)



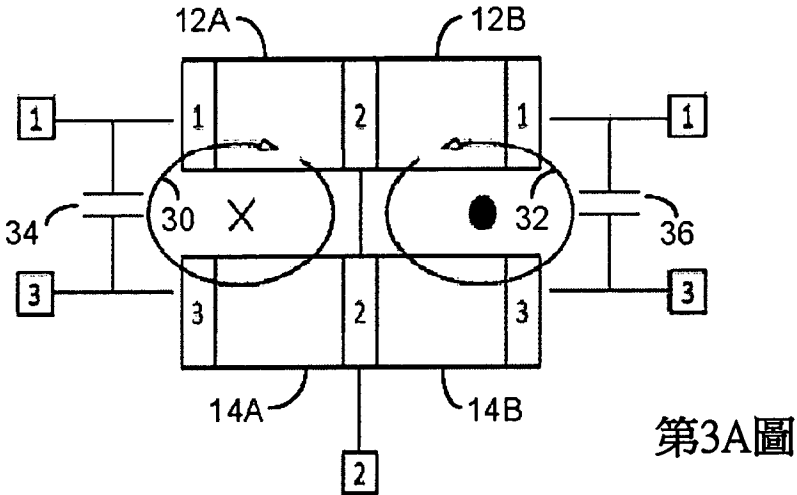
第1B圖
(先前技術)



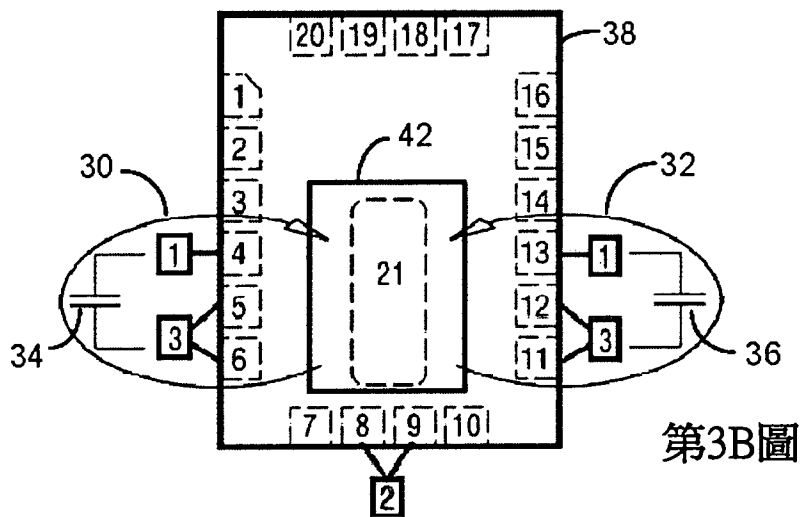
第2A圖



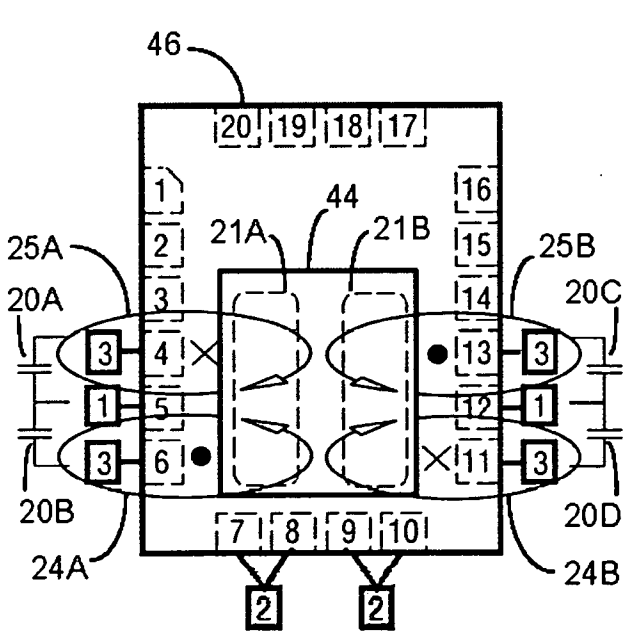
第2B圖



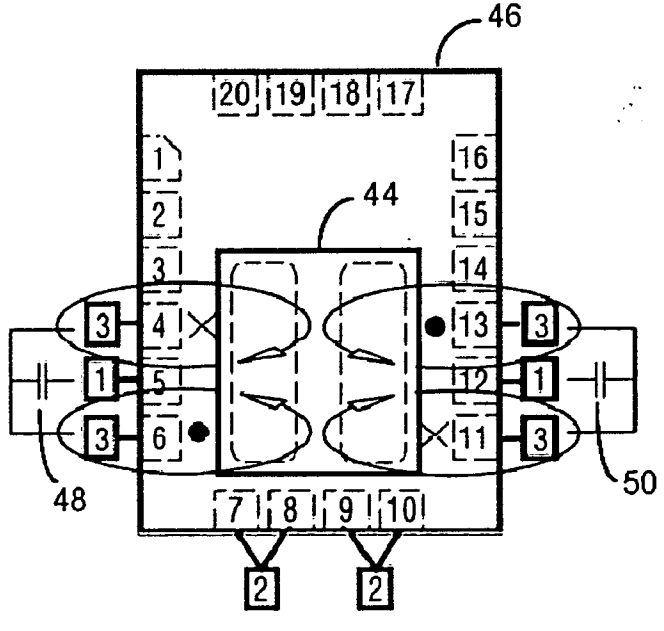
第3A圖



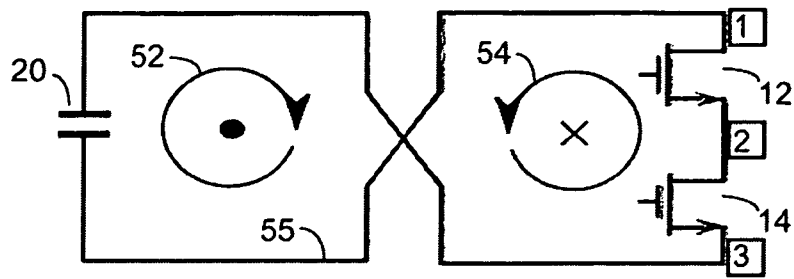
第3B圖



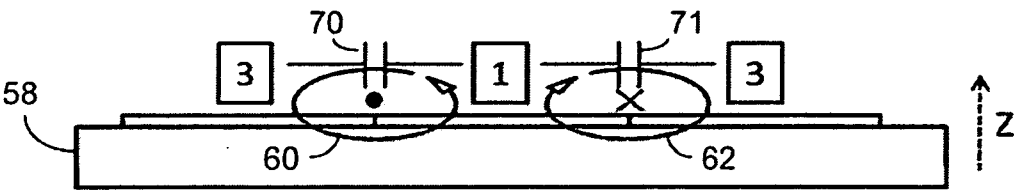
第4圖



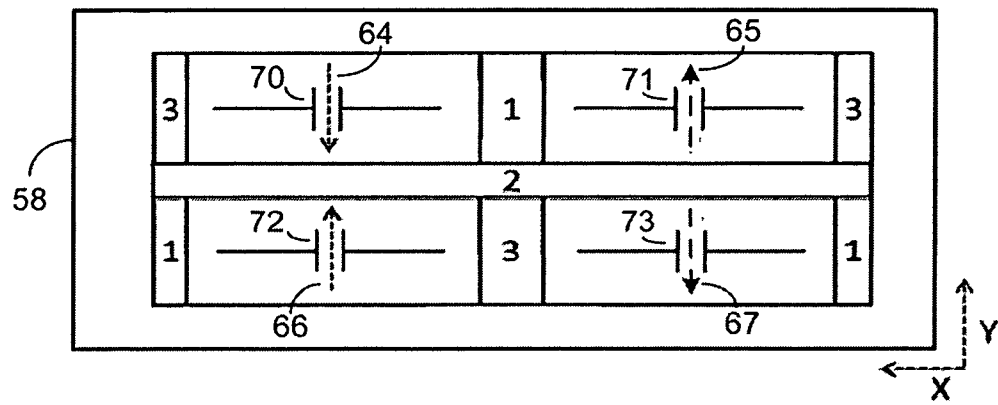
第5圖



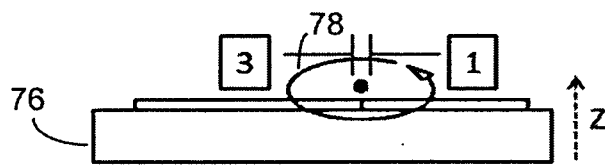
第6圖



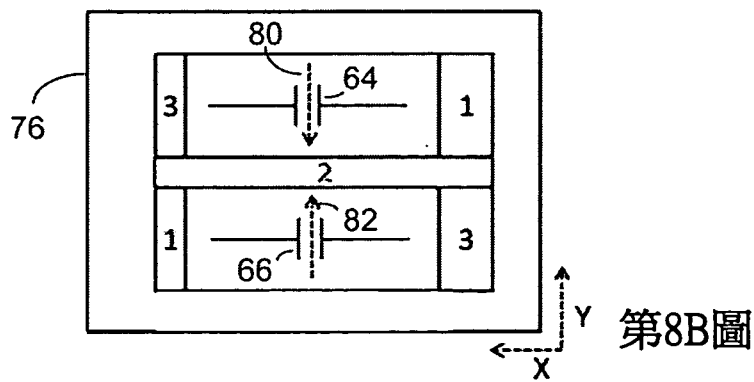
第7A圖



第7B圖



第8A圖



第8B圖