



(12) 发明专利

(10) 授权公告号 CN 101145517 B

(45) 授权公告日 2010.09.29

(21) 申请号 200710138198.X

(22) 申请日 2007.07.31

(30) 优先权数据

11/521996 2006.09.15 US

(73) 专利权人 夏普株式会社

地址 日本大阪府大阪市

(72) 发明人 M·A·克劳德 A·T·沃特萨斯

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 张雪梅 刘宗杰

(51) Int. Cl.

H01L 21/20(2006.01)

H01L 21/268(2006.01)

H01L 21/336(2006.01)

(56) 对比文件

CN 1465093 A, 2003.12.31, 说明书第 10 页
第 17 行—第 12 页第 15 行, 第 17 页第 18 行—第

19 页第 21 行、说明书附图 3—4, 图 10—11.

US 5463420 A, 1995.10.31, 说明书第 3 栏第
46 行—第 4 栏第 44 行、说明书附图 1.

US 5304357 A, 1994.04.19, 说明书第 8 栏第
66 行—第 9 栏第 34 行.

审查员 张弘

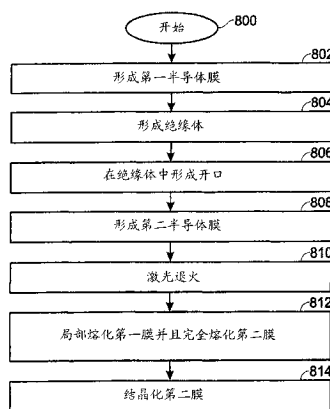
权利要求书 3 页 说明书 6 页 附图 5 页

(54) 发明名称

用于结晶化半导体膜的方法和由该方法结晶化的半导体膜

(57) 摘要

本发明涉及用于结晶化半导体膜的方法和由该方法结晶化的半导体膜。提供了一种用于使用掩埋晶种 1 脉冲层间结晶化工艺结晶化半导体膜的方法。该方法在透明衬底上以该顺序形成具有结晶结构的第一半导体膜,具有暴露第一半导体膜顶表面的一部分的开口的绝缘体层,然后以该顺序形成具有非晶结构的第二半导体膜。激光退火第二半导体膜使得第二半导体膜完全熔化并且第一半导体膜局部熔化。使用未熔化的第一半导体膜作为晶种,结晶化第二半导体膜。



1. 一种用于使用掩埋晶种受激准分子激光器层间结晶化工艺结晶化半导体膜的方法，该方法包括以下步骤：

形成具有结晶结构、覆盖在透明衬底上面的第一半导体膜；

形成覆盖在第一半导体膜上面的绝缘体层；

在绝缘体层中形成开口，该开口暴露第一半导体膜的顶表面的一部分；

形成覆盖在绝缘体层上面的具有非晶结构的第二半导体膜；

激光退火第二半导体膜；

响应于激光退火的步骤，完全熔化第二半导体膜并且局部熔化第一半导体膜；以及

使用未熔化的第一半导体膜作为晶种，结晶化第二半导体膜，其中

在形成第一半导体膜的步骤中，当从垂直于透明衬底的方向观察第一半导体膜时，第一半导体膜形成为“C”形；以及

激光退火第二半导体膜的步骤包括在利用来自第二激光源的至少一个激光能量密度脉冲熔化第二半导体膜之前，利用来自第一激光源的至少一个激光能量密度脉冲预加热衬底。

2. 如权利要求 1 的方法，其中：

预加热衬底的工艺包括利用二氧化碳激光 (CDL) 脉冲预加热衬底的工艺，该二氧化碳激光脉冲具有在 10 微秒至 1 毫秒的范围内的持续时间，和在 100Hz 至 50KHz 的范围内的重复频率。

3. 如权利要求 1 的方法，其中：

熔化第二半导体膜的步骤包括利用单个受激准分子激光脉冲激光退火第二半导体膜的工艺。

4. 如权利要求 3 的方法，其中：

使用在 30 纳秒 (ns) 至 300ns 范围内的脉冲持续时间执行利用单个受激准分子激光脉冲激光退火第二半导体膜的步骤。

5. 如权利要求 1 的方法，其中：

硅 (Si) 用于第一和第二半导体膜的材料；以及

形成绝缘体层的步骤包括由选自氧化物膜和氮化物膜构成的组的材料形成绝缘体的工艺。

6. 如权利要求 1 的方法，其中：

所述在绝缘体层中形成开口的步骤包括在第一位置中形成开口的工艺；以及

通过响应于第一位置的定位控制结晶化的第二半导体膜的晶粒间界来执行结晶化第二半导体膜的步骤。

7. 如权利要求 1 的方法，其中：

形成第一半导体膜的步骤包括形成覆盖在衬底上面的底栅的工艺；

形成绝缘体层的步骤包括形成底栅电介质的工艺；以及

形成第二半导体层的步骤包括形成有源 Si 层的工艺。

8. 如权利要求 7 的方法，其中：

形成底栅的步骤包括形成具有第一部分和第二部分的底栅的工艺；

在绝缘体层中形成开口的步骤包括在覆盖在底栅第一部分上面的栅电介质中形成通

孔的工艺；

局部熔化第一半导体膜的步骤包括熔化底栅第一部分的工艺；以及

使用底栅第二部分作为用来结晶化有源 Si 层的晶种来执行所述使用未熔化的第一半导体膜作为晶种结晶化第二半导体膜的步骤。

9. 如权利要求 7 的方法，其中：

有源 Si 层被形成为具有在 500 \AA 至 $1,500 \text{ \AA}$ 的范围内的厚度。

10. 如权利要求 8 的方法，进一步包括以下步骤：

在结晶化有源 Si 层之后，构图有源 Si 层以除去覆盖在栅电介质中的通孔上面的有源 Si 层。

11. 如权利要求 10 的方法，进一步包括以下步骤：

形成覆盖在有源 Si 层上面的顶栅；以及

在有源 Si 层中形成源 / 漏 (S/D) 区。

12. 如权利要求 7 的方法，其中：

透明衬底是使用选自自由玻璃、塑料和石英构成的组的材料形成的。

13. 如权利要求 7 的方法，其中：

结晶化第二半导体膜的步骤包括在第二半导体膜中横向生长具有在 20 微米 (μm) 至 $30 \mu\text{m}$ 的范围内的长度的晶粒的工艺。

14. 一种用于在双栅薄膜晶体管 (DG-TFT) 中使用至下面的 Si 底栅的通孔为有源硅 (Si) 层的结晶化提供晶种的方法，该方法包括以下步骤：

形成具有多晶结构、覆盖在透明衬底上面的 Si 底栅；

形成覆盖在 Si 底栅上面的绝缘体层以作为栅电介质；

在绝缘体层中形成开口，该开口暴露 Si 底栅顶表面的一部分；

形成覆盖在绝缘体层上面的非晶 Si 膜；

受激准分子激光器退火该非晶 Si 膜；

响应于激光退火，完全熔化该非晶 Si 膜并且局部熔化该 Si 底栅；以及

使用未熔化的 Si 底栅多晶结构作为晶种，形成多晶 Si 有源层，以及

其中在形成 Si 底栅的步骤中，当从垂直于透明衬底的方向观察 Si 底栅时，Si 底栅形成为“ \cap ”形；以及

激光退火非晶 Si 膜的步骤包括在利用来自第二激光源的至少一个激光能量密度脉冲熔化非晶 Si 膜之前，利用来自第一激光源的至少一个激光能量密度脉冲预加热衬底。

15. 如权利要求 14 的方法，其中：

利用单个受激准分子激光脉冲执行激光退火该非晶 Si 膜的步骤。

16. 如权利要求 14 的方法，其中：

形成绝缘体层的步骤包括由选自自由氧化物膜和氮化物膜构成的组的材料形成栅绝缘体的工艺。

17. 如权利要求 14 的方法，其中：

形成底栅的步骤包括形成具有第一部分和第二部分的底栅的工艺；

在绝缘体层中形成开口的步骤包括在覆盖在底栅第一部分上面的栅电介质中形成通孔的工艺；

局部熔化底栅的步骤包括熔化底栅第一部分的工艺 ;以及
使用未熔化的底栅多晶结构作为晶种来执行的步骤包括使用底栅第二部分作为用来
结晶化有源 Si 层的晶种来执行的工艺。

18. 如权利要求 17 的方法,进一步包括以下步骤 :

在形成多晶有源 Si 层的步骤之后,构图有源 Si 层以除去覆盖在栅电介质中的通孔上
面的有源 Si 层 ;

形成覆盖在有源 Si 层上面的顶栅 ;以及

在有源 Si 层中形成源 / 漏 (S/D) 区。

19. 一种利用如权利要求 1 至 18 中的任一项所述的方法结晶化的半导体膜。

用于结晶化半导体膜的方法和由该方法结晶化的半导体膜

技术领域

[0001] 本发明总体上涉及集成电路 (IC) 制造,更具体的说,涉及使用掩埋晶种层间 (interlevel) 结晶化方法的双栅薄膜晶体管 (DG-TFT) 制造工艺。

背景技术

[0002] 对于用于 TFT 应用的硅 (Si) 薄膜的混合连续晶粒硅 (CGS) 处理,“1 脉冲 (1-shot)”工艺是能提供晶粒间界在结晶膜中的位置控制的高产量方案。

[0003] 激光脉冲一般被称为“脉冲 (shot)”,并且 1 脉冲工艺使用单个激光脉冲退火膜。该方法有两种主要的实施方式,其影响所得到的微结构,或者在结晶化之前预构图 Si 岛,或者不这样做。在任一种情况下,通过在除需要预先定位的晶种的地方以外的所有区域中完全熔化 Si 膜来引起位置控制,以便开始过热熔化的结晶化。

[0004] 一般,该晶种通过下述步骤被放置:首先利用 500 \AA SiO₂ 盖层封装 Si 层 (被预构图或没有被构图),沉积足够厚的 Si 层 (大约 $2,000 \text{ \AA}$),然后构图该 Si 层以留下将遮蔽来自下面的 Si 有源层的受激准分子激光辐射的点或线。

[0005] 这些点或线必须足够大以保持 Si 下层的足够宽的区域被照射,以便解决横向热扩散。典型的宽度为大约 3-4 微米 (μm)。当周围熔化的 Si 在平衡温度以下开始冷却时,晶种开始横向生长到周围区域中。

[0006] 图 1 是描述对于“1 脉冲”位置控制结晶化方案,利用遮蔽 Si 层 (点) 预构图 Si 有源层的透视图 (现有技术)。图 1 示出了 70° 倾斜的样品,其具有预构图的 Si 岛和覆盖 Si 层以引起横向生长。照射时,晶种开始从遮蔽点以下生长,然后在螺旋形物周围和 Si 岛的其余部分中继续进行横向生长。

[0007] 在上述方法的许多实施例中,该点最终必须被去除,这对于随后的 TFT 制造步骤 (例如,注入、接触孔形成、和平面化) 来说可能是有问题的。去除该点需要 Si 遮蔽层的受控的干法刻蚀、在 TMAH 中的湿法腐蚀,或 (对于未被构图的 Si 有源层) 在稀释的 HF 中的腐蚀以钻蚀所述线和点并使得它们被剥离。

[0008] 更好的方法是通过可以在结晶化之后留在原位的装置 (通过接触孔) 为横向生长提供晶种,所述装置不会干扰随后的处理步骤。

发明内容

[0009] 如果 Si 有源层的预定区域能够被留下与可以用作横向生长的晶种的固体 (即未熔化的) Si 区接触,那么“1 脉冲 (1-shot)”位置控制结晶化方案能够被增强。由于多种原因,包括与 3D 体系结构的更好的兼容性和改善的生产量,希望利用单脉冲结晶化更大的区。常规的定向凝固方法不再足以满足目前利用各种 3D 体系结构 (例如,背栅 TFT、平面 TFT、和双栅 TFT) 的共同集成的设计。为了更好地实现 3D 结构的结晶化,本发明使用背栅作为为横向生长提供晶种的装置并且控制晶粒间界相对于 TFT 的有源沟道的位置。

[0010] 因此,提供了一种方法,用于使用掩埋晶种 1 脉冲层间结晶化工艺结晶化半导体膜。该方法形成具有结晶结构、覆盖在透明衬底上面的第一半导体膜。形成覆盖在第一半导体膜上面的绝缘体层,并且在绝缘体层中形成开口,该开口暴露第一半导体膜顶表面的一部分。然后,形成覆盖在绝缘体层上面的具有非晶结构的第二半导体膜。一般,第一和第二半导体膜是 Si,并且绝缘体层通常是氧化物或氮化物。第二半导体膜被激光退火。在一个方面中,该退火利用单激光脉冲来完成。响应于激光退火,第二半导体膜完全熔化并且第一半导体膜局部熔化。使用未熔化的第一半导体膜作为晶种,结晶化第二半导体膜。

[0011] 该方法的一个方面包括在利用来自第二激光源的至少一个激光能量密度 (fluence) 脉冲熔化第二半导体膜之前,利用来自第一激光源的至少一个激光能量密度脉冲 $F(\text{J}/\text{cm}^2 \cdot \text{脉冲})$ 预加热衬底。

[0012] 在一个应用中,第一半导体膜形成覆盖在衬底上面的底栅,绝缘体层形成底栅电介质,以及第二半导体层形成有源 Si 层。更具体地说,该底栅具有第一部分和第二部分,并且在该栅电介质中形成覆盖在底栅第一部分上面的通孔(通路接触孔)。底栅第一部分通过退火被局部熔化,并且底栅第二部分用作结晶化有源 Si 层的晶种。

[0013] 下面提供上述方法的另外的细节。

[0014] 通过下面的描述,本发明的另外的目的、特征和强度将变得清楚。另外,由以下参考附图的说明,本发明的优点将变得明显。

附图说明

[0015] 图 1 是描述对于“1 脉冲”位置控制结晶化方案利用遮蔽 Si 层(点)预构图 Si 有源层的透视图(现有技术)。

[0016] 图 2 是底栅的平面图,其解释了使用掩埋晶种 1 脉冲激光退火工艺结晶化双栅 TFT(DG-TFT) 的过程中的步骤。

[0017] 图 3 是在形成通孔之后图 2 的底栅,其解释了使用掩埋晶种 1 脉冲激光退火工艺结晶化双栅 TFT(DG-TFT) 的过程中的步骤。

[0018] 图 4 是图 3 的底栅的局部截面图,其解释了使用掩埋晶种 1 脉冲激光退火工艺结晶化双栅 TFT(DG-TFT) 的过程中的步骤。

[0019] 图 5 是结晶化之后有源 Si 层 12 的平面图,其解释了使用掩埋晶种 1 脉冲激光退火工艺结晶化双栅 TFT(DG-TFT) 的过程中的步骤。

[0020] 图 6 是描述被构图之后的有源 Si 层的平面图,其解释了使用掩埋晶种 1 脉冲激光退火工艺结晶化双栅 TFT(DG-TFT) 的过程中的步骤。

[0021] 图 7 是示出最终的分立器件布局的平面图,其解释了使用掩埋晶种 1 脉冲激光退火工艺结晶化双栅 TFT(DG-TFT) 的过程中的步骤。

[0022] 图 8 是示出用于使用掩埋晶种 1 脉冲激光退火工艺结晶化半导体膜的方法的流程图。

[0023] 图 9 是示出用于使用至下面底栅的通孔为有源 Si 层的结晶化提供晶种的 DG-TFT 制造方法的流程图。

具体实施方式

[0024] 参考附图本发明的实施例将得到最佳理解,其中类似的部分始终用类似的数字表示。上述图被明确并入作为该详细描述的一部分。

[0025] “1 脉冲”位置控制结晶化方案依赖被留下与用作横向生长的晶种的(未熔化的)单晶区域接触的 Si 有源层的预定区域。背栅、平面和双栅 TFT 体系结构中的 3D 结构的结晶化利用 1 脉冲激光退火工艺被改善。下面提供了背栅的实例,其用于为横向生长提供晶种并且控制晶粒间界相对于 TFT 的有源沟道的位置。

[0026] 图 2 到 7 描述了使用掩埋晶种 1 脉冲激光退火工艺结晶化双栅 TFT(DG-TFT) 的步骤。通常, DG-TFT 是具有覆盖在平面 TFT 结构上面的底栅或背栅的晶体管,其包括源区和漏区,沟道和顶栅。该背栅用于控制上覆的平面 TFT 的阈值电压。DG-TFT 的另外的细节可以在于 2005 年 7 月 18 日提交的由 Afentakis 等人发明的题为 DUAL-GATE TRANSISTOR DISPLAY 的未决的申请(序列号 No. 11/184,699)中找到,该申请在此被并入作为参考(案卷号 SLA8010)。

[0027] 图 2 是底栅(背栅)10 的平面图。底栅 10 被掺杂、构图、然后被盖上如图 4 中所示的背栅绝缘体 11。一般,底栅 10 是多晶的,或者它也可以具有单晶结构。

[0028] 图 3 是在形成通路接触孔(通孔)13 之后图 2 的底栅 10,所述通孔被开口通过背栅绝缘体 11 直到底栅 10。然后在背栅绝缘体 11 上方沉积非晶 Si(a-Si) 有源层 12,其通过通路接触孔 13 与底栅 10 形成接触。

[0029] 图 4 是图 3 的底栅 10 的局部截面图。大多数(如果不是全部的话)受激准分子能量密度(由标有“XeCl”的箭头表示)被有源 Si 层 12 吸收。典型的有源 Si 层 12 可以具有大约 500 \AA 的厚度。热传导导致延伸通过通路接触孔 13 并且局部熔化掩埋底栅电极 10 的熔化前部(melt front)。底栅电极 10 的热质量可以是有源 Si 层厚度的大约四倍,结果形成底栅的显著部分保持固态。当冷却时,固态材料的垂直再生长延伸通过通路接触孔 13,为 LC(位置受控的)横向生长提供晶种。

[0030] 图 5 是在结晶化之后有源 Si 层 12 的平面图。结晶微结构可以适于特殊应用,例如控制晶粒间界相对于 TFT 的有源沟道区的位置。图 5 示出了在晶粒中心的圆形区域,在此通过被留下与熔化的 Si 接触的晶种启动横向生长。底栅 10 的相对位置用阴影线示出。

[0031] 图 6 是描述在有源 Si 层 12 被构图以用作 TFT 的有源沟道之后该有源 Si 层 12 的平面图。在构图之前执行结晶化。因为掩埋底栅电极 10 被覆盖了有源 Si 层 12,因此在照射期间其没有熔化。构图有源区断开了与有源沟道和掩埋底栅电极的(Si)接触。

[0032] 图 7 是示出最终的分立器件布局的平面图,且 4 个垫(pad)分别用于与源极 21、漏极 22、顶栅 23、背栅 24 的接触。器件还可以使用上述方法、不利用顶栅或底栅(23,24)来制造,以便除了双栅 TFT 之外还提供平面 TFT 或背栅 TFT。更一般而言,该方法可适用于使用“1 脉冲”未预构图位置控制结晶化方案结晶化垂直结构。

[0033] 功能描述

[0034] 图 8 是示出根据本发明的一个实施例用于使用掩埋晶种 1 脉冲层间结晶化工艺结晶化半导体膜的方法的流程图。

[0035] 尽管为了清楚起见,该方法被描述成有编号的步骤序列,但是该编号并不一定表

示这些步骤的顺序。应当理解,这些步骤中的一些可以被跳过、并行执行,或者在不需要保持严格的序列顺序的情况下执行。该方法在步骤 800 处开始。

[0036] 在步骤 802 中,形成覆盖在透明衬底上面的具有结晶结构的第一半导体膜。对于透明衬底的材料,可以采用例如玻璃、塑料、或石英。尽管该方法可以与任何衬底材料一起使用,但是激光退火工艺常常与这些温度敏感的材料相关。在步骤 804 中,形成覆盖在第一半导体膜上面的绝缘体层。在步骤 806 中,在绝缘体层中形成开口,该开口暴露第一半导体膜顶表面的一部分。在步骤 808 中,形成覆盖在绝缘体层上面的非晶结构的第二半导体膜。在步骤 810 中,执行对第二半导体膜的激光退火。响应于步骤 810 中的激光退火工艺,在 S812 中第二半导体膜完全熔化,并且第一半导体膜局部熔化。在 S814 中使用未熔化的第一半导体膜作为晶种,结晶化第二半导体膜。

[0037] 在一个方面中,在步骤 804 中在绝缘体层中形成开口的工艺包括在第一位置中形成开口的工艺。然后,通过响应于第一位置的定位控制结晶化的第二半导体膜的晶粒间界来执行步骤 814 中第二半导体膜的结晶化。暂时返回图 5 和 6,可以看出形成在 Si 有源层 12 中的晶粒间界相对于栅电介质 10 中的通路接触孔 13 的位置被定位和形成。

[0038] 在一个方面中,在步骤 810 中对第二半导体膜激光退火的工艺包括下述工艺:在利用来自第二激光源的至少一个激光能量密度脉冲熔化第二半导体膜之前,利用来自第一激光源的至少一个激光能量密度脉冲预加热衬底。例如,该衬底可以利用二氧化碳激光(CDL)脉冲被预加热,该二氧化碳激光脉冲具有在大约 10 微秒至 1 毫秒的范围内的持续时间,和在大约 100Hz 至 50KHz 的范围内的重复频率。

[0039] 在另一个方面中,在步骤 812 中熔化第二半导体膜的工艺包括利用单个受激准分子激光脉冲激光退火第二半导体膜的工艺。例如,可以使用在大约 30 纳秒(ns)至 300ns 范围内的脉冲持续时间执行利用单个受激准分子激光脉冲激光退火第二半导体膜的工艺。

[0040] 首先 CO₂ 激光器发光以预加热下面的 SiO₂ 衬底。在 CDL 脉冲(一般长度是 10 μs 至 1ms)的末端,受激准分子激光器被点亮使得直接位于衬底上的预加热的亮点上面的 Si 薄膜熔化。这些操作允许完全局部加热该材料至超过 900°C 至 1,000°C 的温度。这种局部高温又允许根据条件超过 30 至 100 μm 的非常长的横向生长长度。该工艺因其利用单脉冲结晶化整个 Si 膜的能力而被称为“1 脉冲”工艺,所述 Si 膜将构成器件的有源部分。提供晶种的结构被设置用于提供适合于特定的有源沟道定向、尺寸、或其它所需特性的最佳微结构。当然,术语“1 脉冲”仅仅指的是受激准分子激光器。CO₂ 激光器可以为每个受激准分子激光脉冲多次发光。CDL 可以以高达几十 kHz 的频率工作,并且对于一些条件而言,这是典型的工作条件。该工艺的另外的细节可以在美国专利 7,018,468 中找到,其在此被并入作为参考。

[0041] 可替换的预加热源包括 UV 激光器,例如受激准分子激光器或三倍频固体激光器;或可见光激光器,例如两倍频固体激光器,来作为激光退火源。在 308nm 的 XeCl 激光器或在 243nm 的 KrF 激光器可以是受激准分子激光器的候选者。三倍频固体激光器,例如三倍频 Nd-YAG 激光器或三倍频 Nd-YVO₄ 激光器,也可以是 UV 激光器的候选者。两倍频固体激光器,例如工作在 532nm 的两倍频 Nd-YAG 激光器或两倍频 Nd-YVO₄ 激光器,可以是可见光激光器的候选者。

[0042] 在不同的方面中,分别在步骤 802 和 808 中形成第一和第二半导体膜包括形成包

括 Si 的第一和第二半导体膜。例如,可以使用(纯)Si 和 SiGe 的膜,然而该工艺有可能应用于更宽范围的薄膜工艺材料。在步骤 804 中形成的绝缘体层一般是氧化物膜,例如二氧化硅、氮化物膜,例如氮化硅、氮氧化物、乃至高 k 介电材料。

[0043] 在一个方面中,在步骤 802 中形成第一半导体膜的工艺包括形成覆盖在衬底上面的底栅的工艺,其后是在步骤 804 中形成底栅电介质的工艺。在步骤 808 中形成第二半导体层的工艺包括形成有源 Si 层的工艺。在一个方面中,在步骤 808 中形成的有源 Si 层具有在大约 500 Å 至 1,500 Å 的范围内的厚度。

[0044] 更具体的说,在步骤 802 中形成底栅的工艺包括形成具有第一部分和第二部分的底栅的工艺。在步骤 806 中,在覆盖在底栅第一部分上面的栅电介质中形成通路接触孔。然后,在步骤 812 中局部熔化第一半导体膜的工艺包括熔化底栅第一部分的工艺。在步骤 814 中将要使用未熔化的第一半导体膜作为晶种来执行的工艺包括将要使用底栅第二部分作为用来结晶化有源 Si 层的晶种来执行的工艺。

[0045] 在结晶化有源 Si 层的工艺之后,在步骤 816 中有源 Si 层被构图以除去覆盖在栅电介质中的通路接触孔上面的有源 Si 层。然后,在步骤 818 中,形成覆盖在有源 Si 层上面的顶栅,并且在步骤 820 中,在有源 Si 层中形成源 / 漏 (S/D) 区。这些与 DG-TFT 制造工艺相关的步骤 816 到 820 没有在该图中示出,因为图 9 特别专用于 DG-TFT 工艺。

[0046] 在一个方面中,结晶化第二半导体膜的工艺包括在第二半导体膜中横向生长具有在大约 20 微米 (μm) 至 30 μm 的范围内的长度的晶粒的工艺。就 DG-TFT 而言,从通路接触孔到底栅的未熔化部分的距离一般小于晶粒长度。横向生长的晶粒的晶向可以在半特征长度 (semi-characteristic length) (对于 50nm 厚的 Si 膜来说是大约 15 μm) 之后改变或破坏,并且由控制晶种的定向 (即通路接触孔附近的布置) 得到的任何好处减少。

[0047] 图 9 是示出用于使用至下面的底栅的通路接触孔为有源 Si 层的结晶化提供晶种的 DG-TFT 制造方法的流程图。该方法开始于步骤 900。在步骤 902 中,形成覆盖在透明衬底上面的具有多晶结构的 Si 底栅。在步骤 904 中,形成覆盖在底栅上面的绝缘体层。例如,可以使用氧化物或氮化物绝缘体。在步骤 906 中,在绝缘体层中形成开口,该开口暴露底栅顶表面的一部分。在步骤 908 中,形成覆盖在绝缘体层上面的非晶 Si 膜。在步骤 910 中,执行对非晶 Si 膜激光退火的工艺。响应于步骤 910 的激光退火工艺,在步骤 S912 中非晶 Si 膜完全熔化并且底栅局部熔化。使用未熔化的底栅多晶结构作为晶种,在 S914 中形成多晶 Si 有源层。

[0048] 在一个方面中,在 S910 中,在利用来自第二激光源的至少一个激光能量密度脉冲熔化非晶 Si 膜之前,利用来自第一激光源的至少一个激光能量密度脉冲预加热衬底。在另一个方面中,在 S910 中利用单个受激准分子激光脉冲执行激光退火工艺。

[0049] 在不同的方面中,在步骤 902 中形成具有第一部分和第二部分的底栅,并且在步骤 904 中,在覆盖在底栅第一部分上面的栅电介质中形成通路接触孔。然后,在 S914 中熔化底栅第一部分,并且在步骤 914 中,使用底栅第二部分作为用来结晶化有源 Si 层的晶种。

[0050] 在形成多晶有源 Si 层的工艺之后,在 S916 中有源 Si 层被构图以除去覆盖在栅电介质中的通路接触孔上面的有源 Si 层。在步骤 918 中,形成覆盖在有源 Si 层上面的顶栅。在步骤 920 中,在有源 Si 层中形成源 / 漏 (S/D) 区。

[0051] 已经提供了使用掩埋晶种结晶化半导体膜的方法。工艺细节、材料和 DG-TFT 结构

用作说明本发明的实例。然而,本发明不仅仅限于这些实例。对于本领域技术人员来说可以出现本发明的其它变型和实施例。

[0052] 前面说明中采用的术语和表达方式在其中用作描述的术语并且不是限制性的,使用这些术语和表达方式不旨在排除所示和所描述的特征或其部分的等效物,应当理解本发明的范围由下面的权利要求来限定和限制。

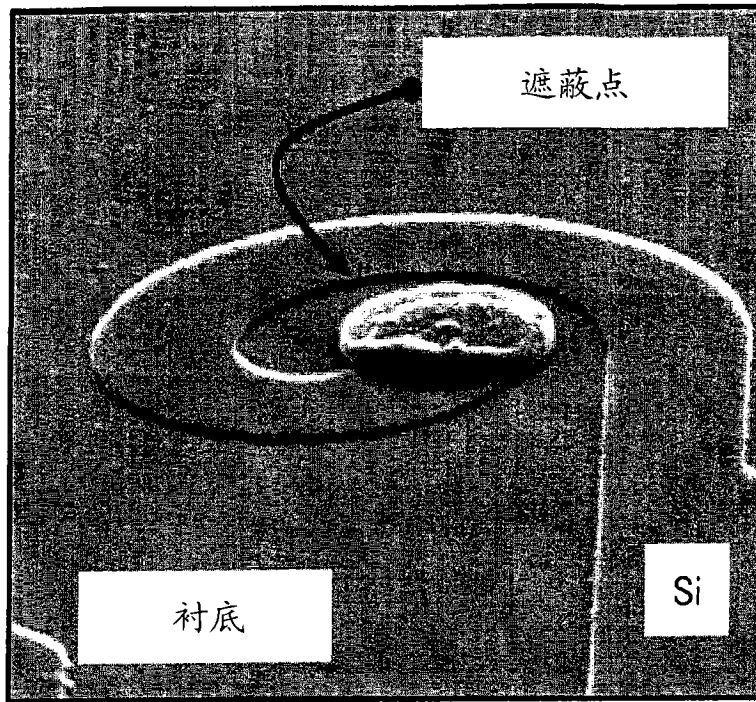


图 1

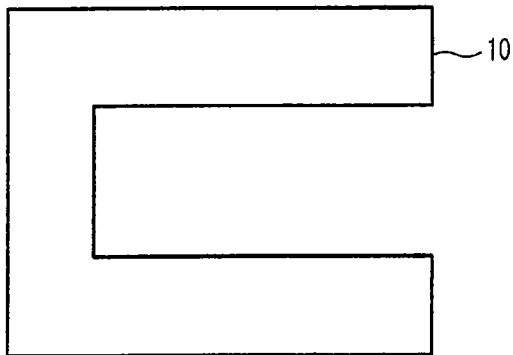


图 2

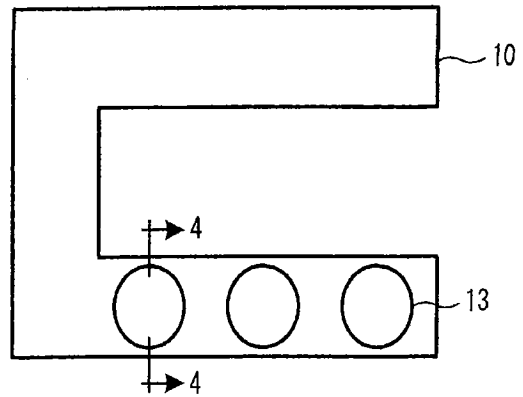


图 3

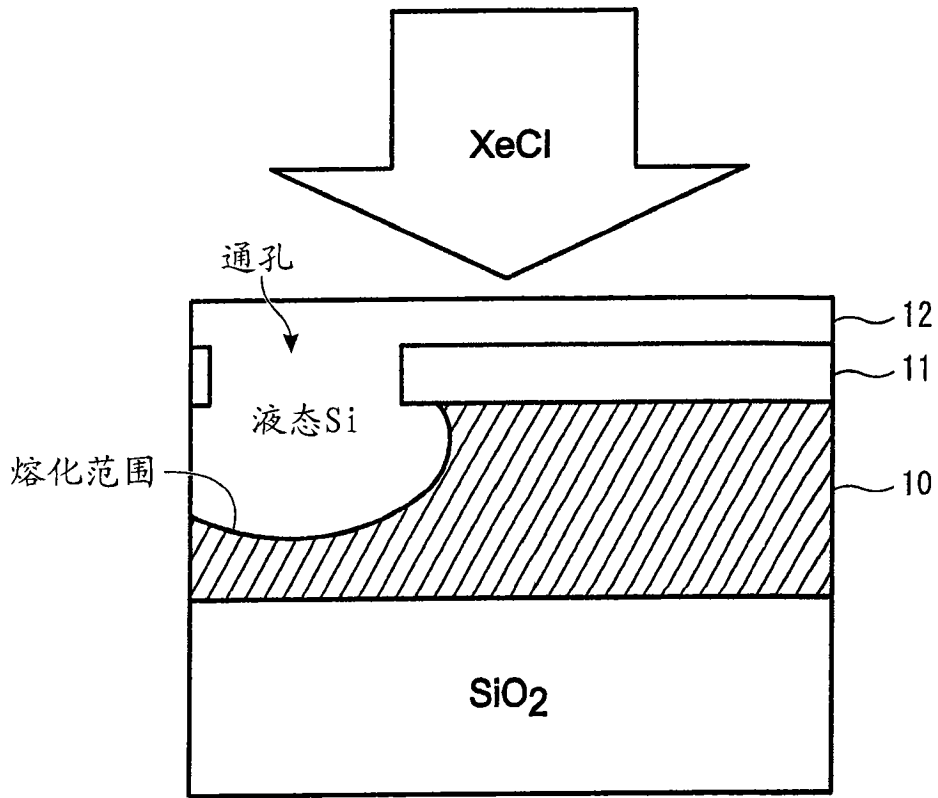


图 4

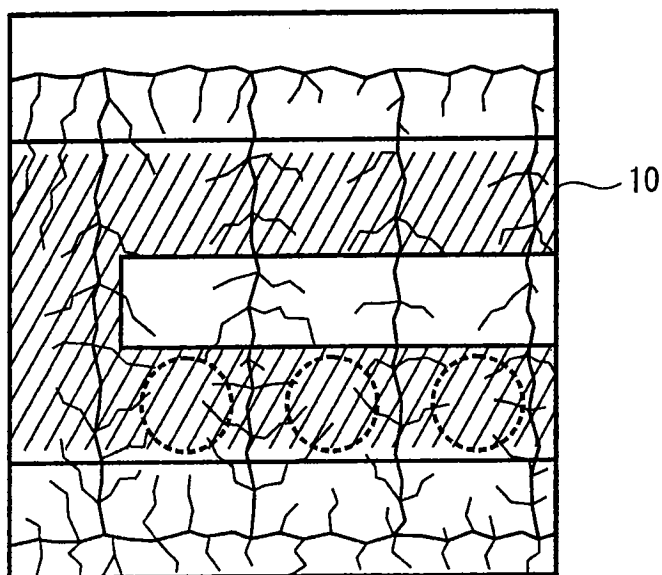


图 5

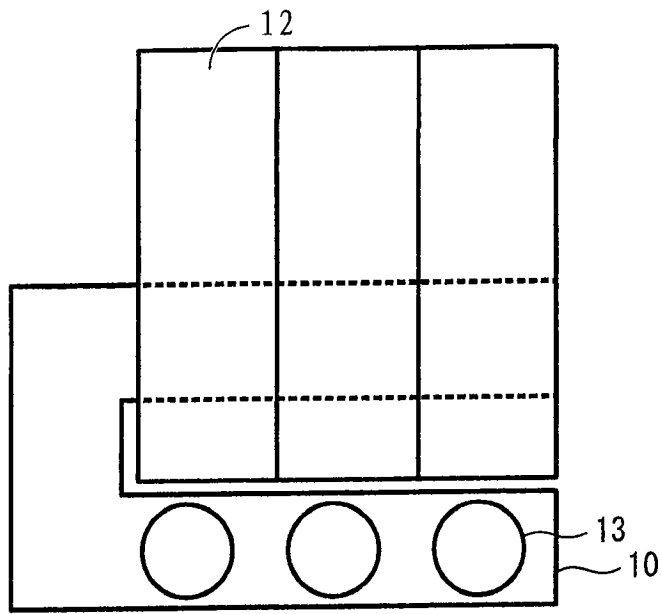


图 6

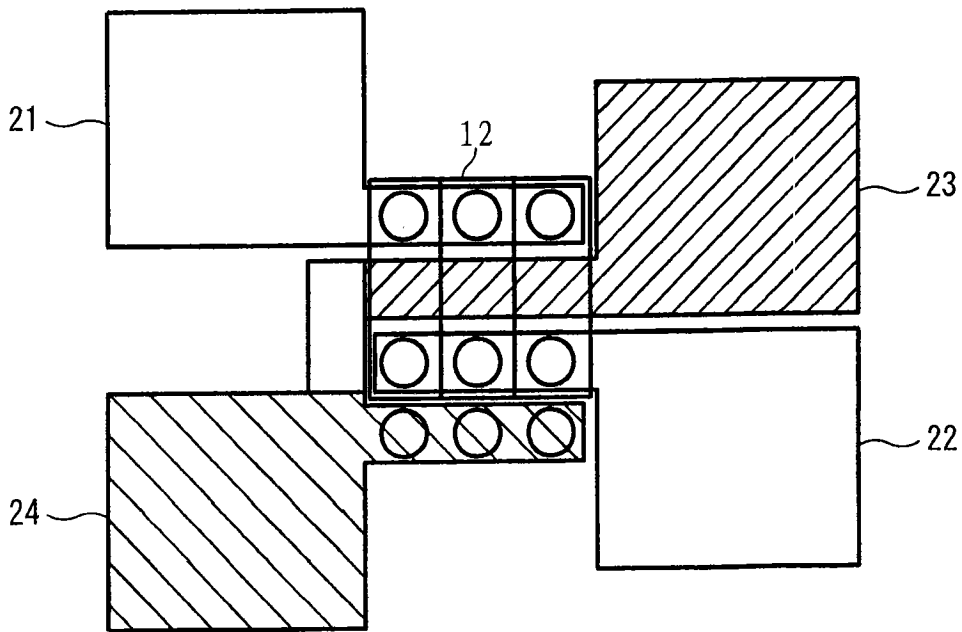


图 7

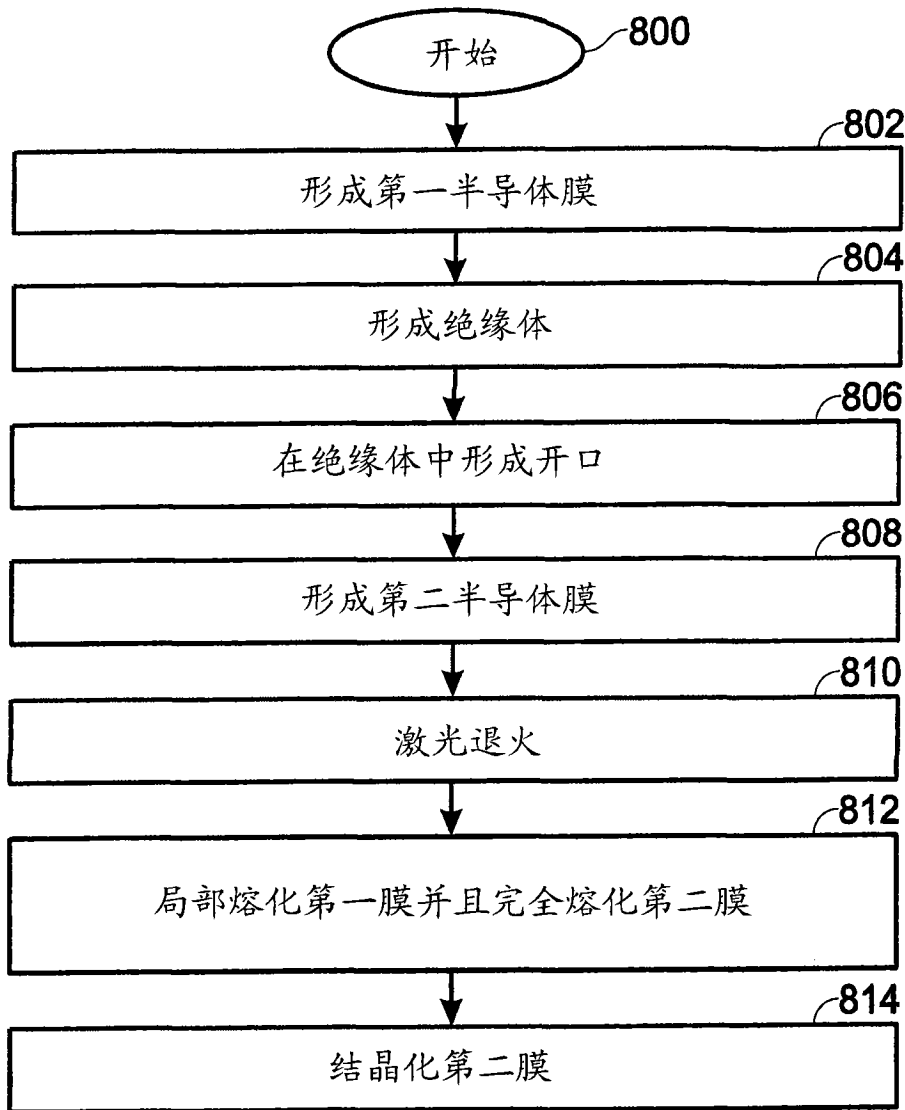


图 8

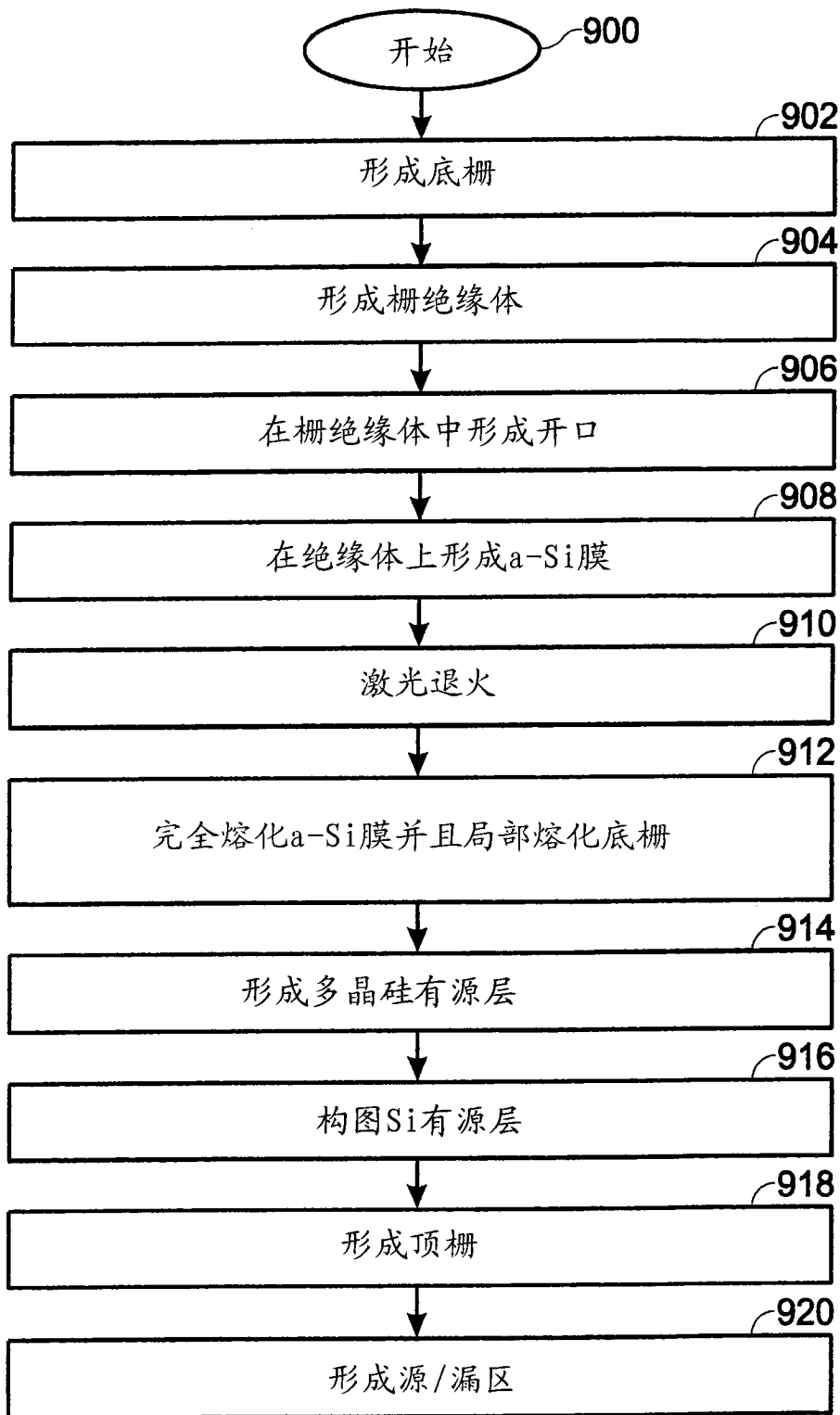


图 9