(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G06F 11/08

(45) 공고일자 2002년12월28일
(11) 등록번호 10-0349094
(24) 등록일자 2002년08월05일

(21) 출원번호 10-1995-0024768
(22) 출원일자 1995년08월11일

(65) 공개번호 특1996-0008534
(43) 공개일자 1996년03월22일

(30) 우선권주장 94112661.7 1994년08월12일 EP(EP)

(73) 특허권자 지멘스 악티엔게젤샤프트
독일 뮌헨 80333 비텔스파허프라쯔 2

(72) 발명자 사비냑,도미니끄
독일연방공화국85737이스마닝반호프슈트라쎄2
좀머,디터
독일연방공화국80469뮌헨베스터뮐슈트라쎄23
킬,올리버
독일연방공화국80804뮌헨레오폴트슈트라쎄138

(74) 대리인 남상선

심사관 : 박성호

(54) 집적반도체메모리용용장도회로

요약

본 발명은 메모리의 메모리셀의 임의의 그룹의 어드레스($A_{0...10}$; $A'_{0...10}$)가 제 1 부분 어드레스($A_{8...10}$; $A'_{8...10}$) 및 제 2 부분 어드레스($A_{0...7}$; $A'_{0...7}$)로 형성되는 방식의, 정상의 메모리셀 및 용장성 메모리셀을 가진 집적반도체 메모리용 용장도 회로에 관한 것이다. 용장도 회로는 M(M≥1)개의 프로그램가능한 어드레스회로(FSO...FS7)를 포함하며, 상기 프로그램가능한 어드레스회로는 제 1 부분어드레스($A_{8...10}$; $A'_{8...10}$)중 하나에 할당된다. 정상의 메모리셀의 대체될 그룹의 제 2 부분 어드레스($R_{0...7}$; $A'_{8...10}$)가 대응하는 어드레스회로(FS0...FS7)에서 코딩된다. 어드레스($A_{0...10}$)의 인가시, 인가되는 제 1 부분 어드레스($A_{8...10}$)에 관련되는 어드레스회로는 상기 어드레스회로가 코딩되면 인에이블신호(RDA)를 송출한다. 인에이블신호(RDA)의 인가시 모든 어드레스회로에 공통인 어드레스 비교기(AV1; AV2)는 인가된 제 2 부분 어드레스($A_{0...7}$)를 상기 어드레스회로에 저장된 제 2 부분 어드레스($R_{0...7}$)와 비교하고, 일치시 대응하는 용장도 디코더(RRDEC', RCDO)가 트리거된다.

대표도
도 1

명세서

도면의 간단한 설명

제 1도는 선행기술에 따른 열 용장도의 어드레스회로 및 그것의 트리거를 위한 회로의 블록회로도.

제 2도는 본 발명에 따른 행 용장도회로의 블록회로도.

제 3도는 본 발명에 따른 열 용장도회로의 블록회로도.

제 4도는 본 발명에 따른 어드레스회로의 실시예.

제5a-f도는 본 발명에 따른 행 용장도의 어드레스 비교기의 2가지 실시예.

제 6도는 본 발명에 따른 열 용장도의 어드레스 비교기의 실시예.

제 7도는 제 2, 4 및 5도에 따른 회로의 신호의 시간다이어그램.

제 8도는 제 3, 4및 6도에 따른 회로의 신호의 시간다이어그램.

도면의 주요부분에 대한 부호의 설명

AV1, AV2; 어드레스 비교기 $C_0 ... C_8$; 코딩버스

$F_0 ... _7$; 안전소자 FS0...FS7; 어드레스 회로

K_2, PRCH, RST; 제어신호 I_3, I'_3; 홀딩단

I_{10} ...I_{17} ; 인버터 PRDEC, RCD_0; 용장도 디코더

RBW: 활성화단 RSP, RNO; 인에이블 신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 예컨대 IEEE Journal of Solid State Circuit, 제 26권, 1호, 1991, 1월, 12페이지 이하 또는 유럽 특허 공개 제 0 472 209호에 공지된 바와 같은, 집적 반도체메모리용의, 특히 DRAM에서 워드라인 또는 비트라인의 복구를 위한 용장도회로에 관한 것이다.

새로운 메모리세대에서 모듈크기의 축소는 셀필드에서의 결함확률을 증가시킨다. 따라서, 생산성을 위해 상기 결함을 복구할 수 있는 장치가 메모리에 필요하다. 일반적으로 프로그램가능한 코딩소자를 이용해서 결함이 있는 셀 대신에 사용될 수 있는 용장성 셀이 제공된다.

대용량의 메모리에서 메모리셀은 다수의 블록으로 세분된다. 메모리 셀의 매트릭스형 배치로 인해, 용장성 셀도 마찬가지로 행 및 열로 배치된다. 상기 용장성 라인은 일반적으로 셀필드의 가장자리에 형성된다. 용장성 라인은 인가된 어드레스와 관련해서 프로그램가능한 어드레스회로에 의해 선택된다.

상기 프로그램가능한 어드레스회로는 예컨대 레이저 분리가능한 퓨즈블록일 수 있다. 통상적으로 각각의 퓨즈블록은 하나 또는 다수의 라인에 할당된다. 일반적으로 독립 메모리블록의 수만큼의 퓨즈블록 및 어드레스 비교기가 사용된다.

제 1도는 열 용장도에서 열 어드레스의 코딩을 위한 선행기술에 따른 통상의 회로를 나타낸다. 예로서, 여기서는 메모리셀이 블록어드레스(A'_8), (A'_9), (A'_{10})에 의해 호출될 수 있는 8개의 메모리블록으로 세분된다. 내부블록 어드레스($A'_{0...7}$), 즉 하나의 메모리블록 내부의 열의 어드레스가 여기서는 8비트이다. 어드레스회로에서 코딩소자로서 여기서는 레이저 분리가능한 퓨즈블록이 사용된다. 퓨즈블록 당 내부블록 어드레스 비트의 2배의 분리가능한 접속소자(F_0),...(F_{15})가 필요하다.

이 실시예에서는 메모리블록당 2개의 용장성 열이 제공되고, 어드레스회로의 2그룹(E_0), (E_1)에 의해 코딩된다. 여기에는 단 하나의 유니트(E_0)만이 상세하게 도시되어있다. 이러한 유니트는 8개의 동일한 어드레스회로($CF_{0,0}$)...($CF_{7,0}$) {(E1)에서는 ($CF_{0,1}$)...($CF_{7,1}$)}, 및 8개의 입력($RDN_{0...7}$) 및 하나의 출력(RDO) {(E1)에서는 (RD_1)}을 가진 NAND게이트(NGN)로 이루어진다. 각각의 유니트(E_0), (E_1)에서 어드레스회로($CF_{0,0...7,0}$)는 8개의 메모리블록중 하나에 할당된다. 2개의 출력신호(RD_0) 및 (RD_1)는 출력(CSR_0) 또는 (CSR_1) 및 NOR게이트(NOR)를 가진 용장성 드라이버(RCD_0) 또는 (RCD_1)에 공급된다. 상기 게이트(NOR)의 출력은 드라이버(CFRD)에 접속되고, 상기 드라이버의 출력은 (CFR)로 표시되어있다. 상기 신호(CFR)는 정상의 열 디코더에 공급되어, 용장성 드라이버(RCD_0 또는 RCD_1)가 활성화되면, 정상의 메모리셀의 열 디코더를 차단시킨다. 3개의 드라이버(RCD_0), (RCD_1) 및 (CFRD)가 인에이블신호(FR)에 접속된다. 상기 인에이블신호(FR)는 논리" 0" 의 상태에서 정상의 선택라인 및 용장성 선택라인을 낮은 전위 논리" 0" 으로 유지시킨다. 인에이블신호(FR)는 통상적으로 칩상에서 동기화 목적을 위해 사용된다.

메모리는 메모리블록 당 메모리셀의 $2^8=256$ 열을 가진 $2^3=8$ 메모리 블록으로 조직된다. 따라서, 각각의 회로(CF_{ij})는 블록코딩을 위한 3개의 입력, 및 NAND 게이트(NGN)의 입력에 접속된 출력(RTN_i)을 갖는다.

상기 회로(CF_{ij})는 8개의 입력을 가진 NAND게이트(NGN), 후속접속된 인버터(P1), (N1), 직렬접속된 퓨즈소자를 가진 2·8 n채널 트랜지스터, 및 출력인버터(IV)로 이루어진다. 상기 퓨즈소자는 인버터(P1), (N1)의 출력(A)에 병렬로 접속된다. 블록선택은 입력NAND게이트(NGN)를 통해 이루어진다. 예컨대 3개의 블록 어드레스라인 ($A'_{8,9,10}$) 및 그것의 상보 라인($\overline{A}_{8,9,10}$)으로 된 3개 라인의 모든 가능한 조합체중 하나가 상기 입력NAND게이트(NGN)에 공급된다. 회로(CF_{ij})는 상기 NAND게이트의 모든 입력이 논리" 1" 일때 활성화된다. 그러면, 그것의 출력은 논리" 0" 이고, 그에따라 인버터(P1), (N1)의 출력(K)은 논리" 1" 이다. 모든 다른 회로(CF)에서 적어도 하나의 입력(A'm) 또는 ($\overline{A}$'m)은 논리" 0" 이다. 그에따라 인버터 입력(K)은 논리" 0" 이고, 라인(RDN_n)은 논리" 1" 이다.

Y'=2N'선택라인이 존재하면, 일반적인 제한없이, 열 어드레스의 코딩을 위해 2·N' 열 어드레스라인, 예컨대 (A'0...N'-1) 또는 ($\overline{A}$'0...N'-1')이 필요한데, 그이유는 n채널 트랜지스터 및 레이저 분리가능한 퓨즈소자로된 직렬회로가 논리" 1" 을 가진 입력신호에서만 작용하기 때문이다.

활성화된 회로($CF_{i,j}$)에서, 대응하는 열 어드레스라인이 논리" 1" 의 상태를 갖는 적어도 하나의 퓨즈소자가 분리되지 않으면, 노드(K)가 상기 접속된 n채널 트랜지스터를 통해, 출력인버터(IV)가 논리" 1" 에 접속될 정도로 낮은 전위로 유지된다. 이 경우 모든 라인($RDN_{0...7}$)은 논리" 1" 의 상태를 갖고, (NGN)의 출력라인(RDJ)은 논리" 0" 의 상태를 갖는다. 관련 용장성 선택라인(CSR_j)은 신호(FR)와 무관하게 활성화되지 않는다. 즉, 논리" 0" 이다. 두 라인 (RD_0) 및 (RD_1)에서 이것이 이루어지면, 게이트(NOR)의 출력은 논리" 1" 이다. 인에이블신호(FR)가 활성화되면, 신호(CFR)는 마찬가지로 논리" 1" 의 상태를 취하고, 정상의 열 디코더를 접속시킨다. 이 경우에는 정상의 비트라인그룹이 선택된다.

이와는달리 활성 회로($CF_{i,0}$) 또는 ($CF_{i,1}$)에서, 대응하는 열 어드레스라인이 논리" 1" 인 모든 퓨즈소자가 분리되면, 노드(K)는 높은 전위로 되고 출력인버터(IV)는 논리" 0" 의 상태를 유지한다. 그에따라 라인(RD_1) 또는 (RD_2)은 논리" 1" 의 상태를 취한다. 게이트(NOR)의 출력은 논리" 0" 이다. 이것은 마찬가지로 인에이블신호(FR)와 무관하게 신호(CFR)에 적용되므로, 정상의 열 디코더가 차단된다. 한편으로는, 용장성 선택라인(CSR_0) 또는 (CSR_1)이 활성화되고, 활성 메모리블록(BK_i)에서 대응하는 용장성 비트라인 그룹이 선택된다.

전술한 해결책의 단점은 프로그램되지않은 열 어드레스의 인가시, 즉 Y'의 Y' - 1경우에 전체 활성 사이클에서 전류의 횡축성분이 보다 낮은 전위를 따라 선택된 회로($CF_{i,j}$)의 트랜지스터를 통해 흐른다는 것이다. 이러한 전류의 횡축성분은 각각의 메모리블록그룹(E_1, E_2)에서 2배로 발생하고, 다수의 상기 그룹을 가진 구체적인 해결책에서는 허용될 수 없는 높은 값을 취한다. 또다른 단점은 마찬가지로 구체적인 경우에 너무 많은 수의 라인($RDN_{1...N}$)및 그로인한 많은 출력게이트(NGN)이다.

또한, 어드레스회로당 내부블록 어드레스의 비트수 보다 2배많은 분리가능한 접속소자가 필요하다. 용장성 어드레스 디코더의 실시예는 2가지 단점을 갖는다: 첫번째는 장소가 많이 필요하기 때문에 기판당 칩의 수가 줄어들 수 있는 것이다. 이러한 방식의 메모리세대에서는 트리거회로의 면적을 포함해서 퓨즈블록에 필요한 면적이 용장성 메모리셀이 필요로 하는 면적과 대략 동일하다. 두번째로는 이러한 방식의 회로는, 특히 열 용장도의 트리거가 전체 활성 사이클에서 작동준비되는 열 용장도에서, 높은 전류소비를 일으킨다. 이로인해, 출력라인이 많은 부하를 받는다.

간행물 유럽공개공보 제 0 492 099호에는 퓨즈블록에서 대체될 열 또는 행의 내부블록 어드레스가 프로그램되는 용장도 회로가 개시되어있다. 여기서는 비트수 만큼의 분리가능한 접속소자만이 필요하다. 상기 어드레스는 메모리의 접속단계동안 국부 버스를 통해 관련된 용장도 디코더에 기입된다. 용장도 디코더에서는 대체될 열 또는 행의 어드레스가 플립플롭회로에 의해 저장된다. 인가된 어드레스와 대체될 열-행의 어드레스 사이의 비교는 각각의 용장도 디코더에서 별도로 수행된다. 따라서, 분리가능한 접속소자의 수가 절감되기는 하지만, 전류소비가 높다.

본 발명의 목적은 용장성 어드레스회로의 표면이 최소로 필요로 하고, 전류의 소비가 줄어들며, 어드레스라인의 부하가 줄어들도록, 열 또는 행 용장도를 구현하는 것이다.

본 발명을 8개의 도면을 참고로 상세히 설명하면 하기와 같다.

제 2도는 행 용장도를 갖는 용장도 회로의 본 발명에 따른 실시예를 나타낸 블록 회로도이다.

제 3도에는 열 용장도를 갖는 실시예의 블록 회로도가 도시되어있다.

하기 실시예에서는 회로가 예컨대 접지 또는 공급전압일 수 있는 제 1 (VSS) 및 제 2 (VDD)기준 전위에 접속된다.

대체될 열 또는 행의 어드레스(R_{0-7}), ($\overline{R}_{0-7}$)는 제 2도에 따른 회로에서

예컨대 국부 코딩버스(C_{0-7}), 및 독립 메모리 블록(BKO)의 수(a)에 상응하는 수의 어드레스회로(FS_0) 내지 (FS_7)에 의해 프로그램된다. 제 4도에는 어드레스회로(FS_0)가 상세히 도시되어있다. 예로서, 여기서는 a=8 메모리블록(BK0) 내지 (BK7)이 선택된다. 내부블록 어드레스, 즉 하나의 메모리(BK)의 내부에 있는 행 또는 열의 어드레스가 여기서는 8비트이다. 내부블록 어드레스는 분리가능한 접속소자(F_0) 내지 (F_7)에 의해 코딩된다. 상기 접속소자는 여기서 제 1 FET($TN_{0...7}$)와 코딩버스의 제 1 노드점 사이에 접속된다. 대응하는 메모리 블록(BK)에서 용장도가 사용되면, 부가의 안전소자(F_8)가 분리된다. 상기 부가의 안전소자(F_8)에 의해, 어드레싱에 대한 통상의 60개의 안전소자 대신에 단지 8개의 안전소자(F_0) 내지 (F_7)만이 필요하게된다.

일반적으로 메모리는 a 메모리블록을 갖는다. 여기서 $A=2^M$ 이다. 각각의 메모리블록($BK_{0...7}$)를 Y'열 및 Y행을 가지며, 여기서 $Y=2^N$ 및 $Y'=2^{N'}$ 이다. 이 경우에는 행-내부블록 어드레스에 대해 N(N=내부블록 어드레스의 비트수)안전소자가 필요하다. 메모리 블록 자체가 2·M 어드레스 라인을 통해 어드레스될 수 있다. 이하, 행 어드레스는 (A)로, 그리고 열 어드레스는 (A')로 표시한다. 이것에 대한 상보 행 또는 열 어드레스는 ($\overline{A}$) 또는 (A')로 표시한다.

제 2도에 도시된 회로는 용장성 라인 당 하나의 회로가 필요한 제 1도에 도시된 회로와는 달리, 각각의 메모리 블록(BK)에서 용장성 라인당 하나가 필요하다. 즉, 이 경우에는 8개의 회로가 필요하다. 각각의 메모리 블록(BK)에 2개의 용장성 라인이 제공되면, 2개의 회로가 사용된다.

분리가능한 접속소자(F_8)(제 4도 참고)가 차단되지않으면, 준비신호(RSL)가 제 1 기준전위(VSS)(접지)를 갖는다. 제 4도에서 어드레스회로(FS_0)의 2개의 캐패시터(C_S) 및 (C_D)는 분리가능한 접속소자(F_8)가 분리되면, 제 2 기준전위(VDD)에 준비신호를 확실하게 세팅시키기 위해 사용된다.

제 2도에 도시된 어드레스 비교기(AV1)에서, 인가된 내부블록 어드레스(A_{0-7})가 대체될 어드레스(R_{0-7})와 비교된다. 제 5a도에는 어드레스 비교기(AV1)의 회로 실시예가 도시된다.

각각의 용장도 회로에서 어드레스 비교가 이루어지는 제 1도에 도시된 회로와는 달리, 본 발명에 따라 개별 어드레스 비교기(AV1)에 의해 비교가 이루어진다. 그러나, 어드레스 비교는 어드레싱된 블록에서 그것의 관련어드레스회로(FS_0) 내지 (FS_7)가 프로그램됨으로써, 활성화신호(RDA)가 예컨대 낮은 레벨을 취할때만, 즉 인가된 어드레스가 프로그램된 어드레스회로(퓨즈 박스라고도함)(FS_0) 내지 (FS_7)를 갖는 메모리블록에 관련될때만, 이루어진다. 이로인해 내부블록 어드레스 라인(A_{0-7}), ($\overline{A_{0-7}}$)이 보다 적은 부하를 받으며, 전체 메모리회로의 전류소비가 줄어든다.

제 5a도의 어드레스 비교기(AV1)는 활성화단(RBW)에서 제 3 제어신호(RST)를, 제 5b도에 도시된 회로에 의해 활성화신호(RDA)로 부터 발생될 수 있는 펄스신호의 형태로 사용한다. 제 5d도에는 펄스신호(RST)대신에 지연된 제 4 제어신호(RDADN)를 사용하는 활성화단(RBW)의 회로 변형예가 도시되어있다. 이러한 회로는 제 5a도에 도시된 회로 보다 약간 더 신속하다. 이러한 펄스신호(RST) 또는 지연된 신호(RDADN)에 의해 전류소비가 더욱 줄어든다.

제 5a도의 어드레스 비교기(AV1)는 활성화단(RBW)에서 제 3 제어신호(RST)를, 제 5b도에 도시된 회로에 의해 활성화신호로 부터 발생될 수 있는 펄스신호의 형태로 사용한다. 제 5a도의 활성화단(RBW)은 제 6 및 제 7 FET(T6), (T7)의 직렬회로로 이루어지며, 여기서 (T6)은 p채널 FET이고 (T7)은 n채널 FET이다. 신호(RDA) 및 (RST)는 제 7 FET(T7) 및 제 6 FET(T6)의 제어입력에 접속된다.

제 3 제어신호(RST)는 제 5b도에 도시된 회로(RSTG)로 부터 발생될 수 있다. 회로(RSTG)는 4개의 연속하는 인버터단(I_{R1}) 내지 (I_{R4})의 직렬회로를 포함한다. 직렬회로의 입력에 활성화신호(RDA)가 공급되고, 직렬회로의 출력(K_8)은 NAND게이트(NAND1)에 접속된다. 제 1 및 제 2 인버터단(I_{R1}), (I_{R2}) 사이의 노드점(K_7)은 NAND게이트(NAND1)에 접속된다. 커패시터(C)는 제 1기준전위(접지)와, 제 2 및 제 3 인버터단 사이의 노드점 사이에 접속된다. 제 3 제어신호(RST)는 NAND게이트(NAND1)의 출력신호이다. 제 5c도는 회로(RSTG)의 시간 다이어그램이다. 활성화신호(RDA)가 논리" 0" 으로 되면, 제 3 제어신호(RST)가 시간간격(T)동안 논리" 0" 에 놓이는 펄스이고, 그렇지 않으면 제 3제어신호(RST)의 레벨은 논리" 1" 의 레벨을 갖는다.

제 5d도에는 제 3 제어신호(RST) 대신에 제 4 제어신호(RDADN)를 사용하는 활성화단(RBW)의 변형예가 도시되어 있다. (RST)와 같은 펄스 대신에, (RDADN)은 (RDA)가 논리" 0" 으로 떨어진 후 시간간격(T')후에 레벨 논리" 1" 을 트리거시키는 신호이다. 제 5d도의 활성화단(RBW)은 제 9 , 제 10 및 제 11 FET(T_9) 내지 (T_{11})의 직렬회로를 포함한다. 여기서 (T_9)는 n채널형이고, (T_{10}) 및 (T_{11})은 p채널형이다. 활성화신호(RDA)는 제 9 및 제 11 FET(T_9), (T_{11})의 제어입력에 접속되며, 제 4 제어신호(RDADN)는 제 10 FET(T_{10})의 제어입력에 접속된다.

제 3 제어신호는 예컨대 제 5c도에 도시된 회로(RDADNG)에 의해 발생될 수 있다. 상기 회로는 3개의 연속하는 인버터단(I'_{R1}) 내지(I'_{R3})의 직렬회로를 포함한다. 활성화신호(RDA)는 직렬회로의 입력에 공급되고, 직렬회로의 출력에는 제 4 제어신호(RDADN)가 생긴다. 커패시터(C')는 제 1 공급전위(접지)와, 제 1 및 제 2 인버터단(I'_{R1}), (I'_{R2}) 사이의 노드점 사이에 접속된다. 제 5f도는 회로(RDADNG)의 시간다이어그램을 나타낸다.

제 2도에 도시된 바와같이, 어드레스 비교기(AV1)의 출력신호(RSP)는 용장도의 사용시 용장성 행 디코더(PRDEC)를 트리거시키고 동시에 각각의 메모리블록(BK0) 내지 (BK1)에서 정상의 행 디코더(RDEC)를 차단시킨다. 따라서, 메모리블록(BK_k)의 세팅될 행(W_{ik})대신에 용장성 행(W_{Rk})이 어드레스된다.

제 3도는 열 용장도을 가진 용장도 회로의 본 발명에 따른 실시예의 블록회로도이다. 파선으로 표시된 부분 IV및 VI은 제 4도 및 6도에서 상세히 도시된다.

어드레스 비교기(AV2)의 기능은 제 2도 및 5a도에 도시된 어드레스 비교기(AV1)에서와 동일하다. 행 용장도와 비교해서, 여기서는 제 4 제어신호(ATDN)에 대한 액세스가 이루어진다. 하기에 상세히 설명되는 바와같이, 제 4 제어신호(ATDN)는 전류의 횡축 성분이 어드레스 비교기(AV2)에 의해 피해지게하는 기능을 한다. 제 3도에서는, 각각의 블록에서 선택라인(CSRO) 및 (CSR1)을 가진 2개의 용장성 열 디코더(RCD_0) 및 (RCD_1)가 사용되면, 2열의 어드레스회로(FS0)-(FS7) 및 2개의 어드레스 비교기(AV2)가 어떻게 서로 접속되는지를 부가로 나타낸다. 용장성 열 디코더(RCD_0) 및 (RCD_1)는 메모리블록(BK_{0-7}) 당 각각 하나의 용장성 비트스위치(RBS)를 트리거시킨다. 신호(CFR)에 의해 용장성 열의 선택시 정상의 열 디코더(CDEC)가 차단되므로, 이 경우에는 정상의 비트스위치(BS)가 트리거되지 않는다.

제 5a도 및 6도에 도시된 어드레스 비교기(AV2)에서 용장도 인에이블신호(CSR0)는 모든 노드점(RK'_0) 내지 (RK'_7)이 논리" 0" 이고 제 3 노드점(K'3)이 논리" 1" 일때만 활성화된다. 상기 노드점(RK'_0) 내지 (RK'_7)중 적어도 하나가 논리" 1" 이면, (K'_3)가 접속된 n채널 트랜지스터(N'_0) 내지 (N'_7)를 통해, 후속 접속된 인버터(I_3')가 출력레벨 논리" 1" 을 가질 정도로 낮은 전위로 유지된다.

제 2도, 4도 및 5a도에 따른 회로의 기능은 제 7도의 시간 다이어그램을 참고로 설명되며, 여기에는 이것에 필요한 메모리 신호만에 도시되어있다. 제 7a도는 행 용장도를 사용한 사이클을 나타내는 한편, 제 7b도는 용장도를 사용하지않은 정상의 경우를 나타낸다.

휴지상태($\overline{RAS}$ = 논리"1")에서는 어드레스(A_{0-7}), ($\overline{A_{0-7}}$) 및 제 2 제어신호 또는 부하신호(PRCH)가 논리" 0" 의 상태이다. 이 상태에서는 모든 n채널 제 3 FET(N_{0-7})가 차단되고 p채널 제 2 FET(TP_{0-8})가 도통된다. 그에따라 노드(K1)는 논리" 1" 이고, 제 1 제어신호를 제 1 트랜지스터($TN_{0...7}$) 및 (TN_R)에 공급하는 노드(K_2)는 논리" 0" 이다. 제 1 어드레스출력(R_{0-7}) 및 국부 코딩 버스(C_0) 내지 (C_8)의 제 1 출력(RDA)은 모두 논리" 1" 인 한편 제 1 어드레스 출력에 대한 상보 출력($\overline{R_{0-7}}$)은 논리" 0" 이다. 이로인해, 제 3 노드점(K_3)이 논리" 0" 이고 인에이블 신호(RSP)가 논리" 0" 이다.

기록 또는 판독 사이클은 신호($\overline{RAS}$)의 하강에지에 의해 개시된다. 제 2 제어신호(PRCH)는 신호($\overline{RAS}$)의 하강에지에 따라 논리" 1" 이다. 노드(K_1)의 논리" 1" 상태는 접속된 인버터(I_1)의 피드백에 의해 유지된다. 잠시후 출력라인(A_{0-10}) 및($\overline{A_{0-10}}$)의 조합체가 논리" 1" 로 활성된다. 여기서, (A_{0-7}) 및 ($\overline{A_{0-7}}$)은 내부 블록 어드레스이고, (A_{8-10}) 및 ($\overline{A_{8-10}}$) 는 블록어드레스이다. 예컨대,

($\overline{A_8}$), ($\overline{A_9}$) 및 ($\overline{A_{10}}$) 이 모두 논리" 1" 이면, 메모리블록(BK0)이 어드레스된다. 따라서, 어드레스 회로(FS0)의 3개의 n채널 트랜지스터(TN_8) 내지 (TN_{10})가 도통된다. (A_i)=논리" 1" 이면, 제 4 노드점(RK_i)은 논리" 1" 로 되고, 그렇지않으면 (RK_j)는 논리" 0" 이다.

상기 어드레스회로(FSO)가 코딩되면, 부가 안전소자(F_8)가 분리된다. 이로인해, (RSL)이 논리" 1" 로 된다. 따라서, 노드(K_1)는 논리" 0" 이고, 노드(K_2)는 논리" 1" 이다. 어드레스회로의 제 4도에 도시된 실시예는 분리된 안전소자(F_j), (j=0-7)가 논리" 1" 이고, 완전한 안전소자(F_i)가 논리" 0" 이도록 접속된다. 코딩버스(C_0) 내지 (C_7)에 의해 대체될 행의 어드레스(A_{0-7}) 및 ($\overline{A_{0-7}}$)가 발생된다. 동시에 어드레스회로의 제 1 출력(C_8)에 활성화신호(RDA) 논리" 0" 이 발생된다. (R_i) 및 (A_i) 또는 ($\overline{R_j}$) 및 ($\overline{A_j}$) (i=0...7)가 모두 동일하면, 모든 (RK_i)가 논리" 0" 이다. 따라서, 모든 제 3 FET(n-채널)(N_0) 내지 (N_7)가 차단된다.

신호(RDA)의 하강에지에 의해 시간간격(T)동안 논리" 0" 이 되는 펄스(RST)가 발생된다. 모든 제 3 n채널 트랜지스터(N_{0-7})가 차단되기 때문에, 제 3 노드점(K_3)이 논리" 1" 로 상승한다. 여기서, 피드백되는 인버터(I_3)의 형태인 홀딩단(I_3)에 의해, 펄스(RST)가 논리" 1" 로 되돌아 간 후에도 (K_3)은 논리" 1" 로 유지된다. 이로인해, 인에이블신호(RSP)가 용장성 디코터의 트리거를 위해 논리" 1" 로 된다.

정상의 경우에, 즉 어드레스(A_{0-7}) 및 (R_{0-7})가 일치하면, 적어도 하나의 (A_n)≠(Rn)이다. 이로인해 적어도 하나의 제 4 노드점(RK_n)이 논리" 1" 로 유지된다. 펄스신호(RST)가 논리" 0" 이 되면, 제 3 노드점(K3)의 전위가 상승하기는 하지만, 도통되는 n채널 트랜지스터(N_n)에 의해 전위가 충분히 상승하지않기 때문에 피드백되는 인버터(I_3)가 전환스위칭된다. 따라서, 펄스(RST)에 따라 (K_3)이 논리" 0" 으로 유지되고, 인에이블신호(RSP)가 논리" 0" 으로 유지된다.

제 3도, 4도 및 6도에 도시된 열 용장도에 대한 용장도회로의 기능은 제 8도의 시간 다이어그램을 참고로 설명된다. 여기서는 제 3도에 도시된 시간 다이어그램과의 차이점만이 설명된다. 제 4도와 비교해서, 여기서는 제 3 제어신호(RST)가 제 4 제어신호(ATDN)로 대체된다. 제 4 제어신호(ATDN)는 (RDADN)과 마찬가지로, 활성화신호(RDA)로 부터 제 5도에 따른 회로에 의해 발생될 수 있다. 또한, 메모리의 그밖의 부분회로에 이미 존재하는 데이타 인에이블 신호(FR)도 이용될 수 있다. (CSRO)는 용장성 열 디코더(RBS)용 인에이블신호이며, (CFR)을 논리" 1" 의 상태에서 정상의 열 디코더(CDEC)를 차단시키는 신호이다. (CFR)은 NAND 게이트에 의해 신호(RN0), (RN1)로 부터 발생된다. 제 8a도는 -제 7a,b도에서와 같이- 용장도에서의 시간 다이어그램을 나타내고 제 8b도는 " 정상의 경우" 를 나타낸다.

휴지상태($\overline{RAS}$ = 논리" 1")에서 어드레스(A'_{0-7}) 및 ($\overline{A'_{0-7}}$) 및 제 2 제어신호(PRCH)가 논리" 0" 의 상태이다. 이 상태에서 모든 n채널 제 1 FET(N_{0-7})가 차단되고, p채널 제 2 FET(TP_{0-8})가 도통된다. 그에따라 노드(K_1)는 논리" 1" 이고, 제 1 제어신호를 제 1 트랜지스터($TN_{0...7}$) 및 (TN_R)에 공급하는 노드(K_2)는 논리" 0" 이다. 제 1 어드레스출력($R_{0...7}$) 및 국부 코딩버스(C_0) 내지 (C_8)의 제 1 출력(RDA)은 논리" 1" 인 한편, 제 1 어드레스출력에 대한 상보어드레스출력($\overline{R_{0...7}}$)은 논리" 0" 이다. 이로인해, 제 3 노드점(K'_3)은 논리" 1" 이고, 인에이블신호(RNO)는 논리" 1" 이다. 따라서, 용장성 비트디코더(RCD_0)가 차단된다. 이로 인해, 제어신호(CSRO)는 논리" 0" 으로 유지되고, 따라서 용장성 비트회로(RBS)는 차단된다. 정상의 열 디코더(CDEC)도 CFR=논리" 0" 에 의해 차단된다.

기록 또는 판독 사이클은 신호($\overline{RAS}$) 의 하강에지에 의해 개시된다. 제 2 제어신호(PRCH)는 신호($\overline{RAS}$) 의 하강에지에 따라 논리" 1" 로 된다. 노드(K_1)의 논리" 1" 상태는 피드백되는 인버터(I_1)에 의해 유지된다.

잠시후에 출력라인($A'_{0...10}$) 및 ($\overline{A'_{0...10}}$) 의 일정한 조합체가 논리" 1" 로 활성된다. 여기서, (A'_{0-7}) 및 ($\overline{A'_{0...7}}$) 은 내부블록 어드레스이고, (A'_{8-0}) 및 ($\overline{A'_{8...10}}$) 는 블록 어드레스이다. (A'_i)이 논리" 1" 이면 제 4 노드점(RK'_i)이 논리" 1" 로 되고, 그렇지않으면 제 4 노드점(RK'_j)=논리" 0" 이다.

상기 어드레스회로가 코딩되면, 부가안전소자(F_8)가 분리된다. 이로 인해, (RSL)이 논리" 1" 로 된다. 따라서, 노드점(K1)은 논리" 0" 이 되고 노드(K2)는 논리 " 1" 로 된다. 코딩버스(C_0) 내지 (C_8)에 의해 대체될 열의 어드레스($R_{0...7}$), ($\overline{R_{0...7}}$)가 발생된다. 동시에 (RDA)가 논리" 0" 으로 된다. 모든 (R_i) 및 (A'_i) 또는 (R_i)(i=0...7)이 동일하면, 모든 (RK'_i)가 논리" 0" 으로 된다. 따라서, 모든 n채널 트랜지스터(N'_0) 내지 (N'_7)가 차단된다.

신호(RDA)의 하강에지에 의해 시간간격(T')후에 논리" 1" 로 되는 제 4 제어신호(ATDN)가 발생된다. 모든 n채널 트랜지스터($N'_{0...7}$)가 차단되기 때문에, 노드(K'_3)가 상기 시간간격(T')동안 논리" 1" 로 상승한다. 인버터(I'_3)의 피드백회로에 의해 상기 시간간격(K'_3)동안, 제 4 제어신호(ATDN)가 논리" 0" 의 값으로 될때도 논리" 1" 의 레벨로 유지된다. 이로인해, 용장도 인에이블신호(RNO)가 논리" 0" 으로 된다. 인에이블신호(FR)가 논리" 1" 로 되면, 용장성 신호가 접속되고, 용장성 비트스위치(RBS)의 제어신호(RSRO)가 논리" 1" 로 된다. 동시에 (CFR)이 논리" 0" 으로 되고, 정상의 열 디코더(CDEC)가 차단된다.

정상의 경우에, 즉 어드레스($A'_{0...7}$) 및 ($R_{0...7}$)가 일치하지않는 경우, 적어도 하나의 (A'_i)가 (R_i)과 동일하지 않다. 이로인해, 적어도 하나의 노드(RK'_i)가 논리" 1" 로 유지된다. (RDA)가 논리" 0" 으로 되고, 제 4 제어신호(ATDN)가 논리" 1" 로 되면, 노드(K'_3)의 전위가 상승하기는 하지만, 도통하는 n채널 트랜지스터(N'_i)에 의해 전위가 충분히 상승되지않으므로 피드백되는 인버터(I'_3)가 전환스위칭된다. 따라서, (ATDN)에 따라 (K'_3)이 논리" 0" 으로 유지되고, (RNO)가 논리" 1" 로 유지된다. 용장성 비트디코더(RCD_0)는 차단된다. 인에이블신호(FR)가 논리" 1" 로 되면, (CFR)이 논리" 1" 로 상승하고, 정상의 열 디코더(CDEC)가 활성화된다.

실시예에서 하나의 행 또는 열이 본 발명에 따른 용장도 회로에 의해 대체될 수 있음에도 불구하고, 예컨대 2, 4 또는 8 행 또는 열의 부가의 그룹없이도 동시에 대체될 수 있다. 이 경우에는 어드레스 디코더(FS0) - (FS7)에 저장된 내부블록 어드레스가 1, 2 또는 3 비트 더 짧다. 따라서, 전술한 실시예는 실시예에서 단지 하나의 행 또는 하나의 열만이 어드레싱됨에도 불구하고 행 또는 열의 임의의 그룹이 내부블록 어드레스에 의해 어드레싱될 수 있는 것으로 이해되어야한다.

본 발명에 따른 용장도 회로는 분할과 같은 메모리 아키텍쳐와 무관하게 메모리 블록에 사용될 수 있다. 실시예에서와 같이 각각의 어드레스회로가 하나의 블록 어드레스에 할당되지않고, 일반적으로 각각의 어드레스 회로가 한 그룹의 메모리셀의 전체 어드레스의 제 1 부분어드레스에 할당될 수 있다. 제 2 부분어드레스, 즉 전체 어드레스의 나머지가 어드레스 회로에서 예컨대 레이저 퓨즈와 같은 분리가능한 접속소자에 의해 코딩된다. 예컨대 8개의 메모리 블록 및 4개의 어드레스 회로를 가진 하나의 메모리에서 어드레스회로의 선택을 위해 블록어드레스(A_8), (A_9), (A_{10})의 단지 2개의 어드레스 라인(A_8), (A_9)만이 사용되면, 각각의 어드레스 회로가 2개의 메모리 블록에 할당될 수 있다. 제 3 블록 어드레스 라인, 예컨대 (A_{10})은 어드레스 디코더(FS0) - (FS7)에서 부가로 사용될 수 있다. 이 경우, 어드레스 비교기(AV1), (AV2)는 부가의 어드레스 라인을 얻는다. 따라서, 단 하나의 활성어드레스회로, 예컨대(FS2)에 의해 메모리셀의 그룹이 선택적으로 2개의 상이한 메모리블록에서 대체될 수 있다. 반대로, 다수의 어드레스회로가 하나 또는 다수의 메모리블록에 공통으로 할당됨으로써, 블록없는 용장도의 방식이 만들어 질 수 있다. 어드레스의 인가시 항상 하나의 어드레스회로가 활성화된다. 따라서, 어드레스회로의 수(M)의 제 1 부분어드레스의 비트수(n1)는 $M \leq 2^{n1}$ 이도록 선택되어야한다.

(57) 청구의 범위

청구항 1.

메모리의 메모리셀의 임의의 그룹의 어드레스($A_{0...10}$; $A'_{0...10}$)가 제 1 부분 어드레스($A_{8...10}$; $A'_{8...10}$) 및 제 2 부분 어드레스($A_{0...7}$; $A'_{0...7}$)로 형성되는 방식의, 정상의 메모리셀 및 용장성 메모리셀을 가진 집적 반도체 메모리용 용장도 회로에 있어서,

- M(M≥1)개의 프로그램가능한 어드레스회로(FS0...FS7), 및

- 모든 어드레스회로(FS0...FS7)에 공통인 어드레스 비교기(AV1; AV2)를 포함하며,

- 상기 프로그램가능한 어드레스회로(FS0...FS7)는 제 1 부분어드레스($A_{8...10}$; $A'_{8...10}$)중 하나에 할당되고, 프로그램가능한 어드레스회로(FS0...FS7)는 활성화된 상태에서 정상의 메모리셀의 대체될 그룹의 제 2 부분 어드레스($R_{0...7}$) 및 제 1 출력(C_8)을 가지며, 어드레스회로(FS0...FS7)의 활성화된 상태에서, 회로에 인가된 제 1 부분 어드레스($A_{8...10}$; $A'_{8...10}$)가 어드레스회로(FS_i)에 관련된 제 1 부분 어드레스와 일치하면, 활성화신호(RDA)가 상기 제 1 출력(C_8)에 인가되고,

- 상기 어드레스 비교기(AV1; AV2)는 어드레스회로(FS0...FS7)의 활성화신호(RDA)의 인가시 상기 어드레스회로에 저장된 제 2 부분 어드레스($R_{0...7}$)를 인가된 제 2 부분 어드레스($A_{0...7}$; $A'_{0...7}$)와 비교하고, 상기 두 부분어드레스의 일치시 인에이블신호(RSP; RNO)가 어드레스 비교기(AV1; AV2)의 제 1 출력(20; 20')에 인가되고, 인에이블신호(RSP; RNO)는 용장도 디코더(RRDEC; RCD_0)의 트리거에 사용되는 집적 반도체 메모리용 용장도 회로.

청구항 2.

제 1항에 있어서, 각각의 어드레스회로(FS0...FS7)가 N+1 분리가능한 접속소자($F_{0...8}$)를 통해 프로그램가능하며, 상기 N은 제 2 부분 어드레스($A_{0...7}$; $A'_{0...7}$)의 비트수인 집적 반도체 메모리용 용장도 회로.

청구항 3.

제 1항 또는 2항에 있어서, 어드레스 비교기(AV1; AV2)가 국부코딩버스($C_0...C_8$)를 통해 모든 어드레스회로(FS0...FS7)에 접속되고, 상기 국부 코딩버스는 어드레스회로내에 저장된 제 2 부분 어드레스($R_{0...7}$,$\overline{R_{0...7}}$) 및 활성화신호(RDA)를 어드레스 비교기(AV1; AV2)로 전달하는 집적 반도체 메모리용 용장도 회로.

청구항 4.

제 2항에 있어서, 각각의 어드레스회로(FS0...FS7)가 분리가능한 안전소자($F_{0...7}$) 및 제 1 FET($TN_{0...7}$)의 N 직렬회로를 포함하며, 상기 직렬회로는 제 1 공급전위(VSS) 및 각각의 제 1 노드점($C_0...C_7$) 사이에 접속되고, 제 1 노드점($C_0...C_7$) 및 제 1 출력(C_8)은 국부 코딩버스를 형성하며, 어드레스회로의 서로 대응하는 안전소자($F_{0...7}$)는 동일한 노드점에 접속되고, 제 1 노드점($C_{0...7}$)은 제 2 FET($TP_{0...7}$)를 통해 제 2 공급전위(VDD), 및 제 1 인버터($I_{10}...I_{17}$)의 입력에 연결되며, 제 1 제어신호(K_2)가 제 1 FET($TN_{0...7}$)의 제어단자에 공급되고, 제 2 제어신호(PRCH)가 제 2 FET($TP_{0...7}$)에 공급되며, 제 1 노드점($C_0...C_7$)은 제 1 어드레스출력($R_{0...7}$)을 형성하고, 제 1 인버터($I_{10...17}$)의 출력은 제 1 어드레스출력에 대한 상보 어드레스출력($\overline{R_{0...7}}$)을 형성하는 집적 반도체 메모리용 용장도 회로.

청구항 5.

제 1항, 제 2 항 또는 4항중 어느 한 항에 있어서, 어드레스 비교기(AV1; AV2)는 N 제 3 FET($N_{0}...N_{7}$; $N'_{0}...N'_{7}$)를 포함하며, 상기 N은 제 2 부분 어드레스($A_{0...7}$; $A'_{0...7}$)의 비트수이고, 제 3 FET($N_{0...7}$', $N'_{0}...N'_{7}$)의 부하구간은 제 3 노드점(K_3; K'_3)과 제 1공급전위(VSS) 사이에 접속되며, 그것의 제어입력은 N 제 4 노드점($RK_{0...7}$; $RK'_{0...7}$)중 하나에 접속되고, 제 4 FET($N_{01}...N_{71}$; $N'_{01}...N'_{71}$) 및 제 5 FET($N_{02}...N_{72}$; $N'_{02}...N'_{72}$)가 제 4 노드점에 할당되며, 제 4 FET($N_{01}...N_{71}$; $N'_{01}...N'_{71}$)의 부하구간은 관련 제 4 노드점($RK_{0...7}$, $RK'_{0...7}$)과 인가된 어드레스($A_{0...7}$; $A'_{0...7}$)의 관련 어드레스 라인 사이에 접속되고, 대응하는 제 5 FET($N_{02}...N_{72}$; $N'_{02}...N'_{72}$)의 부하구간은 관련 제 4 노드점($RK_{0...7}$, $RK'_{0...7}$)과 관련 어드레스라인($A_{0...7}$; $A'_{0...7}$)에 대한 상보 어드레스 라인($\overline{A_{0...7}}$; $\overline{A'_{0...7}}$) 사이에 접속되고, 어드레스회로(FSO...FS7)내에 저장된 제 2 부분 어드레스의 어드레스라인($R_{0...7}$)에 제 4 FET($N_{01}...N_{71}$; $N'_{01}...N'_{71}$)의 제어입력에 공급되며, 어드레스회로에 저장된 제 2 부분어드레스의 어드레스 라인에 대한 상보 어드레스 라인($\overline{R_{0...7}}$) 이 제 5 FET($N_{02}...N_{72}$; $N'_{02}...N'_{72}$)의 제어입력에 공급되고, 어드레스 비교기(AV1; AV2)는 홀딩단(I_3; I'_3)을 포함하며, 그것의 입력단자는 제 3 노드점(K_3; K'_3)에 접속되고, 출력단자에서 제 1 인에이블신호(RSP; RNO)가 탭될 수 있으며, 어드레스 비교기(AV1; AV2)는 활성화단(RBW; RBW')를 포함하고 상기 활성화단의 출력신호는 제 3 노드점(K_3; K'_3)에 공급되는 집적 반도체 메모리용 용장도 회로.

청구항 6.

제 5항에 있어서, 활성화단(RBW)은 제 6 FET(T_6) 및 제 7 FET(T_7)의 직렬회로로 이루어지고, 직렬회로는 제 1 기준전위(VSS) 및 제 2 기준전위(VDD) 사이에 접속되며, 제 3 제어신호(RST)가 제 6 FET(T_6)의 제어입력에 공급되고, 어드레스회로(FS0...FS7)의 활성화신호(RDA)가 제 7 FET(T7)의 제어단자에 공급되며, 제 6 FET 및 제 7 FET의 부하구간 사이의 노드점(K)이 제 3 노드점(K_3)의 부분인 집적 반도체 메모리용 용장도 회로.

청구항 7.

제 6항에 있어서, 회로가 제 3 제어신호(RST)를 발생시키기 위한 회로(RTSG)를 포함하며, 상기 회로(RTSG)는 4개의 연속하는 인버터단($I_{R1}...I_{R4}$)의 직렬회로를 포함하고, 어드레스회로(FS0...FS7)의 활성화신호(RDA)가 직렬회로의 입력에 공급되며, 직렬회로의 출력(K_8)은 NAND 게이트($NAND_1$)의 제 1 입력에 접속되고, NAND 게이트의 제 2 입력은 제 1 인버터단(I_{R1}) 및 제 2 인버터단(I_{R2})사이의 노드점(K_7)에 접속되며, NAND 게이트의 출력에서 제 3 제어신호(RST)가 탭될 수 있고, 제 1 공급전위(VSS)와 노드점(K_9) 사이의 캐패시터(C)는 제 2 인버터단(I_{R2})과 제 3 인버터단(I_{R3}) 사이에 접속되는 집적 반도체 메모리용 용장도 회로.

청구항 8.

제 5항에 있어서, 활성화단(RBW; RBW')이 제 9 FET(T_9, T'_9), 및 제 10 및 제 11 FET(T_{10}, T_{11}; T'_{10}, T'_{11})의 직렬회로를 포함하며, 직렬회로는 제 2 공급전위(VDD) 및 제 3 노드점(K_3; K'_3) 사이에 접속되고, 제 9 FET(T_9; T'_9)의 부하구간은 제 3 노드점(K_3; K'_3)과 제 1 공급전위(VSS) 사이에 접속되며, 제 9 및 제 11 FET(T_9, T_{11}; T'_9, T_{11})는 서로 상보 도전형이고, 어드레스회로(FS0...FS7)의 활성화신호(RDA)가 제 9 및 제 11 FET(T_9, T_{11}; T'_9, T_{11})의 제어단자에 공급되며, 제 4 제어신호(RDADN; ATDN)가 제 10 FET(T_{10}; T'_{10})의 제어단자에 공급되는 집적 반도체 메모리용 용장도 회로.

청구항 9.

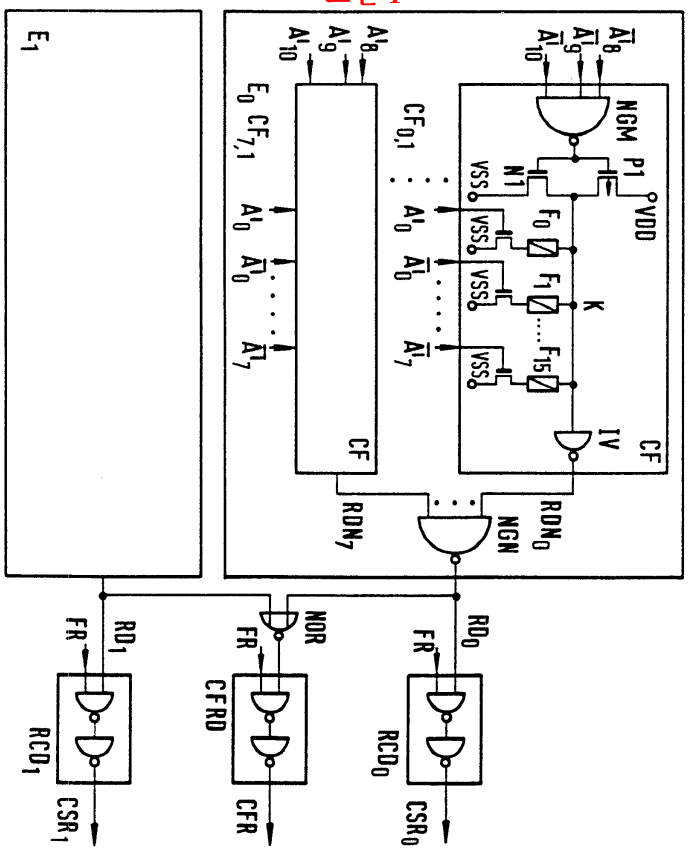
제 1항, 제 2항 또는 4항중 어느 한 항에 있어서, 메모리 셀이 M 메모리블록($BK_{0...7}$)에 배치되고, 메모리블록($BK_{0...7}$)은 블록 어드레스($A_{8...10}$; $A'_{8...10}$)에 의해 호출될 수 있으며, 메모리 블록내의 메모리셀은 내부블록에 의해 호출될 수 있고, 상기 $M \geq 1$이며, 제 1 부분 어드레스는 블록어드레스이고, 제 2 부분 어드레스는 내부블록 어드레스이며, 프로그램가능한 어드레스회로(FS0...FS7)는 M 메모리블록($BK_{0...7}$)에 할당되는 집적 반도체 메모리용 용장도 회로.

청구항 10.

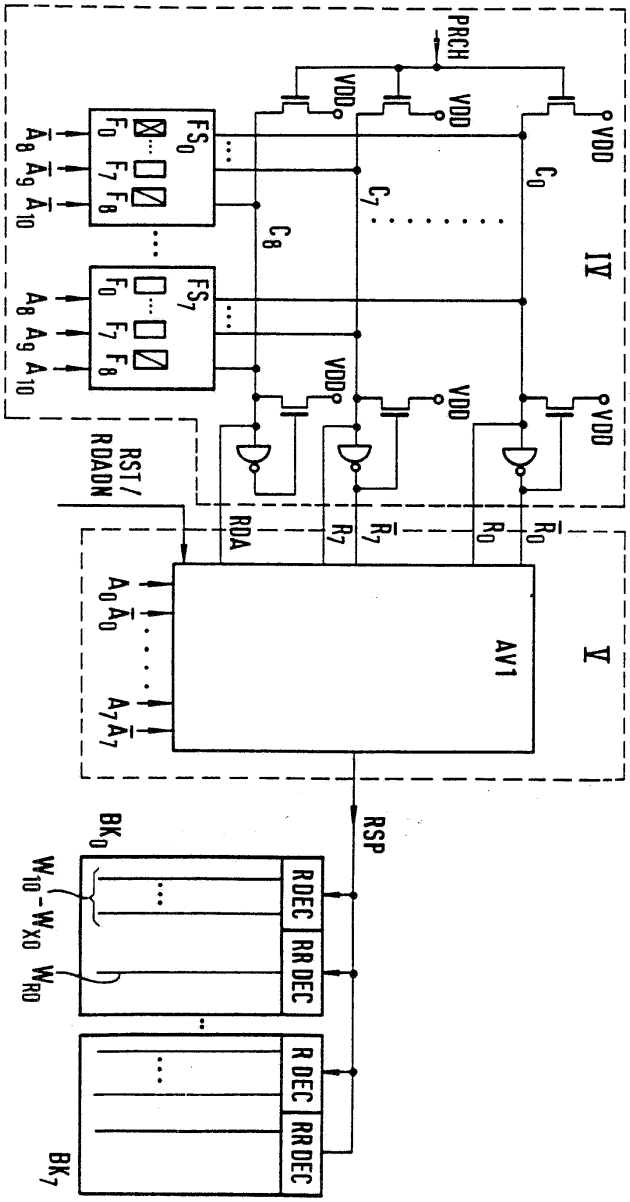
제 1항, 제 2항 또는 4항중 어느 한 항에 있어서, 반도체메모리가 DRAM인 집적 반도체 메모리용 용장도 회로.

도면

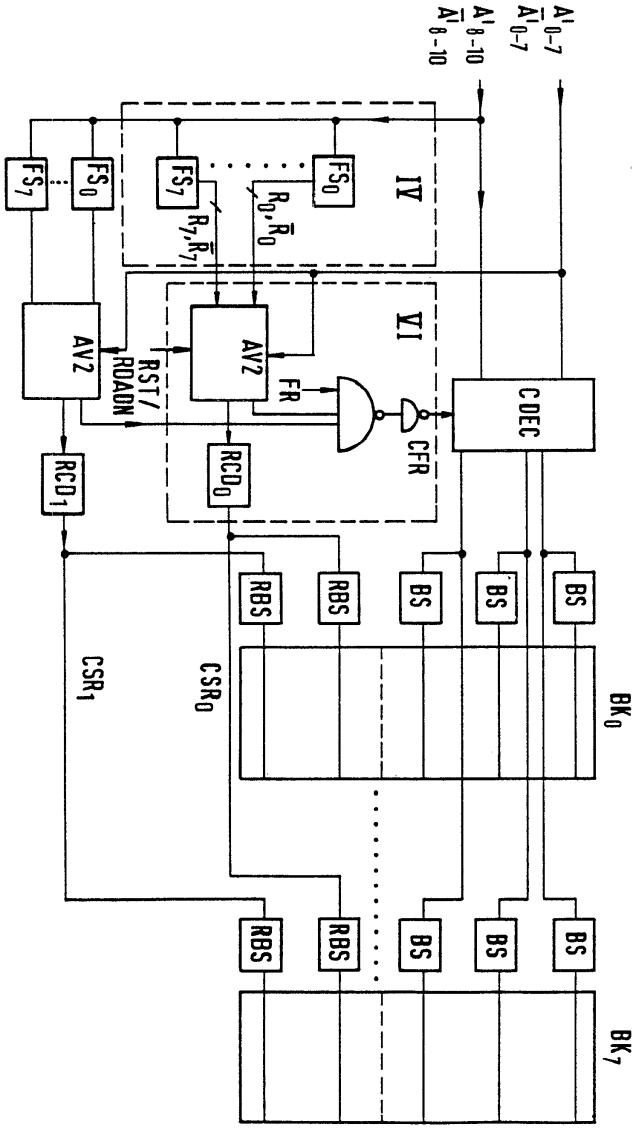
도면 1



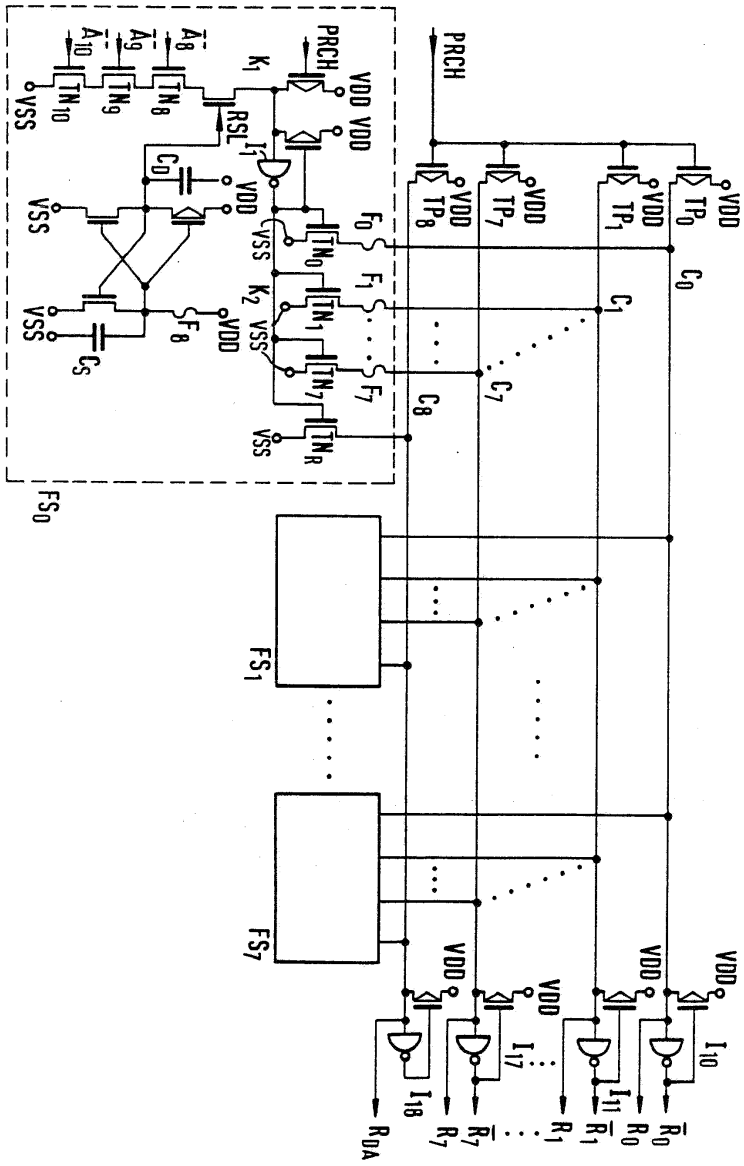
도면 2



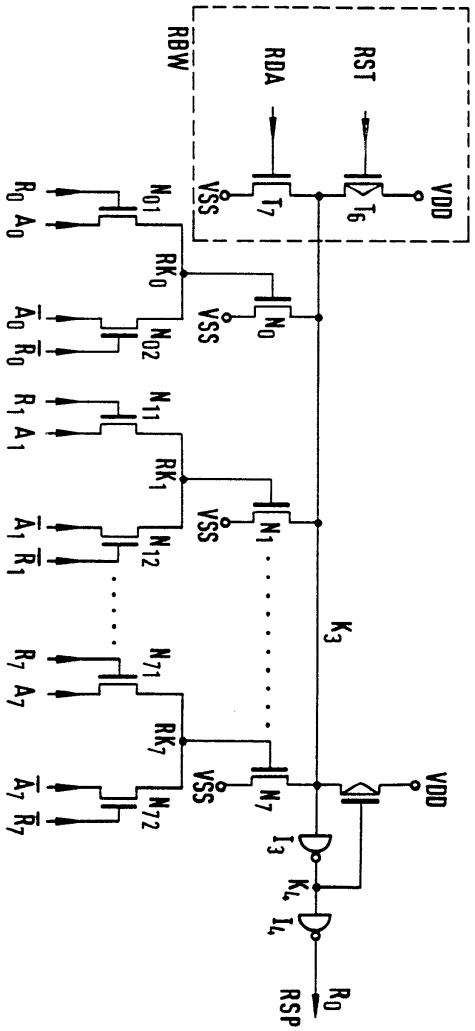
도면 3


A1 0-7
A1 8-10
FS7
FS0
R0, R0
R7, R7
IV
VI
AV2
RST/RDADN
FR
CFR
CDEC
RCD1
RCD0
RBS
BS
CSR1
CSR0
BK0
BK7

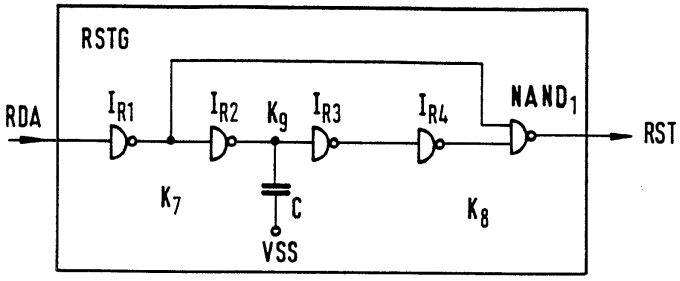
도면 4



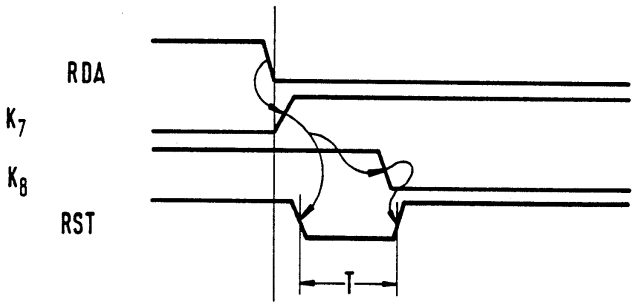
도면 5a


RBW
RDA
RST
VSS
VDD
I_7
I_6
R_0 A_0
N_{01}
RK_0
$\overline{A_0}$ $\overline{R_0}$
N_{02}
N_0
R_1 A_1
N_{11}
RK_1
$\overline{A_1}$ $\overline{R_1}$
N_{12}
N_1
K_3
R_7 A_7
N_{71}
RK_7
$\overline{A_7}$ $\overline{R_7}$
N_{72}
N_7
I_3
K_4
I_4
RSP
R_0

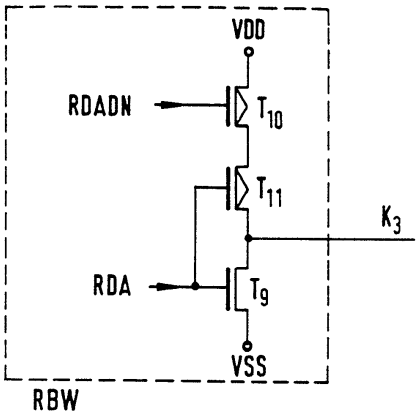
도면 5b


RSTG
RDA
I_{R1}
I_{R2}
K_9
I_{R3}
I_{R4}
$NAND_1$
RST
K_7
C
VSS
K_8

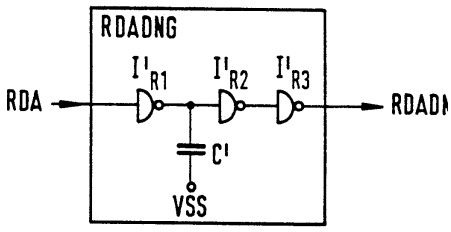
도면 5c



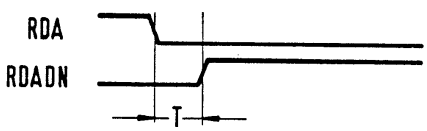
도면 5d



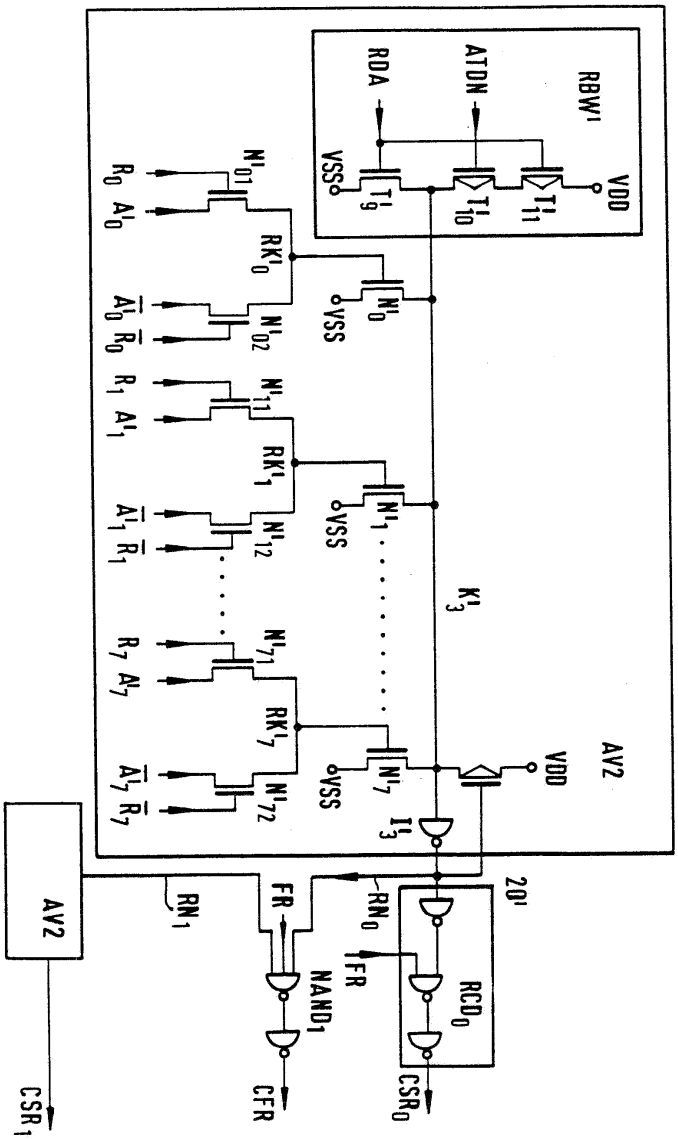
도면 5e



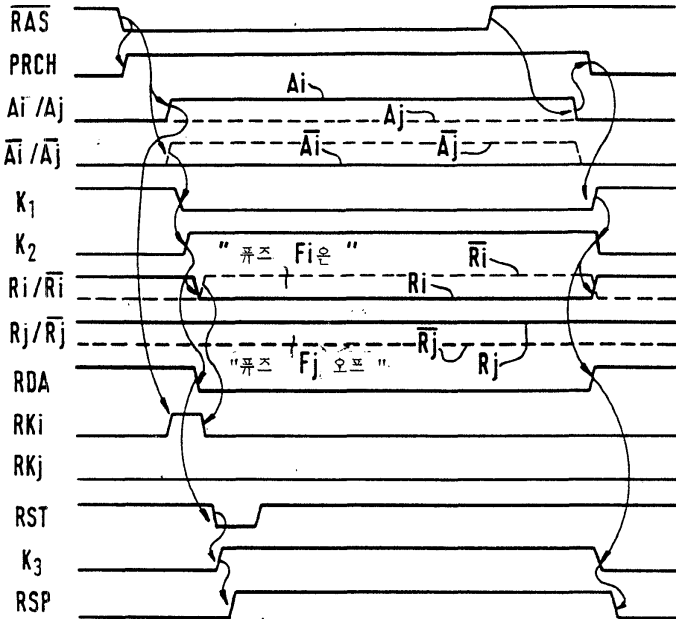
도면 5f



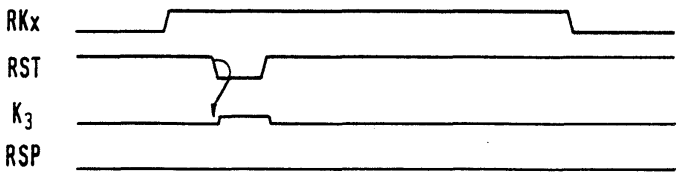
도면 6


RDA
ATDN
RBW'
VSS
VDD
AV2
K'3
20'
RN1
RN0
FR
NAND1
CFR
RCD0
CSR0
CSR1

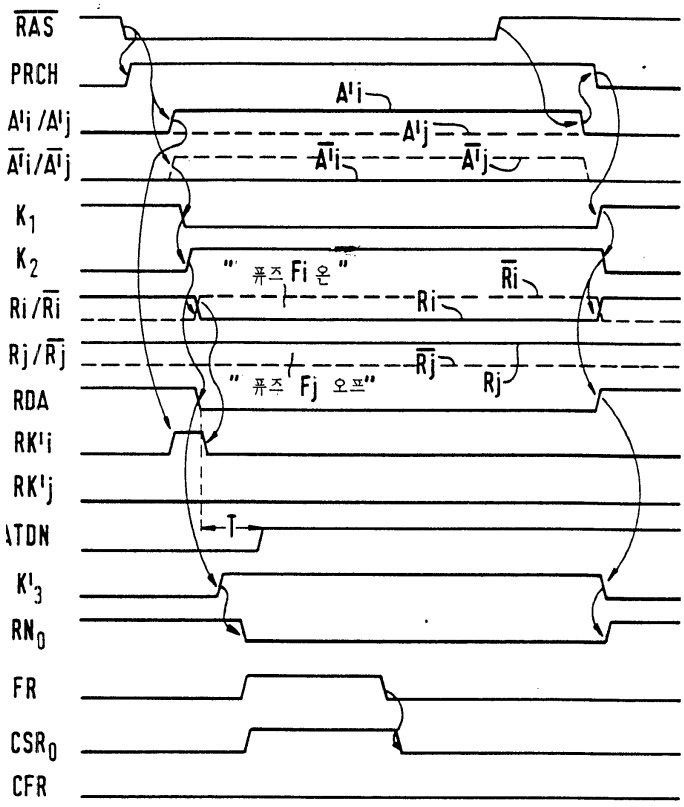
도면 7a


RAS
PRCH
Ai /Aj
Ai /Aj
K1
K2
Ri/Ri
Rj/Rj
RDA
RKi
RKj
RST
K3
RSP
Ai
Aj
Ai
Aj
"퓨즈 Fi은 "
Ri
Ri
Rj
Rj
"퓨즈 Fj 오프 "

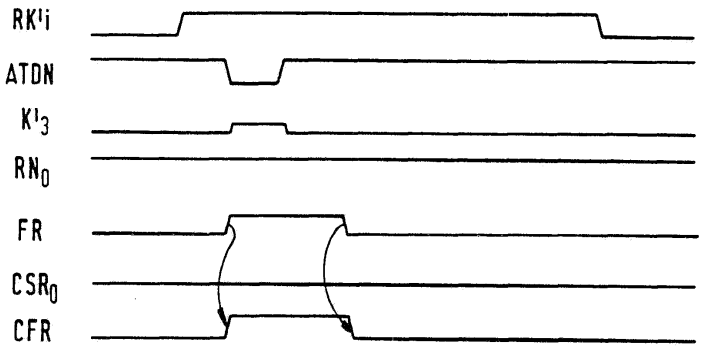
도면 7b


RKx
RST
K3
RSP

도면 8a


RAS
PRCH
A¹i /A¹j
A¹i/A¹j
K1
K2
Ri/Ri
Rj/Rj
RDA
RK¹i
RK¹j
ATDN
K¹3
RN0
FR
CSR0
CFR
A¹i
A¹j
Ri
Rj
" 퓨즈 Fi 온 "
" 퓨즈 Fj 오프"
T

도면 8b


RK¹i
ATDN
K¹3
RN0
FR
CSR0
CFR