

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 25 年 2 月 7 日 (2013.2.7)

【公表番号】特表 2012-514318 (P2012-514318A)

【公表日】平成 24 年 6 月 21 日 (2012.6.21)

【年通号数】公開・登録公報 2012-024

【出願番号】特願 2011-542725 (P2011-542725)

【国際特許分類】

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

【F I】

H 0 1 L 27/08 1 0 2 B

H 0 1 L 27/08 3 3 1 E

H 0 1 L 27/08 3 2 1 C

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 8 E

H 0 1 L 29/78 3 0 1 B

【手続補正書】

【提出日】平成 24 年 12 月 12 日 (2012.12.12)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のシリコン含有結晶性半導体領域及び第 2 のシリコン含有結晶性半導体領域上にシリコン含有半導体合金の層を形成することと、

前記第 1 及び第 2 のシリコン含有結晶性半導体領域における前記シリコン含有半導体合金の層の上に第 1 マスク層を形成することと、

前記第 1 のシリコン含有結晶性半導体領域における前記第 1 マスク層の上に第 2 マスク層を形成することと、

前記第 2 マスク層を通じてエッチングすることによって前記第 2 のシリコン含有結晶性半導体領域から前記第 1 マスク層を除去することと、

前記第 1 のシリコン含有結晶性半導体領域上の前記第 1 マスク層の残存部分を通じてエッチングすることによって前記第 2 のシリコン含有結晶性半導体領域から前記シリコン含有半導体合金の層を選択的に除去することと、

第 1 のトランジスタの第 1 のゲート電極構造であって、高 k 誘電体ゲート絶縁層及び前記高 k 誘電体ゲート絶縁層上に形成される金属含有ゲート電極材質を備えている第 1 のゲート電極構造を前記シリコン含有半導体合金の層上に形成することと、

第 2 のトランジスタの第 2 のゲート電極構造であって、高 k 誘電体ゲート絶縁層及び第 2 のゲート電極構造の前記高 k 誘電体ゲート絶縁層上に形成される金属含有ゲート電極材

質を備えている第２のゲート電極構造を前記第２のシリコン含有結晶性半導体領域の上方に形成することとを備えた方法。

【請求項２】

前記シリコン含有半導体合金の層を除去することは、前記第１のシリコン含有結晶性半導体領域の上方にハードマスク層を選択的に形成することと、前記ハードマスク層に基きエッチングプロセスを実行することとを備えている請求項１の方法。

【請求項３】

前記エッチングプロセスを実行することはウエット化学的エッチングレシピを適用することを備えている請求項２の方法。

【請求項４】

前記エッチングプロセスを実行することはテトラメチルアンモニアヒドロキシド（ＴＭＡＨ）に基いてウエット化学的エッチングレシピを適用することを備えている請求項３の方法。

【請求項５】

前記ハードマスク層を除去するように更なるエッチングプロセスを実行することを更に備えた請求項１の方法。

【請求項６】

前記シリコン含有半導体合金の層を形成することは、前記第１及び第２のシリコン含有結晶性半導体領域を横方向に分離する分離構造上の材質堆積を抑制するように選択的エピタキシャル成長プロセスを実行することを備えている請求項１の方法。

【請求項７】

前記シリコン含有半導体合金の層を形成するのに先立ち分離構造を形成することを更に備え、前記分離構造は前記第１及び第２のシリコン含有結晶性半導体領域を横方向に分離する請求項１の方法。

【請求項８】

前記シリコン含有半導体合金の層を形成した後に分離構造を形成することを更に備え、前記分離構造は前記第１及び第２のシリコン含有結晶性半導体領域を横方向に分離する請求項１の方法。

【請求項９】

前記シリコン含有半導体合金の層を形成した後に前記第１のシリコン含有結晶性半導体領域内に第１のドーパント種を導入すると共に前記第２のシリコン含有結晶性半導体領域内に第２のドーパント種を導入することを更に備えた請求項１の方法。

【請求項１０】

前記第１及び第２のドーパント種を導入するのに先立ち前記シリコン含有半導体合金の層の上方にマスク層を形成することを更に備えた請求項９の方法。

【請求項１１】

前記第１のドーパント種を導入するために用いられる注入マスクに基いて前記第２のシリコン含有結晶性半導体領域の上方から前記マスク層を除去することを更に備えた請求項１０の方法。

【請求項１２】

前記シリコン含有半導体合金の層を形成するのに先立ち、前記第１及び第２のシリコン含有結晶性半導体領域の横方向の間に分離構造を形成することを更に備えた請求項１１の方法。

【請求項１３】

前記シリコン含有半導体合金の層を形成した後に、前記第１及び第２のシリコン含有結晶性半導体領域の横方向の間に分離構造を形成することを更に備えた請求項１１の方法。

【請求項１４】

前記半導体合金はシリコン／ゲルマニウム合金を備えている請求項１の方法。

【請求項１５】

第１及び第２のシリコン含有半導体領域上にスレッショルド調節半導体材質を形成する

ことと、

前記第 1 及び第 2 のシリコン含有半導体領域における前記スレッシュリッド調節半導体材質の層の上に第 1 マスク層を形成することと、

前記第 1 のシリコン含有半導体領域における前記第 1 マスク層の上に注入マスクを形成することと、

前記注入マスクを用いることによって前記第 2 のシリコン含有半導体領域内にドーパント種を導入することと、

前記注入マスクを通じてエッチングすることによって前記第 2 のシリコン含有半導体領域から前記第 1 マスク層を除去することと、

前記第 1 のシリコン含有半導体領域上の前記第 1 マスク層の残存部分を通じてエッチングすることによって前記第 2 のシリコン含有半導体領域から選択的に前記スレッシュリッド調節半導体材質を除去することと、

前記スレッシュリッド調節半導体材質上の第 1 のトランジスタの第 1 のゲート電極構造及び前記第 2 のシリコン含有半導体領域上の第 2 のトランジスタの第 2 のゲート電極構造を形成することとを備えた方法であって、

前記第 1 及び第 2 のゲート電極構造は高 k 誘電体材質と前記高 k 誘電体材質上に形成される金属含有電極材質とを備えている方法。

【請求項 16】

前記第 2 のシリコン含有半導体領域から選択的に前記スレッシュリッド調節半導体材質を除去することは、マスク層を形成することと、前記注入マスクを用いることによって前記マスク層をパターニングすることと、前記パターニングされたマスク層をエッチングマスクとして用いることによって前記スレッシュリッド調節半導体合金をエッチングすることとを備えている請求項 15 の方法。

【請求項 17】

前記スレッシュリッド調節半導体材質をエッチングすることはウエット化学的エッチングプロセスを実行することを備えている請求項 16 の方法。

【請求項 18】

前記ウエット化学的エッチングプロセスはテトラメチルアンモニアヒドロキシド (TMAH) に基いて実行される請求項 17 の方法。

【請求項 19】

前記スレッシュリッド調節半導体材質を形成するのに先立ち前記第 1 及び第 2 のシリコン含有半導体領域の横方向の間に分離構造を形成することを更に備えた請求項 15 の方法。

【請求項 20】

前記スレッシュリッド調節半導体材質を形成した後に前記第 1 及び第 2 のシリコン含有半導体領域の横方向の間に分離構造を形成することを更に備えた請求項 15 の方法。

【請求項 21】

前記スレッシュリッド調節半導体材質はシリコン / ゲルマニウム合金を備えている請求項 15 の方法。

【請求項 22】

第 1 のデバイス領域と第 2 のデバイス領域とを備えた半導体デバイスであって、

前記第 1 のデバイス領域は概ね 100 ナノメートル以下のピッチを規定する複数の密にパッキングされた第 1 の p チャネルトランジスタを備えており、前記第 1 の p チャネルトランジスタの各々は、第 1 のシリコン含有半導体領域の内部及び上方に形成されると共に前記第 1 の p チャネルトランジスタの各々のチャネル領域内のスレッシュリッド調節半導体合金の第 1 の層を備えており、

前記第 2 のデバイス領域は 100 ナノメートルを超えるピッチを規定する複数の第 2 の p チャネルトランジスタを備えており、前記第 2 の p チャネルトランジスタの各々は、第 2 のシリコン含有半導体領域の内部及び上方に形成されると共に前記第 2 の p チャネルトランジスタの各々のチャネル領域内の前記スレッシュリッド調節半導体合金の第 2 の層を備えており、

前記スレッシュヨルド調節半導体合金の前記第 1 及び第 2 の層の材質組成及び層厚の少なくとも一方の均一性の程度が概ね ± 2 パーセントである半導体デバイス。

【請求項 23】

前記第 1 及び第 2 の p チャネルトランジスタの前記ゲート電極構造は、前記スレッシュヨルド調節半導体合金の第 1 及び第 2 の層の上方にそれぞれ形成される高 k 誘電体材質と、前記高 k 誘電体材質上に形成される金属含有電極材質とを備えている請求項 22 の半導体デバイス。

【請求項 24】

前記スレッシュヨルド調節半導体合金の層の目標厚みは概ね 10 ナノメートル以下である請求項 22 の半導体デバイス。

【請求項 25】

前記スレッシュヨルド調節半導体合金は概ね 20 原子パーセント以上のゲルマニウム濃度のシリコン / ゲルマニウム合金を備えている請求項 24 の半導体デバイス。