

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成25年2月7日(2013.2.7)

【公表番号】特表2012-514318(P2012-514318A)

【公表日】平成24年6月21日(2012.6.21)

【年通号数】公開・登録公報2012-024

【出願番号】特願2011-542725(P2011-542725)

【国際特許分類】

H 01 L	21/8234	(2006.01)
H 01 L	27/088	(2006.01)
H 01 L	27/08	(2006.01)
H 01 L	21/8238	(2006.01)
H 01 L	27/092	(2006.01)
H 01 L	29/786	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	29/78	(2006.01)

【F I】

H 01 L	27/08	1 0 2 B
H 01 L	27/08	3 3 1 E
H 01 L	27/08	3 2 1 C
H 01 L	29/78	6 1 8 B
H 01 L	29/78	6 1 8 E
H 01 L	29/78	3 0 1 B

【手続補正書】

【提出日】平成24年12月12日(2012.12.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のシリコン含有結晶性半導体領域及び第2のシリコン含有結晶性半導体領域上にシリコン含有半導体合金の層を形成することと、

前記第1及び第2のシリコン含有結晶性半導体領域における前記シリコン含有半導体合金の層の上に第1マスク層を形成することと、

前記第1のシリコン含有結晶性半導体領域における前記第1マスク層の上に第2マスク層を形成することと、

前記第2マスク層を通じてエッチングすることによって前記第2のシリコン含有結晶性半導体領域から前記第1マスク層を除去することと、

前記第1のシリコン含有結晶性半導体領域上の前記第1マスク層の残存部分を通じてエッチングすることによって前記第2のシリコン含有結晶性半導体領域から前記シリコン含有半導体合金の層を選択的に除去することと、

第1のトランジスタの第1のゲート電極構造であって、高k誘電体ゲート絶縁層及び前記高k誘電体ゲート絶縁層上に形成される金属含有ゲート電極材質を備えている第1のゲート電極構造を前記シリコン含有半導体合金の層上に形成することと、

第2のトランジスタの第2のゲート電極構造であって、高k誘電体ゲート絶縁層及び第2のゲート電極構造の前記高k誘電体ゲート絶縁層上に形成される金属含有ゲート電極材

質を備えている第2のゲート電極構造を前記第2のシリコン含有結晶性半導体領域の上方に形成することとを備えた方法。

【請求項2】

前記シリコン含有半導体合金の層を除去することは、前記第1のシリコン含有結晶性半導体領域の上方にハードマスク層を選択的に形成することと、前記ハードマスク層に基きエッティングプロセスを実行することとを備えている請求項1の方法。

【請求項3】

前記エッティングプロセスを実行することはウェット化学的エッティングレシピを適用することと備えている請求項2の方法。

【請求項4】

前記エッティングプロセスを実行することはテトラメチルアンモニアヒドロキシド(TM A H)に基いてウェット化学的エッティングレシピを適用することとを備えている請求項3の方法。

【請求項5】

前記ハードマスク層を除去するように更なるエッティングプロセスを実行することとを更に備えた請求項1の方法。

【請求項6】

前記シリコン含有半導体合金の層を形成することは、前記第1及び第2のシリコン含有結晶性半導体領域を横方向に分離する分離構造上の材質堆積を抑制するように選択的エピタキシャル成長プロセスを実行することとを備えている請求項1の方法。

【請求項7】

前記シリコン含有半導体合金の層を形成するのに先立ち分離構造を形成することとを更に備え、前記分離構造は前記第1及び第2のシリコン含有結晶性半導体領域を横方向に分離する請求項1の方法。

【請求項8】

前記シリコン含有半導体合金の層を形成した後に分離構造を形成することとを更に備え、前記分離構造は前記第1及び第2のシリコン含有結晶性半導体領域を横方向に分離する請求項1の方法。

【請求項9】

前記シリコン含有半導体合金の層を形成した後に前記第1のシリコン含有結晶性半導体領域内に第1のドーパント種を導入すると共に前記第2のシリコン含有結晶性半導体領域内に第2のドーパント種を導入することとを更に備えた請求項1の方法。

【請求項10】

前記第1及び第2のドーパント種を導入するのに先立ち前記シリコン含有半導体合金の層の上方にマスク層を形成することとを更に備えた請求項9の方法。

【請求項11】

前記第1のドーパント種を導入するために用いられる注入マスクに基いて前記第2のシリコン含有結晶性半導体領域の上方から前記マスク層を除去することとを更に備えた請求項10の方法。

【請求項12】

前記シリコン含有半導体合金の層を形成するのに先立ち、前記第1及び第2のシリコン含有結晶性半導体領域の横方向の間に分離構造を形成することとを更に備えた請求項11の方法。

【請求項13】

前記シリコン含有半導体合金の層を形成した後に、前記第1及び第2のシリコン含有結晶性半導体領域の横方向の間に分離構造を形成することとを更に備えた請求項11の方法。

【請求項14】

前記半導体合金はシリコン／ゲルマニウム合金を備えている請求項1の方法。

【請求項15】

第1及び第2のシリコン含有半導体領域上にスレッショルド調節半導体材質を形成する

ことと、

前記第1及び第2のシリコン含有半導体領域における前記スレッショルド調節半導体材質の層の上に第1マスク層を形成することと、

前記第1のシリコン含有半導体領域における前記第1マスク層の上に注入マスクを形成することと、

前記注入マスクを用いることによって前記第2のシリコン含有半導体領域内にドーパント種を導入することと、

前記注入マスクを通じてエッチングすることによって前記第2のシリコン含有半導体領域から前記第1マスク層を除去することと、

前記第1のシリコン含有半導体領域上の前記第1マスク層の残存部分を通じてエッチングすることによって前記第2のシリコン含有半導体領域から選択的に前記スレッショルド調節半導体材質を除去することと、

前記スレッショルド調節半導体材質上の第1のトランジスタの第1のゲート電極構造及び前記第2のシリコン含有半導体領域上の第2のトランジスタの第2のゲート電極構造を形成することとを備えた方法であって、

前記第1及び第2のゲート電極構造は高k誘電体材質と前記高k誘電体材質上に形成される金属含有電極材質とを備えている方法。

【請求項16】

前記第2のシリコン含有半導体領域から選択的に前記スレッショルド調節半導体材質を除去することは、マスク層を形成することと、前記注入マスクを用いることによって前記マスク層をパターニングすることと、前記パターニングされたマスク層をエッチングマスクとして用いることによって前記スレッショルド調節半導体合金をエッチングすることとを備えている請求項15の方法。

【請求項17】

前記スレッショルド調節半導体材質をエッチングすることはウエット化学的エッチングプロセスを実行することを備えている請求項16の方法。

【請求項18】

前記ウエット化学的エッティングプロセスはテトラメチルアンモニアヒドロキシド(TM A H)に基いて実行される請求項17の方法。

【請求項19】

前記スレッショルド調節半導体材質を形成するのに先立ち前記第1及び第2のシリコン含有半導体領域の横方向の間に分離構造を形成することを更に備えた請求項15の方法。

【請求項20】

前記スレッショルド調節半導体材質を形成した後に前記第1及び第2のシリコン含有半導体領域の横方向の間に分離構造を形成することを更に備えた請求項15の方法。

【請求項21】

前記スレッショルド調節半導体材質はシリコン/ゲルマニウム合金を備えている請求項15の方法。

【請求項22】

第1のデバイス領域と第2のデバイス領域とを備えた半導体デバイスであって、

前記第1のデバイス領域は概ね100ナノメートル以下のピッチを規定する複数の密にパッキングされた第1のpチャネルトランジスタを備えており、前記第1のpチャネルトランジスタの各々は、第1のシリコン含有半導体領域の内部及び上方に形成されると共に前記第1のpチャネルトランジスタの各々のチャネル領域内のスレッショルド調節半導体合金の第1の層を備えており、

前記第2のデバイス領域は100ナノメートルを超えるピッチを規定する複数の第2のpチャネルトランジスタを備えており、前記第2のpチャネルトランジスタの各々は、第2のシリコン含有半導体領域の内部及び上方に形成されると共に前記第2のpチャネルトランジスタの各々のチャネル領域内の前記スレッショルド調節半導体合金の第2の層を備えており、

前記スレッショルド調節半導体合金の前記第1及び第2の層の材質組成及び層厚の少なくとも一方の均一性の程度が概ね±2パーセントである半導体デバイス。

【請求項23】

前記第1及び第2のpチャネルトランジスタの前記ゲート電極構造は、前記スレッショルド調節半導体合金の第1及び第2の層の上方にそれぞれ形成される高k誘電体材質と、前記高k誘電体材質上に形成される金属含有電極材質とを備えている請求項22の半導体デバイス。

【請求項24】

前記スレッショルド調節半導体合金の層の目標厚みは概ね10ナノメートル以下である請求項22の半導体デバイス。

【請求項25】

前記スレッショルド調節半導体合金は概ね20原子パーセント以上のゲルマニウム濃度のシリコン/ゲルマニウム合金を備えている請求項24の半導体デバイス。