(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 2 月 2 日(02.02.2012)

PCT

(10) 国際公開番号
WO 2012/014447 A1

(51) 国際特許分類:
H01L 27/105 (2006.01) *H01L 45/00* (2006.01)
H01L 27/10 (2006.01) *H01L 49/00* (2006.01)

(21) 国際出願番号: PCT/JP2011/004207

(22) 国際出願日: 2011 年 7 月 26 日(26.07.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-168413 2010 年 7 月 27 日(27.07.2010) JP

(71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真１００６番地 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 藤井 覚 (FUJII, Satoru). 三河 巧 (MIKAWA, Takumi). 空田 晴之 (SORADA, Haruyuki).

(74) 代理人: 特許業務法人 有古特許事務所 (PATENT CORPORATE BODY ARCO PATENT OFFICE); 〒6500031 兵庫県神戸市中央区東町１２３番地の１ 貿易ビル３階 Hyogo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

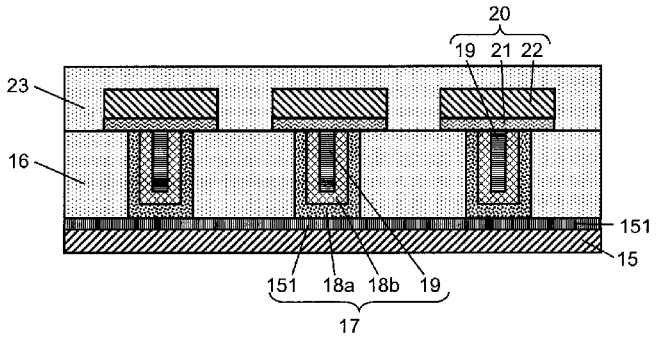
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: METHOD FOR FABRICATING NONVOLATILE MEMORY DEVICE

(54) 発明の名称 : 不揮発性記憶装置の製造方法

[図2B]



(57) **Abstract**: In each of the steps of forming a first resistance change layer (18a) and of forming a second resistance change layer (18b), a cycle is executed once or a plurality of times, the cycle including: a first step of introducing a source gas comprising a molecule containing a transition metal atom; a second step of, after the first step, removing the source gas; a third step of, after the second step, introducing a reactive gas and forming a transition metal oxide; and a fourth step of, after the third step, removing the reactive gas. The step of forming the first resistance change layer (18a) is executed while the substrate temperature is maintained at a temperature that does not cause the self-decomposition reaction of the source gas. The conditions under which the second resistance change layer (18b) is formed are made different from the conditions under which the first resistance change layer (18a) is formed in any one of or a plurality of conditions of the substrate temperature, the introduction amount of the source gas, and the introduction amount of the reactive gas.

(57) 要約:

[続葉有]

WO 2012/014447 A1

第１抵抗変化層（１８ａ）を形成する工程および第２抵抗変化層（１８ｂ）を形成する工程は、それぞれ、遷移金属の原子を含有する分子で構成されるソースガスを導入する第１工程と、第１工程後に前記ソースガスを除去する第２工程と、第２工程後に反応性ガスを導入して遷移金属酸化物を形成する第３工程と、第３工程後に反応性ガスを除去する第４工程とによるサイクルを１回または複数回実行する。第１抵抗変化層（１８ａ）を形成する工程は、基板の温度をソースガスの自己分解反応が生じない温度に保持しつつ実行し、第２抵抗変化層（１８ｂ）を形成する条件は、第１抵抗変化層（１８ａ）を形成する条件に対し、基板の温度、ソースガスの導入量、及び反応性ガスの導入量のいずれか１つまたは複数の条件を異ならせる。

明　細　書

発明の名称 ： 不揮発性記憶装置の製造方法

技術分野

[0001] 本発明は、抵抗変化素子を用いた不揮発性記憶装置の製造方法に関する。より詳しくは、メモリセルホール内に酸素含有率の異なる複数の抵抗変化層を形成した不揮発性記憶装置の製造方法に関する。

背景技術

[0002] 近年、電子機器におけるデジタル技術の進展に伴い、音楽、画像、情報等のデータを保存するために、大容量で、かつ不揮発性の記憶装置の開発が活発に行われている。例えば、強誘電体を容量素子として用いる不揮発性記憶装置は既に多くの分野で用いられている。さらに、このような強誘電体キャパシタを用いる不揮発性記憶装置に対して、電気的パルスの印加によって抵抗値が変化し、その状態を保持し続ける材料を用いた不揮発性記憶装置（以下、ＲｅＲＡＭ［Ｒｅｓｉｓｔｉｖｅ　ＲＡＭ］と呼ぶ）が、通常の半導体プロセスとの整合性を取りやすいという点で注目されている。

[0003] 特許文献１は、記憶素子の小型化と記憶装置の大容量化を目指して、マトリクス状に配置された微細なホール内のそれぞれに抵抗変化層を形成したクロスポイント型のＲｅＲＡＭを提案する。

[0004] 微細ホール内への埋め込み成膜プロセスとして、原子層薄膜蒸着法（ＡＬＤ法：Atomic Layer Deposition)の開発が進められている。このＡＬＤ法により金属酸化物を形成するプロセスは、

１）前駆体物質を気化させて金属原子を含有するソースガス（source gas）を準備し、

２）基板が保持されている真空チャンバ内にソースガスを導入して、基板上に金属の単原子層を形成し、

３）次に、パージガスを導入して不要なソースガスを排出し、

４）続いてO_2，O_3，H_2Oなどの反応性ガス（reactive gas）を導入して

金属の単原子層を酸化するとともに、金属の配位子を除去し、

５）最後に、パージガスを導入して不要な反応性ガスを排出して金属酸化物層を形成する。

６）前記２）から５）のサイクルを繰り返すことにより、所望の膜厚の金属酸化物を形成する。

[0005] ＡＬＤ法は、単原子層ごとに膜成長を行うために、アスペクト比（aspect ratio）の高い微細ホール内にもコンフォーマル（conformal）に膜成長ができる特徴がある。

[0006] 非特許文献１は、かかる特徴を活かして、ナノデバイスのプロセスとして研究開発が進められていることを開示する。

[0007] 非特許文献２および３は、ＡＬＤ法で成膜したTiO_2膜やHfO_2が電気パルスにより抵抗変化現象を示すことを報告している。

[0008] 特許文献２は、膜厚が小さくて欠損の少ない緻密な膜が形成可能であるために、漏れ電流が小さく抵抗変化特性の改善を期待して、ＡＬＤ法により形成したＮｉＯ薄膜を用いた抵抗変化型不揮発性記憶素子を提案する。

[0009] 特許文献３は、酸素含有率の異なる２つの抵抗変化層を備える抵抗変化素子を開示する。

先行技術文献

特許文献

[0010] 特許文献1：国際公開第２００８／４７７１１号

特許文献2：特開２００７－８４９３５号公報

特許文献3：国際公開第２００８／１４９４８４号

非特許文献

[0011] 非特許文献1：Thin Solid Films ２００９年５１７巻２５６３－２５８０頁

非特許文献2：Journal Of Applied Physics ２００５年９８巻０３３７１５頁

非特許文献3：Japanese Journal Of Applied Physics

２００７年４６巻４Ｂ号２１７２－２１７４頁

発明の概要

発明が解決しようとする課題

[0012] 抵抗変化層を、酸素含有率の異なる２つの抵抗変化層をホール内に形成することは困難な場合があった。

[0013] 本発明は、上記従来の課題を解決するものであり、ホール内に酸素含有率の異なる２つの抵抗変化層を、従来より容易に形成することを目的とする。

課題を解決するための手段

[0014] 本発明者らは、高抵抗層と低抵抗層の２層構造を有する抵抗変化層を微細なホール内に形成する方法について鋭意検討を行った。その結果、以下の知見を得た。

[0015] メモリセルホール内に酸素含有率の異なる抵抗変化層を形成する方法としてまず考えられるものは、スパッタ法である。しかし、メモリーホールセルのアスペクト比が上昇するに従って、スパッタ法による抵抗変化層の埋め込みが困難になることが判明した。

[0016] 一例として、ＤＣスパッタ法によりタンタル酸化物（TaO_x）を直径８０～２４０ｎｍ、深さ２５０ｎｍのメモリーホールに形成した場合について本発明者らが検討した結果を以下に説明する。

[0017] 図１８は、本発明者らの検討における「アスペクト比」と「ボトムカバレッジ」の概念図である。アスペクト比とは、ホールの深さをＨ、ホールのサイズ(直径)をＲとしたとき、ＨをＲで除算したＨ／Ｒである。アスペクト比が大きいほどホールは細長くなる。ボトムカバレッジは、ホール底部における酸化物層の厚さをＢ、上端面における酸化物層の厚さをＴとしたとき、ＢをＴで除算したＢ／Ｔである。ボトムカバレッジが大きいほど、ホール底部にまで酸化物が十分に行き渡るように酸化物層が形成されていることになる。言い換えれば、ボトムカバレッジが大きいほど、酸化物層はよりコンフォーマルに形成されていることになる。

[0018] この検討では、ホールの内部にスパッタにより生じた粒子がなるべく行き渡るように、ターゲットと基板の距離を３００ｍｍと長距離化して、基板に

入射する粒子の直進性を高めた。また、アスペクト比を高くするため、基板にＤＣバイアスパワー（２００Ｗ）を印加し、粒子をホール内に電気的に誘引することも試みた。図１９に、上記各条件にて得られた結果を示す。

[0019] バイアスパワーを印加しない場合には、ボトムカバレッジはアスペクト比に強く依存することがわかった。特に、アスペクト比が１．５付近であるケースではボトムカバレッジが１０％程度しかなく、アスペクト比の大きなホールにコンフォーマルに酸化物層を埋め込むことは難しいと推察された。

[0020] バイアスパワーを印加した場合は、バイアスパワー無しの場合に比べてボトムカバレッジは若干改善されるものの、ボトムカバレッジは２０％程度と低く、やはりアスペクト比の大きなホールにコンフォーマルに酸化物層を埋め込むことは難しいと推察される。

[0021] 一方、ＡＬＤ法を用いたプロセスではアスペクト比の大きなホールにもコンフォーマルに酸化物層を形成できることが知られており、プロセスルールの微細化に従って、デバイス作製プロセスにも採用されている。しかしながら、ＡＬＤ法を用いて酸化物層を形成する場合、酸素含有量を制御して酸素不足型の任意の酸化物を形成することは困難であり、酸素含有量の異なる複数の酸化物の積層構造を形成する方法は知られていなかった。

[0022] かかる課題の認識を出発点として、本発明者らはさらなる検討を加え、ＡＬＤ法を用いたプロセスにおいて、反応性ガスの供給量を制御することで、酸化物層の酸素含有量を制御できることを見出した（下記に述べる実験例１乃至３参照）。

[0023] 本発明の不揮発性記憶装置の製造方法は、基板上に第１電極を形成する工程と、第１電極上に層間絶縁層を形成する工程と、層間絶縁層内に第１電極に貫通するようにメモリセルホールを形成する工程と、メモリセルホールの内部に、酸素不足型の遷移金属酸化物で構成される第１抵抗変化層および第２抵抗変化層をこの順に形成する工程と、第２抵抗変化層の上に第２電極を形成する工程とを備える。第１抵抗変化層を形成する工程および第２抵抗変化層を形成する工程は、それぞれ、遷移金属の原子を含有する分子で構成さ

れるソースガスを導入する第１工程と、第１工程後にソースガスを除去する第２工程と、第２工程後に反応性ガスを導入して遷移金属酸化物を形成する第３工程と、第３工程後に反応性ガスを除去する第４工程と、で構成される第１工程から第４工程までのサイクルを１回または複数回実行するものである。第１抵抗変化層を形成する工程は、基板の温度をソースガスの自己分解反応が生じない温度に保持しつつ実行されるものであり、第２抵抗変化層を形成する条件は、第１抵抗変化層を形成する条件に対し、基板の温度、ソースガスの導入量、及び反応性ガスの導入量のいずれか１つまたは複数の条件を異ならせることにより、第１抵抗変化層の酸素含有率が第２抵抗変化層の酸素含有率より大きくなるように第１抵抗変化層および第２抵抗変化層を形成する。

発明の効果

[0024] 本発明の不揮発性記憶装置の製造方法は、ホール内に酸素含有率の異なる２つの抵抗変化層を、従来より容易に形成することが可能となるという効果を奏する。

図面の簡単な説明

[0025] [図1A]図１Ａは、本発明の第１実施形態に係る不揮発性記憶装置１０の概略構成の一例を示す平面図である。

[図1B]図１Ｂは、図１Ａの１Ａ－１Ａ線に沿う断面を矢印方向に見た断面図である。

[図2A]図２Ａは、図１の抵抗変化素子１７と電流制御素子２０の要部の部分拡大平面図である。

[図2B]図２Ｂは、図２Ａの２Ａ－２Ａ線に沿う断面を矢印方向に見た断面図である。

[図3]図３は、本発明の第１実施形態に係る不揮発性記憶装置１０の概略の回路構成の一例を説明する図である。

[図4A]図４Ａは、本発明の第１実施形態に係る不揮発性記憶装置の製造方法を示す工程図であって、能動素子１２の形成された基板１１上に、層間絶縁

層１４と下部電極裏打ち配線１５と下部電極配線１５１と層間絶縁層１６を形成する工程後の断面図である。

[図4B]図４Ｂは、本発明の第１実施形態に係る不揮発性記憶装置の製造方法を示す工程図であって、層間絶縁層１６にメモリセルホール２９を形成する工程後の平面図である。

[図4C]図４Ｃは、図４Ｂの４Ａ－４Ａ線での断面を矢印方向に見た断面図である。

[図5A]図５Ａは、本発明の第１実施形態に係る不揮発性記憶装置の製造方法を示す工程図であって、層間絶縁層１６の上およびメモリセルホール２９の内部に第１抵抗変化層１８ａとなる第１抵抗変化材料層１８１ａを形成する工程後の断面図である。

[図5B]図５Ｂは、本発明の第１実施形態に係る不揮発性記憶装置の製造方法を示す工程図であって、第１抵抗変化材料層１８１ａの上に第２抵抗変化層１８ｂとなる第２抵抗変化材料層１８１ｂを形成する工程後の断面図である。

[図5C]図５Ｃは、本発明の第１実施形態に係る不揮発性記憶装置の製造方法を示す工程図であって、第２抵抗変化材料層１８１ｂの上に中間電極１９となる中間電極材料層１９１を形成する工程後の断面図である。

[図6A]図６Ａは、本発明の第１実施形態に係る不揮発性記憶装置の製造方法を示す工程図であって、メモリセルホール２９の内部の第１抵抗変化材料層１８１ａと第２抵抗変化材料層１８１ｂと中間電極材料層１９１とを残し、それ以外の第１抵抗変化材料層１８１ａと第２抵抗変化材料層１８１ｂと中間電極材料層１９１とをＣＭＰにより除去する工程後の上面図である。

[図6B]図６Ｂは、図６Ａの断面図である。

[図7A]図７Ａは、本発明の第１実施形態に係る不揮発性記憶装置の製造方法を示す工程図であって、メモリセルホール２９の上部開口を完全に覆いかつその外側にはみ出すように電流制御層２１と上部電極配線２２とをこの順に積層する工程後の上面図である。

[図7B]図７Ｂは、図７Ａの断面図である。

[図8]図８は、実験例１乃至実験例３で用いられた装置の概略図である。

[図9A]図９Ａは、実験例１の結果を示すグラフである。

[図9B]図９Ｂは、図９ＡのＡ点における基板表面の状態を示す模式図である。

[図9C]図９Ｃは、図９ＡのＢ点における基板表面の状態を示す模式図である。

[図10A]図１０Ａは、実験例２の結果を示すグラフである。

[図10B]図１０Ｂは、図１０ＡのＣ点における基板表面の状態を示す模式図である。

[図10C]図１０Ｃは、図１０ＡのＤ点における基板表面の状態を示す模式図である。

[図11A]図１１Ａは、実験例３の結果を示す模式図であって、第１工程後の基板表面の状態を示す模式図である。

[図11B]図１１Ｂは、実験例３の結果を示す模式図であって、第３工程後の基板表面の状態を示す模式図である。

[図12A]図１２Ａは、本発明の第１実施形態の変形例に係る不揮発性記憶装置の製造方法において、層間絶縁層３０に設けたメモリセルホール２９に抵抗変化層および中間電極を埋め込み形成する工程を示す図であって、メモリセルホール２９を形成した状態の断面図である。

[図12B]図１２Ｂは、本発明の第１実施形態の変形例に係る不揮発性記憶装置の製造方法において、層間絶縁層３０に設けたメモリセルホール２９に抵抗変化層および中間電極を埋め込み形成する工程を示す図であって、第１抵抗変化材料層１８１ａを形成した状態の断面図である。

[図12C]図１２Ｃは、本発明の第１実施形態の変形例に係る不揮発性記憶装置の製造方法において、層間絶縁層３０に設けたメモリセルホール２９に抵抗変化層および中間電極を埋め込み形成する工程を示す図であって、第２抵抗変化材料層１８１ｂを第１抵抗変化材料層１８１ａ上に形成した状態の断面

図である。

[図12D]図１２Ｄは、本発明の第１実施形態の変形例に係る不揮発性記憶装置の製造方法において、層間絶縁層３０に設けたメモリセルホール２９に抵抗変化層および中間電極を埋め込み形成する工程を示す図であって、中間電極材料層１９１を第２抵抗変化材料層１８１ｂ上に形成した状態の断面図である。

[図12E]図１２Ｅは、本発明の第１実施形態の変形例に係る不揮発性記憶装置の製造方法において、層間絶縁層３０に設けたメモリセルホール２９に抵抗変化層および中間電極を埋め込み形成する工程を示す図であって、ＣＭＰにより層間絶縁層３０上の第１抵抗変化材料層１８１ａ、第２抵抗変化材料層１８１ｂ、および中間電極材料層１９１を除去した状態の断面図である。

[図13A]図１３Ａは、本発明の第１実施形態の変形例に係る不揮発性記憶装置の製造方法において、メモリセルホール２９中に、第１抵抗変化層１８ａと第２抵抗変化層１８ｂと中間電極１９を埋め込み形成し、層間絶縁層３１に溝３２を形成するまでの工程を示す図であって、層間絶縁層３１を形成した状態の断面図である。

[図13B]図１３Ｂは、本発明の第１実施形態の変形例に係る不揮発性記憶装置の製造方法において、メモリセルホール２９中に、第１抵抗変化層１８ａと第２抵抗変化層１８ｂと中間電極１９を埋め込み形成し、層間絶縁層３１に溝３２を形成するまでの工程を示す図であって、層間絶縁層３１に溝３２を形成した状態の断面図である。

[図14A]図１４Ａは、本発明の第１実施形態の変形例に係る不揮発性記憶装置の製造方法において、溝３２中に電流制御層３４と上部電極３５とを埋め込み形成する工程を示す図であって、電流制御層３４となる電流制御材料層３４１と上部電極３５となる電極材料層３５１とを溝３２が形成された層間絶縁層３１の上に形成した状態の断面図である。

[図14B]図１４Ｂは、本発明の第１実施形態の変形例に係る不揮発性記憶装置の製造方法において、溝３２中に電流制御層３４と上部電極３５とを埋め込

み形成する工程を示す図であって、ＣＭＰにより層間絶縁層３１上の電極材料層３５１と電流制御材料層３４１とを除去して溝３２中に電流制御層３４と上部電極３５とを埋め込んだ状態の断面図である。

[図15]図１５は、本発明の第２実施形態の不揮発性記憶装置４０の構成を説明するための断面図である。

[図16]図１６は、本発明の第３実施形態に係る不揮発性記憶装置７０の要部である記憶部７５と電流制御素子７８の構成を示す断面図である。

[図17A]図１７Ａは、本発明の第４実施形態に係る不揮発性記憶装置１００の要部である記憶部１０３と電流制御素子１０６の構成を示す平面図である。

[図17B]図１７Ｂは、図１７Ａの１４Ａ－１４Ａ線の断面を矢印方向に見た断面図である。

[図18]図１８は、本発明者らの検討における「アスペクト比」と「ボトムカバレッジ」の概念図である。

[図19]図１９は、メモリセルホールのアスペクト比とホールに埋め込んだ抵抗変化層のボトムカバレッジの関係を示すグラフで、本発明の製造方法に係る結果と従来のスパッタ法による結果との比較を示す図である。

[図20]図２０は、本発明に係る製造方法で形成した微細ホール内の抵抗変化層の断面ＳＥＭ像である。

[図21]図２１は、本発明に係る製造方法によりメモリセルホール中に形成した抵抗変化層の、メモリセルホールのアスペクト比とトップに対するボトムカバレッジ及びボトムに対する側壁カバレッジの関係を示す図である。

発明を実施するための形態

[0026] 以下、本発明の実施形態について、図面を参照しながら説明する。なお、同じ要素については同じ符号を付しており説明を省略する場合がある。また、トランジスタや記憶部等の形状については模式的なものであり、その個数等についても図示しやすい個数としている。

[0027] 本発明の第１の不揮発性記憶装置の製造方法は、基板上に第１電極を形成する工程と、第１電極上に層間絶縁層を形成する工程と、層間絶縁層内に第

１電極に貫通するようにメモリセルホールを形成する工程と、メモリセルホールの内部に、酸素不足型の遷移金属酸化物で構成される第１抵抗変化層および第２抵抗変化層をこの順に形成する工程と、第２抵抗変化層の上に第２電極を形成する工程とを備える。第１抵抗変化層を形成する工程および第２抵抗変化層を形成する工程は、それぞれ、遷移金属の原子を含有する分子で構成されるソースガスを導入する第１工程と、第１工程後にソースガスを除去する第２工程と、第２工程後に反応性ガスを導入して遷移金属酸化物を形成する第３工程と、第３工程後に反応性ガスを除去する第４工程と、で構成される第１工程から第４工程までのサイクルを１回または複数回実行するものである。第１抵抗変化層を形成する工程は、基板の温度をソースガスの自己分解反応が生じない温度に保持しつつ実行されるものであり、第２抵抗変化層を形成する条件は、第１抵抗変化層を形成する条件に対し、基板の温度、ソースガスの導入量、及び反応性ガスの導入量のいずれか１つまたは複数の条件を異ならせることにより、第１抵抗変化層の酸素含有率が第２抵抗変化層の酸素含有率より大きくなるように第１抵抗変化層および第２抵抗変化層を形成する。

[0028] かかる構成の製造方法により、微細なホール内にボトムカバレッジが良好な酸素含有率の異なる２層以上の抵抗変化層の積層構造を、従来より容易に形成することが可能となる。

[0029] 「ソースガスの自己分解反応が生じない温度」とは、ソースガスの分子が自己分解せず、単分子膜として吸着する温度を言う。例えば、ソースガスとしてＴＢＴＤＥＴ(TertiaryButylimido,Tris(DiEthylamino)Tantalum,Ta[N(C_2H_5)$_2$]$_3$[=NC(CH_3)$_3$])を用いる場合には、３００℃未満の温度が、ソースガスの自己分解反応が生じない温度となり、３００℃以上の温度が、ソースガスの自己分解反応が生じる温度となる。ソースガスの自己分解反応が生じない温度で膜の堆積を行う場合、ＡＬＤモードでの堆積と呼び、ソースガスの自己分解反応が生じる温度で膜の堆積を行う場合、ＣＶＤモードでの堆積と呼ぶ。つまり、ＡＬＤプロセスには、ＡＬＤモードとＣＶＤモードがある。

[0030] 「反応性ガスの導入量」とは、ＡＬＤモードあるいはＣＶＤモードにおいて、基板表面と反応性ガスとの反応速度を制御することが可能な制御量であって、例えば、反応性ガスの組成、供給時間や供給圧力、供給容積、供給重量、供給流速、供給モル数等を含む。

[0031] 「酸素含有率」とは、抵抗変化層を構成する酸素不足型の遷移金属酸化物の酸素含有率であり、例えば、それぞれの抵抗変化層を構成する遷移金属酸化物において、遷移金属原子および酸素原子のモル数の合計に対する酸素原子のモル数の割合により表現される。

[0032] なお、第１抵抗変化層および第２抵抗変化層はいずれも酸素不足型の遷移金属酸化物で構成されるものであるが、第１抵抗変化層は実質的に酸素不足型でない遷移金属酸化物で構成されうる。遷移金属酸化物の層を形成する場合、化学量論的に酸素欠損のない組成を実現しようとしても、わずかに酸素欠損が生じてしまう。第１抵抗変化層は、このようなわずかな酸素欠損のみを含む酸素不足型の遷移金属酸化物（実質的に酸素不足型でない遷移金属酸化物）で構成されてもよい。

[0033] 本発明の第２の不揮発性記憶装置の製造方法は、第１の不揮発性記憶装置の製造方法において、第１抵抗変化層を形成する工程と、第２抵抗変化層を形成する工程とが、同一のチャンバの内部において連続して行なわれる。

[0034] かかる構成では、第１抵抗変化層を形成する工程と第２抵抗変化層を形成する工程との間に抵抗変化層が空気に触れることがなく、第１抵抗変化層の酸素含有率が変化することを防止できる。

[0035] 本発明の第３の不揮発性記憶装置の製造方法は、第１または第２の不揮発性記憶装置の製造方法において、第１抵抗変化層を形成する工程に含まれる第１工程におけるチャンバ内の全ガス圧が、第２抵抗変化層を形成する工程に含まれる第１工程におけるチャンバ内の全ガス圧よりも低く、第１抵抗変化層を形成する工程に含まれる第３工程におけるチャンバ内の全ガス圧が、第２抵抗変化層を形成する工程に含まれる第３工程におけるチャンバ内の全ガス圧よりも低い。

[0036] 第１抵抗変化層を形成する時点では、第２抵抗変化層を形成する時点よりも、ホールのアスペクト比が大きい。このため、ホールの奥（底部）までにガスを十分に到達させることが相対的に困難となる。上記構成では、第１抵抗変化層を形成する工程において、ホールの奥までガスを十分に到達させやすくなり、第１抵抗変化層をコンフォーマルに形成することが容易となる。

[0037] 本発明の第４の不揮発性記憶装置の製造方法は、第１乃至第３のいずれかの不揮発性記憶装置の製造方法において、第１抵抗変化層を形成する工程に含まれる第３工程における反応性ガスの導入量が、第２抵抗変化層を形成する工程に含まれる第３工程における反応性ガスの導入量よりも多い。

[0038] 第１抵抗変化層は、第２抵抗変化層よりも酸素含有率が高く、酸化を十分に進行させる必要がある。上記構成では、第１抵抗変化層を形成する工程において、反応ガスをより多く導入することで、第１抵抗変化層の酸素含有率をより確実に高くすることが容易となる。

[0039] 本発明の第５の不揮発性記憶装置の製造方法は、第１乃至第４のいずれかの不揮発性記憶装置の製造方法において、基板の温度をソースガスの自己分解反応が生じる温度に保持しつつ第２抵抗変化層形成工程を実行するものである。

[0040] かかる構成では、第２抵抗変化層の酸素含有率を容易に低くすることができる。

[0041] 本発明の第６の不揮発性記憶装置の製造方法は、第１乃至第５のいずれかの不揮発性記憶装置の製造方法において、基板の温度をソースガスの自己分解反応が生じない温度に保持しつつ、かつ反応性ガスの導入量が、第１抵抗変化層の形成工程より少なくなるように第２抵抗変化層の形成工程を実行するものである。

[0042] かかる構成では、第２抵抗変化層もコンフォーマルに形成することが容易となる。

[0043] 本発明の第７の不揮発性記憶装置の製造方法は、第１乃至第６のいずれかの不揮発性記憶装置の製造方法において、第１抵抗変化層の形成工程におけ

る第３工程において、反応性ガスの反応律速状態で膜の形成が起こるように反応性ガスを導入して、第１抵抗変化層を形成し、第２抵抗変化層の形成工程における第３工程において、反応性ガスの供給律速状態で膜の形成が起こるように反応性ガスを導入して、第２抵抗変化層を形成することで、第１抵抗変化層の酸素含有率を第２抵抗変化層の酸素含有率よりも高くする。

[0044] かかる構成では、第１抵抗変化層をほぼ化学量論的組成に設定すると共に、第２抵抗変化層を酸素不足型の組成に設定することが、より確実にできる。

[0045] ここで「反応律速」とは、原料ガスあるいは反応性ガスの供給量に影響されずに、成膜速度が一定の状態を言う。これは、例えば反応速度が非常に小さい場合に、反応速度が原料の供給量の影響をうけないような状態と考えられる。

[0046] また、「供給律速」とは、原料ガスあるいは反応性ガスの供給量に従って成膜速度が増加する状態を言う。これは、例えば反応速度が十分に大きい場合に、反応速度が原料の供給量に律速されるような状態と考えられる。

[0047] 本発明の第８の不揮発性記憶装置の製造方法は、第１乃至第７のいずれかの不揮発性記憶装置の製造方法において、第２電極の上端面を完全に被覆してさらにその外側を覆うように層間絶縁層の上に半導体層または絶縁体層を形成する工程と、半導体層または絶縁体層の上に第３電極を形成して第２電極と半導体層または絶縁体層と第３電極とで構成される電流制御素子を構成する工程とを有する。

[0048] 本発明の第９の不揮発性記憶装置の製造方法は、第１乃至第８のいずれかの不揮発性記憶装置の製造方法において、遷移金属がタンタルであって、第１抵抗変化層を構成するタンタル酸化物をTaO_x、第２抵抗変化層を構成するタンタル酸化物をTaO_yとするとき、$0<y<2.5$、$x \geqq y$であり、更に好ましくは、$x \geqq 2.1$および$0.8 \leqq y \leqq 1.9$を満たす。

[0049] かかる構成では、安定して抵抗変化動作が起こり、かつ、リテンション特性も良好な、不揮発性記憶素子が得られる。

[0050] 本発明の他の不揮発性記憶装置の製造方法は、基板上に第１電極を形成する工程と、第１電極上に層間絶縁層を形成する工程と、層間絶縁層内に第１電極に貫通するようにメモリセルホールを形成する工程と、メモリセルホールの内部に、遷移金属酸化物で構成される第１抵抗変化層をメモリセルホールにコンフォーマルに形成する工程と、第１抵抗変化層と同一の遷移金属酸化物であって酸素含有率が第１抵抗変化層よりも低い遷移金属酸化物で構成される第２抵抗変化層を、第１抵抗変化層を形成するのと同一チャンバ内で連続して、メモリセルホール内の第１抵抗変化層の上に埋め込み形成する工程と、第２抵抗変化層の上に第２電極を形成する工程とを備え、第１抵抗変化層を形成する工程および第２抵抗変化層を形成する工程は、それぞれ、遷移金属の原子を含有する分子で構成されるソースガスを導入する第１工程と、第１工程後にソースガスを除去する第２工程と、第２工程後に反応性ガスを導入して遷移金属酸化物を形成する第３工程と、第３工程後に反応性ガスを除去する第４工程と、で構成される第１工程から第４工程までのサイクルを１回または複数回実行するものであり、第１抵抗変化層を形成する工程は、基板の温度をソースガスの自己分解反応が生じない温度に保持しつつ実行されるものであり、第２抵抗変化層を形成する条件は、基板の温度をソースガスの自己分解反応が生じる温度に保持しつつ実行されるものであり、第１抵抗変化層の形成工程に含まれる第３工程において、反応性ガスの反応律速状態で膜の形成が起こるように反応性ガスを導入して、第１抵抗変化層を形成し、第２抵抗変化層の形成工程に含まれる第３工程において、反応性ガスの供給律速状態で膜の形成が起こるように反応性ガスを導入して、第２抵抗変化層を形成することにより、第１抵抗変化層を構成する遷移金属酸化物の酸素含有率を、第２抵抗変化層を構成する遷移金属酸化物の酸素含有率よりも高くする。

[0051] 上記製造方法において、第１抵抗変化層は酸素欠損がなくてもよい。

[0052] 本発明の他の不揮発性記憶装置の製造方法は、基板上に第１電極を形成する工程と、第１電極上に層間絶縁層を形成する工程と、層間絶縁層内に第１

電極に貫通するようにメモリセルホールを形成する工程と、メモリセルホールの内部に、遷移金属酸化物で構成される第１抵抗変化層をメモリセルホールにコンフォーマルに形成する工程と、第１抵抗変化層と同一の遷移金属酸化物であって酸素含有率が第１抵抗変化層よりも低い遷移金属酸化物で構成される第２抵抗変化層を、第１抵抗変化層を形成するのと同一チャンバ内で連続して、メモリセルホール内の第１抵抗変化層の上に埋め込み形成する工程と、第２抵抗変化層の上に第２電極を形成する工程とを備え、第１抵抗変化層を形成する工程および第２抵抗変化層を形成する工程は、それぞれ、遷移金属の原子を含有する分子で構成されるソースガスを導入する第１工程と、第１工程後にソースガスを除去する第２工程と、第２工程後に反応性ガスを導入して遷移金属酸化物を形成する第３工程と、第３工程後に反応性ガスを除去する第４工程と、で構成される第１工程から第４工程までのサイクルを１回または複数回実行するものであり、第１抵抗変化層を形成する工程および第２抵抗変化層を形成する工程は、基板の温度をソースガスの自己分解反応が生じない温度に保持しつつ実行されるものであり、第１抵抗変化層の形成工程に含まれる第３工程において、反応性ガスの反応律速状態で膜の形成が起こるように反応性ガスを導入して、第１抵抗変化層を形成し、第２抵抗変化層の形成工程に含まれる第３工程において、反応性ガスの供給律速状態で膜の形成が起こるように反応性ガスを導入して、第２抵抗変化層を形成することにより、第１抵抗変化層を構成する遷移金属酸化物の酸素含有率を、第２抵抗変化層を構成する遷移金属酸化物の酸素含有率よりも高くする。

[0053] 上記製造方法において、第１抵抗変化層は酸素欠損がなくてもよい。

[0054] なお、「コンフォーマルに形成する」とは、メモリセルホールの側面における膜の成長速度と、メモリセルホールの底面における膜の成長速度とが、実質的に等しくなるように成膜することである。

[0055] また、「埋め込み形成する」とは、メモリセルホールの側面における膜の成長速度が、メモリセルホールの底面における膜の成長速度よりも遅くなるように成膜することである。

[0056] 以下に、本発明に係る製造方法の知見を得るにあたって実施した実験結果を示す。

[0057] ［実験例１：原料ガスの供給時間と抵抗変化層の成長速度との関係］

抵抗変化層の形成条件の検討として、はじめに原料ガスの供給時間と抵抗変化層の成長速度の関係を検討した。

[0058] 本実験例で用いられた装置（日立国際電気社製Zestone）の概略図を図８に示す。原料容器３０２（容積：２００ｍｌ）には、抵抗変化層の原料であるＴＢＴＤＥＴを充填する。

[0059] チャンバ３０１（容積：４０Ｌ）の内部には、２００℃に加熱した８インチＳｉ基板を保持する。基板の表面にはあらかじめ層間絶縁層と層間絶縁層中にアレイ状のメモリセルホールを形成しておく。３０３は原料供給系であり加熱のためのヒーターを備えている。また、原料を成膜チャンバ３０１に導入するために、N_2などのキャリアガス配管も備えている。３０４は真空計であり、３０５は各種反応性ガスを選択するためのバルブである。

[0060] 第１工程では、原料容器３０２のＴＢＴＤＥＴ(液体)を１００℃に加熱し、これをキャリアガスである窒素ガス（供給流量：１５０ｓｃｃｍ）でバブリングすることにより、チャンバ３０１にソースガス（ＴＢＴＤＥＴガス）を導入した。なお、成膜プロセスを行っていないときは、チャンバは真空ポンプにて減圧にされている。成膜時のチャンバ３０１内部の圧力は１００Ｐａである。この工程では、ＴＢＴＤＥＴが基板の表面上にあるサイトに吸着し、単分子層が形成される。ＣＶＤモードとは異なり、基板温度が低いために基板の表面上にあるサイトが飽和すると吸着が停止し、自己制御的に単分子層が形成された段階で成長が停止する。このとき、ＴＢＴＤＥＴ分子はその一部の構成が、部分的に分解離脱することもある。

[0061] 第２工程では、窒素ガスでチャンバ３０１内をパージして余分なソースガスを除去する。これにより、それまでチャンバ３０１の内部にあったソースガスが窒素ガスにより置換される。

[0062] 第３工程では、反応性ガスとしてオゾン（O_3）を導入（供給流量：１００

ｓｃｃｍ）し、ＴＢＴＤＥＴ単分子膜を酸化して、Ｔａ酸化物の層を形成するとともに、ＴＢＴＤＥＴに含まれる配位子をCO_2等の副生成物(気体)へと酸化させて除去した。

[0063] 第４工程では、窒素ガスでチャンバ３０１をパージ（供給流量：１５０ｓｃｃｍ）して余分な反応性ガスおよび副生成物を除去した。これにより、それまでチャンバ３０１の内部にあったオゾンガスが窒素ガスにより置換されるようにした。

[0064] 第１から第４工程を基本サイクルとし、この基本サイクルを膜厚に応じて繰り返すことにより、タンタル酸化物層を形成した。

[0065] 本実験例では、第１工程においてソースガス供給時間をそれぞれ０．５秒、１秒、１．５秒、２．５秒と変化させ、第３工程において、各ソースガス供給時間に対し反応性ガスの供給時間は１０秒で一定として各サイクルで吸着したＴＢＴＤＥＴの単分子膜が完全に酸化されてＴａ酸化物（Ta_2O_5）となるようにし、いずれの条件においても基本サイクルを５０回繰り返した。

[0066] 得られたタンタル酸化物層の厚さをエリプソメータまたはＳＥＭ（走査型電子顕微鏡）により測定すると、ソースガス供給時間が０．５秒、１秒、１．５秒、２．５秒の各条件に対し、タンタル酸化物層の膜厚はそれぞれ２６Å、４２．５Å、５１Å、５３Åであった。得られた厚さを基本サイクルの回数で除し、基本サイクル１回あたりの成長速度を求めた結果、ソースガス供給時間０．５秒、１秒、１．５秒、２．５秒の各条件に対し、それぞれ０．５２Å／サイクル、０．８５Å／サイクル、１．０２Å／サイクル、１．０６Å／サイクルであった。

[0067] 以上の結果を図９Ａに示す。横軸は基本サイクル１回あたりのソースガスの供給時間、縦軸は基本サイクル１回あたりの成長速度である。

[0068] 図９Ａに示されているように、ソースガスの供給時間が１．５秒に達するまでは、成長速度がソースガスの供給時間の増加と共に上昇し、タンタル酸化物の成長はいわゆる供給律速の状態にあると考えられる。即ちＡ点に対応

する実験では、図９Ｂに示すように、各サイクルにおける第４工程の後で、Ｔａ酸化物が表面の一部にしか吸着していない(状態Ａ)と推定される。

[0069] 一方、図９Ａに示されているように、ソースガスの供給時間が１．５秒以上のときの成長速度はソースガスの供給時間が増加してもあまり変化せず、タンタル酸化物の成長はいわゆる反応律速の状態にあると考えられる。即ちＢ点に対応する実験では、図９Ｃに示すように、各サイクルにおける第４工程の後で、Ｔａ酸化物が表面の全体に吸着している(状態Ｂ)と推定される。反応律速の状態で抵抗変化層を形成することにより、ばらつきの少ない均一な抵抗変化層を形成することが可能である。

[0070] 図２０に、開口部の直径が７２．９ｎｍで深さ１０９．３ｎｍのホールに、厚さ１５．１ｎｍの抵抗変化層（TaO_x）を形成したメモリセルホールの断面のＳＥＭ写真を示す。

層間絶縁膜表面、メモリセルホールの壁面、及びメモリセルホールの底面に形成された抵抗変化層の厚さはいずれも１５．１ｎｍで、極めて良好なボトムカバレージを示している。

[0071] 図１９に、メモリセルホールのアスペクト比を変化させた場合のボトムカバレッジの変化を示すが、ＡＬＤプロセスを用いた場合、アスペクト比が変化してもボトムカバレッジはほとんど変化しないことがわかる。また、ボトムカバレッジの替わりに側壁カバレッジを指標に用いてもよい。

[0072] 図２１にボトムカバレッジと側壁カバレッジの関係を示す。図２１からもわかるように、アスペクト比１以上の領域では側壁カバレッジは急激に改善している。また、アスペクト比が１より大きい領域では、工程管理の指標として側壁カバレッジを用いることができる。

[0073] ［実験例２：反応性ガスの供給時間と抵抗変化層の成長速度との関係］

実験例２では、実験例１の結果を踏まえ、ソースガスの供給時間を1．５秒として、Ｔａ酸化物が表面の全体に吸着するようにしつつ、反応性ガスの供給時間を検討した。実験例２では、ソースガスの供給時間を1．５秒に固定した点と、反応性ガスの供給時間を異ならせた点以外は、実験例１と同様の装

置および実験条件で実験を行った。

[0074] 本実験例では、反応性ガスの供給時間を０秒、０．５秒、５秒、１０秒、１５秒とした場合において、いずれの場合も５０回だけ基本サイクルを繰り返した。このとき、各々の場合において、得られたタンタル酸化物層の厚さをエリプソメータで測定すると、３０．５Å、３１．５Å、４０．５Å、５０．５Å、５０．５Åであった。得られた厚さを基本サイクルの回数で除し、基本サイクル１回あたりの成長速度を求めた結果、それぞれ０．６１Å／サイクル、０．６３Å／サイクル、０．８１Å／サイクル、１．０１Å／サイクル、１．０１Å／サイクルであった。

[0075] 以上の結果を図１０Ａに示す。横軸は基本サイクル１回あたりの反応性ガスの供給時間（O_3 Ｐｕｌｓｉｎｇ Ｔｉｍｅ）、縦軸は基本サイクル１回あたりの堆積速度（Ｄｅｐｏｓｉｔｉｏｎ Ｒａｔｅ）である。

[0076] 図１０Ａに示されているように、反応性ガスの供給時間が１０秒に達するまでは、堆積速度が反応性ガスの供給時間の増加と共に上昇し、タンタル酸化物の成長はいわゆる供給律速の状態にあると考えられる。即ちＣの領域に対応する実験では、図１０Ｂに示すように、各サイクルにおける第４工程の後で、Ｔａで構成される層は表面の一部でしか酸化されておらず、化学量論的組成（stoichiometric composition）に対し酸素が不足している状態(状態Ｃ)にあると推定される。

[0077] 一方、図１０Ａに示されているように、反応性ガスの供給時間が１０秒以上になると堆積速度は反応性ガスの供給時間が増加しても変化せず、タンタル酸化物の成長はいわゆる反応律速の状態にあると考えられる。即ちＤの領域に対応する実験では、図１０Ｃに示すように、各サイクルにおける第４工程の後で、Ｔａで構成される層の全面が化学量論的組成に近い状態で酸化されていると考えられる。

[0078] 反応性ガスの供給時間を１５秒とした場合に得られた厚さ１０ｎｍのタンタル酸化物層の組成をＸＰＳ分光法で分析すると、組成比はＴａ／0＝３３／６７（Ｔａ：３３ａｔｍ％、Ｏ：６７ａｔｍ％）であった。一方、反応性ガ

スの供給時間を０．５秒とした場合に得られた厚さ１０ｎｍのタンタル酸化物層の組成をＸＰＳ分光法で分析すると、Ｔａ／0＝４０／６０（Ｔａ：４０ａｔｍ％、Ｏ：６０ａｔｍ％）であった。即ち、後者の方が、酸素含有率が低くなっていることがわかる。

[0079] 通常のＡＬＤプロセスでは、ソースガスおよび反応性ガスの供給を十分な時間に設定することにより、非常に薄い膜厚でも欠損の無い緻密な膜を形成可能としている。しかしながら、上記の検討結果を基にすれば、反応性ガスの供給時間を制御することにより、酸素含有率が異なる複数の抵抗変化層を連続的に形成できると考えられる。

[0080] 即ち、酸素含有率が高い抵抗変化層を形成するためには、図１０Ａの状態Ｄのように、反応性ガスの供給時間を成長速度が飽和する領域、即ち反応律速となるように設定すればよい。一方、酸素含有率が低く酸素欠損を有する抵抗変化層を形成するためには、図１０Ａの状態Ｃのように、反応性ガスの供給時間を成長速度が飽和する領域よりも短時間、即ち供給律速となるように設定すればよい。

[0081] なお、反応性ガスの供給時間でなく、反応性ガスの供給量（体積）や反応性ガスの流量（供給速度）などで酸素含有率を制御してもよい。

[0082] 以上の結果から、例えば第１実施形態において、第１抵抗変化材料層１８１ａは、ＴＢＴＤＥＴを１００℃に加熱し、基板を２００℃に加熱し、１回の基本サイクルにおいて、第１工程でのソースガスの供給時間を１．５秒以上、第３工程での反応性ガスの供給時間を１０秒以上に設定することで形成することができる。

[0083] また、第１実施形態において、第２抵抗変化材料層１８１ｂは、ＴＢＴＤＥＴを１００℃に加熱し、基板を２００℃に加熱し、１回の基本サイクルにおいて、第１工程でのソースガスの供給時間を１．５秒以上、第３工程での反応性ガスの供給時間を１０秒未満に設定することで形成することができる。

[0084] ［実験例３］

実験例３では、抵抗変化層の酸素含有率をより広範囲に制御する方法について検討した。実験例３では、基板の温度を異ならせた点以外は、実験例２の状態Ｄと同様の装置および実験条件で実験を行った。

[0085] 実験例３では、より酸素含有率の低い抵抗変化層を形成することを目標として、反応チャンバ中での基板加熱温度をソースガスが基板表面で自己分解反応を起こす温度（例えば、ソースガスがＴＢＴＤＥＴの場合は３５０℃）とする。この結果、第１工程でソースガスとしてＴＢＴＤＥＴガスが導入されると、図１１Ａに示すように基板表面で自己分解反応を起こし、複数のＴａ原子層で構成されるＴａ膜が形成される。次に第２工程で窒素ガスを導入してソースガスをパージした後に、第３工程で反応性ガスであるオゾンを膜成長が供給律速となるように導入して複数原子層で構成されるＴａ膜の表面を酸化させた後（図１１Ｂ参照）、第４工程で反応性ガスをパージする。この第１から第４工程の基本サイクルを繰り返すことにより、化学量論的組成より酸素が不足したタンタル酸化物膜の形成が可能になる。以上の条件で形成した厚さ１０ｎｍのタンタル酸化物層の組成をＸＰＳ法により分析を行った。その結果、Ｔａ／Ｏ＝６２／３８（Ｔａ：６２ａｔｍ％、Ｏ：３８ａｔｍ％）の組成であり、酸素含有率が第２実験例のＣ領域で得られたタンタル酸化物層の組成と比較して酸素含有率がさらに低くなっていることが分かる。

[0086] 上記の結果から、反応性ガスの導入量を少なくする（例えば供給律速となるように導入する）ことに加え、ソースガスの自己分解反応が起きるように基板温度を設定する（ＣＶＤモードにより抵抗変化層が形成されるようにする）ことにより、酸素含有率のさらに低い金属酸化物薄膜を形成することが可能となることが分かる。

[0087] つまり、第２抵抗変化材料層１８１ｂを形成する際に、ＣＶＤモードを採用すれば、ＡＬＤモードを採用した場合と比較して、第２抵抗変化層１８ｂの酸素含有率をさらに低くすることが容易となる。

[0088] 以下には、上記実験結果による知見をもとに、本発明の実施形態について

説明する。

[0089] （第１実施形態）

［装置構成］

図１Ａは、本発明の第１実施形態に係る不揮発性記憶装置１０の概略構成の一例を示す平面図である。図１Ｂは、図１Ａの１Ａ－１Ａ線に沿う断面を矢印方向に見た断面図である。図１Ａは、理解しやすくするために最上層の絶縁保護層２３の一部を除去した仮想的な状態を示す。図２Ａおよび図２Ｂは、図１Ａおよび図１Ｂの抵抗変化素子１７と非オーミック特性を有する電流制御素子（current steering element）２０の要部の部分拡大図で、図２Ａは平面図、図２Ｂは図２Ａの２Ａ－２Ａ線に沿う断面を矢印方向に見た断面図である。

[0090] 本実施形態の不揮発性記憶装置１０は、基板１１と、基板１１の上に形成された、下部電極裏打ち配線１５とその上部に下部電極裏打ち配線１５と物理的に接触するように形成された下部電極配線１５１とで構成された２層構造を有するストライプ形状（基板の厚み方向から見た場合）の下層配線と、下層配線を覆うように形成された層間絶縁層１６とを備えている。層間絶縁層１６には、下部電極配線１５１の上に所定の間隔でメモリセルホール２９が形成されている。各メモリセルホール２９に対応して、直列に接続された抵抗変化素子１７と、電流制御素子２０とが、それぞれ形成されている。

[0091] メモリセルホール２９の内部には、本発明に係るＡＬＤモードを用い、メモリセルホール２９の底および側壁を覆い下部電極配線１５１と物理的に接触するようにメモリセルホール２９の形状に応じてほぼ同じ厚さでコンフォーマルに形成された第１抵抗変化層１８ａと、第１抵抗変化層１８ａの底および側壁を覆い、第１抵抗変化層１８ａと物理的及び電気的に接触するように形成された第２抵抗変化層１８ｂと、第２抵抗変化層１８ｂの内側に第２抵抗変化層１８ｂと物理的に接触するように形成された中間電極１９が形成されている。各メモリセルホール２９について、該メモリセルホール２９の底に露出する下部電極配線１５１と、該メモリセルホール２９の内部の第１

抵抗変化層１８ａと、該メモリセルホール２９の内部の第２抵抗変化層１８ｂと、該メモリセルホール２９の内部の中間電極１９とで、抵抗変化素子１７が構成される。

[0092] 第１抵抗変化層１８ａおよび第２抵抗変化層１８ｂは、好ましくは酸素不足型の遷移金属酸化物で構成され、より好ましくは酸素不足型のタンタル酸化物（TaO_x、０＜ｘ＜２．５）で構成される。酸素不足型の遷移金属酸化物とは、遷移金属をＭ、酸素をＯとして遷移金属酸化物をMO_x（ｘは、遷移金属を１モルとしたときの酸素のモル数で表される組成比）と表記した場合に、酸素Ｏの組成比ｘが化学量論的に安定な状態（タンタルの場合には２．５）よりも小さい酸化物である。酸素不足型のタンタル酸化物で構成される遷移金属酸化物の抵抗変化層を用いることにより、可逆的に安定した書き換え特性を有する、抵抗変化現象を利用した不揮発性記憶素子を得ることができる。このことについては、国際公開２００８／０５９７０１号に詳細に説明されている。

[0093] 第１抵抗変化層１８ａは実質的に酸素不足型でない遷移金属酸化物で構成されうる。遷移金属酸化物の層を形成する場合、酸素欠損のない化学量論的な組成を実現しようとしても、わずかに酸素欠損が生じてしまう。第１抵抗変化層１８ａは、このようなわずかな酸素欠損のみを含む酸素不足型の遷移金属酸化物（実質的に酸素不足型でない遷移金属酸化物）で構成されてもよい。

[0094] 酸素不足型のタンタル酸化物が抵抗変化層の材料に用いられる場合、第１抵抗変化層を構成するタンタル酸化物をTaO_x、第２抵抗変化層を構成するタンタル酸化物をTaO_yとするとき、$x \geqq 2.1$および$0.8 \leqq y \leqq 1.9$を満たすことが好ましい。これにより、安定して抵抗変化動作が起こり、かつ、リテンション特性も良好な、不揮発性記憶素子が得られる。

[0095] 第１抵抗変化層１８ａおよび第２抵抗変化層１８ｂは、酸素不足型のタンタル酸化物だけでなく、ＡＬＤモード（後述）により形成されたチタン酸化物（TiO_x、０＜ｘ＜２．０）、ハフニウム酸化物（HfO_x、０＜ｘ＜２．

０）、ジルコニウム酸化物（ZrO_x、０＜ｘ＜２．０）、またはニッケル酸化物（NiO_x、０＜ｘ＜１．０）等の酸素不足型の遷移金属酸化物を用いてもよい。このような遷移金属酸化物材料は、閾値以上の電圧または電流が印加されたときに特定の抵抗値を示し、その抵抗値は新たに一定の大きさのパルス電圧またはパルス電流が印加されるまでは、その抵抗値を維持しつづけるため、不揮発性記憶素子に利用できる。

[0096] 第１抵抗変化層１８ａの酸素含有率は、第２抵抗変化層１８ｂの酸素含有率よりも高いことが好ましい。すなわち、第１抵抗変化層１８ａを構成する遷移金属酸化物をMO_x、第２抵抗変化層１８ｂを構成する遷移金属酸化物をMO_yとするとき、ｘ＞ｙであることが好ましい。抵抗変化層が酸素含有率の異なる２つのタンタル酸化物層で構成されている抵抗変化素子については、特許文献３に詳細に説明されている。

[0097] 本実施形態において、第１抵抗変化層１８ａ（高濃度酸素含有層）を構成するタンタル酸化物の酸素含有率は、６８～７１ａｔｍ％（ａｔｍ％はMO_xにおいて１００ｘ／（１＋ｘ）で表される百分率、以下同様）、第２抵抗変化層１８ｂ（低濃度酸素含有層）を構成するタンタル酸化物の酸素含有率は、４４～６６ａｔｍ％とするのが好ましい。下部電極配線１５１の近傍において抵抗変化層の酸素含有率を高く設定することにより、下部電極配線１５１と抵抗変化層との界面での酸化還元反応により抵抗変化現象を発現しやすくすることができる。これにより、低電圧駆動が可能な良好なメモリセル特性を得ることができる。

[0098] 下部電極配線１５１は、白金（Ｐｔ）やイリジウム（Ｉｒ）などの貴金属材料で構成するのが好適である。貴金属材料の標準電極電位は、他の金属に比べて高く、ＰｔやＩｒの標準電極電位は＋１．２ｅＶとなる。一方、抵抗変化層を構成するタンタル（Ｔａ）の標準電極電位は－０．６Ｖである。一般的に標準電極電位は、酸化されにくさの一つの指標であり、この値が大きければ酸化されにくく、小さければ酸化されやすいことを意味する。発明者らの研究によれば、電極を構成する材料の標準電極電位と抵抗変化層に含ま

れる遷移金属の標準電極電位との差が大きいほど抵抗変化が起こりやすく、差が小さくなるにつれて、抵抗変化が起こりにくいことが明らかになっている。この事実から、電極と抵抗変化層の材料の酸化のされやすさが抵抗変化現象のメカニズムに大きな役割を果たしていると推測される。タンタルの標準電極電位は－０．６ｅＶで、白金やイリジウムの標準電極電位よりも低い。よって上記好適な構成では、白金やイリジウムで構成された下部電極配線１５１とタンタル酸化物で構成された第１抵抗変化層１８ａとの界面近傍の第１抵抗変化層１８ａで、酸化還元反応が起こり、酸素の授受が行われて、抵抗変化現象が発現する。

[0099] 下部電極裏打ち配線１５は、例えばＴｉＡｌＮ、Ｃｕ、Ａｌ、ＴｉＡｌ、またはこれらの積層構造で構成できる。下部電極配線１５１には、ＰｔまたはＩｒで構成できる。下部電極裏打ち配線１５および下部電極配線１５１は、スパッタリングにより成膜した後、露光プロセスとエッチングプロセスを経ることで容易に形成できる。

[0100] 中間電極１９は、抵抗変化層１８（第１抵抗変化層１８ａおよび第２抵抗変化層１８ｂで構成される）を構成する遷移金属の窒化物で構成されることが好ましい。抵抗変化層１８をタンタル酸化物で構成する場合には、中間電極１９を窒化タンタル（ＴａＮ）で構成することが好ましい。中間電極１９は、アルミニウムで構成されてもよい。

[0101] 第１抵抗変化層１８ａ、第２抵抗変化層１８ｂ、及び中間電極１９は、成膜した後、層間絶縁膜１６上の堆積した膜を除去し、メモリセルホール１９内にのみ充填されるようにする。

[0102] メモリセルホール２９の上部開口には、第１抵抗変化層１８ａと、第２抵抗変化層１８ｂと、中間電極１９とが露出しており、これを被覆するように半導体あるいは絶縁体で構成される電流制御層２１が形成され、さらに電流制御層２１の上に電流制御層２１に物理的、電気的に接触するように上部電極配線２２が形成されている。電流制御層２１と上部電極配線２２とは、基板の厚み方向から見ると、下部電極裏打ち配線１５に対して交差するストラ

イプ形状を有し、メモリセルホール２９の開口より大きな形状（面積）を有し、メモリセルホール２９の開口を完全に覆いかつその周囲にはみ出すように、層間絶縁層１６の上に形成されている。上部電極配線２２は上層電極配線の一部を構成している。各メモリセルホール２９について、該メモリセルホール２９の内部に埋め込まれた中間電極１９と、電流制御層２１の該メモリセルホール２９の開口部を覆う部分と、これに対応する上部電極配線２２とで、電流制御素子２０が構成される。電流制御層２１が絶縁体の場合には電流制御素子２０はＭＩＭダイオードとなり、電流制御層２１が半導体の場合には電流制御素子２０はＭＳＭダイオードとなる。

[0103] 上部電極配線２２の材料には、タンタル（Ｔａ）、タングステン(W)、アルミニウム（Ａｌ）、あるいはこれらの組み合わせ、タンタル窒化物等の高融点金属窒化物を用いることができる。上部電極配線２２において電流制御層２１に物理的、電気的に接触する部分の材料にＴｉやＣｒを用いることもできるが、その場合には配線抵抗が大きくなるため、ＴｉやＣｒで構成される層の上にＡｌやＣｕ等の低抵抗材料で構成される薄膜を積層形成することが望ましい。

[0104] 電流制御層２１の材料に絶縁体を用いる場合には、窒化シリコン（Si_3N_4）を用いることができる。電流制御層２１の材料に半導体を用いる場合には窒素不足型のシリコン窒化物（SiN_z、$0<z\leqq0.85$）を用いることができる。

[0105] 窒素不足型シリコン窒化膜の成膜には、例えば、多結晶シリコンのターゲットをアルゴンと窒素との混合ガス雰囲気の下でスパッタする手法、いわゆる、反応性スパッタ法を用いることができる。典型的な成膜条件として、圧力を０．０８～２Ｐａとし、基板温度を２０～３００℃とし、窒素ガスの流量比（アルゴンと窒素との総流量に対する窒素の流量の比率）を０～４０％とし、ＤＣパワーを１００～１３００Ｗとした上で、シリコン窒化膜の厚さが５～２０ｎｍとなるように成膜時間を調節する態様を採用することができる。

[0106] 電流制御素子の電極にタンタル窒化物を用いた場合、タンタル窒化物の仕事関数は４．６ｅＶであり、シリコンの電子親和力３．８ｅＶより十分高いので、電流制御層２１と上部電極配線２２との界面でショットキーバリアが形成される。上部電極配線２２と中間電極１９がともにタンタル窒化物で構成される構成では、電流制御素子２０は電流制御層２１の窒素濃度により双方向のＭＩＭダイオードあるいは双方向のＭＳＭダイオードとして機能する。

[0107] なお、第１抵抗変化層１８ａの酸素含有率は、第２抵抗変化層１８ｂの酸素含有率よりも低くてもよい。この場合、第２抵抗変化層１８ｂの内部に埋め込まれる電極が上部電極となり、該上部電極を白金やイリジウムなどで構成するのが好ましい。

[0108] また、電流制御素子はメモリセルホールの下方に形成することができる。この場合、第１抵抗変化層１８ａに物理的に接触する電極が中間電極となり、その下方に電流制御層が形成され、さらにその下方に下部電極が形成されることになる。

[0109] 図１に示すように、上部電極配線２２は、抵抗変化素子１７と電流制御素子２０とがマトリクス状に形成された領域（マトリクス領域）の外まで延在されている。マトリクス領域内では、上部電極配線２２が各メモリセルを接続する配線（ワード線あるいはビット線等）として機能する。

[0110] 本実施形態では、基板１１としてシリコン単結晶基板が用いられ、基板１１の上にトランジスタ等の能動素子１２を集積した半導体回路を有する。図１Ｂでは、能動素子１２は、ソース領域１２ａ、ドレイン領域１２ｂ、ゲート絶縁膜１２ｃおよびゲート電極１２ｄで構成されるトランジスタ（ＭＯＳＦＥＴ）を示している。ただし、基板１１の上には能動素子１２だけでなく、一般的にメモリ回路に必要な素子をも形成されうる。

[0111] 下部電極裏打ち配線１５および上部電極配線２２は、基板１１の厚み方向から見て、抵抗変化素子１７および電流制御素子２０が形成されたマトリクス領域とは異なる領域において能動素子１２にそれぞれ接続されている。す

なわち、図１Ｂにおいては、下部電極裏打ち配線１５は、層間絶縁層１３、１４に形成されたコンタクトホール中の埋め込み導体２４、２５および半導体回路配線２６を介して能動素子１２のソース領域１２ａに接続されている。なお、上部電極配線２２についても、埋め込み導体２８を介して同様に別の能動素子（図示せず）に接続されている。

[0112] 層間絶縁層１３、１４、１６、絶縁保護層２３としては、絶縁性の酸化物材料を用いることができる。具体的には、ＣＶＤ法による酸化シリコン（ＳｉＯ）やオゾン（O_3）とテトラエトキシシラン（ＴＥＯＳ）を用いてＣＶＤ法により形成したＴＥＯＳ－ＳｉＯ膜あるいはシリコン窒化（ＳｉＮ）膜を用いることができる。層間絶縁層１３、１４は、配線間の寄生容量の低減のために、フッ素含有酸化物（例えば、ＳｉＯＦ）やカーボン含有窒化物（例えば、ＳｉＣＮ）あるいは有機樹脂材料（例えば、ポリイミド）で形成されるのが好ましい。層間絶縁層１６として、低誘電率材料であるシリコン炭窒化物（ＳｉＣＮ）の膜やシリコン炭酸化物（ＳｉＯＣ）の膜あるいはシリコンフッ素酸化物（ＳｉＯＦ）の膜等を用いてもよい。

[0113] 半導体回路配線２６については、従来のようにアルミニウムで形成してもよいが、微細化しても低抵抗を実現できる銅で形成するのが好ましい。

[0114] 図３は、本発明の第１実施形態に係る不揮発性記憶装置１０の概略の回路構成の一例を説明する図である。図３に示すように、抵抗変化素子１７と電流制御素子２０とが直列に接続され、抵抗変化素子１７の一端が下部電極裏打ち配線１５に接続され、電流制御素子２０の一端が上部電極配線２２に接続されている。下部電極裏打ち配線１５は、ビット線デコーダ６および読み出し回路７に接続されている。上部電極配線２２は、ワード線デコーダ５に接続されている。このように、下部電極裏打ち配線１５がビット線で、上部電極配線２２がワード線となり、ビット線とワード線とがなす格子の交点において、直列に接続された抵抗変化素子１７と電流制御素子２０とで構成されるメモリセルがマトリクス状に配置されている。ビット線デコーダ６と、ワード線デコーダ５と、読み出し回路７とで周辺回路が構成されるが、これ

らの周辺回路は例えばＭＯＳＦＥＴ等の能動素子１２等により構成されている。

[0115] 本実施形態の場合には、図１Ｂに示すように中間電極１９はメモリセルホール２９の中（上部開口より下側）に完全に埋め込まれており、表面を非常に平滑に加工することができる。このような平滑な面上に電流制御層２１を形成した場合には、層が薄い場合でも緻密で連続した層を得ることができ、電流制御層２１の耐圧性（比較的高い電圧を印加しても絶縁破壊が生じない特性）を適切に確保できる。

[0116] 中間電極１９は電流制御層２１により上端面の全面が覆われるので、電流制御層２１の外周領域で中間電極１９と上部電極配線２２とが接触して電流がリークすることがない。

[0117] 上部電極配線２２は、厚み方向から見て中間電極１９の外周より外側にまで設けられているので、電流制御素子２０を流れる電流のパスは、厚み方向から見て、中間電極１９の外周から外側に広がるように形成される。この場合、メモリセルホール２９中の中間電極１９から電流制御層２１に向かって、電界による電気力線が水平方向に広がるように形成されるので、電流制御素子２０（ＭＩＭダイオードまたはＭＳＭダイオード）の実効面積は、全ての層がメモリセルホールの中に埋め込まれた従来の電流制御素子における実効面積よりも大きくなる。したがって、従来よりも電流容量が大きく、かつ特性のばらつきの小さいＭＩＭダイオードまたはＭＳＭダイオードで構成される電流制御素子２０を得ることができる。

[0118] なお、本実施形態では、電流制御層２１としてＳｉＮ$_z$を用いる場合について説明したが、本発明はこれに限定されない。例えば、電流制御層２１として酸化タンタル（ＴａＯ）またはアルミナ（ＡｌＯ）またはチタニア（ＴｉＯ）を用いてもよい。ＴａＯを用いる場合には、例えばＴａ膜を成膜した後、ドライ熱酸化法（dry thermal oxidation）、ウエット熱酸化法（wet thermal oxidation）、プラズマ酸化法（plasma oxidation）あるいは反応性スパッタリング法（reactive sputtering）により直接ＴａＯ$_z$膜を形成する方法

、ＡＬＤ法等によりTaO_zが形成されてもよい。

[0119] ［製造方法］

図４Ａ乃至図４Ｃは、本発明の第１実施形態に係る不揮発性記憶装置の製造方法を示す工程図であって、図４Ａは能動素子１２の形成された基板１１上に、層間絶縁層１４、埋め込み導体２４、下部電極裏打ち配線１５、下部電極配線１５１、及び層間絶縁層１６を形成する工程後の断面図、図４Ｂは層間絶縁層１６にメモリセルホール２９を形成する工程後の平面図、図４Ｃは図４Ｂの４Ａ－４Ａ線での断面を矢印方向に見た断面図である。なお、図４Ａの断面図を含め、図４から図７に示す断面図はすべて、各工程において４Ａ－４Ａ線での断面を矢印方向に見た断面図である。

[0120] 図５Ａ乃至図５Ｃは、本発明の第１実施形態に係る不揮発性記憶装置の製造方法を示す工程図であって、図５Ａは層間絶縁層１６の上およびメモリセルホール２９の内部に第１抵抗変化層１８ａとなる第１抵抗変化材料層１８１ａを形成する工程後の断面図、図５Ｂは第１抵抗変化材料層１８１ａの上に第２抵抗変化層１８ｂとなる第２抵抗変化材料層１８１ｂを形成する工程後の断面図、図５Ｃは第２抵抗変化材料層１８１ｂの上に中間電極１９となる中間電極材料層１９１を形成する工程後の断面図である。

[0121] 図６Ａおよび図６Ｂは、本発明の第１実施形態に係る不揮発性記憶装置の製造方法を示す工程図であって、図６Ａはメモリセルホール２９の内部の第１抵抗変化材料層１８１ａと第２抵抗変化材料層１８１ｂと中間電極材料層１９１とを残し、それ以外の第１抵抗変化材料層１８１ａと第２抵抗変化材料層１８１ｂと中間電極材料層１９１とをＣＭＰにより除去する工程後の平面図、図６Ｂはその断面図である。

[0122] 図７Ａおよび図７Ｂは、本発明の第１実施形態に係る不揮発性記憶装置の製造方法を示す工程図であって、図７Ａはメモリセルホール２９の上部開口を完全に覆いかつその外側にはみ出すように電流制御層２１と上部電極配線２２とをこの順に積層する工程後の平面図、図７Ｂはその断面図である。

[0123] 以下、図４Ａから図７Ｂを用いて本実施形態に係る不揮発性記憶装置１０

の製造方法について説明する。

[0124] まず、図４Ａに示すように、基板１１上に、複数の能動素子１２と、層間絶縁層１３、１４と、埋め込み導体(vertical contacts or vias)２４、２５と、半導体回路配線２６と、下部電極裏打ち配線１５と、下部電極配線１５１と、層間絶縁層１６とを形成する。

[0125] 下部電極裏打ち配線１５および下部電極配線１５１は、層間絶縁層１４中に埋め込み形成されている。かかる構成は、例えば以下のように形成される。すなわち、層間絶縁層１４に、一般的な半導体プロセスで用いられている技術を用いて、下部電極裏打ち配線１５および下部電極配線１５１を埋め込むためのストライプ形状（基板の厚み方向から見た場合）の溝と半導体回路配線２６に接続するためのコンタクトホールを形成する。これらの溝とコンタクトホールを形成後、下部電極裏打ち配線１５および下部電極配線１５１となる導体をめっき法やＣＶＤ法などにより埋め込んだ後、例えばＣＭＰにより不要部分を除去する。

[0126] 図４Ａに至るまでのその他の工程には、周知の製造方法を用いることができるので、詳細な説明を省略する。

[0127] 次に、図４Ｂ、図４Ｃに示すように、下部電極配線１５１を覆っている層間絶縁層１６に、一定の配列ピッチで、底面に下部電極配線１５１が露出するようにメモリセルホール２９を形成する。メモリセルホール２９は、図４Ｂからわかるように、下部電極裏打ち配線１５の幅より小さな外形としている。なお、図では四角形状としているが、円形状でも楕円形状でも、あるいはさらに他の形状であってもよい。メモリセルホール２９は、一般的な半導体プロセス（リソ工程及びドライエッチ工程）により形成することができるので、詳細な説明は省略する。

[0128] 次に、図５Ａに示すように、メモリセルホール２９が形成された層間絶縁層１６の上に、第１抵抗変化層１８ａとなる第１抵抗変化材料層１８１ａ（第１堆積膜）を形成する。本実施形態では、タンタル酸化物を、メモリセルホール２９の内部（側壁および底部）および層間絶縁層１６の上に、ＡＬＤ

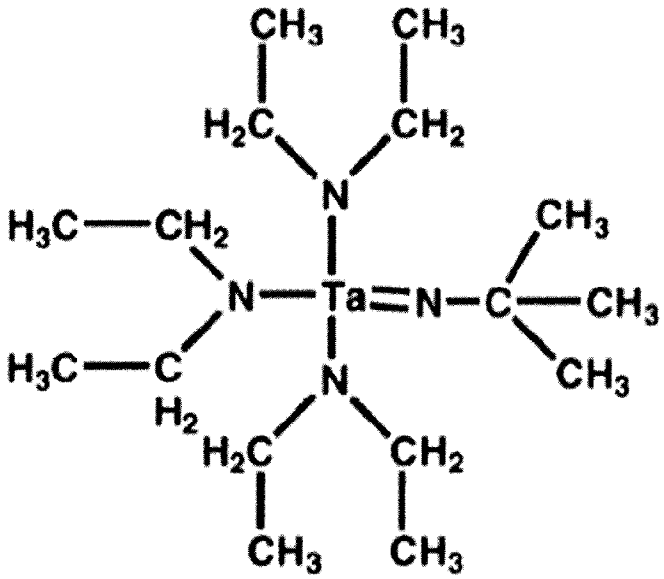
モードにより堆積することにより第１抵抗変化材料層１８１ａが形成される。本実施の形態において、ＡＬＤモードとは、遷移金属（ここでは、タンタル）の原子を含有するソースガスの自己分解反応が生じない温度で基板上に膜の堆積を行うモードと定義する。

[0129] 本実施形態における第１抵抗変化材料層１８１ａの形成方法は、ＡＬＤモードを用いるものである。具体的には例えば、遷移金属の原子を含有するソースガスを導入する第１工程と、第１工程後にソースガスを除去する第２工程と、第２工程後に反応性ガスを導入する第３工程と、第３工程後に反応性ガスを除去する第４工程と、で構成されるサイクルを１回または複数回実行する。ＡＬＤモード法は、単分子層ずつでも成膜できるため、所定の膜厚の第１抵抗変化材料層１８１ａを形成するため、上記サイクルを複数回実施してもよい。第１抵抗変化材料層１８１ａを形成する工程では、基板の温度をソースガスの自己分解反応が生じない温度に保持する。これにより、ＡＬＤモードでの堆積が実行されることになり、第１抵抗変化材料層１８１ａは、メモリセルホール２９の内部（側壁および底部）において、ほぼ均一な厚さでコンフォーマルに形成される。

[0130] ソースガスとして、例えばＴＢＴＤＥＴを用いてもよい。ＴＢＴＤＥＴの化学式は化１にて示される。

[0131]

[化1]



(Tertiary Buthylimido)Tris(DiEthylamido)Tantalum

(TBTDET)

$Ta[N(C_2H_5)_2]_3[=NC(CH_3)_3]$

[0132] 反応性ガスとしては、例えばオゾン（O_3）ガスが用いられる。

[0133] ソースガス及び反応性ガスの除去には、パージガスによるパージを用いてもよい。パージに用いるガスとしては、窒素（N_2）ガス等反応性の低いガスを用いる。ただし、ガスの種類は以上のものに限定されない。また、パージガスを用いたくない場合は、真空状態で放置して、ソースガス及び反応性ガスを除去してもよい。

[0134] 本実施形態において、第１抵抗変化材料層１８１ａを形成するための装置構成の概略図を図８に示す。原料容器３０２には、抵抗変化層の原料（前駆体）であるＴＢＴＤＥＴが充填される。チャンバ３０１の内部には、基板の温度をソースガスの自己分解反応が生じない温度（例えば２００℃）に加熱した基板を保持する。この状態では、チャンバ３０１内は減圧状態（ここでは１００Ｐａ）に保たれる。

[0135] 第１工程では、原料容器３０２のＴＢＴＤＥＴを１００℃に加熱し、これをキャリアガスである窒素ガスでバブリング（Bubbling）することによりソースガスを発生させ、チャンバ３０１にソースガスを導入する。この工程では、ＴＢＴＤＥＴの分子が部分的に分解されつつ基板の表面上にあるサイトに吸着し、ＴＢＴＤＥＴの単分子層が形成される。ソースガスの自己分解反応が生じる温度で膜の堆積を行うＣＶＤモードとは異なり、基板温度が低くソースガスの自己分解反応が生じないため、サイトが飽和すると反応が停止し、自己制御的に単分子層が形成された段階で成長が停止する。

[0136] 第２工程では、チャンバ３０１に窒素ガスを導入してチャンバ３０１内をパージし、余分なソースガスを除去した後、減圧状態（ここでは１００Ｐａ）にする。

[0137] 第３工程では、チャンバ３０１に反応性ガスとしてオゾン（O_3）を導入する。これにより、ＴＢＴＤＥＴの単分子膜を酸化して、Ｔａ酸化物の層を形成するとともに、ＴＢＴＤＥＴに含まれる配位子をCO_2等の副生成物へと酸化させて除去する。

[0138] 第４工程では、チャンバ３０１に窒素ガスを導入してチャンバ３０１をパージし、余分な反応性ガスおよび副生成物を除去する。

[0139] 以上の第１工程、第２工程、第３工程、第４工程をこの順に実行するものである基本サイクルを複数回繰り返すことで、第１抵抗変化材料層１８１ａが形成される。１基本サイクルあたりの抵抗変化材料層の成長速度は約０．６～１Åである。第１抵抗変化層１８ａの好適な厚さを５ｎｍとすれば、約５０～８０回基本サイクルを繰り返すことにより最適な膜厚の第１抵抗変化層１８ａを形成できる。

[0140] 第１工程におけるソースガスのチャンバ３０１への導入量は、基板表面の全面に亘ってソースガスの単分子層が形成されるように設定するのが好ましい。別の言い方をすれば、基板表面のサイトがソースガスの分子により飽和する（いわゆる反応律速の状態にある）ように設定するのが好ましい（実験例１および実験例２参照）。反応律速となるようなソースガスの導入量は、

例えば実験例１のように、ソースガスの導入量と抵抗変化材料層の成長速度との関係から求めることができる。

[0141] 第３工程における反応性ガスのチャンバ３０１への導入量は、基板表面に形成されたソースガスの単分子層の酸化がほぼ完全に完了する（いわゆる反応律速の状態にある）ように設定するのが好ましい（実験例１および実験例２参照）。これにより、第１抵抗変化層１８ａの酸素含有率を高くすることができる。反応律速となるような反応性ガスの導入量は、例えば実験例２のように、反応性ガスの導入量と抵抗変化材料層の成長速度との関係から求めることができる。

[0142] 第１抵抗変化層を形成する工程に含まれる第１工程におけるチャンバ３０１内の圧力は、第２抵抗変化層を形成する工程に含まれる第１工程におけるチャンバ３０１内の圧力よりも低いのが好ましい。さらに、第１抵抗変化層を形成する工程に含まれる第３工程におけるチャンバ３０１内の圧力は、第２抵抗変化層を形成する工程に含まれる第３工程におけるチャンバ３０１内の圧力よりも低いのが好ましい。なおここで、圧力とは全ガス圧、すなわちチャンバ３０１の内部に存在するガスの全圧をいう。

[0143] 第１抵抗変化層を形成する工程に含まれる第３工程における反応性ガスのチャンバ３０１内への導入量は、第２抵抗変化層を形成する工程に含まれる第３工程における反応性ガスのチャンバ３０１内への導入量よりも多いのが好ましい。

[0144] 次に、図５Ｂに示すように、層間絶縁層１６と、メモリセルホール２９の側壁および底部と、に形成された第１抵抗変化材料層１８１ａの上に、第２抵抗変化層１８ｂとなる第２抵抗変化材料層１８１ｂ（第２堆積膜）を形成する。本実施形態では、タンタル酸化物を、第１抵抗変化材料層１８１ａが形成するホール２９’の内部（側壁および底部）および層間絶縁層１６の上の第１抵抗変化材料層１８１ａの上に、ＡＬＤモードまたはＣＶＤモードにより堆積することにより第２抵抗変化材料層１８１ｂが形成される。

[0145] 本実施形態における第２抵抗変化材料層１８１ｂの形成方法は、ＡＬＤモ

ードまたはＣＶＤモードを用いるものである。具体的には例えばＡＬＤモードを用いる場合は、遷移金属の原子を含有するソースガスを導入する第１工程と、第１工程後にソースガスをパージする第２工程と、第２工程後に反応性ガスを導入する第３工程と、第３工程後に反応性ガスをパージする第４工程と、で構成されるサイクルを１回または複数回実行する。

[0146] 第２抵抗変化材料層１８１ｂの形成方法は、基板の温度および第３工程における反応性ガスのチャンバ３０１への導入量を除けば、上述した第１抵抗変化材料層１８１ａの形成方法と同様である。よって、両者で共通する部分については説明を省略する。

[0147] なお、第２抵抗変化材料層１８１ｂの形成は、第１抵抗変化材料層１８１ａの形成と同一のチャンバ３０１の内部で連続して行われることが好ましい。

[0148] 第２抵抗変化材料層１８１ｂを形成する工程は、基板の温度をソースガスの自己分解反応が生じない温度に保持する場合にはＡＬＤモードにより実行され、基板の温度をソースガスの自己分解反応が生じる温度に保持する場合にはＣＶＤモードにより実行される。ＡＬＤモードを採用すれば、第２抵抗変化材料層１８１ｂを、緻密でコンフォーマルな層として形成することが容易となる。ＣＶＤモードを採用すれば、ＡＬＤモードと比較して、第２抵抗変化材料層１８１ｂの酸素含有率を小さく設定することが容易となる（実験例３参照）。

[0149] 第３工程における反応性ガスのチャンバ３０１への導入量は、基板表面に形成されたソースガスの単分子層の酸化が完全には完了しない（いわゆる供給律速の状態にある）ように設定するのが好ましい（実験例１および実験例２参照）。これにより、第２抵抗変化層１８ｂの酸素含有率を第１抵抗変化層１８ａよりも低くすることができる。かかる構造により、抵抗変化現象は、下部電極配線１５１と第１抵抗変化層１８ａの界面近傍の第１抵抗変化層１８ａで発現し、素子の動作が安定する。供給律速となるような反応性ガスの導入量は、例えば実験例２のように、反応性ガスの導入量と抵抗変化材料

層の成長速度との関係から求めることができる。

[0150] なお、第１抵抗変化層１８ａの酸素含有率を、第２抵抗変化層１８ｂよりも低くする場合には、例えば、第１抵抗変化材料層１８１ａを形成する工程においてＡＬＤモードを実行しつつ、第３工程における反応性ガスのチャンバ３０１への導入量は、基板表面に形成されたソースガスの単分子層の酸化が完全には完了しない（いわゆる供給律速の状態にある）ように設定する。また、第２抵抗変化材料層１８１ｂを形成する工程においてＡＬＤモードまたはＣＶＤモードを実行しつつ、第３工程における反応性ガスのチャンバ３０１への導入量は、基板表面に形成されたソースガスの単分子層の酸化がほぼ完全に完了する（いわゆる反応律速の状態にある）ように設定する。

[0151] メモリセルホール２９の内壁や底部に物理的に接触する層を均一な厚みで形成することは困難であるが、該層をＡＬＤモードにより形成することで、かかる問題を解決できる。同時に、第３工程における反応性ガスのチャンバへの導入量を制御することで、形成される抵抗変化材料層の酸素含有率を制御して、任意の酸素含有率を有する２又はそれ以上の層を、任意の厚みで形成することが可能となる。

[0152] なお、抵抗変化層を構成する遷移金属酸化物として、酸素不足型のハフニウム酸化物、ジルコニウム酸化物、ニッケル酸化物、チタン酸化物を用いた場合でも、層が形成される原理から考えれば、タンタル酸化物の場合と同様に、酸素含有率の異なる金属酸化物を形成することが可能であると推察される。この場合の抵抗変化層の原料（前駆体）としては、塩化ジルコニウム［$ZiCl_4$］、テトラ（エチルメチルアミノ）ハフニウム［$Hf(NCH_3C_2H_5)_4$］、ニッケル１－ジメチルアミノ－２メチル－２ブタノレート［$Ni(C_7H_{16}NO)$］、テトラエトキシチタン［$Ti(OC_3H_7)_4$］などを用いることができる。

[0153] その後、図５Ｃに示すように中間電極材料層１９１を第２抵抗変化材料層１８１ｂの上に形成する。本実施形態では、タンタル窒化物（ＴａＮ）を、第２抵抗変化材料層１８１ｂが形成するホール２９’’の内部（側壁および

底部）および層間絶縁層１６上の第１抵抗変化材料層１８１ａの上の第２抵抗変化材料層１８１ｂ上に、例えばＡＬＤモードやＣＶＤモードにより堆積することにより中間電極材料層１９１が形成される。ＡＬＤモードやＣＶＤモードの具体的な方法は第１抵抗変化材料層１８１ａあるいは第２抵抗変化材料層１８１ｂにおけるものと同様であるので詳細な説明を省略する。原料（前駆体）としては、ＴＢＴＤＥＴやＴａＣｌ$_5$などを用いることができる。反応性ガスとしては、ＮＨ$_3$などを用いることができる。

[0154] 次に、図６Ｂに示すように、ＣＭＰプロセスを用いて、中間電極材料層１９１および抵抗変化材料層１８１ｂおよび１８１ａのうち、層間絶縁層１６の表面を覆う部分と、メモリセルホール２９の上部開口よりも上にある部分（層間絶縁層１６の上端面に対して基板からの高さがより高い部分）を除去する。これによりメモリセルホール２９中に第１抵抗変化層１８ａと、第２抵抗変化層１８ｂと、中間電極１９とを埋め込み形成する。図６Ａはそのときの上から見た平面図である。

[0155] なお、図５Ｂに示す工程において、第２抵抗変化材料層１８１ｂが、ホール２９’を完全に充填するように形成されてもよい。この場合、例えば、ＣＭＰにより、第１抵抗変化材料層１８１ａおよび第２抵抗変化材料層１８１ｂのうち、層間絶縁層１６の表面を覆う部分と、メモリセルホール２９の上部開口よりも上にある部分（層間絶縁層１６の上端面に対して基板からの高さがより高い部分）を除去する。その後、ホール開口部付近の第１抵抗変化材料層１８１ａおよび第２抵抗変化材料層１８１ｂをエッチバックにより除去する。その後、エッチバックにより生じた凹部を充填するように中間電極材料層１９１を形成する。さらに、ＣＭＰにより、中間電極材料層１９１のうち、層間絶縁層１６の表面を覆う部分と、メモリセルホール２９の上部開口よりも上にある部分（層間絶縁層１６の上端面に対して基板からの高さがより高い部分）を除去する。かかる方法では、中間電極１９が、メモリセルホール２９の上部開口部の全部に亘って充填されることになる。

[0156] 次に、図７Ｂに示すように、中間電極１９に接続するように電流制御層２

１と上部電極配線２２とをこの順に形成する。具体的な形成方法は、この技術分野における周知の技術を用いることができるので詳細な説明を省略する。このとき、図７Ａに示すように、電流制御層２１と上部電極配線２２とは層間絶縁層１６の上に、メモリセルホール２９の開口部を完全に覆うように、基板の厚み方向から見て、少なくともメモリセルホール２９の開口部より大きな形状（面積）で、かつ下部電極裏打ち配線１５および下部電極配線１５１と交差するストライプ形状を有するように形成する。上部電極配線２２は、抵抗変化素子１７と電流制御素子２０とがマトリクス状に形成された領域外にまで延びるように形成される。上部電極配線２２と同時に埋め込み導体２８も同時に形成し、この埋め込み導体２８を介して半導体回路配線（図示せず）に接続し、図示しない位置に設けられている能動素子に電気的に接続する。電流制御層２１としてSiN_zを用いる場合、SiN_zを反応性スパッタリング法により形成することで、電流制御層として良好な特性を有し、かつ緻密な層を容易に形成できる。

[0157] さらに層間絶縁層１６と電流制御層２１と上部電極配線２２とを覆うように絶縁保護層２３を形成することで、図１に示すような不揮発性記憶装置が得られる。

[0158] ［変形例］

次に、図１２から図１４を用いて、本実施形態の変形例に係る不揮発性記憶装置の製造方法について説明する。なお、図１２から図１４においては、図面の簡単化のために、図１における層間絶縁層１４から上部の構成のみについて、その変形例を示している。

[0159] 図１２Ａ乃至図１２Ｅは、本発明の第１実施形態の変形例に係る不揮発性記憶装置の製造方法において、層間絶縁層３０に設けたメモリセルホール２９に抵抗変化層および中間電極を埋め込み形成する工程を示す図で、図１２Ａはメモリセルホール２９を形成した状態の断面図、図１２Ｂは第１抵抗変化材料層１８１ａを形成した状態の断面図、図１２Ｃは第２抵抗変化材料層１８１ｂを第１抵抗変化材料層１８１ａ上に形成した状態の断面図、図１２

Ｄは中間電極材料層１９１を第２抵抗変化材料層１８１ｂ上に形成した状態の断面図、図１２ＥはＣＭＰにより層間絶縁層３０上の第１抵抗変化材料層１８１ａ、第２抵抗変化材料層１８１ｂ、および中間電極材料層１９１を除去した状態の断面図である。

[0160] 図１３Ａおよび図１３Ｂは、本発明の第１実施形態の変形例に係る不揮発性記憶装置の製造方法において、メモリセルホール２９中に、第１抵抗変化層１８ａと第２抵抗変化層１８ｂと中間電極１９を埋め込み形成し、層間絶縁層３１に溝３２を形成するまでの工程を示す図で、図１３Ａは層間絶縁層３１を形成した状態の断面図、図１３Ｂは層間絶縁層３１に溝３２を形成した状態の断面図である。

[0161] 図１４Ａおよび図１４Ｂは、本発明の第１実施形態の変形例に係る不揮発性記憶装置の製造方法において、溝３２中に電流制御層３４と上部電極３５とを埋め込み形成する工程を示す図で、図１４Ａは電流制御層３４となる電流制御材料層３４１と、上部電極３５となる電極材料層３５１とを溝３２が形成された層間絶縁層３１の上に形成した状態の断面図、図１４ＢはＣＭＰにより層間絶縁層３１上の電極材料層３５１と電流制御材料層３４１とを除去して、溝３２中に電流制御層３４と上部電極３５とを埋め込んだ状態の断面図である。

[0162] まず、図１２Ａに示すように、層間絶縁層１４の中に下部電極裏打ち配線１５および下部電極配線１５１が埋め込み形成された基板（図示せず）上に、例えばＣＶＤ法を用いてＴＥＯＳ－ＳｉＯで構成される第１絶縁層３０ａとこのＴＥＯＳ－ＳｉＯよりも硬質の、例えばＳｉＯＮで構成される第２絶縁層３０ｂを形成する。第１絶縁層３０ａと第２絶縁層３０ｂとにより層間絶縁層３０を構成している。第２絶縁層３０ｂは、ＣＭＰプロセスにおけるストッパとして作用し、この第２絶縁層３０ｂを形成することで、ＣＭＰプロセスを容易に、かつ確実に行うことができる。

[0163] その後、下部電極配線１５１の上の層間絶縁層３０に一定の配列ピッチでメモリセルホール２９を形成する。メモリセルホール２９は、下部電極配線

１５１の幅より小さな外形としており、製造工程および形状は図４から図７で説明したものと同様である。

[0164] 次に、図１２Ｂおよび図１２Ｃに示すように、メモリセルホール２９を含む層間絶縁層３０上に、第１抵抗変化層１８ａとなる第１抵抗変化材料層１８１ａ（第１堆積膜）と第２抵抗変化層１８ｂとなる第２抵抗変化材料層１８２ｂ（第２堆積層）を形成する。本実施形態においても、第１抵抗変化材料層１８１ａおよび第２抵抗変化材料層１８２ｂとして酸素不足型のタンタル酸化物（TaO_x）をＡＬＤモードにより形成する。第１抵抗変化層１８ａの酸素含有率は第２抵抗変化層１８ｂよりも高い方が好ましい。第１抵抗変化材料層１８１ａおよび第２抵抗変化材料層１８２ｂの形成方法は第１実施形態と同様であるので説明を省略する。

[0165] 次に、図１２Ｄに示すように中間電極材料層１９１を形成した後に、図１２Ｅに示すようにＣＭＰプロセスを用いて層間絶縁層３０上の中間電極材料層１９１および第１抵抗変化材料層１８１ａおよび第２抵抗変化材料層１８１ｂを除去してメモリセルホール２９中に第１抵抗変化層１８ａと第２抵抗変化層１８ｂと中間電極１９とを埋め込み形成する。このとき、層間絶縁層３０には第１絶縁層３０ａより前記ＣＭＰ時の研磨レートが小さい第２絶縁層３０ｂが設けられているので、この第２絶縁層３０ｂが第１及び第２抵抗変化材料層、及び中間電極材料層のＣＭＰ時にストッパとして有効に作用し、第２層間絶縁層３０ｂはほとんど研磨されず、中間電極材料層１９１および第１抵抗変化材料層１８１ａおよび第２抵抗変化材料層１８１ｂの不要部分のみを確実に除去することができる。

[0166] 次に、図１３Ａに示すように、層間絶縁層３０と、メモリセルホール２９の中の第１抵抗変化層１８ａと第２抵抗変化層１８ｂと中間電極１９との上に、層間絶縁層３１を形成する。層間絶縁層３１は、電流制御層３４と上部電極３５とを埋め込むために必要な厚みに形成し、その材料としてはＴＥＯＳ－ＳｉＯを用いてもよいし、その他半導体装置において一般的に用いられている層間絶縁材料を用いてもよい。さらに、層間絶縁層３０と同じように

、硬質の層間絶縁層を上層に形成する積層構成としてもよい。

[0167] 次に、図１３Ｂに示すように、メモリセルホール２９の上部開口部の第１抵抗変化層１８ａと第２抵抗変化層１８ｂと中間電極１９とが露出し、かつ下部電極裏打ち配線１５および下部電極配線１５１に交差するように、基板の厚み方向から見てストライプ形状の溝３２を形成する。この加工は一般的な半導体プロセス、例えばドライエッチングにより行うことができる。

[0168] 次に、図１４Ａに示すように、溝３２を含む層間絶縁層３１上に、電流制御層３４となる電流制御材料層３４１と、上部電極３５となる電極材料層３５１とを形成する。これらの材料としては、本実施形態で説明した材料を同じように用いることができる。

[0169] 次に、図１４Ｂに示すように、ＣＭＰプロセスにより層間絶縁層３１上の電極材料層３５１と電流制御材料層３４１とを除去して溝３２中に電流制御層３４と上部電極３５とを埋め込む。

[0170] 以上の工程により、抵抗変化層１８と、この抵抗変化層１８を挟む領域の下部電極配線１５１と中間電極１９とにより抵抗変化素子１７が構成される。また、中間電極１９、電流制御層３４および上部電極３５により電流制御素子３３が構成される。

[0171] その後、上部電極を保護するための絶縁保護層（図示せず）を形成する。これにより、本実施形態の変形例にかかる不揮発性記憶装置を製造することができる。

[0172] 上記のような製造方法により作製した不揮発性記憶装置は、電流制御層３４と上部電極３５とが層間絶縁層３１中に埋め込まれるので、抵抗変化素子１７と電流制御素子３３とをさらに積層する場合に、その積層工程を容易に行うことができる。

[0173] なお、本変形例の不揮発性記憶装置では、図１４Ｂに示すように、上部電極３５の下面および両側面を覆うように、略Ｕ字状の断面を有する電流制御層３４が配されている。このため、この電流制御層３４に窒化物材料を用いれば、金属や酸素、水素等のバリア膜としての機能を持たせることができる

。

（第２実施形態）

図１５は、本発明の第２実施形態の不揮発性記憶装置４０の構成を説明するための断面図である。この不揮発性記憶装置４０は、図１に示す第１実施形態の不揮発性記憶装置１０を基本構成としており、層間絶縁層、この層間絶縁層のメモリセルホール中に埋め込まれた抵抗変化層および電流制御素子を１つの構成単位として、この構成単位をこの基本構成の上にさらに２層積層した構成で構成される。このように積層することにより、さらに大容量の不揮発性記憶装置を実現することができる。

[0174] 以下、本実施形態の不揮発性記憶装置４０の構成を簡単に説明する。なお、図１に示す不揮発性記憶装置１０の場合には、上部電極配線２２は、抵抗変化素子１７と電流制御素子２０とがマトリクス状に形成された領域の外にまで延びる構成としている。一方、本実施形態の不揮発性記憶装置４０では、上部電極配線２２と別個の構成要素である上層電極配線２７がマトリクス領域内の上部電極配線２２上にも延在して設けられているが、これについては第２段目および第３段目に付いても同じである。また、この不揮発性記憶装置４０では、抵抗変化素子と電流制御素子とがそれぞれ３段ずつ積層されているので、第１段目、第２段目および第３段目のそれぞれの構成要件を理解しやすくするために、第１段目については第１段、第２段目については第２段、第３段目については第３段を付して区別して表記する。

[0175] 第１段上層電極配線２７を含む第１段層間絶縁層２３上に、さらに第２段層間絶縁層４７が形成されている。この第２段層間絶縁層４７には、第１段抵抗変化素子１７に対応する位置にそれぞれメモリセルホールが設けられ、このメモリセルホール中に第２段抵抗変化層４２と第２段共用電極４３とが埋め込み形成されている。そして、この第２段共用電極４３に接続し、基板の厚み方向から見て第１段上層電極配線２７に交差するストライプ形状を有するように、第２段電流制御層４５、第２段上部電極４６および第２段上層電極配線４９が形成されている。さらに、これらを埋め込むように第３段層

間絶縁層４８が形成されている。

[0176] 第２段上層電極配線４９と第３段層間絶縁層４８上に第４段層間絶縁層５２が形成されている。この第４段層間絶縁層５２には、第１段抵抗変化素子１７（第１段記憶部）および第２段抵抗変化素子４１（第２段記憶部）に対応する位置にメモリセルホールが設けられ、このメモリセルホール中に第３段抵抗変化層５４と第３段共用電極５５とが埋め込み形成されている。そして、この第３段共用電極５５に接続し、基板の厚み方向から見て、第２段上層電極配線４９に交差するストライプ形状を有するように、第３段電流制御層５７、第３段上部電極５８および第３段上層電極配線５９が形成されている。さらに、これらを埋め込み保護するために絶縁保護層６０が形成されている。

[0177] なお、第２段抵抗変化層４２、この第２段抵抗変化層４２を挟む領域の第１段上層電極配線２７および第２段共用電極４３で第２段抵抗変化素子４１（第２段記憶部）を構成している。また、第２段共用電極４３、第２段電流制御層４５および第２段上部電極４６で第２段電流制御素子４４を構成している。さらに、第３段抵抗変化層５４、この第３段抵抗変化層５４を挟む領域の第２段上層電極配線４９および第３段共用電極５５で第３段抵抗変化素子５３（第３段記憶部）を構成している。また、第３段共用電極５５、第３段電流制御層５７および第３段上部電極５８で第３段電流制御素子５６を構成している。

[0178] また、下部電極裏打ち配線１５は、埋め込み導体２４、２５と半導体回路配線２６とを介して能動素子１２のソース領域１２ａに接続している。また、第１段上層電極配線２７についても同様に、埋め込み導体（図示せず）と半導体回路配線（図示せず）とを介して別の能動素子（図示せず）に接続されている。さらに、第２段上層電極配線４９は、図１５に示すように埋め込み導体２４、２５、５０、５１と半導体回路配線２６とを介して別の能動素子１２のソース領域１２ａに接続されている。また、第３段上層電極配線５９についても、第１段上層電極配線２７と同様に埋め込み導体（図示せず）

と半導体回路配線（図示せず）とを介して別の能動素子（図示せず）に接続されている。

[0179] 第１段目の下部電極裏打ち配線１５と第１段上層電極配線２７とは、それぞれビット線とワード線のいずれかとなり、図３に示す回路のビット線デコーダとワード線デコーダにそれぞれ接続される。また、第１段上層電極配線２７と第２段上層電極配線４９とは、同様にそれぞれビット線とワード線のいずれかとなり、図３に示す回路のビット線デコーダとワード線デコーダにそれぞれ接続される。ただし、第１段目において、第１段上層電極配線２７がビット線を構成している場合には、第２段目においてもビット線を構成し、第２段上層電極配線４９はワード線を構成するように設計されている。さらに、第２段上層電極配線４９がワード線を構成する場合には、第３段上層電極配線５９はビット線を構成するように設計されている。

[0180] 以上のように、本実施形態の不揮発性記憶装置４０の場合には、それぞれの段に設けた抵抗変化素子１７、４１、５３に対して個別にそれぞれ電流制御素子２０、４４、５６が設けられているので、それぞれの段に設けられている抵抗変化素子１７、３３、４５の書き込みと読み出しを安定に、かつ確実に行うことができる。

[0181] このような多段構成の記憶部と電流制御素子を有する不揮発性記憶装置４０の製造工程は、基本的には第１の形態の不揮発性記憶装置１０の製造方法または変形例の製造方法のいずれかを繰り返せばよい。

[0182] （第３実施形態）

図１６は、本発明の第３実施形態に係る不揮発性記憶装置７０を構成する抵抗変化素子７５と電流制御素子７８の構成を示す断面図である。

[0183] 本実施形態の不揮発性記憶装置７０は、下層電極配線７１が少なくとも２層で構成され、抵抗変化層７６に接続する面側には、接続電極７３が形成されている。そして、この接続電極７３の下部には、半導体プロセスにおいて一般的に用いられている、例えばＡｌまたはＣｕで構成される導体材料を用いて下部配線７２が形成されている。

[0184] さらに本実施形態の不揮発性記憶装置７０は、共用電極７９に接続し、基板の厚み方向から見て下層電極配線７１に交差するストライプ形状を有するように、半導体層８０、上部電極８１および接続電極８２が形成されている。この接続電極８２はマトリクス領域外まで延在されて上層電極配線（図示せず）に接続されているが、接続電極８２を上層電極配線として機能するようにしてもよい。その他の構成については、第１実施形態の不揮発性記憶装置１０と同じであるので説明を省略する。

[0185] このような構成において、抵抗変化層７６、この抵抗変化層７６を挟む領域の接続電極７３ａおよび埋め込み形成された金属電極体層である共用電極７９で記憶部７５を構成している。また、金属電極体層である共用電極７９と上部電極８１および半導体層８０とでＭＳＭダイオードで構成された電流制御素子７８を構成している。そして、金属電極体層である共用電極７９がメモリセルホール中に埋め込み形成されている。

[0186] 本実施形態の場合には、この電流制御素子７８として、共用電極７９と上部電極８１をＡｌで形成し、半導体層８０として窒素不足型シリコン窒化（SiN_z）膜を用いたＭＳＭダイオードで構成されることが特徴である。なお、このような半導体特性を有するSiN_z膜は、例えばＳｉターゲットを用いた窒素ガス雰囲気中でのリアクティブスパッタリングにより形成することができる。例えば、室温条件で、チャンバの圧力を０．１Ｐａ～１Ｐａとし、Ａｒ／N_2流量を１８sccm／２sccmとして作製すればよい。

[0187] また、共用電極７９と上部電極８１をＡｌでなくＰｔで形成してもよい。半導体特性を有するSiN_zを上記の条件で、かつ１６ｎｍの厚みで作製した場合には、１．６Ｖの電圧印加で２．５×10^3Ａ／cm^2の電流密度が得られ、０．８Ｖの電圧印加では５×10^2Ａ／cm^2の電流密度が得られた。したがって、これらの電圧を基準として用いる場合には、オン／オフ比は５となり、不揮発性記憶装置の電流制御素子として充分使用可能であることが確認できた。

[0188] なお、本実施形態では、抵抗変化層７６の下部電極面に接続電極７３を設

けたが、これらは必ずしも必須ではない。例えば、抵抗変化層７６の材料選択により、接続電極７３が不要になる場合があり、この場合、第１実施形態の不揮発性記憶装置１０と同様な構成としてもよい。

[0189] （第４実施形態）

図１７Ａおよび図１７Ｂは、本発明の第４実施形態に係る不揮発性記憶装置１００の要部である記憶部１０３と電流制御素子１０６の構成を示す図で、図１７Ａは平面図、図１７Ｂは１４Ａ－１４Ａ線の断面を矢印方向から見た断面図である。本実施形態の不揮発性記憶装置１００は、第１実施形態の不揮発性記憶装置１０と基本構成は同じであるが、電流制御素子１０６を構成する電流制御層１０７と上部電極１０８が、それぞれの記憶部１０３ごとに分離して形成されていることが特徴である。このため、上層電極配線１１０は、この電流制御素子１０６を埋め込むように形成された層間絶縁層１０９上で、上部電極１０８に接続し、かつ基板の厚み方向から見て下層電極配線１０１に交差するストライプ形状を有するように形成されている。本実施形態の不揮発性記憶装置１００は、下層電極配線１０１が少なくとも２層で構成され、抵抗変化層１０４ａに接続する面側には、接続電極２０２が形成されている。そして、この接続電極２０１の下部には、半導体プロセスにおいて一般的に用いられている、例えばＡｌまたはＣｕで構成される導体材料を用いて下部配線２０２が形成されている。

[0190] このような構成とすることにより、電流制御素子１０６とは独立して上層電極配線１１０を設けることができるので、それぞれ最適な材料を選択することができる。また、上層電極配線１１０をマトリクス領域外に設けたメモリセルホール中の埋め込み導体（図示せず）を介して能動素子（図示せず）に接続する工程を簡略化できる。

[0191] なお、記憶部１０３は、抵抗変化層１０４、この抵抗変化層１０４を挟む領域の下層電極配線１０１ａおよび共用電極１０５により構成されている。そして、電流制御素子１０６は、金属電極体層である共用電極１０５と上部電極１０８および電流制御層１０７により構成されたＭＩＭダイオードで構

成される。このように電流制御素子１０６をＭＩＭダイオードとした場合には、ダイオード面積を大きく、かつ電流制御層１０７を薄く形成することができる。したがって、電流容量を大きくすることができるだけでなく、特性ばらつきを低減することも可能となる。

[0192] さらに、電流制御素子１０６としてはＭＩＭダイオードに限定されず、電流制御層１０７に半導体層を用いれば、ＭＳＭダイオード、ｐｎ接合型ダイオードあるいはショットキー接合ダイオードのいずれの構成とすることも可能である。また、第３実施形態から第５実施形態の不揮発性記憶装置においても、第３実施形態の不揮発性記憶装置のように積層構成とすることもできる。

[0193] なお、本実施形態では、電流制御素子１０６を記憶部１０３ごとに分離して設けたが、複数個ずつまとめて分離してもよい。

[0194] 上記説明から、当業者にとっては、本発明の多くの改良や他の実施形態の創出がなされ得る。従って、上記説明は、例示としてのみ解釈されるべきであり、本発明を実行する最良の態様を当業者に教示する目的で提供されたものである。本発明の精神を逸脱することなく、その構造及び／又は機能の詳細を実質的に変更できる。

産業上の利用可能性

[0195] 本発明の不揮発性記憶装置の製造方法は、ホール内に酸素含有率の異なる２つの抵抗変化層を、従来より容易に形成することが可能となるため、種々の電子機器分野に有用である。

符号の説明

[0196]
５ ワード線デコーダ
６ ビット線デコーダ
７ 読み出し回路
１０ 不揮発性記憶装置（ＲｅＲＡＭ）
１１ 基板
１２ 能動素子

１２ａ　ソース領域

１２ｂ　ドレイン領域

１２ｃ　ゲート絶縁膜

１２ｄ　ゲート電極

１３，１４　層間絶縁層

１５　下部電極裏打ち配線

１６　層間絶縁層

１７　抵抗変化素子

１８　抵抗変化層

１８ａ　第１抵抗変化層

１８ｂ　第２抵抗変化層

１９　中間電極（第２電極）

２０　電流制御素子（第１電流制御素子）

２１　電流制御層

２２　上部電極配線（第３電極）

２３　絶縁保護層（第１層間絶縁層）

２４，２５　埋め込み導体

２６　半導体回路配線

２７　上層電極配線（第１上層電極配線）

２９　メモリセルホール

２８　埋め込み導体

３０　層間絶縁層

３０ａ　第１絶縁層

３０ｂ　第２絶縁層

３１　層間絶縁層

３２　溝

３３　電流制御素子

３４　電流制御層

３５　上部電極

４０　不揮発性記憶装置（ＲｅＲＡＭ）

４１　第２段抵抗変化素子（第２段記憶部）

４２　第２段抵抗変化層

４３　第２段共用電極

４４　第２段電流制御素子（電流制御素子）

４５　第２段電流制御層

４６　第２段上部電極

４７　第２段層間絶縁層

４８　第３段層間絶縁層

４９　第２段上層電極配線

５０，５１　埋め込み導体

５２　第４段層間絶縁層

５３　第３段抵抗変化素子（第３段記憶部）

５４　第３段抵抗変化層

５５　第３段共用電極

５６　第３段電流制御素子（電流制御素子）

５７　第３段電流制御層

５８　第３段上部電極

５９　第３段上層電極配線

６０　絶縁保護層

７０　不揮発性記憶装置（ＲｅＲＡＭ）

７１　下部電極配線

７２　下部配線

７３，７３ａ　接続電極（第１電極）

７５　記憶部

７６　抵抗変化層

７８　電流制御素子

７９　共用電極

８０　半導体層

８１　上部電極

８２　接続電極

１００　不揮発性記憶装置（ＲｅＲＡＭ）

１０１　下部電極配線（第１電極）

１０１ａ　下層電極配線

１０３　記憶部

１０４　抵抗変化層

１０５　共用電極

１０６　電流制御素子

１０７　電流制御層

１０８　上部電極

１０９　層間絶縁層

１１０　上層電極配線

１５１　下部電極配線（第１電極）

１８１ａ　第１抵抗変化材料層

１８１ｂ　第２抵抗変化材料層

１９１　中間電極材料層

２００　不揮発性記憶装置（ＲｅＲＡＭ）

３０１　チャンバ

３０２　原料容器

３０３　原料供給系

３０４　真空計

３０５　バルブ

３４１　電流制御材料層

３５１　電極材料層

請求の範囲

［請求項1］ 基板上に第１電極を形成する工程と、

前記第１電極上に層間絶縁層を形成する工程と、

前記層間絶縁層内に前記第１電極に貫通するようにメモリセルホールを形成する工程と、

前記メモリセルホールの内部に、酸素不足型の遷移金属酸化物で構成される前記第１抵抗変化層および前記第２抵抗変化層をこの順に形成する工程と、

前記第２抵抗変化層の上に前記第２電極を形成する工程とを備え、

前記第１抵抗変化層を形成する工程および前記第２抵抗変化層を形成する工程は、それぞれ、

前記遷移金属の原子を含有する分子で構成されるソースガスを導入する第１工程と、

前記第１工程後に前記ソースガスを除去する第２工程と、

前記第２工程後に反応性ガスを導入して前記遷移金属酸化物を形成する第３工程と、

前記第３工程後に前記反応性ガスを除去する第４工程と、

で構成される前記第１工程から前記第４工程までのサイクルを１回または複数回実行するものであり、

前記第１抵抗変化層を形成する工程は、前記基板の温度を前記ソースガスの自己分解反応が生じない温度に保持しつつ実行されるものであり、

前記第２抵抗変化層を形成する条件は、前記第１抵抗変化層を形成する条件に対し、前記基板の温度、前記ソースガスの導入量、及び前記反応性ガスの導入量のいずれか１つまたは複数の条件を異ならせることにより、前記第１抵抗変化層の酸素含有率が前記第２抵抗変化層の酸素含有率より大きくなるように前記第１抵抗変化層および前記第２抵抗変化層を形成する、

不揮発性記憶装置の製造方法。

[請求項2] 前記第１抵抗変化層を形成する工程と、前記第２抵抗変化層を形成する工程とが、同一のチャンバの内部において連続して行なわれる、請求項１に記載の不揮発性記憶装置の製造方法。

[請求項3] 前記第１抵抗変化層を形成する工程に含まれる前記第１工程におけるチャンバ内の全ガス圧が、前記第２抵抗変化層を形成する工程に含まれる前記第１工程におけるチャンバ内の全ガス圧よりも低く、

前記第１抵抗変化層を形成する工程に含まれる前記第３工程におけるチャンバ内の全ガス圧が、前記第２抵抗変化層を形成する工程に含まれる前記第３工程におけるチャンバ内の全ガス圧よりも低い、請求項１または２に記載の不揮発性記憶装置の製造方法。

[請求項4] 前記第１抵抗変化層を形成する工程に含まれる前記第３工程における反応性ガスの導入量が、前記第２抵抗変化層を形成する工程に含まれる前記第３工程における反応性ガスの導入量よりも多い、請求項１乃至３のいずれかに記載の不揮発性記憶装置の製造方法。

[請求項5] 前記基板の温度を前記ソースガスの自己分解反応が生じる温度に保持しつつ前記第２抵抗変化層形成工程を実行する、

請求項１乃至４のいずれかに記載の不揮発性記憶装置の製造方法。

[請求項6] 前記基板の温度を前記ソースガスの自己分解反応が生じない温度に保持しつつ、かつ前記反応性ガスの導入量が、前記第１抵抗変化層の形成工程より少なくなるように前記第２抵抗変化層の形成工程を実行する、

請求項１乃至４のいずれかに記載の不揮発性記憶装置の製造方法。

[請求項7] 前記第１抵抗変化層の形成工程における前記第３工程において、反応性ガスの反応律速状態で膜の形成が起こるように前記反応性ガスを導入して、前記第１抵抗変化層を形成し、

前記第２抵抗変化層の形成工程における前記第３工程において、反応性ガスの供給律速状態で膜の形成が起こるように前記反応性ガスを

導入して、前記第２抵抗変化層を形成することで、

前記第１抵抗変化層の酸素含有率を前記第２抵抗変化層の酸素含有率よりも高くする、請求項１乃至６のいずれかに記載の不揮発性記憶装置の製造方法。

[請求項8] 前記第２電極の上端面を完全に被覆してさらにその外側を覆うように前記層間絶縁層の上に半導体層または絶縁体層を形成する工程と、

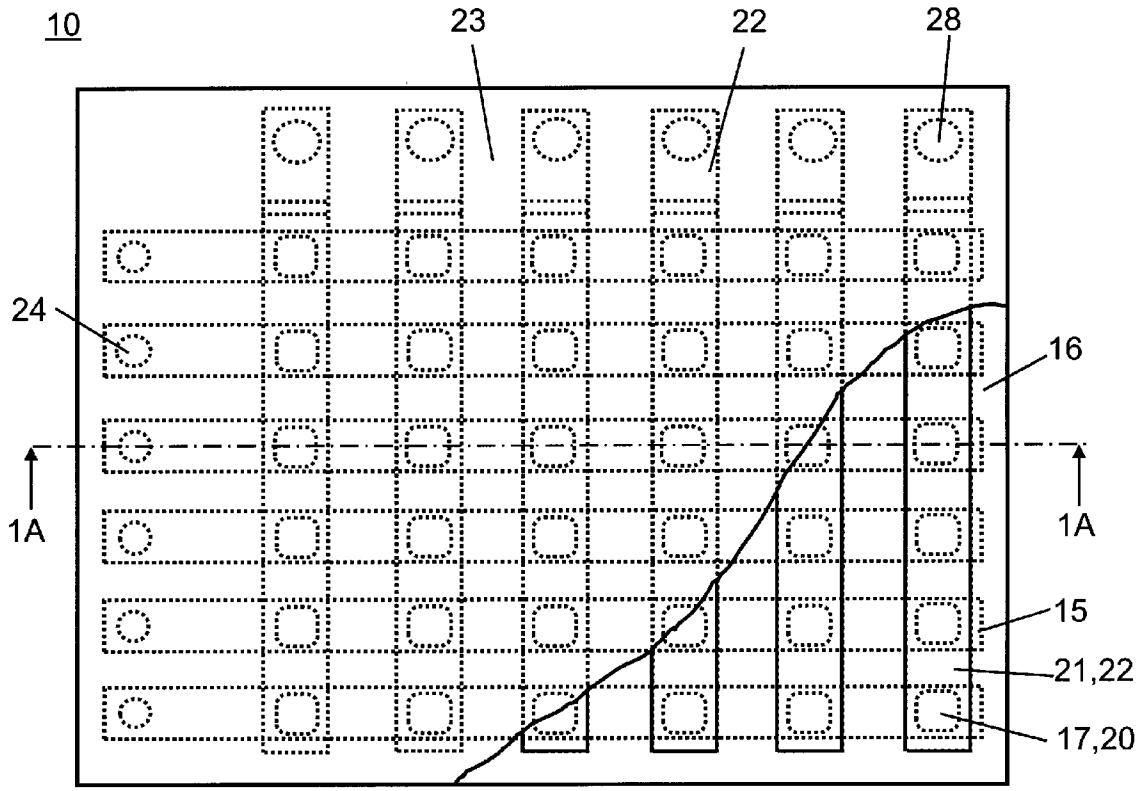
前記半導体層または前記絶縁体層の上に第３電極を形成して前記第２電極と前記半導体層または前記絶縁体層と前記第３電極とで構成される電流制御素子を構成する工程とを有する、

請求項１乃至７のいずれかに記載の不揮発性記憶装置の製造方法。

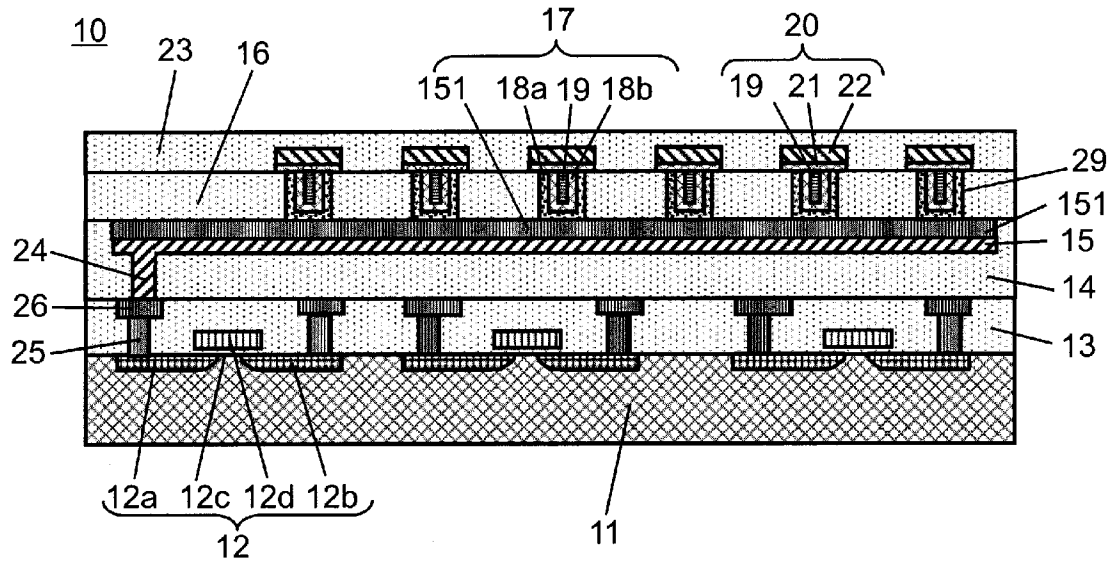
[請求項9] 前記遷移金属がタンタルであって、

前記第１抵抗変化層を構成するタンタル酸化物をTaO_x、前記第２抵抗変化層を構成するタンタル酸化物をTaO_yとするとき、$x \geqq 2.1$および$0.8 \leqq y \leqq 1.9$を満たす、請求項１乃至８のいずれかに記載の不揮発性記憶装置の製造方法。

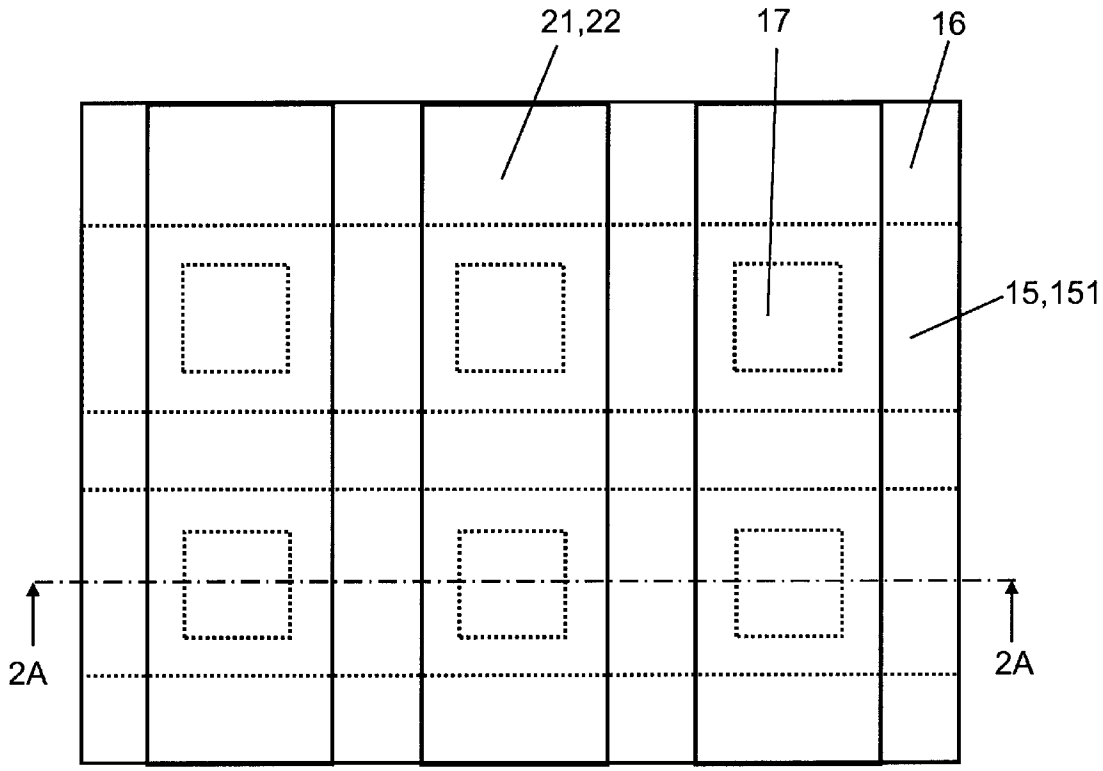
[図1A]


10
23
22
28
24
16
1A
1A
15
21,22
17,20

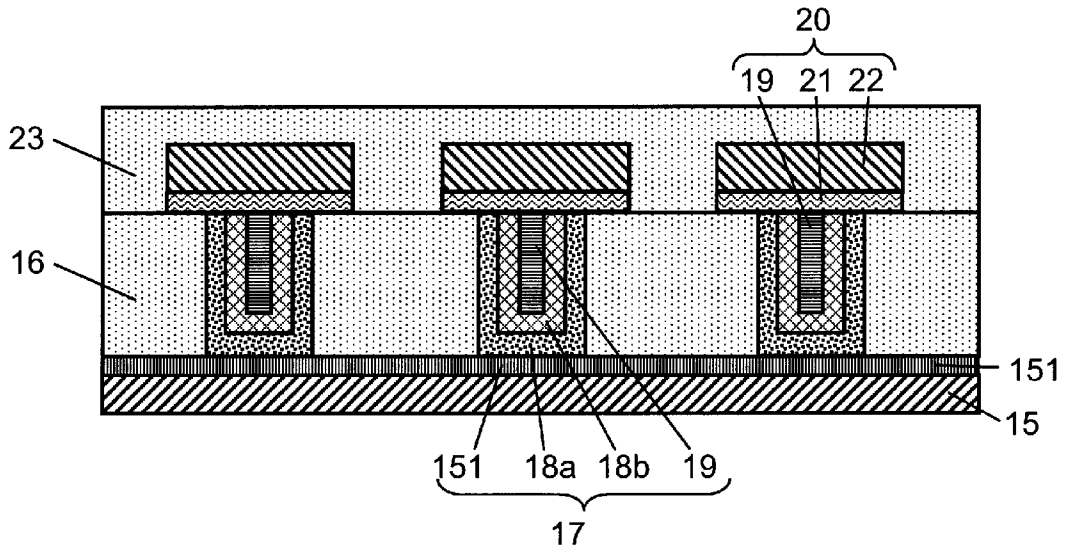
[図1B]


10
23
16
17
151
18a
19
18b
20
19
21
22
29
151
15
24
14
26
25
13
12a
12c
12d
12b
12
11

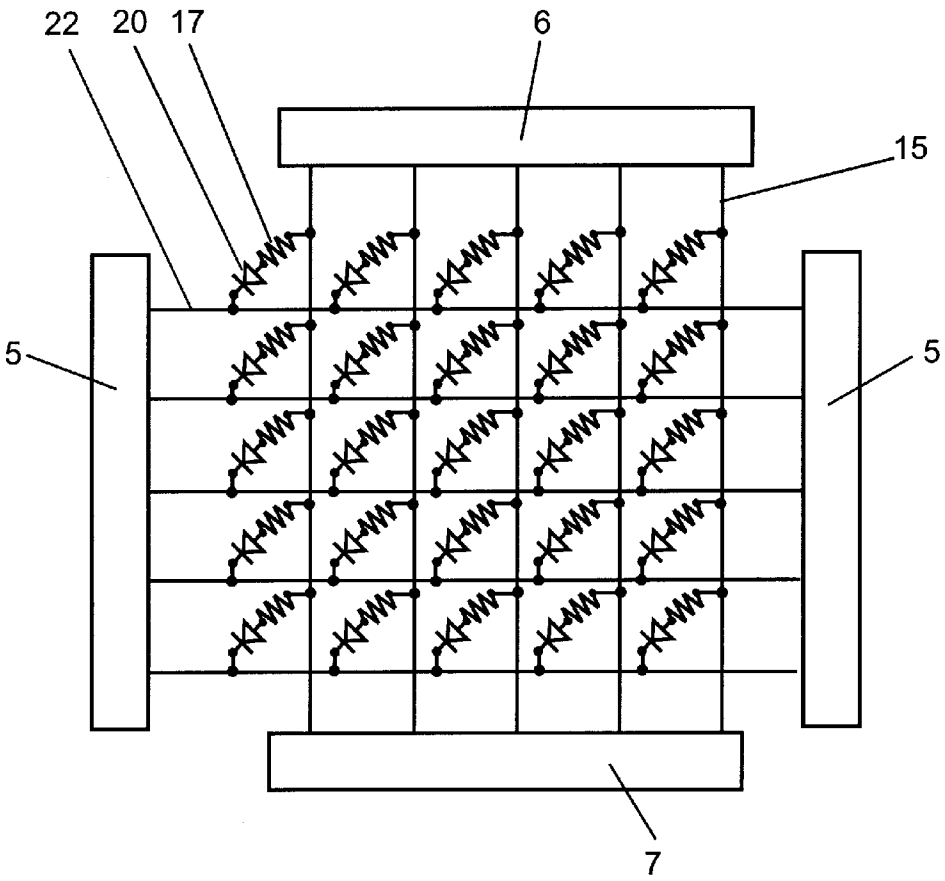
[図2A]



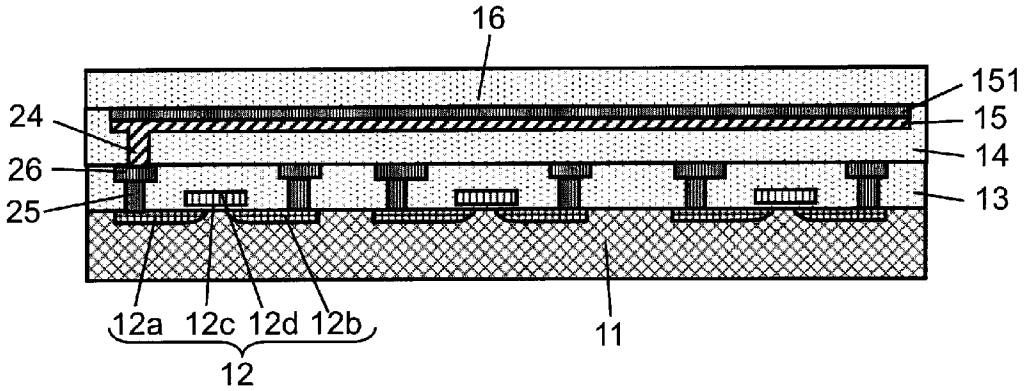
[図2B]



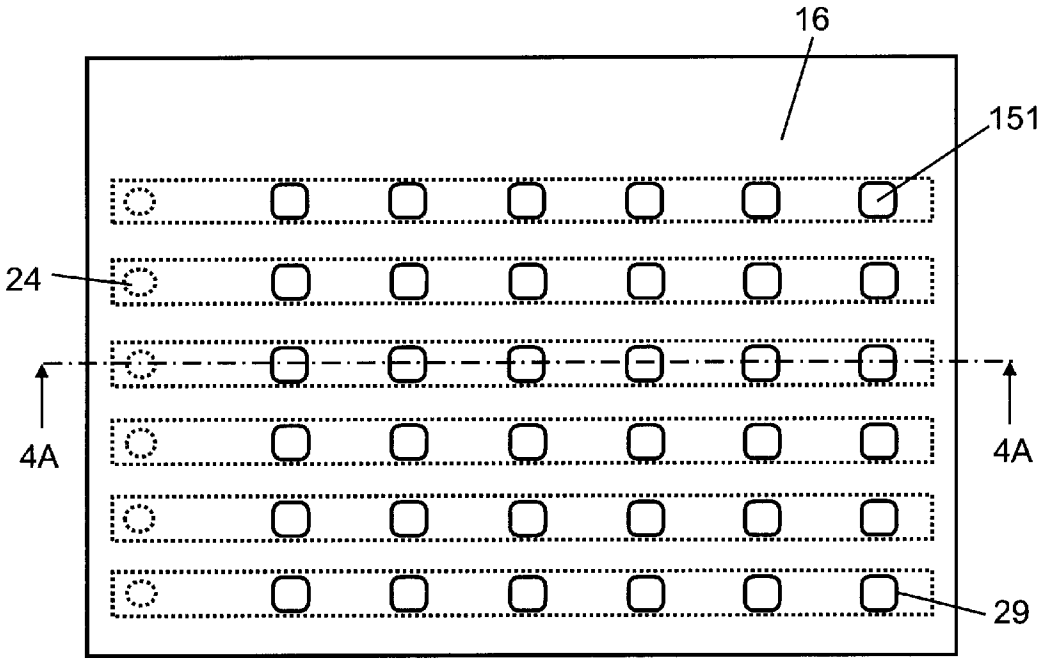
[図3]



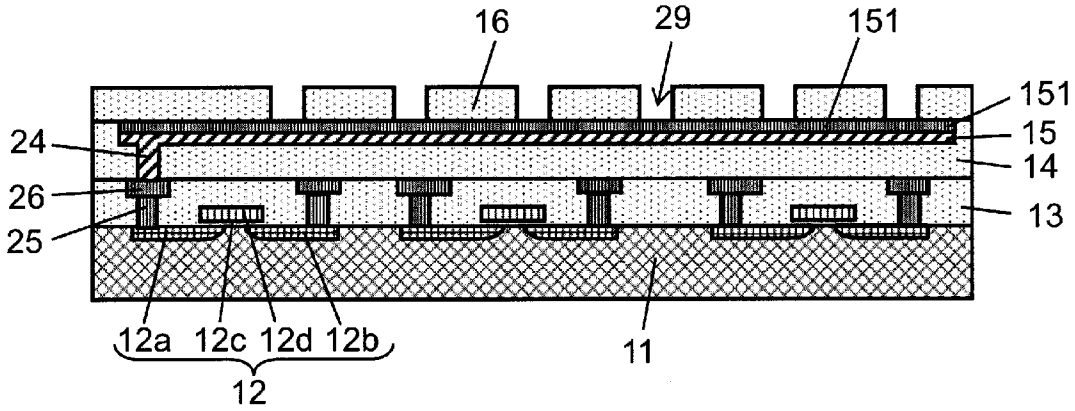
[図4A]



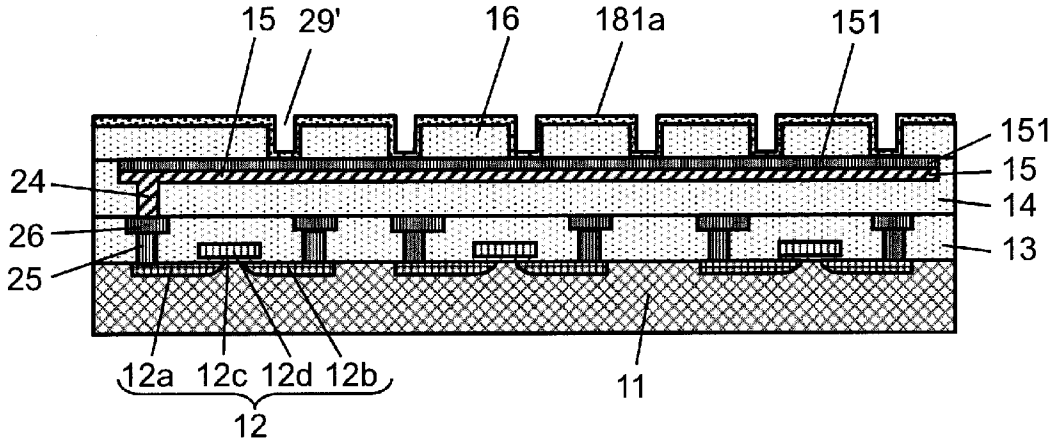
[図4B]


16
151
24
4A
4A
29

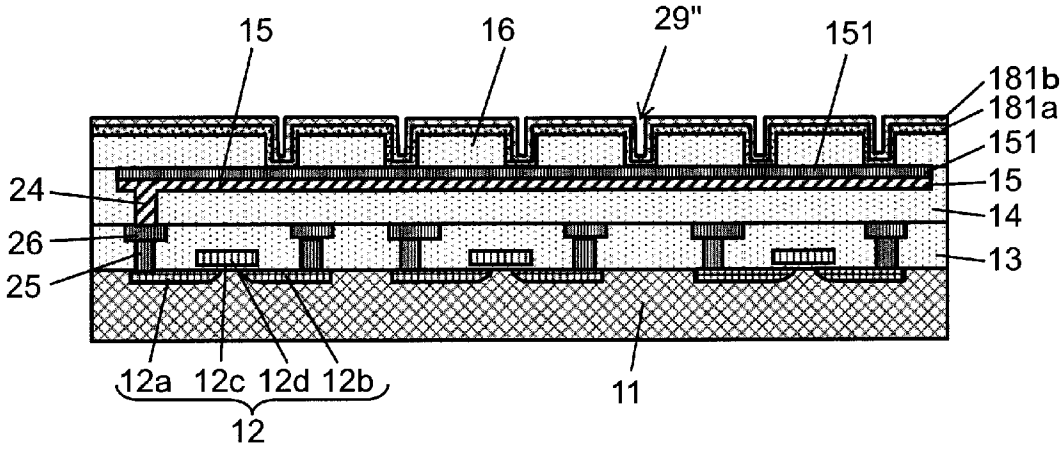
[図4C]


16
29
151
151
15
14
13
24
26
25
12a
12c
12d
12b
12
11

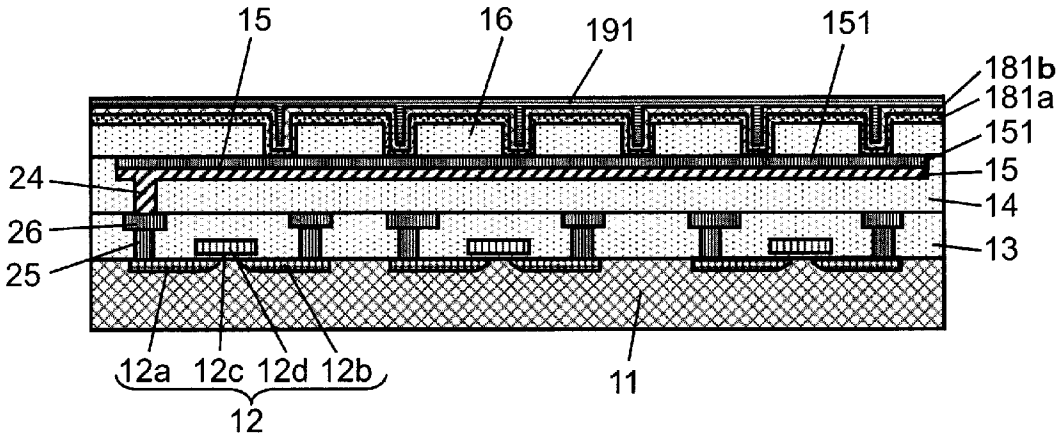
[図5A]


15
29'
16
181a
151
151
15
14
13
24
26
25
12a
12c
12d
12b
12
11

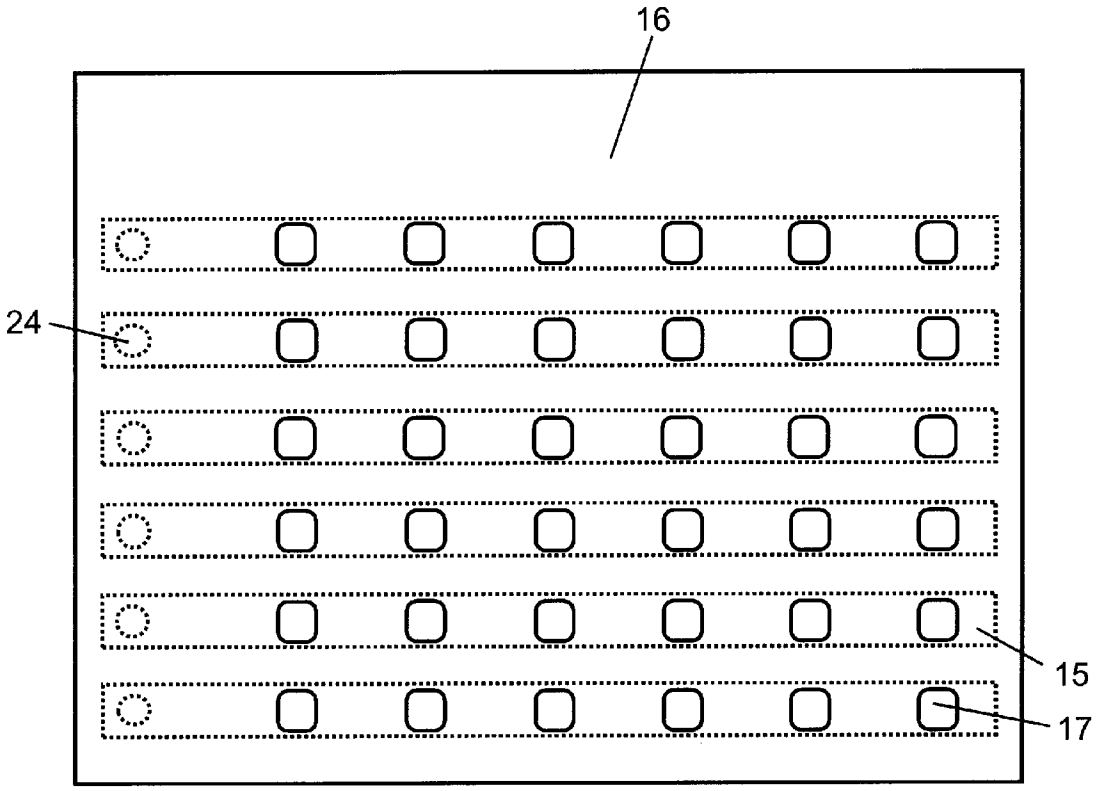
[図5B]


15
16
29"
151
181b
181a
151
15
14
13
24
26
25
12a
12c
12d
12b
12
11

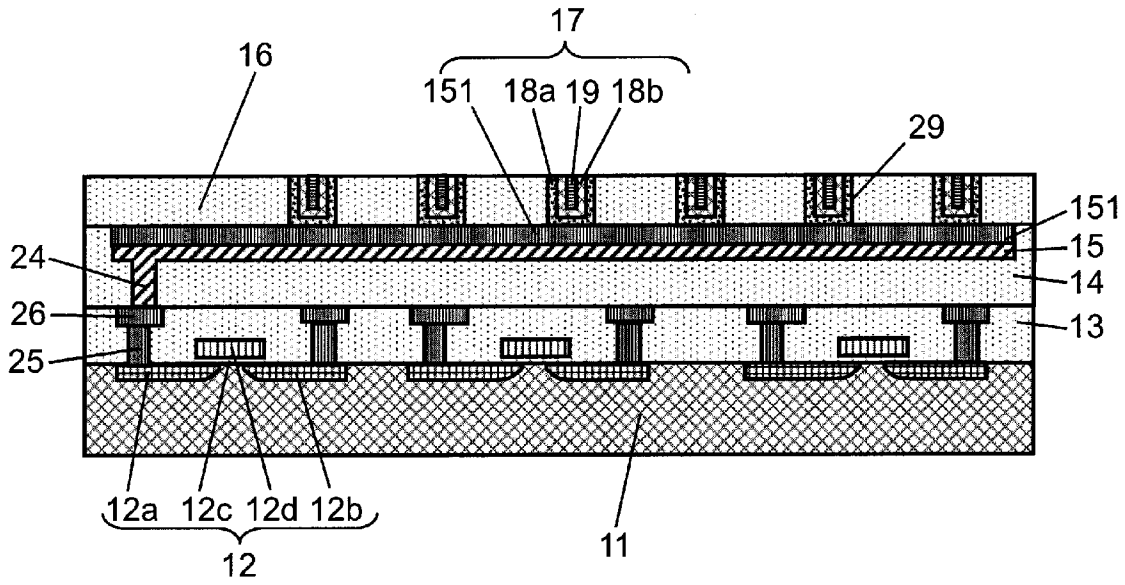
[図5C]


15
16
191
151
181b
181a
151
15
14
13
24
26
25
12a
12c
12d
12b
12
11

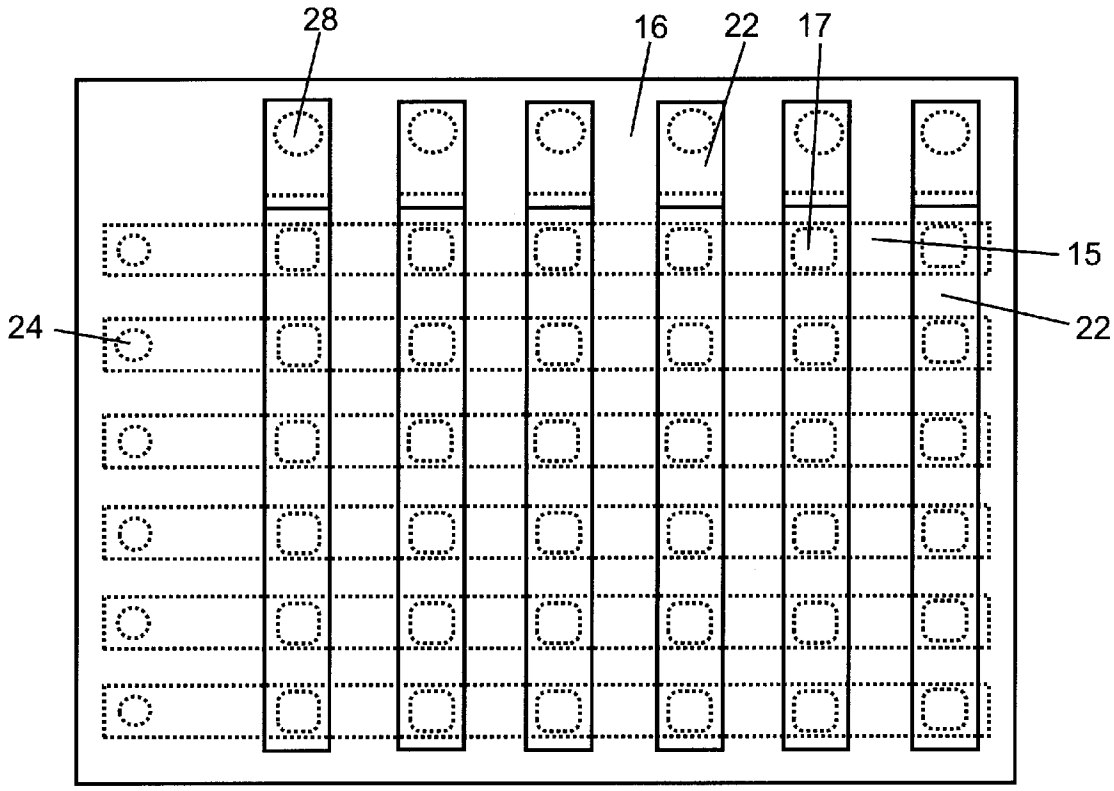
[図6A]


16
24
15
17

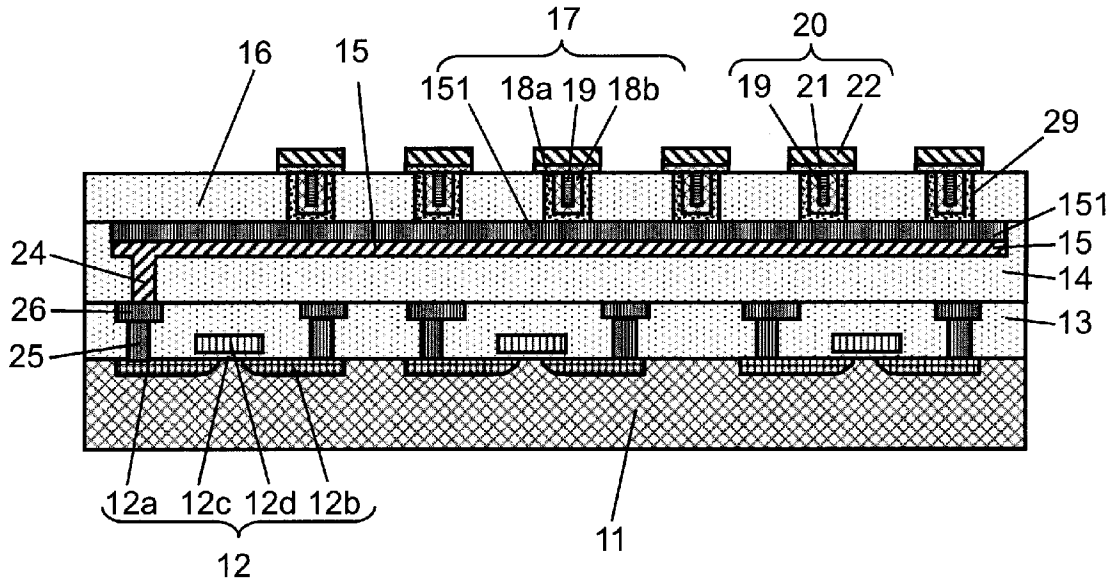
[図6B]


17
16
151
18a
19
18b
29
151
15
24
14
26
13
25
12a
12c
12d
12b
12
11

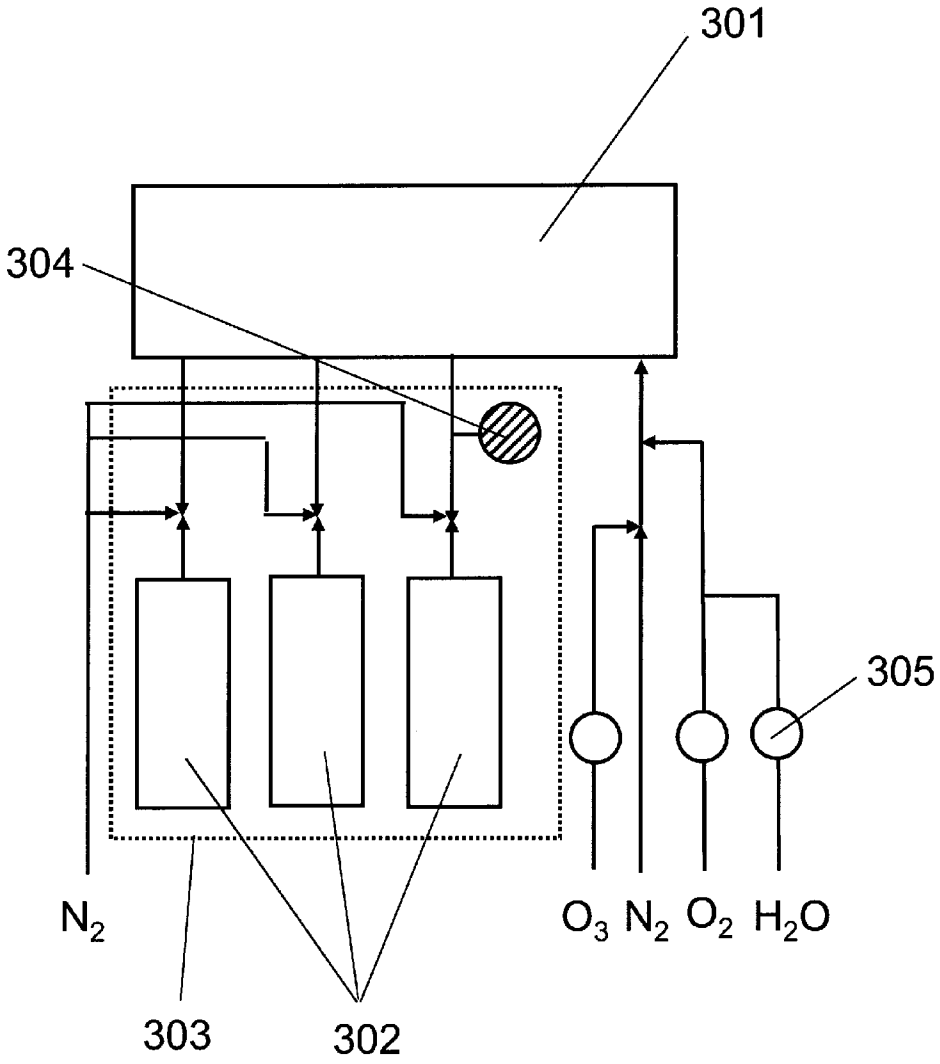
[図7A]


28
16
22
17
15
24
22

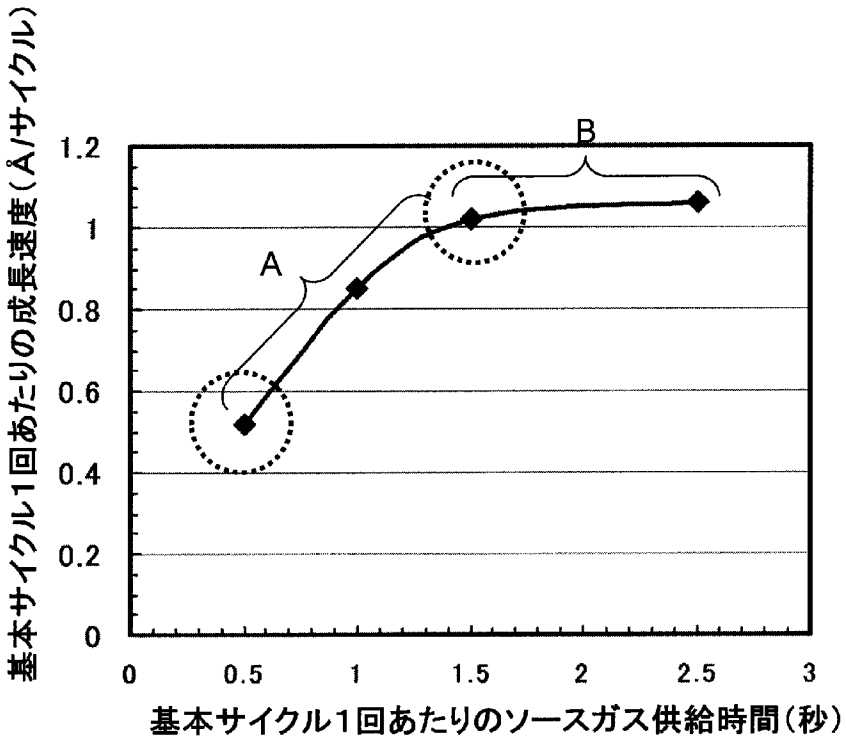
[図7B]


17
20
16
15
151
18a
19
18b
19
21
22
29
151
15
14
13
24
26
25
12a
12c
12d
12b
12
11

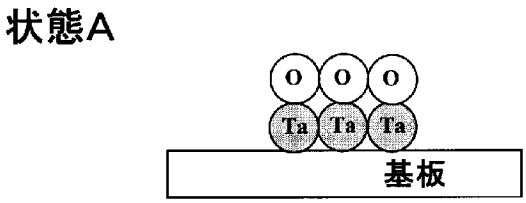
[図8]


301
304
305
N2
303
302
O3
N2
O2
H2O

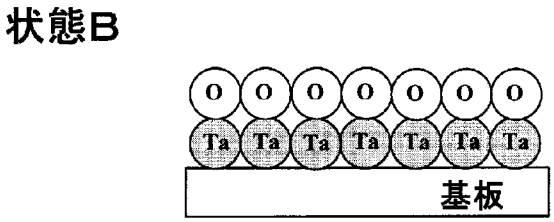
[図9A]


基本サイクル1回あたりの成長速度(Å/サイクル)
1.2
1
0.8
0.6
0.4
0.2
0
0
0.5
1
1.5
2
2.5
3
基本サイクル1回あたりのソースガス供給時間(秒)
A
B

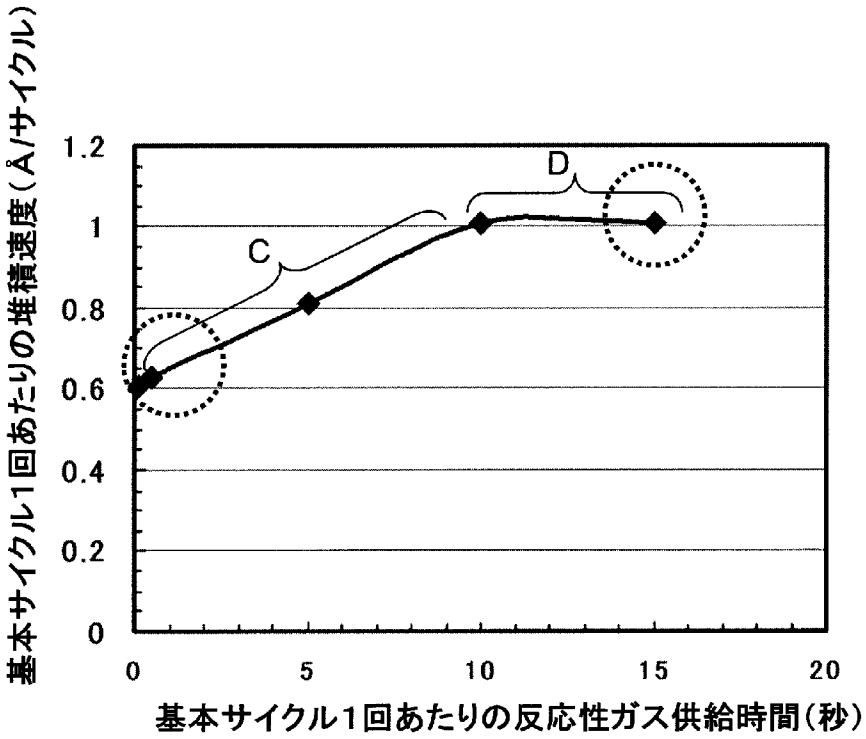
[図9B]


状態A
O
O
O
Ta
Ta
Ta
基板

[図9C]

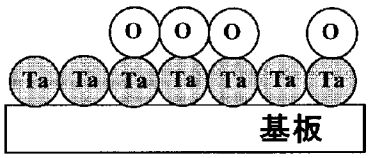

状態B
O
O
O
O
O
O
O
Ta
Ta
Ta
Ta
Ta
Ta
Ta
基板

[図10A]



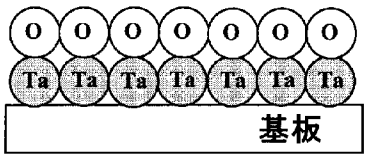
[図10B]

状態C

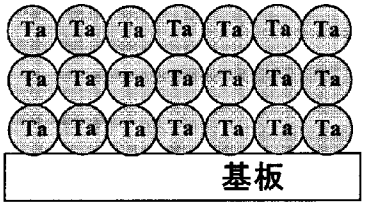


[図10C]

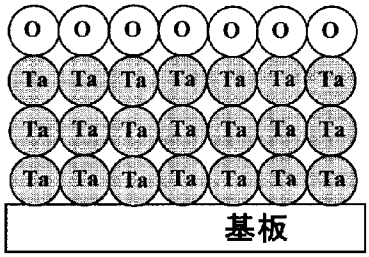
状態D



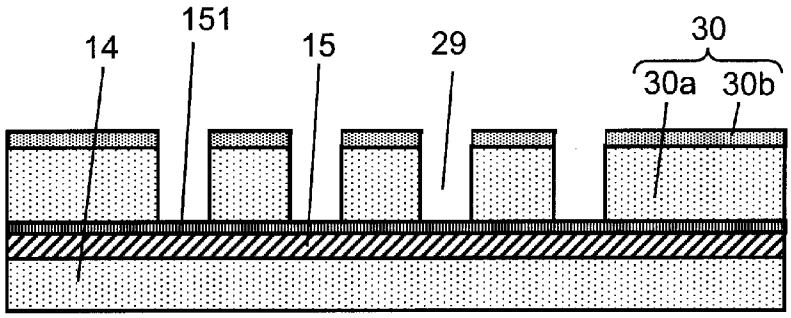
[図11A]



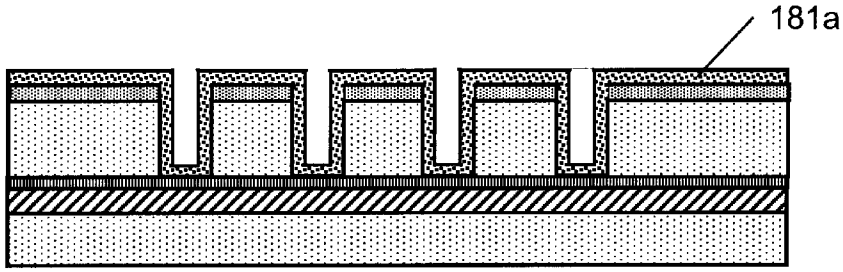
[図11B]



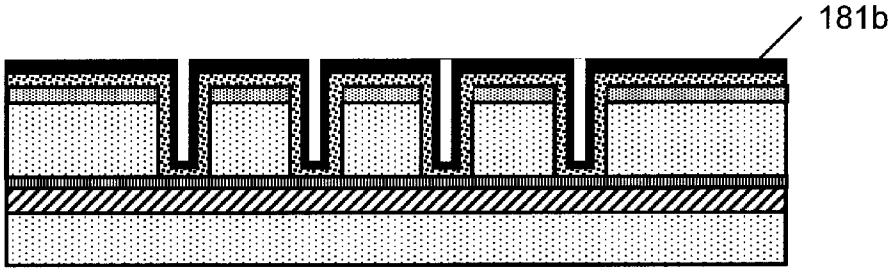
[図12A]



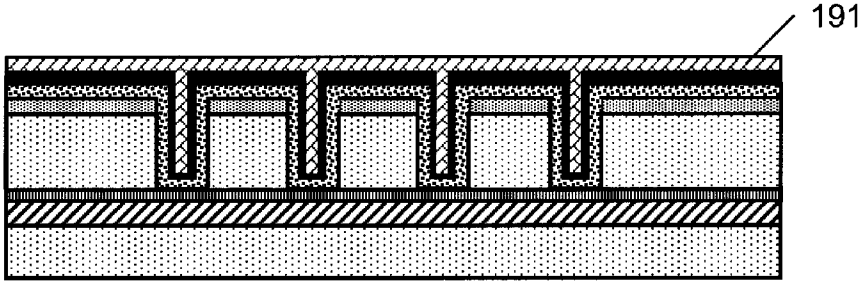
[図12B]



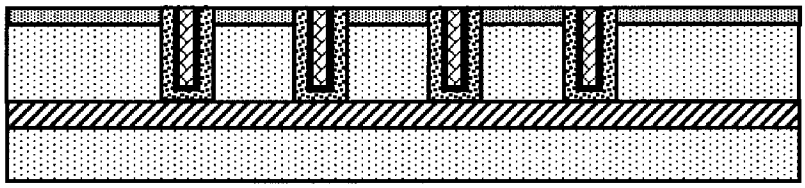
[図12C]



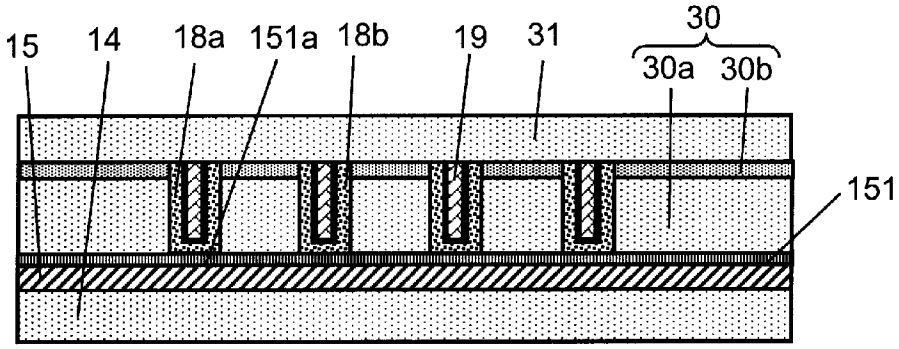
[図12D]



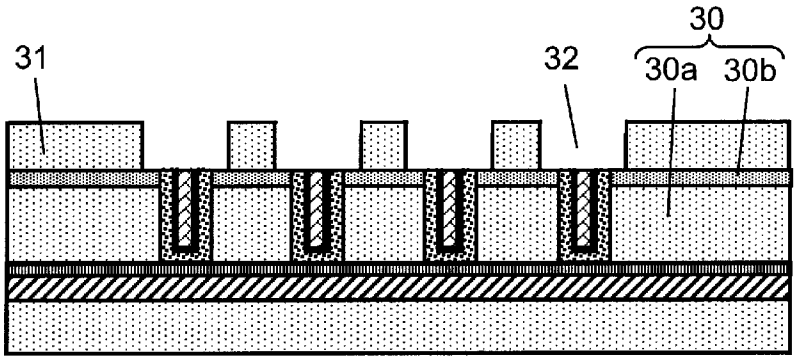
[図12E]



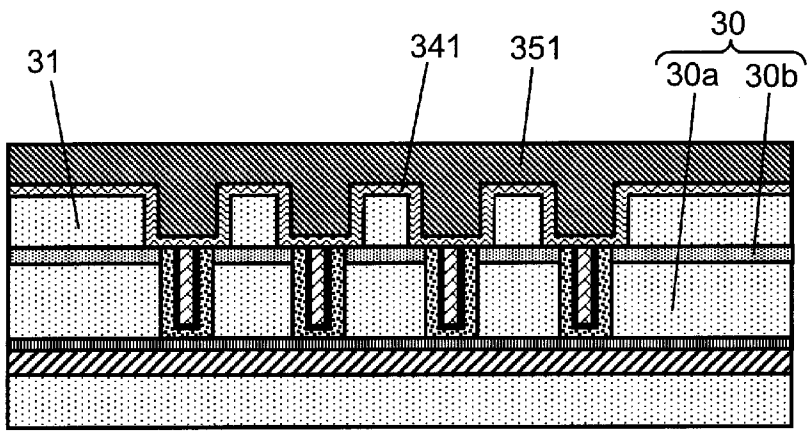
[図13A]



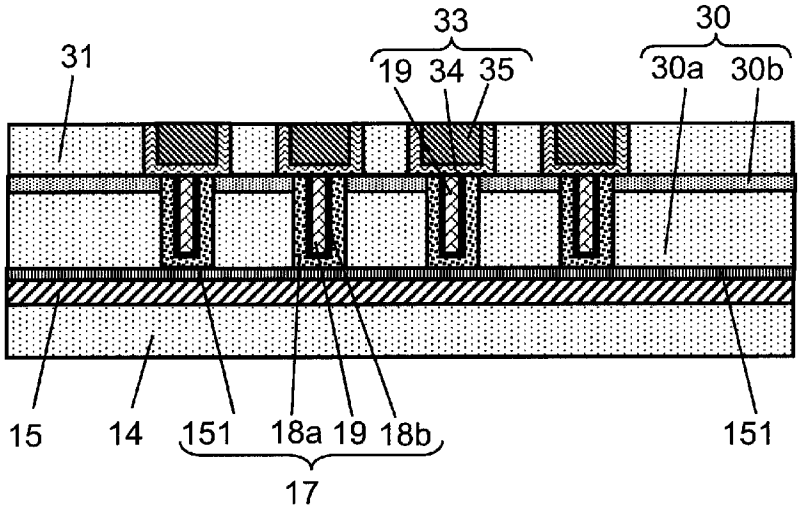
[図13B]



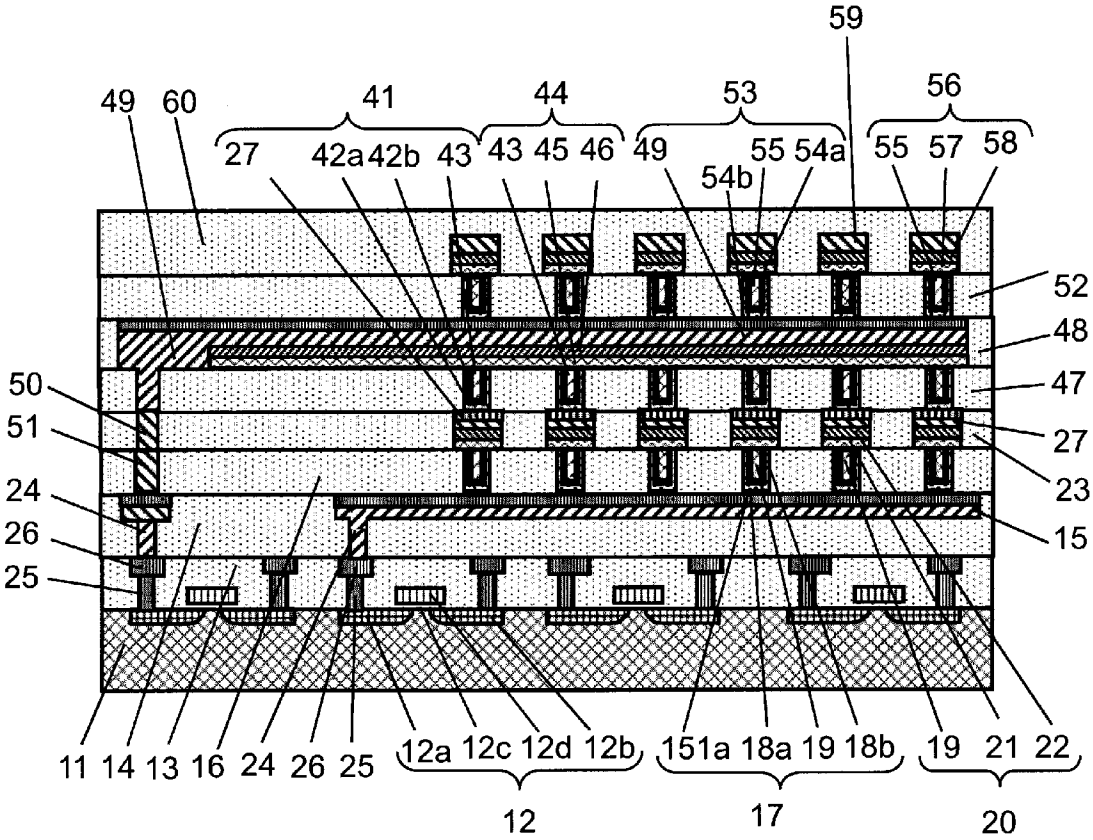
[図14A]



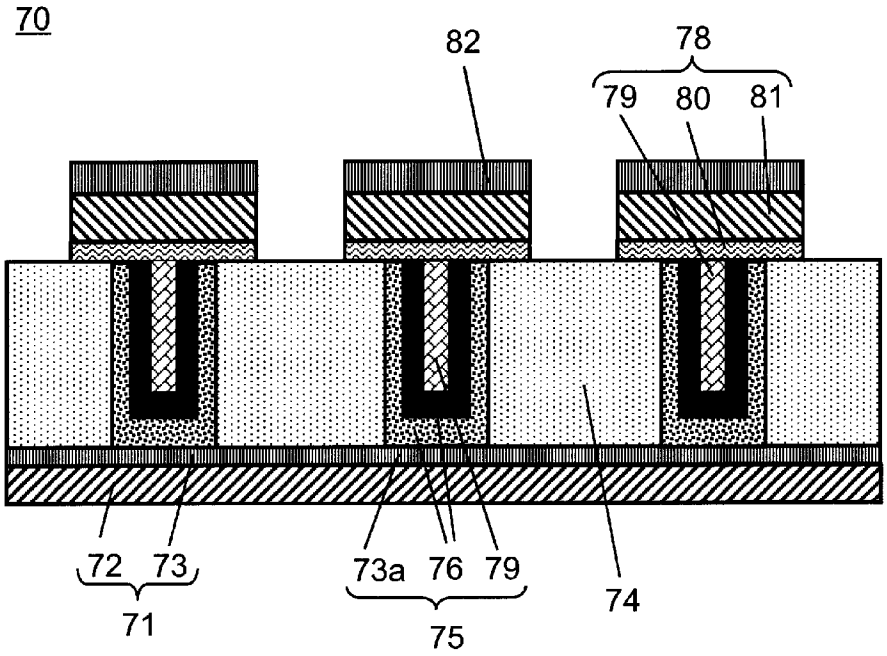
[図14B]


33
30
31
19 34 35
30a 30b
15 14 151 18a 19 18b 151
17

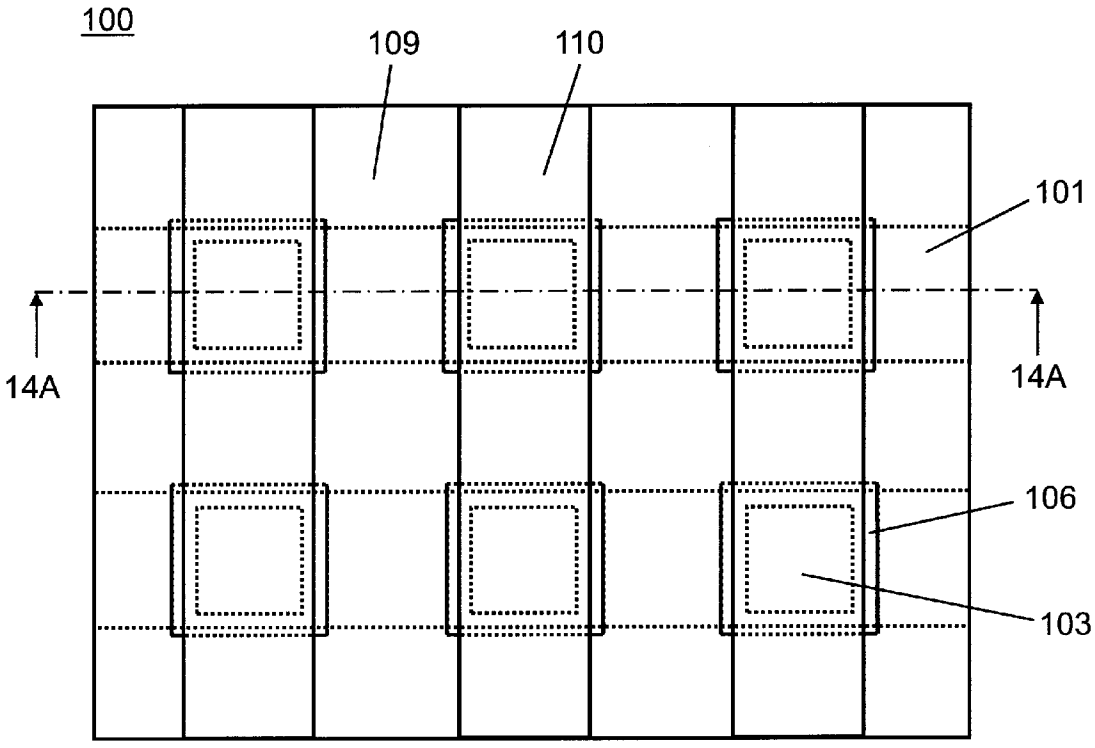
[図15]


40
59
49 60
41
44
53
56
27 42a 42b 43 43 45 46 49 54b 55 54a 55 57 58
52
48
50
47
51
27
23
24
15
26
25
11 14 13 16 24 26 25 12a 12c 12d 12b 151a 18a 19 18b 19 21 22
12
17
20

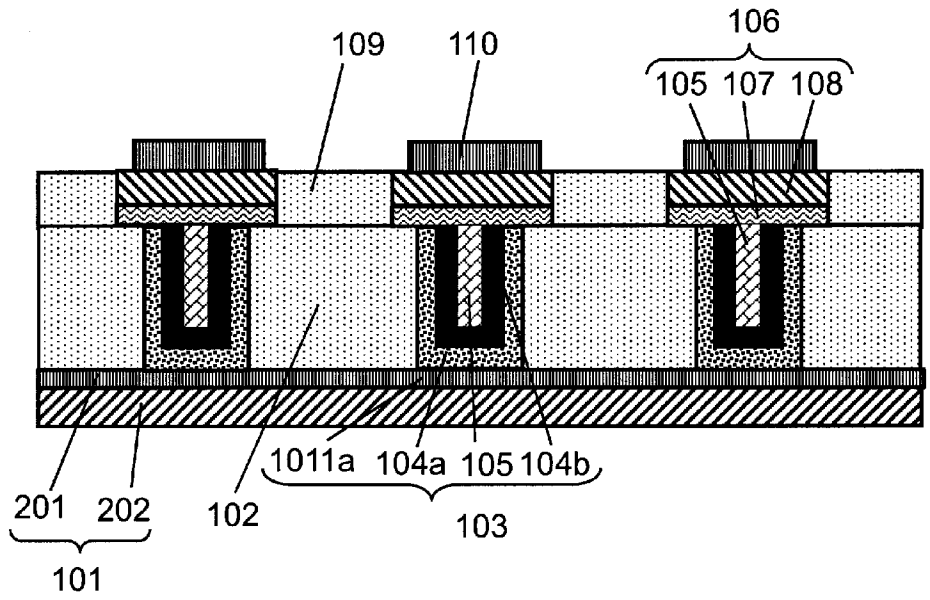
[図16]


70
82
78
79
80
81
72
73
71
73a
76
79
75
74

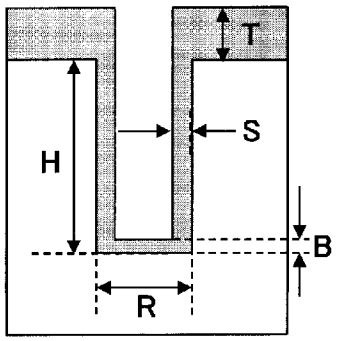
[図17A]


100
109
110
101
14A
14A
106
103

[図17B]



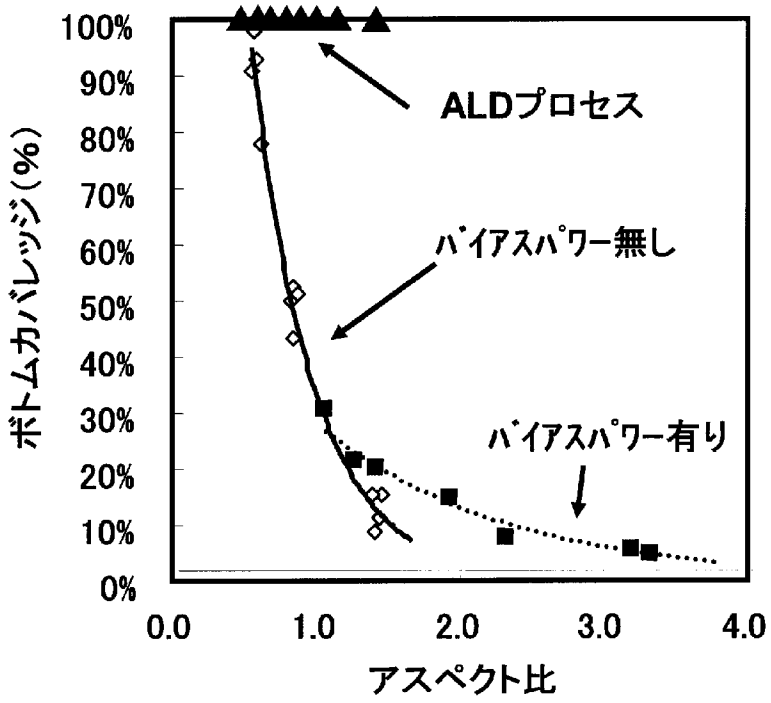
[図18]



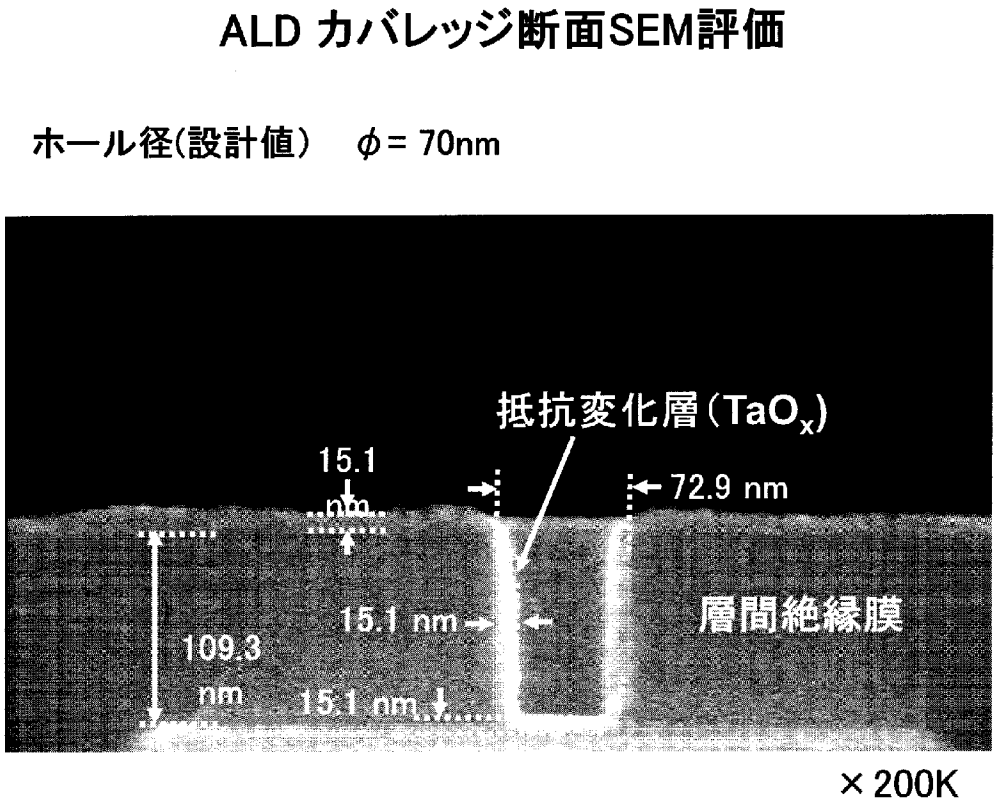
T ・・・ 上端面における酸化物層の厚さ
B ・・・ ホール底部における酸化物層の厚さ
H ・・・ ホールの深さ
R ・・・ ホールのサイズ

アスペクト比 ＝ H／R
ボトムカバレッジ ＝ B／T
側壁カバレッジ ＝ S／B

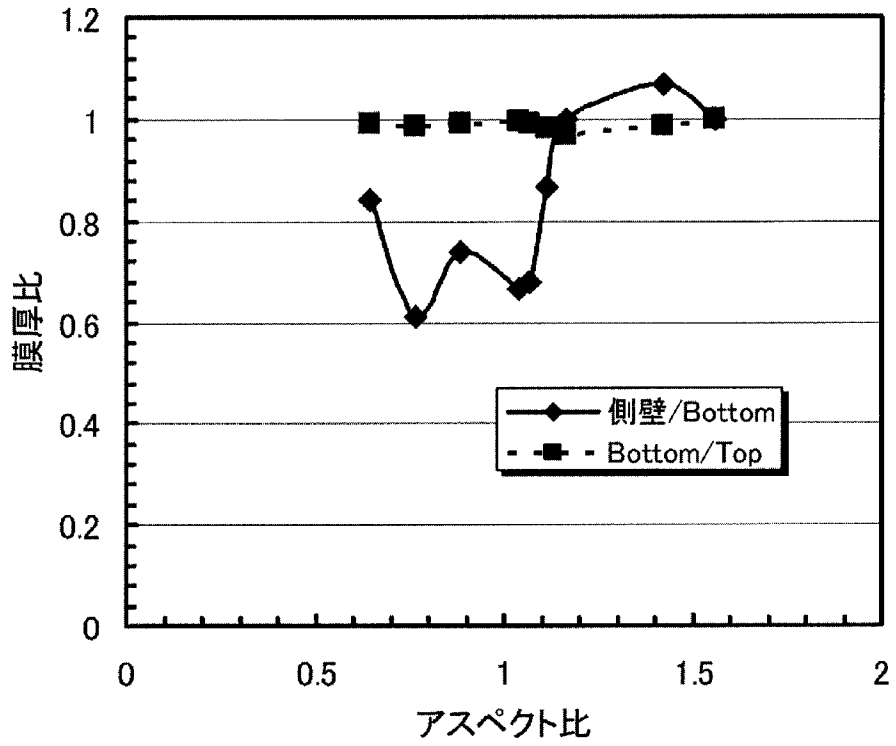
[図19]


100%
90%
80%
70%
60%
50%
40%
30%
20%
10%
0%
ボトムカバレッジ(%)
0.0
1.0
2.0
3.0
4.0
アスペクト比
ALDプロセス
バイアスパワー無し
バイアスパワー有り

[図20]


ALD カバレッジ断面SEM評価
ホール径(設計値) φ= 70nm
抵抗変化層(TaOx)
15.1 nm
72.9 nm
15.1 nm
層間絶縁膜
109.3 nm
15.1 nm
×200K

[図21]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/004207

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/105(2006.01)i, *H01L27/10*(2006.01)i, *H01L45/00*(2006.01)i, *H01L49/00*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/105, H01L27/10, H01L45/00, H01L49/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2010/064340 A1 (Panasonic Corp.), 10 June 2010 (10.06.2010), paragraphs [0035] to [0046], [0066] to [0068]; fig. 1 to 3, 10 (Family: none)	1-9
Y	JP 2009-170439 A (Panasonic Corp.), 30 July 2009 (30.07.2009), paragraphs [0016], [0032] to [0033], [0041] to [0042], [0061]; fig. 1 to 2 & US 2009/0181549 A1	1-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 20 October, 2011 (20.10.11)	Date of mailing of the international search report 08 November, 2011 (08.11.11)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/004207

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-153420 A (Hitachi Kokusai Electric Inc.), 08 July 2010 (08.07.2010), paragraphs [0026] to [0028], [0032] to [0035], [0039] to [0042] (Family: none)	2-6
Y	JP 2005-146418 A (The BOC Group, Inc.), 09 June 2005 (09.06.2005), paragraph [0017] & US 2005/0103264 A1 & EP 1531191 A2 & KR 10-2005-0046617 A & CN 1624194 A & SG 112103 A	9
A	JP 2000-212752 A (Samsung Electronics Co., Ltd.), 02 August 2000 (02.08.2000), paragraph [0017] & US 6478872 B1 & US 2003/0000473 A1 & KR 10-2000-0051046 A	1-9
P,A	JP 2010-267784 A (Toshiba Corp.), 25 November 2010 (25.11.2010), paragraphs [0028], [0045] to [0046] & US 2010/0288995 A1	1-9

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／００４２０７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/105(2006.01)i, H01L27/10(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/105, H01L27/10, H01L45/00, H01L49/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１１年
日本国実用新案登録公報	１９９６－２０１１年
日本国登録実用新案公報	１９９４－２０１１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2010/064340 A1 (パナソニック株式会社) 2010.06.10, 段落 [0035] - [0046], [0066] - [0068], 図 1-3, 10 (ファミリーなし)	1-9
Y	JP 2009-170439 A (パナソニック株式会社) 2009.07.30, 段落【0016】,【0032】-【0033】,【0041】-【0042】,【0061】、図 1-2 & US 2009/0181549 A1	1-9

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２０．１０．２０１１	国際調査報告の発送日 ０８．１１．２０１１
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｍ　４１４５ 小森　重樹 電話番号　０３－３５８１－１１０１　内線　３４６２

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2010-153420 A (株式会社日立国際電気) 2010.07.08, 段落【0026】-【0028】, 【0032】-【0035】, 【0039】-【0042】 (ファミリーなし)	2-6
Y	JP 2005-146418 A (ザ・ビーオーシー・グループ・インコーポレーテッド) 2005.06.09, 段落【0017】 & US 2005/0103264 A1 & EP 1531191 A2 & KR 10-2005-0046617 A & CN 1624194 A & SG 112103 A	9
A	JP 2000-212752 A (三星電子株式会社) 2000.08.02, 段落【0017】 & US 6478872 B1 & US 2003/0000473 A1 & KR 10-2000-0051046 A	1-9
P,A	JP 2010-267784 A (株式会社東芝) 2010.11.25, 段落【0028】, 【0045】-【0046】 & US 2010/0288995 A1	1-9