

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月23日(23.08.2012)



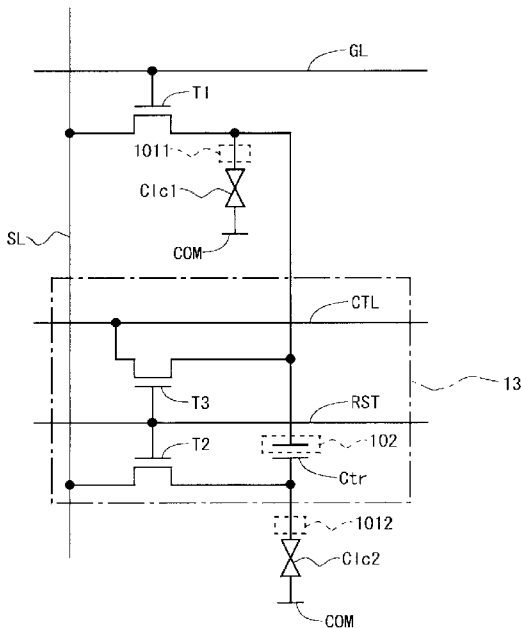
(10) 国際公開番号
WO 2012/111476 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
 - (21) 国際出願番号: PCT/JP2012/052698
 - (22) 国際出願日: 2012年2月7日(07.02.2012)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2011-028810 2011年2月14日(14.02.2011) JP
 - (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
 - (72) 発明者: および
 - (75) 発明者/出願人 (米国についてのみ): 田中 耕平
(TANAKA, Kohhei).
 - (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町1丁目10番3号
萬盛庵ビル 島田特許事務所 Nara (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING SAME

(54) 発明の名称: 表示装置およびその駆動方法

【図1】



(57) Abstract: In order to reduce power consumption by reducing the amplitude of the video signal in a liquid crystal display device in which each pixel is divided into a plurality of sub-pixels, each pixel-forming section is provided with an amplifier circuit section (13) including a second capacitor (Ctr) and located between a pixel electrode for dark display (1011) and a pixel electrode for bright display (1012). A selection period is made up of a pre-charge period and an amplification period. During the pre-charge period, the dark-display pixel electrode (1011) is supplied with the electric potential of a control line (CTL), and the bright-display pixel electrode (1012) is supplied with the electric potential of a video signal line (SL). During the amplification period, the bright-display pixel electrode (1012) is kept in a floating state, and the dark-display pixel electrode (1011) is supplied with the electric potential of the video signal line (SL).

(57) 要約: 1つの画素が複数の副画素に分割された構成の液晶表示装置において、映像信号の振幅を低減することによる低消費電力化を実現する。各画素形成部において、暗表示用の画素電極(1011)と明表示用の画素電極(1012)との間に、第2容量(Ctr)を含む増幅回路部(13)が設けられる。選択期間中はプリチャージ期間と増幅期間とで構成される。プリチャージ期間には、暗表示用の画素電極(1011)には制御配線(CTL)の電位が与えられ、明表示用の画素電極(1012)に

は映像信号線(SL)の電位が与えられる。増幅期間には、明表示用の画素電極(1012)がフローティングにされた状態で、暗表示用の画素電極(1011)に映像信号線SLの電位が与えられる。

WO 2012/111476 A1

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は、表示装置に関し、詳しくは、視野角特性を改善するために1つの画素が複数の副画素に分割された構成の表示装置およびその駆動方法に関する。

背景技術

[0002] 従来より、スイッチング素子として薄膜トランジスタ（TFT）を備えるアクティブマトリクス型液晶表示装置が知られている。アクティブマトリクス型液晶表示装置の表示部には、複数本のソースバスライン（映像信号線）と、複数本のゲートバスライン（走査信号線）と、それら複数本のソースバスラインと複数本のゲートバスラインとの交差点にそれぞれ対応して設けられた複数個の画素形成部が含まれている。これらの画素形成部はマトリクス状に配置されて画素アレイを構成している。

[0003] 図41は、従来の一般的なアクティブマトリクス型液晶表示装置の画素形成部の構成を示す回路図である。図41に示すように、画素形成部には、対応する交差点を通過するゲートバスラインGLにゲート電極が接続されるとともに当該交差点を通過するソースバスラインSLにソース電極が接続された薄膜トランジスタT91と、その薄膜トランジスタT91のドレイン電極に接続された画素電極92と、上記複数個の画素形成部に共通的に設けられた共通電極（対向電極）COMおよび補助容量電極CSと、画素電極92と共通電極COMとによって形成される液晶容量C_{lc}と、画素電極92と補助容量電極CSとによって形成される補助容量C_{stg}とが含まれている。また、液晶容量C_{lc}と補助容量C_{stg}とによって画素容量が形成されている。そして、薄膜トランジスタT91のゲート電極がゲートバスラインGLからアクティブな走査信号を受けたときに当該薄膜トランジスタT91のソース電極がソースバスラインSLから受ける映像信号に基づいて、画素容

量に画素値を示す電圧が保持される。なお、補助容量 C_{stg} は必ずしも設けられているわけではない。

[0004] また、視野角特性を改善するために1つの画素が複数（典型的には2個）の副画素に分割された構成の液晶表示装置も知られている（例えば、日本の特開2006-133577号公報を参照）。この構成は「マルチ画素構造」などと呼ばれている。マルチ画素構造を持つ液晶表示装置においては、複数の副画素の輝度が互いに異なる輝度となるように液晶の駆動が行われる。図42は、マルチ画素構造を持つ従来の液晶表示装置における画素形成部の構成例を示す回路図である。図42に示すように、この液晶表示装置においては、画素形成部 P_{IX9} は、2個の副画素部（第1副画素部 P_{IX9a} および第2副画素部 P_{IX9b} ）によって構成されている。双方の副画素部（ P_{IX9a} 、 P_{IX9b} ）は、共通の構成要素として、トランジスタ（ T_{92} 、 T_{93} ）と画素電極（ E_{91} 、 E_{92} ）と液晶容量（ C_{lcA} 、 C_{lcB} ）と保持容量（ C_{stA} 、 C_{stB} ）とを備えている。ここで、第2副画素部 P_{IX9b} は、更に、走査信号線 GL_{i+1} にゲート電極が接続されるとともに画素電極 E_{92} にソース電極が接続されたトランジスタ T_{94} と、そのトランジスタ T_{94} のドレイン電極に接続された容量電極 E_{93} と、容量電極 E_{93} と共通電極（補助容量電極） COM_{102} とによって形成されるバッファ容量 C_{down} とを備えている。このような構成において、走査信号線 GL_i が選択状態にされると、第1副画素部 P_{IX9a} 内の画素電極 E_{91} の電位と第2副画素部 P_{IX9b} 内の画素電極 E_{92} の電位とが等しくなる。その後、走査信号線 GL_{i+1} が選択状態にされると、トランジスタ T_{94} がオン状態となる。これにより、画素電極 E_{92} と容量電極 E_{93} との間で電荷が移動し、画素電極 E_{92} の電位が変動する。その結果、画素電極 E_{91} と画素電極 E_{92} とは異なる電位となり、第1副画素部 P_{IX9a} と第2副画素部 P_{IX9b} とは異なる輝度となる。

[0005] ところで、近年、液晶表示装置における表示画像の高精細化の進展が顕著である。高精細化の例としては、テレビ用大型パネルの4K化（解像度：3

840×2048)が挙げられる。表示画像が高精細化すると、パネルの駆動に伴う消費電力が増大する。パネルの消費電力については、ソースバスラインの充放電に起因する電力が大半を占めている。ソースバスラインの充放電に起因する消費電力は、(ソースバスラインの本数)×(ソースバスラインの配線容量)×(駆動周波数)×(映像信号の振幅の2乗)で求められる。従って、映像信号の振幅を小さくすることによって、パネルの消費電力を効果的に低減することができる。そこで、日本の特開2009-109600号公報には、画素電極電位を増幅することにより映像信号の振幅の低減を可能にする液晶表示装置の発明が開示されている。この液晶表示装置では、画素形成部を図43に示すような構成にして次のような駆動が行われる。1水平走査期間の前半の期間には、ゲートバスラインGLにオフレベルの電位が与えられた状態で、符号9で示すラインにオンレベルの電位が与えられる。これにより、薄膜トランジスタT902、T903がオン状態となる。その結果、節点901には映像信号電位(ソースバスラインSLの電位)が与えられ、節点902には共通電極COMの電位が与えられる。その後、1水平走査期間の後半になると、符号9で示すラインにオフレベルの電位が与えられた状態で、ゲートバスラインGLにオンレベルの電位が与えられる。これにより、薄膜トランジスタT901がオン状態となる。その結果、節点902に映像信号電位が与えられる。すなわち、節点902の電位は共通電極電位から映像信号電位に上昇する。このとき、節点901はフローティング状態となっているため、節点902の電位の上昇に伴い、容量C91を介して節点901の電位は上昇する。以上のようにして、より大きな電圧が画素電極-共通電極間に印加される。

先行技術文献

特許文献

[0006] 特許文献1：日本の特開2006-133577号公報

特許文献2：日本の特開2009-109600号公報

発明の概要

発明が解決しようとする課題

[0007] ところが、日本の特開2009-109600号公報に開示された発明においては、1水平走査期間の前半の期間に、節点902（図43参照）に共通電極電位が与えられる。すなわち、共通電極電位を用いたプリチャージが行われる。このため、画素電極電位は、映像信号電位と共通電極電位との差に応じて増幅される。しかしながら、共通電極電位は自由に設定できるものではないので、映像信号電位と共通電極電位との差を十分に大きくすることができず、画素電極電位の増幅の程度は充分ではない。また、1つの画素形成部につき液晶容量 C_{lc} が1つだけ設けられた構成であるので、マルチ画素構造を持つ液晶表示装置に日本の特開2009-109600号公報に開示された発明を適用することはできない。

[0008] また、図42に示したマルチ画素構造を持つ液晶表示装置においては、次のような理由により、消費電力が低減されるよう映像信号の振幅を小さくすることはできない。正極性の書き込みが行われるフレームにおいては、トランジスタT94がオン状態になると、保持容量 C_{stB} からバッファ容量 C_{down} へと正電荷が移動する。その結果、第2副画素部PIX9b内の画素電極E92の電位は、第1副画素部PIX9a内の画素電極E91の電位よりも低くなる。負極性の書き込みが行われるフレームにおいては、トランジスタT94がオン状態になると、バッファ容量 C_{down} から保持容量 C_{stB} へと正電荷が移動する。その結果、第2副画素部PIX9b内の画素電極E92の電位は、第1副画素部PIX9a内の画素電極E91の電位よりも高くなる。以上より、正極性の書き込みが行われるフレームおよび負極性の書き込みが行われるフレームの双方において、第2副画素部PIX9bにおける液晶印加電圧は、第1副画素部PIX9aにおける液晶印加電圧よりも小さくなる。また、第1副画素部PIX9aにおいては、映像信号電位と共通電極電位との差の電圧が液晶に印加される。従って、第2副画素部PIX9bにおいては、映像信号電位と共通電極電位との差の電圧よりも小さい電圧が液晶に印加される。以上より、消費電力が低減されるよう映像信号

の振幅を小さくすることはできない。

[0009] そこで本発明は、1つの画素が複数の副画素に分割された構成の液晶表示装置において、映像信号の振幅を低減することによる低消費電力化を実現することを目的とする。

課題を解決するための手段

[0010] 本発明の第1の局面は、複数本の映像信号線と、前記複数本の映像信号線と交差する複数本の走査信号線と、前記複数本の映像信号線と前記複数本の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数個の画素形成部と、前記複数個の画素形成部に共通的に設けられた共通電極とを有するアクティブマトリクス型の表示装置であって、

前記複数本の映像信号線または前記複数本の走査信号線の少なくとも一方と交差する第1制御配線と、

前記複数本の走査信号線と1対1で対応するように設けられた第2制御配線と

を備え、

各画素形成部は、

表示すべき画像に応じた電位がそれぞれ与えられるべき第1画素電極および第2画素電極と、

前記第1画素電極と前記共通電極とによって形成される第1の第1容量と、

前記第2画素電極と前記共通電極とによって形成される第2の第1容量と、

前記第2画素電極の電位を増幅するための増幅回路部と、

前記走査信号線に制御端子が接続され、前記映像信号線に第1導通端子が接続され、前記増幅回路部に第2導通端子が接続された第1スイッチング素子と

を含み、

前記増幅回路部は、

前記第2制御配線に制御端子が接続され、前記映像信号線に第1導通端子が接続された第2スイッチング素子と、

前記第2制御配線に制御端子が接続され、前記第1制御配線に第1導通端子が接続された第3スイッチング素子と、

前記第2スイッチング素子の第2導通端子と前記第3スイッチング素子の第2導通端子との間に設けられた第2容量とからなる増幅段を含み、

前記第1スイッチング素子の第2導通端子は、前記第3スイッチング素子の第2導通端子に接続され、

前記第1画素電極は、前記第3スイッチング素子の第2導通端子に接続され、

前記第2画素電極は、前記第2スイッチング素子の第2導通端子に接続され、

任意の画素形成部に着目したとき、

1画面分の表示が行われる期間である1フレーム期間は、前記表示すべき画像に応じて前記第1画素電極および前記第2画素電極の電位を変化させるための期間であって第1期間および第2期間を含む選択期間と、前記選択期間以外の期間である非選択期間とからなり、

対応する第1制御配線には、一定の電位が与えられ、もしくは、一定のハイレベル電位と一定のローレベル電位とが交互に与えられ、

対応する第2制御配線には、前記第1期間には前記第2スイッチング素子および前記第3スイッチング素子をオン状態にする電位が与えられ、前記第1期間以外の期間には前記第2スイッチング素子および前記第3スイッチング素子をオフ状態にする電位が与えられ、

対応する走査信号線には、前記第2期間には前記第1スイッチング素子をオン状態にする電位が与えられ、前記第2期間以外の期間には前記第1スイッチング素子をオフ状態にする電位が与えられることを特徴とする。

[0011] 本発明の第2の局面は、本発明の第1の局面において、

前記第1制御配線には、前記ハイレベル電位と前記ローレベル電位とが交互に与えられることを特徴とする。

[0012] 本発明の第3の局面は、本発明の第2の局面において、

任意の画素形成部に着目したとき、対応する第1制御配線には、

前記共通電極の電位よりも低い電位が前記第1画素電極および前記第2画素電極に与えられるべき選択期間には、前記ハイレベル電位が与えられ、

前記共通電極の電位よりも高い電位が前記第1画素電極および前記第2画素電極に与えられるべき選択期間には、前記ローレベル電位が与えられることを特徴とする。

[0013] 本発明の第4の局面は、本発明の第2の局面において、

任意の画素形成部に着目したとき、対応する第1制御配線には、

前記共通電極の電位よりも低い電位が前記第1画素電極および前記第2画素電極に与えられるべき選択期間には、前記ローレベル電位が与えられ、

前記共通電極の電位よりも高い電位が前記第1画素電極および前記第2画素電極に与えられるべき選択期間には、前記ハイレベル電位が与えられることを特徴とする。

[0014] 本発明の第5の局面は、本発明の第1の局面において、

前記複数本の映像信号線に与えられ得る最大の電位と最小の電位との中央の電位を基準電位としたとき、前記選択期間から前記非選択期間に移行する際における前記走査信号線の電位の変化に起因する前記第1画素電極の電位の変化の大きさに等しいだけ前記基準電位よりも低い電位に前記共通電極の電位が設定され、

前記共通電極の電位よりも高い電位が前記第2画素電極に与えられるべき選択期間における前記第2画素電極の電位と前記共通電極の電位よりも低い電位が前記第2画素電極に与えられるべき選択期間における前記第2画素電極の電位との中央の電位が前記共通電極の電位と等しくなるように、前記第1制御配線の電位が設定されていることを特徴とする。

[0015] 本発明の第6の局面は、本発明の第5の局面において、

前記第1制御配線の電位 V_{ct1} が下記の式で算出される値に設定されていることを特徴とする。

$$V_{ct1} = V_{d1} + V_{d2} - V_{com} - \Delta V_{g2}$$

ここで、 V_{d1} は前記複数本の映像信号線に与えられ得る最大の電位を表し、 V_{d2} は前記複数本の映像信号線に与えられ得る最小の電位を表し、 V_{com} は前記共通電極の電位を表し、 ΔV_{g2} は前記選択期間から前記非選択期間に移行する際における前記走査信号線の電位の変化に起因する前記第2画素電極の電位の変化の大きさを表す。

- [0016] 本発明の第7の局面は、本発明の第1の局面において、
前記第1制御配線は、前記走査信号線に平行に延びるように配設されていることを特徴とする。
- [0017] 本発明の第8の局面は、本発明の第1の局面において、
前記第1制御配線は、前記映像信号線に平行に延びるように配設されていることを特徴とする。
- [0018] 本発明の第9の局面は、本発明の第1の局面において、
前記第1画素電極として機能する第1透明電極および前記第2画素電極として機能する部分を含む第2透明電極からなる2層の透明電極を更に備え、
前記第1透明電極と前記第2透明電極とによって前記第2容量が形成されていることを特徴とする。
- [0019] 本発明の第10の局面は、本発明の第9の局面において、
前記第1透明電極は、前記第2透明電極と前記共通電極との間の領域に形成され、
前記第1透明電極の中央部に開口部が設けられていることを特徴とする。
- [0020] 本発明の第11の局面は、本発明の第9の局面において、
前記第2透明電極は、前記走査信号線に平行に延びる部分と前記映像信号線に平行に延びる部分とを有するように格子状に形成され前記第2画素電極として機能する部分とは電氣的に分離されている格子状電極部を更に含み、
前記格子状電極部は、前記第1制御配線として機能することを特徴とする

- 。
- [0021] 本発明の第12の局面は、本発明の第9の局面において、
前記第2透明電極は、前記映像信号線と前記第1透明電極との間の領域に形成され前記第2画素電極として機能する部分とは電氣的に分離されているシールド電極部を更に含むことを特徴とする。
- [0022] 本発明の第13の局面は、本発明の第12の局面において、
前記シールド電極部は、前記映像信号線を覆うように形成されていることを特徴とする。
- [0023] 本発明の第14の局面は、本発明の第12の局面において、
前記シールド電極部は、前記映像信号線と重ならないように、かつ、前記走査信号線の延びる方向について前記映像信号線と前記第2透明電極のうち前記第2画素電極として機能する部分との間の領域に形成されていることを特徴とする。
- [0024] 本発明の第15の局面は、本発明の第12の局面において、
前記シールド電極部は、前記第1制御配線として機能することを特徴とする。
- [0025] 本発明の第16の局面は、本発明の第9の局面において、
前記第1画素電極と前記共通電極との間および前記第2画素電極と前記共通電極との間には表示媒体として液晶が設けられ、
各画素形成部は、前記液晶の配向状態が互いに異なる複数の領域からなる画素を形成し、
前記第1画素電極を含む副画素部と前記第2画素電極を含む副画素部とで配向の中心が一致していることを特徴とする。
- [0026] 本発明の第17の局面は、本発明の第9の局面において、
前記第1画素電極と前記共通電極との間および前記第2画素電極と前記共通電極との間には表示媒体として液晶が設けられ、
各画素形成部は、前記液晶の配向状態が互いに異なる複数の領域からなる画素を形成し、

前記第 1 画素電極を含む副画素部および前記第 2 画素電極を含む副画素部のうち比較的明るい表示が行われるべき副画素部が各画素形成部の中央部に配置されていることを特徴とする。

- [0027] 本発明の第 18 の局面は、本発明の第 1 の局面において、
前記第 1 画素電極と前記共通電極との間および前記第 2 画素電極と前記共通電極との間には表示媒体として液晶が設けられ、
各画素形成部は、前記液晶の配向状態が互いに異なる複数の領域からなる画素を形成し、
前記複数の領域の境界部に相当する領域に前記第 1 制御配線が配設されていることを特徴とする。

- [0028] 本発明の第 19 の局面は、本発明の第 1 の局面において、
前記複数個の画素形成部は、複数の色用の画素形成部からなり、
前記複数の色用の画素形成部のうち少なくとも 1 つの色用の画素形成部については、それ以外の色用の画素形成部とは前記第 2 容量の容量値が異なっていることを特徴とする。

- [0029] 本発明の第 20 の局面は、本発明の第 1 の局面において、
前記複数個の画素形成部は、複数の色用の画素形成部からなり、
前記複数の色用の画素形成部のうち少なくとも 1 つの色用の画素形成部については、対応する第 1 制御配線に与えられる電位が、それ以外の色用の画素形成部に対応する第 1 制御配線に与えられる電位とは異なっていることを特徴とする。

- [0030] 本発明の第 21 の局面は、本発明の第 1 の局面において、
前記増幅回路部は、複数の増幅段を含み、
前記第 1 スイッチング素子の第 2 導通端子は、前記複数の増幅段のうち電氣的に最も前記第 2 画素電極から遠くに配置されている増幅段に含まれる第 3 スイッチング素子の第 2 導通端子に接続され、
前記第 1 画素電極は、前記第 1 スイッチング素子の第 2 導通端子または前記複数の増幅段のうち電氣的に最も前記第 2 画素電極の近くに配置されてい

る増幅段以外の増幅段に含まれる第2スイッチング素子の第2導通端子に接続され、

前記第2画素電極は、前記複数の増幅段のうち電氣的に最も前記第2画素電極の近くに配置されている増幅段に含まれる第2スイッチング素子の第2導通端子に接続され、

連続する2つの増幅段に着目したとき、電氣的により前記第2画素電極から遠くに配置されている増幅段に含まれる前記第2スイッチング素子の第2導通端子は、電氣的により前記第2画素電極の近くに配置されている増幅段に含まれる第3スイッチング素子の第2導通端子に接続されていることを特徴とする。

[0031] 本発明の第22の局面は、複数本の映像信号線と、前記複数本の映像信号線と交差する複数本の走査信号線と、表示すべき画像に応じた電位がそれぞれ与えられるべき第1画素電極および第2画素電極を有し前記複数本の映像信号線と前記複数本の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数個の画素形成部と、前記複数個の画素形成部に共通的に設けられた共通電極とを有するアクティブマトリクス型の表示装置の駆動方法であって、

各画素形成部に関し、

1画面分の表示が行われる期間である1フレーム期間毎に前記表示すべき画像に応じて前記第1画素電極および前記第2画素電極の電位を変化させる画素電極電位変化ステップと、

前記第1画素電極および前記第2画素電極の電位を維持する画素電極電位維持ステップと

を含み、

前記表示装置は、

前記複数本の映像信号線または前記複数本の走査信号線の少なくとも一方と交差する第1制御配線と、

前記複数本の走査信号線と1対1で対応するように設けられた第2制御

配線と

を備え、

各画素形成部は、

前記第 1 画素電極と前記共通電極とによって形成される第 1 の第 1 容量と、

前記第 2 画素電極と前記共通電極とによって形成される第 2 の第 1 容量と、

前記第 2 画素電極の電位を増幅するための増幅回路部と、

前記走査信号線に制御端子が接続され、前記映像信号線に第 1 導通端子が接続され、前記増幅回路部に第 2 導通端子が接続された第 1 スイッチング素子と

を含み、

前記増幅回路部は、

前記第 2 制御配線に制御端子が接続され、前記映像信号線に第 1 導通端子が接続された第 2 スイッチング素子と、

前記第 2 制御配線に制御端子が接続され、前記第 1 制御配線に第 1 導通端子が接続された第 3 スイッチング素子と、

前記第 2 スイッチング素子の第 2 導通端子と前記第 3 スイッチング素子の第 2 導通端子との間に設けられた第 2 容量と

からなる増幅段を含み、

前記第 1 スイッチング素子の第 2 導通端子は、前記第 3 スイッチング素子の第 2 導通端子に接続され、

前記第 1 画素電極は、前記第 3 スイッチング素子の第 2 導通端子に接続され、

前記第 2 画素電極は、前記第 2 スイッチング素子の第 2 導通端子に接続され、

前記第 1 制御配線には、一定の電位が与えられ、もしくは、一定のハイレベル電位と一定のローレベル電位とが交互に与えられ、

任意の画素形成部に着目したとき、

前記画素電極電位変化ステップは、

対応する走査信号線に前記第1スイッチング素子をオフ状態にする電位を与えた状態で、対応する第2制御配線に前記第2スイッチング素子および前記第3スイッチング素子をオン状態にする電位を与える第1ステップと、

対応する第2制御配線に前記第2スイッチング素子および前記第3スイッチング素子をオフ状態にする電位を与えた状態で、対応する走査信号線に前記第1スイッチング素子をオン状態にする電位を与える第2ステップとを含み、

前記画素電極維持ステップでは、対応する走査信号線には前記第1スイッチング素子をオフ状態にする電位が与えられ、対応する第2制御配線には前記第2スイッチング素子および前記第3スイッチング素子をオフ状態にする電位が与えられることを特徴とする。

発明の効果

[0032] 本発明の第1の局面によれば、各画素形成部には第1画素電極および第2画素電極が含まれ、それら第1画素電極および第2画素電極の電位を表示画像に応じて変化させるための選択期間は、第1期間と第2期間とからなっている。第1画素電極の電位は、第1期間に第1制御配線の電位に等しくされた後、第2期間には映像信号電位に等しくされる。第2画素電極の電位は、第1期間に映像信号電位と等しくされた後、第2期間には第1制御配線の電位と映像信号電位との差に応じて増幅される。このようにして、マルチ画素構造（1つの画素が複数の副画素に分割された構成）を持つ表示装置において、選択期間終了時点には、第1画素電極（例えば、暗表示用の副画素に設けられている画素電極）の電位は映像信号電位に等しくなり、第2画素電極（例えば、明表示用の副画素に設けられている画素電極）の電位は映像信号電位よりも高くなる。このため、映像信号の振幅を従来よりも小さくしても、第2画素電極に従来と同様の電位を与えることが可能となる。これにより

、マルチ画素構造を持つ表示装置において、映像信号の振幅を低減することによる低消費電力化が実現される。

[0033] 本発明の第2の局面によれば、第1制御配線に与えるハイレベル電位およびローレベル電位を調整することによって、映像信号電位と共通電極電位との差と透過率との関係（後述の「疑似VT特性」）を適宜に調整することができる。これにより、マルチ画素構造を持つ表示装置において、視野角補償の自由度が向上する。

[0034] 本発明の第3の局面によれば、選択期間において第1制御配線の電位と映像信号電位との差がより大きくなるので、第2画素電極の電位は、より大きく増幅される。このため、マルチ画素構造を持つ表示装置において、映像信号の振幅を従来よりも顕著に小さくすることができ、消費電力が効果的に低減される。

[0035] 本発明の第4の局面によれば、本発明の第2の局面と同様、マルチ画素構造を持つ表示装置において、視野角補償の自由度が向上する。

[0036] 本発明の第5の局面によれば、マルチ画素構造を持つ表示装置において、暗表示用の画素および明表示用の画素の双方で正負の極性間での画素容量への印加電圧の偏りの発生が抑制され、画面への焼き付きの発生などが抑制される。

[0037] 本発明の第6の局面によれば、第2容量の容量値が第2の第1容量や寄生容量の容量値よりも極めて大きい場合に、正負の極性間での画素容量への印加電圧の偏りの発生が防止されるように第1制御配線の電位を比較的容易に設定することが可能となる。

[0038] 本発明の第7の局面によれば、第1制御配線を映像信号線に平行に延びるように配設する構成に比べて、必要な第1制御配線の本数が少なくなる。このため、第1制御配線を設けることによる開口率の低下を抑制することができる。

[0039] 本発明の第8の局面によれば、第1制御配線を走査信号線に平行に延びるように配設する構成とは異なり、1本の第1制御配線から複数の第3スイッ

チング素子に同じタイミングでプリチャージ用の電位が与えられることはない。このため、プリチャージが行われる際（第1期間）に各第1制御配線に掛かる負荷を小さくすることができる。

[0040] 本発明の第9の局面によれば、2層の透明電極によって第2容量が形成されるので、開口率を向上させることができ、かつ、開口率に影響を及ぼすことなく第2容量を設定することができる。

[0041] 本発明の第10の局面によれば、副画素の面積は開口部の面積によって定まり、また、第2容量の容量値は第1透明電極と第2透明電極とが重なる部分の面積（オーバーラップ量）によって定まる。このため、第2容量の設計に関する自由度が確保される。

[0042] 本発明の第11の局面によれば、格子状に形成された透明電極が第1制御配線として機能する。このため、第1制御配線の抵抗が小さくなるとともに、開口率の向上が可能となる。

[0043] 本発明の第12の局面によれば、第1透明電極と映像信号線との間の領域にシールド電極部が設けられるので、映像信号電位の変動が第1画素電極および第2画素電極の電位に及ぼす影響を低減することが可能となる。

[0044] 本発明の第13の局面によれば、シールド電極部は映像信号線を覆うように形成されるので、映像信号電位の変動が第1画素電極および第2画素電極の電位に及ぼす影響を効果的に低減することが可能となる。

[0045] 本発明の第14の局面によれば、映像信号線とシールド電極部との間に形成される容量が比較的小さくなるので、映像信号線の配線容量を低減しつつ、映像信号電位の変動が第1画素電極および第2画素電極の電位に及ぼす影響を低減することが可能となる。

[0046] 本発明の第15の局面によれば、1つの電極がシールド電極部としても第1制御配線としても機能する。このため、より高精細の表示部を有する表示装置においても、映像信号電位の変動が第1画素電極および第2画素電極の電位に及ぼす影響を低減することが可能となる。

[0047] 本発明の第16の局面によれば、表示媒体として液晶が採用され当該液晶

の配向状態が互いに異なる複数の領域からなる画素を備えた表示装置（配向分割型液晶表示装置）において、明表示用の副画素と暗表示用の副画素とで配向中心が一致する。このため、配向分割型液晶表示装置において、暗線の数を少なくすることが可能となる。これにより、暗線に起因する透過率の低下が抑制される。

[0048] 本発明の第17の局面によれば、明表示用の副画素が各画素の中央部に配置され、配向分割型液晶表示装置において、液晶の配向特性を考慮した好適な表示が行われる。

[0049] 本発明の第18の局面によれば、配向分割型液晶表示装置において、暗線と重なるように第1制御配線が形成される。このため、第1制御配線を設けることによる開口率の低下が効果的に抑制される。

[0050] 本発明の第19の局面によれば、第2期間における第2画素電極の電位の増幅の程度を色毎に異なる大きさとすることができる。これにより、より細かく視野角特性を調整することが可能となる。

[0051] 本発明の第20の局面によれば、本発明の第19の局面と同様、第2期間における第2画素電極の電位の増幅の程度を色毎に異なる大きさとすることができ、より細かく視野角特性を調整することが可能となる。

[0052] 本発明の第21の局面によれば、選択期間中に、第2画素電極の電位は複数段階で増幅する。このため、映像信号の振幅を従来よりも顕著に小さくすることが可能となり、消費電力が従来よりも大幅に低減される。

[0053] 本発明の第22の局面によれば、本発明の第1の局面と同様の効果を表示装置の駆動方法において奏することができる。

図面の簡単な説明

[0054] [図1]本発明の表示装置における典型的な画素形成部（1つの画素を形成する部分）の構成を示す等価回路図である。

[図2]選択期間における画素形成部の動作について説明するための信号波形図である。

[図3]映像信号電位と共通電極電位との差と透過率との関係を示す図である。

[図4]本発明の第1の実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

[図5]上記第1の実施形態において、画素形成部と各ラインとの配置関係を示す図である。

[図6]上記第1の実施形態における画素形成部近傍のレイアウトを示す図である。

[図7]上記第1の実施形態において、画素形成部近傍のレイアウトについて説明するための図である。

[図8]上記第1の実施形態における駆動方法を説明するための信号波形図である。

[図9]上記第1の実施形態において、選択期間における画素形成部の動作について説明するための信号波形図である。

[図10]上記第1の実施形態において、正負の極性間での液晶印加電圧の偏りについて説明するための信号波形図である。

[図11]上記第1の実施形態において、画素形成部における動作の一例を説明するための信号波形図である。

[図12]本発明の第2の実施形態における駆動方法を説明するための信号波形図である。

[図13]上記第2の実施形態において、選択期間における画素形成部の動作について説明するための信号波形図である。

[図14]上記第2の実施形態において、画素形成部における動作の一例を説明するための信号波形図である。

[図15]上記第2の実施形態において、画素形成部における動作の一例を説明するための信号波形図である。

[図16]第1の変形例における画素形成部近傍のレイアウトを示す図である。

[図17]上記第1の変形例において、画素形成部と各ラインとの配置関係を示す図である。

[図18]上記第1の変形例における駆動方法を説明するための信号波形図であ

る。

[図19]第2の変形例における画素形成部近傍のレイアウトを示す図である。

[図20]第2の変形例において、上層透明電極および下層透明電極の形状を示す図である。

[図21]図19のA-A線断面図である。

[図22]第3の変形例における画素形成部近傍のレイアウトを示す図である。

[図23]第4の変形例における画素形成部近傍のレイアウトを示す図である。

[図24]上記第4の変形例において、上層透明電極および下層透明電極の形状を示す図である。

[図25]上記第4の変形例において、画素形成部と各ラインとの配置関係を示す図である。

[図26]上記第4の変形例における駆動方法を説明するための信号波形図である。

[図27]第5の変形例における画素形成部近傍のレイアウトを示す図である。

[図28]第6の変形例における画素形成部近傍のレイアウトを示す図である。

[図29]第7の変形例における画素形成部近傍のレイアウトを示す図である。

[図30]図29のA-A線断面図である。

[図31]上記第7の変形例において、ソースバスライン-透明電極間の寄生容量およびシールド電極-透明電極間に形成される容量をも含めた等価回路図である。

[図32]第8の変形例における画素形成部近傍のレイアウトを示す図である。

[図33]図32のA-A線断面図である。

[図34]第9の変形例における画素形成部近傍のレイアウトを示す図である。

[図35]第9の変形例における画素形成部近傍のレイアウトの別の例を示す図である。

[図36]第10の変形例における駆動方法を説明するための信号波形図である。

[図37]第11の変形例における駆動方法を説明するための信号波形図である。

。

[図38]上記第11の変形例において、画素形成部と各ラインとの配置関係を示す図である。

[図39]第12の変形例における画素形成部の構成を示す等価回路図である。

[図40]上記第12の変形例において、選択期間における画素形成部の動作について説明するための信号波形図である。

[図41]従来の一般的なアクティブマトリクス型液晶表示装置の画素形成部の構成を示す回路図である。

[図42]マルチ画素構造を持つ従来液晶表示装置における画素形成部の構成例を示す回路図である。

[図43]従来例における画素形成部の構成の一例を示す等価回路図である。

発明を実施するための形態

[0055] <0. はじめに>

実施形態について説明する前に、本発明の表示装置の基本的な動作原理について説明する。なお、以下の説明においては、画素電極電位について共通電極電位との差が大きくなることを意味するために「増幅」という用語を用いる。

[0056] 図1は、本発明の表示装置における典型的な画素形成部（1つの画素を形成する部分）の構成を示す等価回路図である。図1に示すように、画素形成部には、3個の薄膜トランジスタ T_1 、 T_2 、および T_3 と、3個の容量 C_{lc1} 、 C_{lc2} 、および C_{tr} が含まれている。また、画素形成部を通過する配線として、ゲートバスライン GL およびソースバスライン SL に加えて、符号 RST で示す配線（以下、「リセット配線」という。）と符号 CTL で示す配線（以下、「制御配線」という。）とが設けられている。以下においては、容量 C_{lc1} のことを「第1の第1容量」といい、容量 C_{lc2} のことを「第2の第1容量」といい、容量 C_{tr} のことを「第2容量」という。また、第1の第1容量 C_{lc1} 、第2の第1容量 C_{lc2} 、および第2容量 C_{tr} に関し、それらの容量値も同じ符号“ C_{lc1} ”、“ C_{lc

2” , および “C t r” でそれぞれ示すものとする。なお、図1では制御配線C T LがゲートバスラインG Lに平行に延びるように表されているが、本発明はこれに限定されない。

[0057] ところで、図1に示す画素形成部は、マルチ画素構造の画素を形成している。すなわち、1つの画素が複数の副画素（ここでは、2個の副画素）に分割されている。なお、以下においては、第1の第1容量C l c 1が比較的暗い表示（以下、「暗表示」という。）が行われる画素に設けられる容量であって、第2の第1容量C l c 2が比較的明るい表示（以下、「明表示」という。）が行われる画素に設けられる容量であると仮定して説明する。但し、第1の第1容量C l c 1が明表示用の画素に設けられる容量であって、第2の第1容量C l c 2が暗表示用の画素に設けられる容量であっても良い。

[0058] 画素形成部内における構成要素間の接続関係は次のとおりである。薄膜トランジスタT 1については、ゲート電極はゲートバスラインG Lに接続され、ソース電極はソースバスラインS Lに接続され、ドレイン電極は第1の第1容量C l c 1の一端および第2容量C t rの一端に接続されている。薄膜トランジスタT 2については、ゲート電極はリセット配線R S Tに接続され、ソース電極はソースバスラインS Lに接続され、ドレイン電極は第2容量C t rの他端および第2の第1容量C l c 2の一端に接続されている。薄膜トランジスタT 3については、ゲート電極はリセット配線R S Tに接続され、ソース電極は制御配線C T Lに接続され、ドレイン電極は第2容量C t rの一端に接続されている。第1の第1容量C l c 1の一端は薄膜トランジスタT 1のドレイン電極および第2容量C t rの一端に接続され、第1の第1容量C l c 1の他端は共通電極C O Mに接続されている。第2の第1容量C l c 2の一端は薄膜トランジスタT 2のドレイン電極および第2容量C t rの他端に接続され、第2の第1容量C l c 2の他端は共通電極C O Mに接続されている。第2容量C t rの一端は薄膜トランジスタT 1のドレイン電極、薄膜トランジスタT 3のドレイン電極、および第1の第1容量C l c 1の一端に接続され、第2容量C t rの他端は薄膜トランジスタT 2のドレイン

電極および第2の第1容量 C_{1c2} の一端に接続されている。なお、表示装置として液晶表示装置が採用されている場合、第1の第1容量 C_{1c1} および第2の第1容量 C_{1c2} が液晶容量に相当する。

[0059] 以上のような構成において、第1の第1容量 C_{1c1} の一端には暗表示用の画素電極1011が存在する。すなわち、暗表示用の画素電極1011と共通電極COMとによって第1の第1容量 C_{1c1} が形成されている。また、第2の第1容量 C_{1c2} の一端には明表示用の画素電極1012が存在する。すなわち、明表示用の画素電極1012と共通電極COMとによって第2の第1容量 C_{1c2} が形成されている。さらに、第2容量 C_{tr} の一端には、明表示用の画素電極1012との間または明表示用の画素電極1012と電氣的に接続された電極との間で容量（明表示用の画素電極1012の電位を増幅するための容量）を形成するための電極（以下、「増幅用電極」という。）102が存在する。その増幅用電極102は暗表示用の画素電極1011と電氣的に接続されているので、増幅用電極102の電位と暗表示用の画素電極1011の電位とは等しくなる。以下、暗表示用の画素電極1011の電位（増幅用電極102の電位）を符号 V_{pix1} で表し、明表示用の画素電極1012の電位を符号 V_{pix2} で表す。

[0060] なお、図1に示した構成においては、薄膜トランジスタT1によって第1スイッチング素子の実現され、薄膜トランジスタT2によって第2スイッチング素子の実現され、薄膜トランジスタT3によって第3スイッチング素子の実現され、制御配線CTLによって第1制御配線の実現され、リセット配線RSTによって第2制御配線の実現され、暗表示用の画素電極1011によって第1画素電極の実現され、明表示用の画素電極1012によって第2画素電極の実現されている。ゲート電極は制御端子に相当し、ソース電極は第1導通端子に相当し、ドレイン電極は第2導通端子に相当する。また、薄膜トランジスタT2、薄膜トランジスタT3、および第2容量 C_{tr} によって、画素電極電位 V_{pix2} を増幅するための増幅回路部13が実現されている。

[0061] 図2は、選択期間（各画素形成部において表示すべき画像に応じて第1の第1容量 C_{1c1} および第2の第1容量 C_{1c2} への書き込みを行うための期間）における画素形成部の動作について説明するための信号波形図である。選択期間の長さは、典型的には従来の表示装置における1水平走査期間の長さに相当する。なお、符号 V_{data} は映像信号電位（ソースバスライン SL の電位）を表し、符号 V_{ctl} は制御配線 CTL の電位を表している。本発明においては、図2に示すように、選択期間（水平走査期間）は、前半の期間（以下、「プリチャージ期間」という。） T_a と後半の期間（以下、「増幅期間」という。） T_b とで構成される。従って、1フレーム期間は、プリチャージ期間 T_a および増幅期間 T_b を含む選択期間と、選択期間以外の期間である非選択期間とからなる。プリチャージ期間 T_a の長さとは増幅期間 T_b の長さは必ずしも等しくなくても良い。なお、正極性の書き込みが行われるフレームと負極性の書き込みが行われるフレームとで同様の動作がなされるので、以下では正極性の書き込みが行われるフレームに着目して説明する。

[0062] まず、プリチャージ期間 T_a には、ゲートバスライン GL にオフレベル（図2に示す例ではローレベル）の電位が与えられた状態で、リセット配線 RST にオンレベル（図2に示す例ではハイレベル）の電位が与えられる。これにより、薄膜トランジスタ T_1 はオフ状態かつ薄膜トランジスタ T_2 , T_3 はオン状態となる。その結果、明表示用の画素電極 1012 には映像信号電位 V_{data} が与えられ、暗表示用の画素電極 1011 （増幅用電極 102 ）には制御配線電位 V_{ctl} が与えられる。なお、映像信号電位 V_{data} は、表示画像に応じて決定される電位である。

[0063] 次に、増幅期間 T_b には、リセット配線 RST にオフレベルの電位が与えられた状態で、ゲートバスライン GL にオンレベルの電位が与えられる。これにより、薄膜トランジスタ T_1 はオン状態かつ薄膜トランジスタ T_2 , T_3 はオフ状態となる。その結果、暗表示用の画素電極 1011 に映像信号電位 V_{data} が与えられる。すなわち、画素電極電位 V_{pix1} は V_{ctl}

から V_{data} に上昇する。このとき、明表示用の画素電極 1012 はフローティング状態となっているため、画素電極電位 V_{pix1} の上昇に伴い、第2容量 C_{tr} を介して画素電極電位 V_{pix2} は上昇する。このときの画素電極電位 V_{pix2} の上昇の大きさ V_1 は、次式 (1) で表される。なお、 C_p は寄生容量の容量値を表す。

[数1]

$$V_1 = \frac{C_{tr}}{C_{tr} + C_{ic2} + C_p} \cdot (V_{data} - V_{ctl}) \quad \dots (1)$$

以上のようにして、増幅期間 T_b の終了時点すなわち選択期間の終了時点には、画素電極電位 V_{pix1} の値は V_{data} となり、画素電極電位 V_{pix2} の値は「 $V_{data} + V_1$ 」となる。

[0064] 増幅期間 T_b が終了すると、ゲートバスライン GL の電位がオンレベルからオフレベルに変化する。この電位の変化に伴い、画素電極電位 V_{pix1} 、 V_{pix2} には「フィードスルー電圧」，「引き込み電圧」等と呼ばれる電圧変動 ΔV_{g1} 、 ΔV_{g2} が生じる。その結果、画素電極電位 V_{pix1} の値は「 $V_{data} - \Delta V_{g1}$ 」となり、画素電極電位 V_{pix2} は次式 (2) で示す値となる。なお、正極性の書き込みが行われる時には、画素電極電位と共通電極電位との差が小さくなるように上記電圧変動が生じ、負極性の書き込みが行われる時には、画素電極電位と共通電極電位との差が大きくなるように上記電圧変動が生じる。

[数2]

$$V_{pix2} = V_{data} + \frac{C_{tr}}{C_{tr} + C_{ic2} + C_p} \cdot (V_{data} - V_{ctl}) - \Delta V_{g2} \quad \dots (2)$$

このようにして、選択期間終了後に上記電圧変動が生じてから次のフレームで書き込みが行われるまでの期間、画素電極電位 V_{pix1} は「 $V_{data} - \Delta V_{g1}$ 」で維持され、画素電極電位 V_{pix2} は上式 (2) で示す値で維持される（但し、リーク電流等に起因する電位の変動を無視している）。

[0065] なお、選択期間の動作によって画素電極電位変化ステップが実現され、非

選択期間の動作によって画素電極電位維持ステップが実現されている。また、プリチャージ期間 T_a の動作によって第 1 ステップが実現され、増幅期間 T_b の動作によって第 2 ステップが実現されている。

[0066] マルチ画素構造を持つ従来の表示装置においては、選択期間終了時点には、暗表示用の画素電極電位は映像信号電位よりも低くなっていて、明表示用の画素電極電位は映像信号電位に等しくなっていた。このことと上式 (2) より、本発明の表示装置によれば、選択期間終了時点の明表示用の画素電極電位 V_{pix2} が従来の表示装置と比較して $(C_{tr} / (C_{tr} + C_{lc2} + C_p)) \cdot (V_{data} - V_{ctl})$ の大きさだけ高められることが把握される。また、上式 (2) より、増幅期間 T_b には画素電極電位 V_{pix2} が $(V_{data} - V_{ctl})$ の大きさに応じて増幅されることが把握される。さらに、上式 (2) は次式 (3) に示すように変形することができる。

[数3]

$$V_{pix2} = \left[1 + \frac{C_{tr}}{C_{tr} + C_{lc2} + C_p} \right] \cdot V_{data} - \frac{C_{tr}}{C_{tr} + C_{lc2} + C_p} \cdot V_{ctl} - \Delta V_{g2} \quad \dots (3)$$

上式 (3) より、本発明の表示装置においては、映像信号電位 V_{data} を従来よりも $(1 + (C_{tr} / (C_{tr} + C_{lc2} + C_p)))$ 倍に増幅することによって得られる電位に基づいて画素電極電位 V_{pix2} の値が定まることが把握される。また、画素電極電位 V_{pix2} については電圧変動 ΔV_{g2} のみに基づいてではなく制御配線電位 V_{ctl} の値に応じた大きさのオフセットが生じることが把握される。

[0067] ところで、制御配線 CTL については直流駆動であっても交流駆動であっても良い。交流駆動を採用する場合、上式 (3) より、正極性の書き込みが行われる時 (映像信号電位 V_{data} が共通電極電位よりも高い時) の制御配線電位 V_{ctl} の値および負極性の書き込みが行われる時 (映像信号電位 V_{data} が共通電極電位よりも低い時) の制御配線電位 V_{ctl} の値を様々な値に設定することによって画素電極電位 V_{pix2} の増幅の程度を変化させ得ることが把握される。

[0068] 図3は、映像信号電位と共通電極電位との差と透過率との関係を示す図である。なお、液晶表示装置における液晶印加電圧と透過率との関係を表す特性のことを「VT特性」というので、図3に示す関係を表す特性のことをここでは便宜上「疑似VT特性」という。図3において、符号71で示す実線は暗表示用の画素における疑似VT特性を表している。上述したように、本発明によれば、プリチャージ期間 T_a に明表示用の画素電極1012に映像信号電位 V_{data} が与えられた後、増幅期間 T_b に画素電極電位 V_{pix2} は増幅される。このため、任意の透過率を得るために必要な「映像信号電位と共通電極電位との差」については、暗表示用の画素よりも明表示用の画素の方が小さくなる。従って、本発明の表示装置によると、制御配線CTLが直流駆動される場合には、明表示用の画素では、例えば符号72で示す太実線で表されるような疑似VT特性が得られる。また、制御配線CTLを交流駆動することにより、明表示用の画素についての疑似VT特性をシフトさせることができる。例えば、正極性の書き込みが行われる時には制御配線電位 V_{ctl} を比較的低いレベルとし、負極性の書き込みが行われる時には制御配線電位 V_{ctl} を比較的高いレベルとすると、画素電極電位 V_{pix2} は増幅期間 T_b により大きく増幅される。これにより、明表示用の画素では、例えば符号73で示す太点線で表されるような疑似VT特性が得られる。また、正極性の書き込みが行われる時には制御配線電位 V_{ctl} を比較的高いレベルとし、負極性の書き込みが行われる時には制御配線電位 V_{ctl} を比較的低いレベルとすると、増幅期間 T_b における画素電極電位 V_{pix2} の増幅の程度は小さくなる。これにより、暗表示用の画素では、例えば符号74で示す太一点鎖線で表されるような疑似VT特性が得られる（このとき、符号71で示す実線は明表示用の画素における疑似VT特性を表すことになる）。

[0069] 以上のことを踏まえ、以下、本発明の実施形態について説明する。

[0070] <1. 第1の実施形態>

<1. 1 全体構成および動作概要>

図4は、本発明の第1の実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、表示部100と表示制御回路200とゲートドライバ300とソースドライバ400とリセット配線ドライバ500と制御配線ドライバ600とを備えている。表示部100には、複数本のソースバスラインSLと、複数本のゲートバスラインGLと、それら複数本のソースバスラインSLと複数本のゲートバスラインGLとの交差点にそれぞれ対応して設けられた複数個の画素形成部とが含まれている。さらに、表示部100には、ゲートバスラインGLと1対1で対応するように設けられたリセット配線RSTと、ゲートバスラインGLと1対1で対応するように設けられた制御配線CTLとが含まれている。画素形成部の構成については上述したとおりである（図1参照）。

[0071] 表示制御回路200は、画像データDATやタイミング信号群TGを受け取り、ゲートドライバ300の動作を制御するための制御信号SGと、ソースドライバ400の動作を制御するための制御信号SSと、画像データDATに基づくデジタル映像信号DVと、リセット配線ドライバ500の動作を制御するための制御信号SRと、制御配線ドライバ600の動作を制御するための制御信号SCとを出力する。なお、各制御信号は1または複数の信号によって構成されている。例えば、制御信号SGは、垂直走査期間の開始タイミングを示すスタートパルス信号と、ゲートドライバ300内のシフトレジスタにおけるシフト動作のタイミングを制御するためのクロック信号とによって構成されている。

[0072] ゲートドライバ300は、制御信号SGに基づいて、ゲートバスラインGLを駆動する。ソースドライバ400は、制御信号SSに基づいて、ソースバスラインSLを駆動する。リセット配線ドライバ500は、制御信号SRに基づいて、リセット配線RSTを駆動する。制御配線ドライバ600は、制御信号SCに基づいて、制御配線CTLを駆動する。以上のようにしてゲートバスラインGL、ソースバスラインSL、リセット配線RST、および制御配線CTLが駆動されることによって、画像データDATに基づく画像

が表示部 100 に表示される。

[0073] <1. 2 画素形成部と各ラインとの配置関係>

図5は、画素形成部と各ライン（ソースバスラインSL，ゲートバスラインGL，リセット配線RST，および制御配線CTL）との配置関係を示す図である。図5では、矢印によって、ソースバスラインSLから画素形成部への映像信号の供給方向を示している。なお、R，G，およびBはそれぞれ赤色用の画素形成部，緑色用の画素形成部，および青色用の画素形成部を示している。図5から把握されるように、本実施形態においては、全ての画素形成部において同じ側（この例では左側）に配置されたソースバスラインSLから映像信号が供給される。なお、上述したように、各画素形成部については、1つの画素が複数の副画素（ここでは、暗表示用の画素および明表示用の画素からなる2個の副画素）に分割されたマルチ画素構造となっている。

[0074] <1. 3 レイアウト>

次に、図6を参照しつつ、1つの画素形成部近傍のレイアウトについて説明する。従来の液晶表示装置と同様、ゲートバスラインGLを形成するゲートメタルとソースバスラインSLを形成するソースメタルとが互いに直交するように配設されている。リセット配線RSTおよび制御配線CTLは、ゲートメタルによって形成され、ゲートバスラインGLに平行に延びるように配設されている。隣接する2本のソースバスラインSL間の領域のうちリセット配線RST，ゲートバスラインGL，および制御配線CTLが配設されている領域以外の部分には、図6に示すように、暗表示用の画素電極1011として機能する透明電極111と明表示用の画素電極1012として機能する透明電極112とが形成されている。透明電極111と透明電極112とは同じ層に形成されている。また、上述した増幅用電極102として機能する電極12が、隣接する2本のソースバスラインSL間にゲートメタルによって図6に示すように形成されている。

[0075] 薄膜トランジスタT1のドレイン電極と透明電極111とは、符号SE1

で示すソースメタルとコンタクトCT0とによって電氣的に接続されている。薄膜トランジスタT1のドレイン電極と電極12とは、符号SE1で示すソースメタルとコンタクトCT1とによって電氣的に接続されている。薄膜トランジスタT2のドレイン電極と透明電極112とは、符号SE2で示すソースメタルとコンタクトCT2とによって電氣的に接続されている。薄膜トランジスタT3のソース電極と制御配線CTLとは、符号SE3で示すソースメタルとコンタクトCT3とによって電氣的に接続されている。薄膜トランジスタT3のドレイン電極と電極12とは、符号SE1で示すソースメタルとコンタクトCT1とによって電氣的に接続されている。以上のような構成において、符号SE2で示すソースメタルと電極12とによって第2容量C_{tr}が形成されている。

[0076] なお、図1に示した等価回路図上に図6の透明電極111、透明電極112、電極12、符号SE1～SE3で示すソースメタル、およびコンタクトCT0～CT3の位置を示すと、図7に示すとおりとなる。

[0077] <1.4 駆動方法>

次に、本実施形態における駆動方法について説明する。本実施形態においては、図8に示すように、制御配線CTLには、この液晶表示装置の動作中を通じて、一定の電位が与えられる（図5も参照）。すなわち、制御配線CTLについては、直流駆動が行われる。ソースバスラインSLには、1水平走査期間毎に正極性の映像信号と負極性の映像信号とが交互に与えられる。また、任意の時点において、全てのソースバスラインSLには同じ極性の映像信号が与えられている。このように、本実施形態においては、画素の極性反転に関しては「1Hライン反転駆動」と呼ばれる方法が採用されている。なお、本実施形態のように制御配線CTLを直流駆動する場合には、画素の極性反転に関しては「1Hライン反転駆動」、「ドット反転駆動」、「コラム反転駆動」のいずれを適用しても良い。

[0078] 図9は、本実施形態において、選択期間における画素形成部の動作について説明するための信号波形図である。ここでは奇数フレームに正極性の書き

込みが行われる画素形成部に着目している。上述したように、選択期間はプリチャージ期間 T_a と増幅期間 T_b とで構成されている。なお、図9に示すように、本実施形態においては、制御配線電位 V_{ctl} は、共通電極電位 V_{com} よりも低い値に設定されている。

[0079] プリチャージ期間 T_a には、ゲートバスライン GL にオフレベルの電位が与えられた状態で、リセット配線 RST にオンレベルの電位が与えられる。これにより、薄膜トランジスタ T_1 はオフ状態かつ薄膜トランジスタ T_2 、 T_3 はオン状態となる。その結果、明表示用の画素電極 1012 として機能する透明電極 112 には映像信号電位 V_{data} が与えられ、暗表示用の画素電極 1011 として機能する透明電極 111 には制御配線電位 V_{ctl} が与えられる。増幅期間 T_b になると、リセット配線 RST にオフレベルの電位が与えられた状態で、ゲートバスライン GL にオンレベルの電位が与えられる。これにより、薄膜トランジスタ T_1 はオン状態かつ薄膜トランジスタ T_2 、 T_3 はオフ状態となる。その結果、画素電極電位 V_{pix1} は V_{ctl} から V_{data} に上昇する。これに伴い、画素電極電位 V_{pix2} は上式(1)で示す大きさ V_1 だけ上昇する。増幅期間 T_b が終了すると、上述したように、画素電極電位 V_{pix1} は ΔV_{g1} だけ低下し、画素電極電位 V_{pix2} は ΔV_{g2} だけ低下する。その結果、画素電極電位 V_{pix1} の値は「 $V_{data} - \Delta V_{g1}$ 」となり、画素電極電位 V_{pix2} は上式(2)で示す値となる。このようにして暗表示用の画素と明表示用の画素とで異なる大きさの電圧が液晶に印加され、視野角特性が改善される。なお、ここでは奇数フレームの動作を説明したが、偶数フレームにおいても同様の動作が行われる。

[0080] ところで、「フィードスルー電圧」，「引き込み電圧」等と呼ばれる電圧変動に関し、本実施形態においては、画素回路の構成上、 ΔV_{g1} と ΔV_{g2} とは異なる大きさとなる。このため、制御配線電位 V_{ctl} が好適な値に設定されていなければ、たとえ暗表示用の画素を基準にして対向調整（上記電圧変動を考慮して共通電極電位 V_{com} の設定を行うこと）が行われてい

ても、明表示用の画素において、正極性の書き込みが行われる時の液晶印加電圧と負極性の書き込みが行われる時の液晶印加電圧とが異なる大きさとなる。例えば図10に示すように画素電極電位 $V_{p i x 1}$, $V_{p i x 2}$ が変化することになると、共通電極電位 $V_{c o m}$ の値が $0V$ に設定された場合、明表示用の画素では、正極性の書き込みが行われる時の液晶印加電圧よりも負極性の書き込みが行われる時の液晶印加電圧の方が大きくなる。このように正負の極性で液晶印加電圧に偏りが生じる結果、液晶の信頼性が低下する（例えば、画面への焼き付きが生じる。）。そこで、以下のようにして共通電極電位 $V_{c o m}$ の値および制御配線電位 $V_{c t l}$ の値を設定することが好ましい。なお、正極性の書き込み時の映像信号電位を $V_{d 1}$ とし、負極性の書き込み時の映像信号電位を $V_{d 2}$ としている。

[0081] まず、暗表示用の画素に着目する。正極性の書き込みの際には「 $V_{p i x 1} = V_{d 1} - \Delta V_{g 1}$ 」となり、負極性の書き込みの際には「 $V_{p i x 1} = V_{d 2} - \Delta V_{g 1}$ 」となる。正負の極性で液晶印加電圧に偏りが生じないようにするためには、それらの中央値が共通電極電位 $V_{c o m}$ の値として設定されるべきである。従って、映像信号電位 $V_{d a t a}$ の中央値が $0V$ であれば、共通電極電位 $V_{c o m}$ の値は $-\Delta V_{g 1}$ に設定されることが好ましい。より詳しくは、ソースバスライン $S L$ に与えられ得る最大の電位と最小の電位との中央の電位を基準電位としたとき、共通電極電位 $V_{c o m}$ の値は基準電位よりも $\Delta V_{g 1}$ だけ低い電位の値に設定されることが好ましい。

[0082] 次に、明表示用の画素に着目する。正負の極性で液晶印加電圧に偏りが生じないようにするためには、正極性の書き込みの際の画素電極電位 $V_{p i x 2}$ と負極性の書き込みの際の画素電極電位 $V_{p i x 2}$ との中央値が、上述のように設定された共通電極電位 $V_{c o m}$ の値と等しくなる必要がある。正極性の書き込みの際の画素電極電位 $V_{p i x 2}$ を V_a とし、負極性の書き込みの際の画素電極電位 $V_{p i x 2}$ を V_b とすると、次式(4)が成立すべきである。

$$(V_a + V_b) / 2 = V_{c o m} \quad \cdot \cdot \cdot (4)$$

ここで、 C_{tr} が C_{lc2} や C_p よりも極めて大きいと仮定すると、上式(3)より、「 $V_a = 2V_{d1} - V_{ctl} - \Delta V_{g2}$ 」, 「 $V_b = 2V_{d2} - V_{ctl} - \Delta V_{g2}$ 」となる。これらを上式(4)に代入すると、次式(5)が成立する。

$$V_{ctl} = V_{d1} + V_{d2} - V_{com} - \Delta V_{g2} \quad \dots (5)$$

ここで、「 $V_{d2} = -V_{d1}$ 」であれば、共通電極電位 V_{com} の値は $-\Delta V_{g1}$ に設定されているので、次式(6)が成立する。

$$V_{ctl} = \Delta V_{g1} - \Delta V_{g2} \quad \dots (6)$$

以上のように、正極性の書き込みの際の画素電極電位 V_{pix2} と負極性の書き込みの際の画素電極電位 V_{pix2} との中央値が共通電極電位 V_{com} と一致するように、電圧変動 ΔV_{g1} , ΔV_{g2} などに基づいて制御配線電位 V_{ctl} の値が設定されることが好ましい。

[0083] 例えば、 C_{tr} が C_{lc2} や C_p よりも極めて大きいと仮定して、映像信号電位 V_{data} の中央値が0Vであって、電圧変動 ΔV_{g1} が0.1Vとなり、電圧変動 ΔV_{g2} が0.3Vとなるような場合には、共通電極電位 V_{com} を-0.1Vに設定し、かつ、制御配線電位 V_{ctl} を-0.2Vに設定すれば良い。このとき、或る画素形成部において映像信号電位 V_{data} が-3.0Vと3.0Vとの間で変動すると仮定すると、当該画素形成部における動作は次のようになる(図11参照)。

[0084] まず、奇数フレームにおいて、プリチャージ期間 T_a には、画素電極電位 V_{pix1} は-0.2Vとなり、画素電極電位 V_{pix2} は3.0Vとなる。増幅期間 T_b になると、画素電極電位 V_{pix1} が-0.2Vから3.0Vに上昇する。これに伴い、画素電極電位 V_{pix2} は3.0Vから6.2Vに上昇する。増幅期間 T_b が終了すると、画素電極電位 V_{pix1} は電圧変動 ΔV_{g1} によって3.0Vから2.9Vに低下し、画素電極電位 V_{pix2} は電圧変動 ΔV_{g2} によって6.2Vから5.9Vに低下する。次に、偶数フレームにおいて、プリチャージ期間 T_a には、画素電極電位 V_{pix1} は-0.2Vとなり、画素電極電位 V_{pix2} は-3.0Vとなる。増幅

期間 T_b になると、画素電極電位 $V_{p i \times 1}$ が -0.2 V から -3.0 V に低下する。これに伴い、画素電極電位 $V_{p i \times 2}$ は -3.0 V から -5.8 V に低下する。増幅期間 T_b が終了すると、画素電極電位 $V_{p i \times 1}$ は電圧変動 $\Delta V_{g 1}$ によって -3.0 V から -3.1 V に低下し、画素電極電位 $V_{p i \times 2}$ は電圧変動 $\Delta V_{g 2}$ によって -5.8 V から -6.1 V に低下する。以上のようにして、暗表示用の画素電極 1011 には -3.1 V から 2.9 V までの電位が与えられ、明表示用の画素電極 1012 には -6.1 V から 5.9 V までの電位が与えられる。以上のようにして、暗表示用の画素および明表示用の画素の双方において、正負の極性間での液晶印加電圧の偏りは生じない。

[0085] <1.5 効果>

本実施形態によれば、明表示用の画素電極電位 $V_{p i \times 2}$ は、プリチャージ期間 T_a に映像信号電位 $V_{d a t a}$ に等しくされた後、増幅期間 T_b に映像信号電位 $V_{d a t a}$ と制御配線電位 $V_{c t l}$ との差に応じて増幅される。これにより、選択期間終了時点には、暗表示用の画素電極電位 $V_{p i \times 1}$ は映像信号電位 $V_{d a t a}$ に等しくなり、明表示用の画素電極電位 $V_{p i \times 2}$ は映像信号電位 $V_{d a t a}$ よりも高くなる。これに対して、日本の特開2006-133577号公報に開示された液晶表示装置においては、選択期間終了時点には、暗表示用の画素電極電位は映像信号電位よりも低くなっていて、明表示用の画素電極電位は映像信号電位に等しくなっていた。以上より、マルチ画素構造を持つ液晶表示装置において、映像信号の振幅を従来よりも小さくしても、従来と同様の画像表示を行うことが可能となる。このように映像信号の振幅を従来よりも小さくすることができるので、消費電力が従来よりも低減される。

[0086] また、本実施形態によれば、共通電極電位 $V_{c o m}$ および制御配線電位 $V_{c t l}$ を適宜の値に設定することにより、暗表示用の画素および明表示用の画素の双方において正負の極性間での液晶印加電圧の偏りの発生が抑制され、液晶の信頼性の低下（画面への焼き付きの発生など）が抑制される。

[0087] さらに、本実施形態によれば、制御配線CTLはゲートバスラインGLに平行に延びるように配設されている。通常の液晶表示装置ではソースバスラインSLの本数よりもゲートバスラインGLの本数の方が少ないので、制御配線CTLをソースバスラインSLに平行に延びるように配設する構成に比べて、必要な制御配線CTLの本数が少なくなる。このため、制御配線CTLを設けることによる開口率の低下を抑制することができる。

[0088] <2. 第2の実施形態>

<2.1 構成>

画素形成部の構成、全体構成、画素形成部と各ラインとの配置関係、および画素形成部近傍のレイアウトについては、第1の実施形態と同様であるので説明を省略する(図1, 図4, 図5, および図6参照)。なお、本実施形態においては、画素電極1011または画素電極1012のいずれが明表示用の画素電極となるかについては、制御配線電位Vct1の値に応じて決定される。

[0089] <2.2 駆動方法>

本実施形態においては、図12に示すように、制御配線CTLには、1フレーム(1垂直走査期間)毎に一定のハイレベル電位と一定のローレベル電位とが交互に与えられる。すなわち、制御配線CTLについては、交流駆動が行われる。ソースバスラインSLには、1水平走査期間毎に正極性の映像信号と負極性の映像信号とが交互に与えられる。また、任意の時点において、全てのソースバスラインSLには同じ極性の映像信号が与えられている。このように、本実施形態においても、画素の極性反転に関しては「1Hライン反転駆動」と呼ばれる方法が採用されている。

[0090] 図13は、本実施形態において、選択期間における画素形成部の動作について説明するための信号波形図である。図13に示すように、本実施形態においては、正極性の書き込みが行われる時(共通電極電位Vcomよりも高い電位が画素電極1011, 1012に与えられるべき時)には制御配線電位Vct1は負とされ、負極性の書き込みが行われる時(共通電極電位Vc

omよりも低い電位が画素電極1011, 1012に与えられるべき時)には制御配線電位 V_{ctl} は正とされている。このように制御配線CTLを交流駆動することによって、(画素電極電位 V_{pix1} の振幅が第1の実施形態と同じにされた状態で)画素電極電位 V_{pix2} の振幅が第1の実施形態とは異なる大きさにされる。

[0091] 例えば、 C_{tr} が C_{lc2} や C_p よりも極めて大きいと仮定して、映像信号電位 V_{data} が $-3.0V$ と $3.0V$ との間で変動し、正極性の書き込みが行われる時の制御配線電位 V_{ctl} が $-2.0V$ に設定され、負極性の書き込みが行われる時の制御配線電位 V_{ctl} が $1.6V$ に設定され、電圧変動 ΔV_{g1} が $0.1V$ となり、電圧変動 ΔV_{g2} が $0.3V$ となるような場合、選択期間における画素形成部の動作は次のようになる(図14参照)。

[0092] まず、奇数フレームにおいて、プリチャージ期間 T_a には、画素電極電位 V_{pix1} は $-2.0V$ となり、画素電極電位 V_{pix2} は $3.0V$ となる。増幅期間 T_b になると、画素電極電位 V_{pix1} が $-2.0V$ から $3.0V$ に上昇する。これに伴い、画素電極電位 V_{pix2} は $3.0V$ から $8.0V$ に上昇する。増幅期間 T_b が終了すると、画素電極電位 V_{pix1} は電圧変動 ΔV_{g1} によって $3.0V$ から $2.9V$ に低下し、画素電極電位 V_{pix2} は電圧変動 ΔV_{g2} によって $8.0V$ から $7.7V$ に低下する。次に、偶数フレームにおいて、プリチャージ期間 T_a には、画素電極電位 V_{pix1} は $1.6V$ となり、画素電極電位 V_{pix2} は $-3.0V$ となる。増幅期間 T_b になると、画素電極電位 V_{pix1} が $1.6V$ から $-3.0V$ に低下する。これに伴い、画素電極電位 V_{pix2} は $-3.0V$ から $-7.6V$ に低下する。増幅期間 T_b が終了すると、画素電極電位 V_{pix1} は電圧変動 ΔV_{g1} によって $-3.0V$ から $-3.1V$ に低下し、画素電極電位 V_{pix2} は電圧変動 ΔV_{g2} によって $-7.6V$ から $-7.9V$ に低下する。以上のようにして、画素電極1011には $-3.1V$ から $2.9V$ までの電位が与えられ、画素電極1012には $-7.9V$ から $7.7V$ までの電位が与えら

れる。

[0093] 以上のように、上記第1の実施形態で示した例（図11参照）と比較すると、画素電極電位 V_{pix2} の振幅は大きくなっている。これにより、画素電極1012を含む画素についての上述した疑似VT特性は、マイナス方向（図3では左方向）にシフトされている。その結果、例えば、「一方の副画素については符号71の実線で表されるような疑似VT特性が得られ、他方の副画素については符号73の太点線で表されるような疑似VT特性が得られる。」（図3参照）という状態になる。このとき、概して映像信号電位と共通電極電位との差が大きいほど2つの副画素間での透過率の差が大きくなることが把握される。

[0094] また、例えば、 C_{tr} が C_{lc2} や C_p よりも極めて大きいと仮定して、映像信号電位 V_{data} が $-3.0V$ と $3.0V$ との間で変動し、正極性の書き込みが行われる時の制御配線電位 V_{ctl} が $5.0V$ に設定され、負極性の書き込みが行われる時の制御配線電位 V_{ctl} が $-5.4V$ に設定され、電圧変動 ΔV_{g1} が $0.1V$ となり、電圧変動 ΔV_{g2} が $0.3V$ となるような場合、選択期間における画素形成部の動作は次のようになる（図15参照）。

[0095] まず、奇数フレームにおいて、プリチャージ期間 T_a には、画素電極電位 V_{pix1} は $5.0V$ となり、画素電極電位 V_{pix2} は $3.0V$ となる。増幅期間 T_b になると、画素電極電位 V_{pix1} が $5.0V$ から $3.0V$ に低下する。これに伴い、画素電極電位 V_{pix2} は $3.0V$ から $1.0V$ に低下する。増幅期間 T_b が終了すると、画素電極電位 V_{pix1} は電圧変動 ΔV_{g1} によって $3.0V$ から $2.9V$ に低下し、画素電極電位 V_{pix2} は電圧変動 ΔV_{g2} によって $1.0V$ から $0.7V$ に低下する。次に、偶数フレームにおいて、プリチャージ期間 T_a には、画素電極電位 V_{pix1} は $-5.4V$ となり、画素電極電位 V_{pix2} は $-3.0V$ となる。増幅期間 T_b になると、画素電極電位 V_{pix1} が $-5.4V$ から $-3.0V$ に上昇する。これに伴い、画素電極電位 V_{pix2} は $-3.0V$ から $-0.6V$ に

上昇する。増幅期間 T_b が終了すると、画素電極電位 $V_{p i x 1}$ は電圧変動 $\Delta V_g 1$ によって $-3.0V$ から $-3.1V$ に低下し、画素電極電位 $V_{p i x}$ は電圧変動 ΔV_g によって $-0.6V$ から $-0.9V$ に低下する。以上のようにして、画素電極 1011 には $-3.1V$ から $2.9V$ までの電位が与えられ、画素電極 1012 には $-0.9V$ から $0.7V$ までの電位が与えられる。

[0096] 以上のように、上記第1の実施形態で示した例（図11参照）と比較すると、画素電極電位 $V_{p i x 2}$ の振幅は小さくなっている。これにより、画素電極 1012 を含む画素についての上述した疑似 V_T 特性は、プラス方向（図3では右方向）にシフトされている。その結果、例えば、「一方の副画素については符号71の実線で表されるような疑似 V_T 特性が得られ、他方の副画素については符号74の太一点鎖線で表されるような疑似 V_T 特性が得られる。」（図3参照）という状態になる。このとき、概して映像信号電位と共通電極電位との差が小さいほど2つの副画素間での透過率の差が大きくなることが把握される。

[0097] <2.3 効果>

本実施形態によれば、制御配線電位 $V_{c t l}$ の値を様々な値に設定することによって、画素電極電位 $V_{p i x 2}$ の増幅の程度を変化させることができる。これにより、一方の副画素についての上述した疑似 V_T 特性を広範囲でシフトさせることが可能となり、視野角補償の自由度が向上する。また、制御配線 $C T L$ はゲートバスライン $G L$ に平行に延びるように配設されているので、第1の実施形態と同様、制御配線 $C T L$ を設けることによる開口率の低下を抑制することができる。

[0098] <3. 変形例>

以下、画素形成部近傍のレイアウト、画素の極性反転の方法、画素形成部の構成、および色毎の増幅量の調整という4つの観点から上記各実施形態の変形例について説明する。なお、以下においては、主に、第1の実施形態または第2の実施形態と異なる点について説明する。

[0099] <3. 1 画素形成部近傍のレイアウトについて>

<3. 1. 1 第1の変形例>

図16は、第1の変形例における画素形成部近傍のレイアウトを示す図である。上記各実施形態においては制御配線CTLはゲートバスラインGLに平行に延びるように配設されていたが（図6参照）、本変形例においては制御配線CTLはソースバスラインSLに平行に延びるように配設されている。従って、本変形例においては、制御配線CTLはゲートバスラインGLと交差する。このため、制御配線CTLはゲートメタルではなくソースメタルによって形成されている。なお、本変形例においては、画素形成部と各ラインとの配置関係は、例えば図17に示すようなものとなる。

[0100] 図18は、本変形例における駆動方法について説明するための信号波形図である（図17も参照）。制御配線には、1水平走査期間毎に一定のハイレベル電位と一定のローレベル電位とが交互に与えられる。すなわち、制御配線については、交流駆動が行われる。また、隣接する2本の制御配線（例えば、CTL(m)とCTL(m+1)）には互いに異なるレベルの電位が与えられる。ソースバスラインには、上記各実施形態と同様、1水平走査期間毎に正極性の映像信号と負極性の映像信号とが交互に与えられる（図8参照）。但し、本変形例においては、隣接する2本のソースバスライン（例えば、SL(m)とSL(m+1)）には互いに異なる極性の映像信号が与えられる。以上のように、本変形例においては、画素の極性反転に関しては「ドット反転駆動」と呼ばれる方法が採用されている。なお、図18において映像信号電位と制御配線電位との関係に着目すると、或るソースバスラインに正極性の映像信号が与えられている時には、当該ソースバスラインに対応する制御配線にはローレベル電位が与えられ、或るソースバスラインに負極性の映像信号が与えられている時には、当該ソースバスラインに対応する制御配線にはハイレベル電位が与えられている。しかしながら、この関係については逆であっても良い。

[0101] 上記各実施形態においては、各制御配線CTLにはソースバスラインSL

の本数に等しい数の薄膜トランジスタ T 3 が接続されており、1 本の制御配線 C T L に接続された全ての薄膜トランジスタ T 3 には当該制御配線 C T L から同じタイミングでプリチャージ用の電位が与えられる。これに対して、本変形例においては、1 本の制御配線 C T L から複数の薄膜トランジスタ T 3 に同じタイミングでプリチャージ用の電位が与えられることはない。従って、本変形例によれば、プリチャージが行われる際に 1 本の制御配線 C T L に掛かる負荷を小さくすることができる。

[0102] <3. 1. 2 第2の変形例>

図 19 は、第2の変形例における画素形成部近傍のレイアウトを示す図である。上記各実施形態においては透明電極は 1 層であったが（図 6 参照）、本変形例においては透明電極は 2 層になっている。詳しくは、隣接する 2 本のソースバスライン S L 間の領域のうちリセット配線 R S T，ゲートバスライン G L，および制御配線 C T L が配設されている領域以外の部分に、暗表示用の画素電極 1 0 1 1 として機能する上層透明電極（第 1 透明電極）1 1 a と明表示用の画素電極 1 0 1 2 として機能する下層透明電極（第 2 透明電極）1 1 b とが設けられ、上層透明電極 1 1 a と下層透明電極 1 1 b とによって第 2 容量 C t r が形成されている。なお、上層透明電極 1 1 a および下層透明電極 1 1 b の形状は、図 20 に示すようなものとなっている。

[0103] 薄膜トランジスタ T 1 のドレイン電極と上層透明電極 1 1 a とは、符号 S E 4 で示すソースメタルとコンタクト C T 4 とによって電氣的に接続されている。薄膜トランジスタ T 2 のドレイン電極と下層透明電極 1 1 b とは、符号 S E 5 で示すソースメタルとコンタクト C T 5 とによって電氣的に接続されている。薄膜トランジスタ T 3 のソース電極と制御配線 C T L とは、符号 S E 6 で示すソースメタルとコンタクト C T 6 とによって電氣的に接続されている。薄膜トランジスタ T 3 のドレイン電極と上層透明電極 1 1 a とは、符号 S E 4 で示すソースメタルとコンタクト C T 4 とによって電氣的に接続されている。

[0104] 図 21 は、図 19 の A - A 線断面図である。図 21 に示すように、下層透

明電極 1 1 b よりも上層透明電極 1 1 a の方が、共通電極 COM に近い側に配置されている。また、図 2 0 および図 2 1 に示すように、上層透明電極 1 1 a の中央には開口部が設けられている。このような構成により、上層透明電極 1 1 a と共通電極 COM とによって第 1 の第 1 容量 C 1 c 1 が形成され、下層透明電極 1 1 b と共通電極 COM とによって第 2 の第 1 容量 C 1 c 2 が形成されている。

[0105] 本変形例によれば、透明な 2 層の電極によって第 2 容量が形成されている。このため、上記各実施形態（図 6 参照）と比較して開口率を大きくすることができ、かつ、（電極が透明であるので）開口率に影響を及ぼすことなく第 2 容量が設定される。また、制御配線 CTL はゲートバスライン GL に平行に延びるように配設されているので、上記各実施形態と同様、制御配線 CTL を設けることによる開口率の低下が抑制される。

[0106] なお、ここでは上層透明電極 1 1 a を暗表示用の画素電極 1 0 1 1 として機能させ下層透明電極 1 1 b を明表示用の画素電極 1 0 1 2 として機能させている例を挙げて説明したが、この関係は逆であっても良い。また、上層透明電極 1 1 a に関し、図 2 0 および図 2 1 では中央に開口部を設けた形状としているが、図 2 0 で開口部として示している形状の電極を上層透明電極 1 1 a としても良い。但し、液晶の配向特性を考慮すると、各画素の中央部に明表示用の副画素が配置されるのが好ましい。

[0107] <3. 1. 3 第 3 の変形例>

図 2 2 は、第 3 の変形例における画素形成部近傍のレイアウトを示す図である。第 1 の変形例と同様、制御配線 CTL はソースバスライン SL に平行に延びるように配設されている。また、第 2 の変形例と同様、透明電極は 2 層になっている。なお、薄膜トランジスタ T 3 のソース電極と制御配線 CTL とは、図 2 2 に示すように直接的に接続されている。以上のような構成により、第 1 の変形例と同様、1 本の制御配線 CTL から複数の薄膜トランジスタ T 3 に同じタイミングでプリチャージ用の電位が与えられることはなく、プリチャージが行われる際に 1 本の制御配線 CTL に掛かる負荷を小さく

することができる。また、第2の変形例と同様、上記各実施形態と比較して開口率を大きくすることができ、かつ、開口率に影響を及ぼすことなく第2容量が設定される。

[0108] <3. 1. 4 第4の変形例>

図23は、第4の変形例における画素形成部近傍のレイアウトを示す図である。本変形例においては、上層透明電極および下層透明電極の形状は、図24に示すようなものとなっている。上層透明電極11aについては、第2の変形例と同様の形状となっている。下層透明電極については、本変形例においては、図24で符号11b1および符号11b2で示す2つの部分に分かれている。一方の下層透明電極11b1は明表示用の画素電極1012として機能し、他方の下層透明電極11b2は制御配線CTLとして機能する。図24に示すような形状の下層透明電極11b2を制御配線CTLとして用いることにより、本変形例においては、表示部100内に格子状に制御配線CTLが設けられることになる。薄膜トランジスタT3のソース電極と制御配線CTLとは、符号SE7で示すソースメタルとコンタクトCT7とによって電氣的に接続されている。なお、本変形例においては、画素形成部と各ラインとの配置関係は、例えば図25に示すようなものとなる。また、本変形例においては、下層透明電極11b2によって格子状電極部が実現されている。

[0109] 図26は、本変形例における駆動方法について説明するための信号波形図である（図25も参照）。制御配線CTLには、1水平走査期間毎に一定のハイレベル電位と一定のローレベル電位とが交互に与えられる。すなわち、制御配線CTLについては、交流駆動が行われる。ソースバスラインSLには、1水平走査期間毎に正極性の映像信号と負極性の映像信号とが交互に与えられる。また、任意の時点において、全てのソースバスラインSLには同じ極性の映像信号が与えられている。以上のように、本変形例においては、画素の極性反転に関しては「1Hライン反転駆動」と呼ばれる方法が採用されている。なお、図26において映像信号電位と制御配線電位との関係に着

目すると、ソースバスラインSLに正極性の映像信号が与えられている時には制御配線CTLにはローレベル電位が与えられ、ソースバスラインSLに負極性の映像信号が与えられている時には制御配線CTLにはハイレベル電位が与えられている。しかしながら、この関係については逆であっても良い。

[0110] 本変形例によれば、第2の変形例と同様、第2容量C_{tr}の容量値が大きくなるので、増幅期間T_bに画素電極電位V_{pix}2はより大きく増幅する。このため、マルチ画素構造を持つ液晶表示装置において、映像信号の振幅をより小さくしつつ、従来と同様の画像表示を行うことが可能となる。これにより、より効果的に消費電力が低減される。また、制御配線CTLが透明電極によって形成されている。このため、開口率の向上が可能となる。さらに、制御配線CTLは表示部100内に格子状に設けられるので、制御配線CTLの抵抗が小さくなる。なお、ここでは制御配線CTLを交流駆動する例を挙げて説明したが、図8に示したように制御配線CTLを直流駆動するようにしても良い。

[0111] <3. 1. 5 第5の変形例>

以下に説明する第5の変形例および第6の変形例は、液晶の配向状態（液晶分子の傾斜方向）が互いに異なる複数の領域からなる画素を備えた液晶表示装置（以下、「配向分割型液晶表示装置」という。）に適用される。なお、第5の変形例については第2の変形例（図19参照）と対比しながら説明し、第6の変形例については第3の変形例（図22参照）と対比しながら説明する。

[0112] 図27は、第5の変形例における画素形成部近傍のレイアウトを示す図である。第2の変形例においては、制御配線CTLは透明電極とは上下方向に重ならないように配設されていた。これに対して、本変形例においては、制御配線CTLは透明電極と上下方向に重なるように配設されている。詳しくは、配向分割型液晶表示装置では表示部100内において領域の境界部に暗線15が生じるところ、ゲートバスラインGLに平行に延びるように生じて

いる暗線 15 と重なるように、制御配線CTLがゲートメタルによって形成されている。このような構成において、薄膜トランジスタT3のソース電極と制御配線CTLとは、符号SE8で示すソースメタルとコンタクトCT8とによって電氣的に接続されている。

[0113] 本変形例によれば、配向分割型液晶表示装置において、暗線15と重なるように制御配線CTLが形成されるので、制御配線CTLを設けることによる開口率の低下が効果的に抑制される。なお、上記各実施形態のように透明電極が1層で構成されている場合にも、ゲートバスラインGLに平行に延びるように生じている暗線15と重なるように制御配線CTLを形成することができる。

[0114] ところで、本変形例および後述する第6の変形例においては、明表示用の副画素が各画素形成部の中央部に配置された構成とするのが好ましい。これにより、液晶の配向特性を考慮した好適な表示が行われる。また、明表示用の副画素と暗表示用の副画素とで配向の中心が一致する構成とするのが好ましい。これにより、明表示用の副画素と暗表示用の副画素とで配向中心が一致するので、暗線の数进行少くすることが可能となり、暗線に起因する透過率の低下が抑制される。この点に関し、例えば透明電極が1層で構成されている場合（図6参照）には、2つの透明電極の双方で縦方向および横方向に暗線が生じるため、透過率が低下する。

[0115] <3. 1. 6 第6の変形例>

図28は、第6の変形例における画素形成部近傍のレイアウトを示す図である。第3の変形例においては、制御配線CTLは下層透明電極11bの端部と上下方向に重なるように配設されていた。これに対して、本変形例においては、制御配線CTLは下層透明電極11bの中央部と上下方向に重なるように配設されている。詳しくは、ソースバスラインSLに平行に延びるように生じている暗線15と重なるように、制御配線CTLがソースメタルによって形成されている。このような構成において、薄膜トランジスタT1のドレイン電極と上層透明電極11aとは、符号SE9で示すソースメタルと

コンタクトCT9とによって電氣的に接続されている。薄膜トランジスタT3のドレイン電極と上層透明電極11aとは、符号SE10で示すソースメタルとコンタクトCT10とによって電氣的に接続されている。

[0116] 本変形例によれば、第5の変形例と同様、配向分割型液晶表示装置において、暗線15と重なるように制御配線CTLが形成されるので、制御配線CTLを設けることによる開口率の低下が効果的に抑制される。なお、上記各実施形態のように透明電極が1層で構成されている場合にも、ソースバスラインSLに平行に延びるように生じている暗線15と重なるように制御配線CTLを形成することができる。

[0117] <3. 1. 7 第7の変形例>

図29は、第7の変形例における画素形成部近傍のレイアウトを示す図である。本変形例においては、下層透明電極は、明表示用の画素電極1012として機能する部分11b1と、透明電極（上層透明電極および下層透明電極）とソースバスラインSLとの間に形成される寄生容量を低減するための部分（以下、「シールド電極部」という。）11b3とに分かれている。換言すれば、本変形例の構成は、第2の変形例（図19参照）の構成にシールド電極部11b3が付加された構成となっている。なお、シールド電極部11b3には、例えば共通電極電位Vcomが与えられる。

[0118] 図30は、図29のA-A線断面図である。図30には、図29に示す画素形成部の右隣の画素形成部内の上層透明電極および下層透明電極も示している。図30に示すように、シールド電極部11b3は、ソースバスラインSLと上層透明電極11aとの間の領域に形成されている。このようにシールド電極部11b3を設けることによって、ソースバスラインー透明電極（シールド電極部を除く透明電極）間の寄生容量C0が低減されている。なお、本変形例においては、シールド電極部11b3はソースバスラインSLを覆うように形成されている。図31は、ソースバスラインー透明電極間の寄生容量C0およびシールド電極部ー透明電極間に形成される容量CHをも含めた等価回路図である。図31から把握されるように、シールド電極部ー透

明電極間に形成される容量 C_H は補助容量として機能し、映像信号電位（ソースバスライン S_L の電位）の変動が画素電極電位 V_{pix1} 、 V_{pix2} に及ぼす影響を効果的に低減することが可能となる。

[0119] <3. 1. 8 第8の変形例>

図32は、第8の変形例における画素形成部近傍のレイアウトを示す図である。図33は、図32のA-A線断面図である。第7の変形例においては、ソースバスライン S_L を覆うようにシールド電極部11b3が形成されていたが、本変形例においては、平面視でソースバスライン S_L の両隣に位置するようにシールド電極部11b3が形成されている。換言すれば、ソースバスライン S_L と重ならないように、かつ、ゲートバスライン G_L の延びる方向についてソースバスライン S_L と下層透明電極（明表示用の画素電極1012として機能する部分）11b1との間の領域に、シールド電極部11b3が形成されている。

[0120] 本変形例によれば、第7の変形例と比較して、ソースバスライン S_L とシールド電極部11b3との間に形成される容量が低減される。このため、第7の変形例と同様の効果が得られるほか、ソースバスライン S_L の配線容量の低減が可能となる。

[0121] <3. 1. 9 第9の変形例>

図34は、第9の変形例における画素形成部近傍のレイアウトを示す図である。本変形例では、第7の変形例（図29参照）におけるシールド電極部11b3が制御配線 C_{TL} としても機能する構成となっている。このため、第7の変形例とは異なり、ゲートバスライン G_L に平行に延びる制御配線 C_{TL} は設けられていない。このような構成において、薄膜トランジスタ T_3 のソース電極とシールド電極部11b3（制御配線 C_{TL} ）とは、符号 SE_{11} で示すソースメタルとコンタクト CT_{11} とによって電氣的に接続されている。

[0122] 本変形例によれば、1つの電極がシールド電極部11b3としても制御配線 C_{TL} としても機能するので、より高精細の表示部100を有する表示装

置においても第7の変形例と同様の効果を得ることが可能となる。なお、同様の構成を第8の変形例（図32参照）に適用した場合には、画素形成部近傍のレイアウトは図35に示すようなものとなる。

[0123] <3.2 画素の極性反転の方法について>

画素の極性反転に関しては、例えば第1の実施形態（図8参照）で採用されている「1Hライン反転駆動」や例えば第1の変形例（図18参照）で採用されている「ドット反転駆動」の他に、以下のような方法を採用することができる。

[0124] <3.2.1 第10の変形例>

図36は、第10の変形例における駆動方法について説明するための信号波形図である。なお、本変形例においては、画素形成部と各ラインとの配置関係は、例えば図17に示すようなものとなる。制御配線には、1フレーム（1垂直走査期間）毎に一定のハイレベル電位と一定のローレベル電位とが交互に与えられる。すなわち、制御配線CTLについては、交流駆動が行われる。また、隣接する2本の制御配線（例えば、CTL(m)とCTL(m+1)）には互いに異なるレベルの電位が与えられる。ソースバスラインには、1フレーム（1垂直走査期間）毎に正極性の映像信号と負極性の映像信号とが交互に与えられる。また、隣接する2本のソースバスライン（例えば、SL(m)とSL(m+1)）には互いに異なる極性の映像信号が与えられる。以上のようにして、画素の極性反転に関して「カラム反転駆動（列反転駆動）」と呼ばれる方法を採用することもできる。なお、図36において映像信号電位と制御配線電位との関係に着目すると、或るソースバスラインに正極性の映像信号が与えられている時には、当該ソースバスラインに対応する制御配線にはローレベル電位が与えられ、或るソースバスラインに負極性の映像信号が与えられている時には、当該ソースバスラインに対応する制御配線にはハイレベル電位が与えられる。しかしながら、この関係については逆であっても良い。

[0125] 例えば、画素形成部近傍のレイアウトを第1の変形例（図16参照）、第

3の変形例（図22参照）、または第6の変形例（図28参照）のような構成にして制御配線CTLを交流駆動にするときに、本変形例の駆動方法を採用することができる。

[0126] <3.2.2 第11の変形例>

図37は、第11の変形例における駆動方法について説明するための信号波形図である。なお、本変形例においては、画素形成部と各ラインとの配置関係は、例えば図38に示すようなものとなる。図38に示すように、1本のソースバスラインに着目すると、当該ソースバスラインから映像信号の供給を受ける画素形成部は、当該ソースバスラインの両側に千鳥状に配置されている。ソースバスラインについては、第10の変形例と同様に駆動される。制御配線には、1水平走査期間毎に一定のハイレベル電位と一定のローレベル電位とが交互に与えられる。すなわち、制御配線については、交流駆動が行われる。また、隣接する2本の制御配線（例えば、CTL(m)とCTL(m+1)）には互いに異なるレベルの電位が与えられる。

[0127] 例えば、画素形成部近傍のレイアウトを第1の変形例（図16参照）、第3の変形例（図22参照）、または第6の変形例（図28参照）のような構成にして制御配線CTLを交流駆動にするときに、本変形例の駆動方法を採用することができる。

[0128] 本変形例によれば、ソースバスラインはカラム反転駆動と同様に駆動されるが、各ソースバスラインに接続された画素形成部が千鳥状に配置されているため、フリッカの発生が抑制される。

[0129] <3.2.3 その他>

第1の実施形態および第2の実施形態では、画素の極性反転に関して1Hライン反転駆動が採用されている例を示している（図8および図12参照）。これに関し、例えば、画素形成部近傍のレイアウトを第2の変形例（図19参照）または第5の変形例（図27参照）のような構成にした場合にも、同様にして1Hライン反転駆動を採用することができる。

[0130] また、第1の変形例では、画素の極性反転に関してドット反転駆動が採用

されている例を示している（図18参照）。これに関し、例えば、画素形成部近傍のレイアウトを第3の変形例（図22参照）または第6の変形例（図28参照）のような構成にして制御配線CTLを交流駆動にするときに、同様にしてドット反転駆動を採用することができる。

[0131] <3.3 画素形成部の構成について>

<3.3.1 第12の変形例>

図39は、本変形例における画素形成部の構成を示す等価回路図である。本変形例においては、図39に示すように、増幅回路部13が2つの増幅段（第1の増幅段131および第2の増幅段132）で構成されている。第1の増幅段131には、薄膜トランジスタT21、薄膜トランジスタT31、および第1の第2容量C_{tr1}が含まれている。第2の増幅段132には、薄膜トランジスタT22、薄膜トランジスタT32、第2の第2容量C_{tr2}、および第1の第1容量C_{lc1}が含まれている。また、画素形成部を通過する配線として、ゲートバスラインGLおよびソースバスラインSLに加えて、リセット配線RST1、RST2および制御配線CTL1、CTL2が設けられている。さらに、第1の実施形態と同様、画素形成部には薄膜トランジスタT1および第2の第1容量C_{lc2}が含まれている。

[0132] 以上のような構成において、第1の第1容量C_{lc1}の一端には暗表示用の画素電極1011が存在する。すなわち、暗表示用の画素電極1011と共通電極COMとによって第1の第1容量C_{lc1}が形成されている。また、第2の第1容量C_{lc2}の一端には明表示用の画素電極1012が存在する。すなわち、明表示用の画素電極1012と共通電極COMとによって第2の第1容量C_{lc2}が形成されている。さらに、第1の第2容量C_{tr1}の一端には、明表示用の画素電極1012との間または明表示用の画素電極1012と電氣的に接続された電極との間で容量（明表示用の画素電極1012の電位を増幅するための容量）を形成するための電極（以下、「第1の増幅用電極」という。）1021が存在する。その第1の増幅用電極1021は暗表示用の画素電極1011と電氣的に接続されているので、第1の増

幅用電極 1021 の電位と暗表示用の画素電極 1011 の電位とは等しくなる。さらにまた、第2の第2容量 C_{tr2} の一端には、暗表示用の画素電極 1011 との間または暗表示用の画素電極 1011 と電氣的に接続された電極との間で容量（暗表示用の画素電極 1011 の電位を増幅するための容量）を形成するための電極（以下、「第2の増幅用電極」という。）1022 が存在する。なお、本変形例の説明においてのみ、第2の増幅用電極 1022 の電位を符号 V_{pix1} で表し、暗表示用の画素電極 1011 の電位（第1の増幅用電極 1021 の電位）を符号 V_{pix2} で表し、明表示用の画素電極 1012 の電位を符号 V_{pix3} で表す。

[0133] 画素形成部内における構成要素間の接続関係は次のとおりである。薄膜トランジスタ T1 については、ゲート電極はゲートバスライン GL に接続され、ソース電極はソースバスライン SL に接続され、ドレイン電極は第2の第2容量 C_{tr2} の一端に接続されている。薄膜トランジスタ T22 については、ゲート電極はリセット配線 RST2 に接続され、ソース電極はソースバスライン SL に接続され、ドレイン電極は第1の第1容量 C_{lc1} の一端および第2の第2容量 C_{tr2} の他端に接続されている。薄膜トランジスタ T32 については、ゲート電極はリセット配線 RST2 に接続され、ソース電極は制御配線 CTL2 に接続され、ドレイン電極は第2の第2容量 C_{tr2} の一端に接続されている。第2の第2容量 C_{tr2} の他端、薄膜トランジスタ T22 のドレイン電極、および第1の第1容量 C_{lc1} の一端は、第1の第2容量 C_{tr1} の一端および薄膜トランジスタ T31 のドレイン電極と接続されている。第1の第1容量 C_{lc1} の他端は共通電極 COM に接続されている。薄膜トランジスタ T21 については、ゲート電極はリセット配線 RST1 に接続され、ソース電極はソースバスライン SL に接続され、ドレイン電極は第1の第2容量 C_{tr1} の他端に接続されている。薄膜トランジスタ T31 については、ゲート電極はリセット配線 RST1 に接続され、ソース電極は制御配線 CTL1 に接続され、ドレイン電極は第1の第2容量 C_{tr1} の一端に接続されている。第2の第1容量 C_{lc2} の一端は薄膜トラン

ジスタT21のドレイン電極および第1の第2容量C_{tr1}の他端に接続され、第2の第1容量C_{lc2}の他端は共通電極COMに接続されている。

[0134] 図40は、本変形例において、選択期間における画素形成部の動作について説明するための信号波形図である。ここでは奇数フレームに正極性の書き込みが行われる画素形成部に着目している。本変形例においては、選択期間はプリチャージ期間T_aと第1増幅期間T_{b1}と第2増幅期間T_{b2}とで構成されている。

[0135] まず、プリチャージ期間T_aには、ゲートバスラインGLおよびリセット配線RST2にオフレベルの電位が与えられた状態で、リセット配線RST1にオンレベルの電位が与えられる。これにより、薄膜トランジスタT1, T22, およびT32はオフ状態かつ薄膜トランジスタT21, T31はオン状態となる。その結果、明表示用の画素電極1012には映像信号電位V_{data}が与えられ、暗表示用の画素電極1011には制御配線CTL1の電位V_{ctl1}が与えられる。

[0136] 次に、第1増幅期間T_{b1}には、ゲートバスラインGLおよびリセット配線RST1にオフレベルの電位が与えられた状態で、リセット配線RST2にオンレベルの電位が与えられる。これにより、薄膜トランジスタT1, T21, およびT31はオフ状態かつ薄膜トランジスタT22, T32はオン状態となる。その結果、暗表示用の画素電極1011に映像信号電位V_{data}が与えられる。すなわち、画素電極電位V_{pix2}はV_{ctl1}からV_{data}に上昇する。このとき、明表示用の画素電極1012はフローティング状態となっているため、画素電極電位V_{pix2}の上昇に伴い、第1の第2容量C_{tr1}を介して画素電極電位V_{pix3}は上昇する。また、この期間には、第2の増幅用電極1022には制御配線CTL2の電位V_{ctl2}が与えられる。

[0137] 次に、第2増幅期間T_{b2}には、リセット配線RST1, RST2にオフレベルの電位が与えられた状態で、ゲートバスラインGLにオンレベルの電位が与えられる。これにより、薄膜トランジスタT1はオン状態かつ薄膜ト

ランジスタ T 2 1, T 3 1, T 2 2, および T 3 2 はオフ状態となる。その結果、第 2 の増幅用電極 1 0 2 2 に映像信号電位 V d a t a が与えられる。すなわち、第 2 の増幅用電極 1 0 2 2 の電位 V p i x 1 は V c t l 2 から V d a t a に上昇する。このとき、暗表示用の画素電極 1 0 1 1 および明表示用の画素電極 1 0 1 2 はフローティング状態となっているため、第 2 の増幅用電極 1 0 2 2 の電位 V p i x 1 の上昇に伴い、第 2 の第 2 容量 C t r 2 を介して画素電極電位 V p i x 2 は上昇し、また、第 2 の第 2 容量 C t r 2 および第 1 の第 2 容量 C t r 1 を介して画素電極電位 V p i x 3 は上昇する。第 2 増幅期間 T b 2 が終了すると、第 2 の増幅用電極 1 0 2 2 の電位 V p i x 1 は Δ V g 1 だけ低下し、画素電極電位 V p i x 2 は Δ V g 2 だけ低下し、画素電極電位 V p i x 3 は Δ V g 3 だけ低下する。

[0138] 本変形例によれば、画素電極電位 V p i x 3 は、プリチャージ期間 T a に映像信号電位 V d a t a に等しくされた後、第 1 増幅期間 T b 1 および第 2 増幅期間 T b 2 に増幅する。このように、明表示用の画素電極 1 0 1 2 の電位は 2 段階で増幅する。また、画素電極電位 V p i x 2 は、第 1 増幅期間 T b 1 に映像信号電位 V d a t a に等しくされた後、第 2 増幅期間 T b 2 に増幅する。このように、暗表示用の画素電極 1 0 1 1 の電位についても増幅する。その結果、選択期間が終了して上記電圧変動が生じた後の画素電極電位 V p i x 2 および画素電極電位 V p i x 3 は、それぞれ次式 (7) および次式 (8) で示す値となる。

[数4]

$$\begin{aligned}
 V_{pix2} = & \left[1 + \frac{C_{tr1} \cdot C_{tr2}}{C_{tr1}(C_{lc2} + C_{p1}) + C_{tr1} \cdot C_{tr2} + C_{tr2}(C_{lc2} + C_{p1}) + C_{p2}(C_{tr1} + C_{lc2} + C_{p1})} \right] \cdot V_{data} \\
 & - \left[\frac{C_{tr1} \cdot C_{tr2}}{C_{tr1}(C_{lc2} + C_{p1}) + C_{tr1} \cdot C_{tr2} + C_{tr2}(C_{lc2} + C_{p1}) + C_{p2}(C_{tr1} + C_{lc2} + C_{p1})} \right] \cdot V_{ctl2} \\
 & - \Delta V_{g2} \quad \dots (7)
 \end{aligned}$$

[数5]

$$\begin{aligned}
 V_{pix3} = & \left[1 + \frac{C_{tr1}}{C_{tr1} + C_{lc2} + C_{p1}} + \frac{C_{tr1} \cdot C_{tr2}}{C_{tr1}(C_{lc2} + C_{p1}) + C_{tr1} \cdot C_{tr2} + C_{tr2}(C_{lc2} + C_{p1}) + C_{p2}(C_{tr1} + C_{lc2} + C_{p1})} \right] \cdot V_{data} \\
 & - \left[1 + \frac{C_{tr1}}{C_{tr1} + C_{lc2} + C_{p1}} \right] \cdot V_{ct11} \\
 & - \left[\frac{C_{tr1} \cdot C_{tr2}}{C_{tr1}(C_{lc2} + C_{p1}) + C_{tr1} \cdot C_{tr2} + C_{tr2}(C_{lc2} + C_{p1}) + C_{p2}(C_{tr1} + C_{lc2} + C_{p1})} \right] \cdot V_{ct12} \\
 & - \Delta V_{g3} \dots (8)
 \end{aligned}$$

ここで、 C_{p1} は図39の節点16における寄生容量の容量値を表し、 C_{p2} は図39の節点17における寄生容量の容量値を表す。

以上のように、明表示用の画素電極電位 V_{pix3} は大きく増幅し、暗表示用の画素電極電位 V_{pix2} についても増幅する。このため、マルチ画素構造を持つ液晶表示装置において、映像信号の振幅を従来よりも顕著に小さくすることが可能となり、消費電力が従来よりも大幅に低減される。

[0139] なお、図39に示した構成に代えて、第1の第1容量 C_{lc1} の一端すなわち明表示用の画素電極1011が薄膜トランジスタT1のドレイン電極に接続された構成にしても良い。この場合、明表示用の画素電極電位と暗表示用の画素電極電位との差をより大きくすることが可能となる。

[0140] また、ここでは増幅回路部13が2つの増幅段で構成されている例を挙げて説明したが、増幅回路部13は3つ以上の増幅段で構成されていても良い。この場合、薄膜トランジスタT1のドレイン電極は、複数の増幅段のうち電氣的に最も明表示用の画素電極1012から遠くに配置されている増幅段に含まれる薄膜トランジスタのうちの第3スイッチング素子として機能する薄膜トランジスタのドレイン電極に接続される。また、明表示用の画素電極1012は、複数の増幅段のうち電氣的に最も明表示用の画素電極1012の近くに配置されている増幅段に含まれる薄膜トランジスタのうちの第2スイッチング素子として機能する薄膜トランジスタのドレイン電極に接続される。さらに、連続する2つの増幅段に着目すると、電氣的により明表示用の画素電極1012から遠くに配置されている増幅段に含まれる薄膜トランジ

スタのうちの第2スイッチング素子として機能する薄膜トランジスタのドレイン電極は、電気的により明表示用の画素電極1012の近くに配置されている増幅段に含まれる薄膜トランジスタのうちの第3スイッチング素子として機能する薄膜トランジスタのドレイン電極に接続される。暗表示用の画素電極1011については、電気的に最も明表示用の画素電極1012の近くに配置されている増幅段以外のいずれの増幅段に含まれるようにしても良く、また、薄膜トランジスタT1のドレイン電極に接続された構成にしても良い。

[0141] <3.4 色毎の増幅量の調整について>

一般的なカラー液晶表示装置にはR（赤）色用、G（緑）色用、およびB（青）色用の3つの画素が含まれているところ、増幅期間 T_b における画素電極電位 V_{pix2} の増幅量を色毎に調整することもできる。これにより、より細かく視野角特性を調整することが可能となる。以下、具体的な実現方法を第13の変形例および第14の変形例として説明する。

[0142] <3.4.1 第13の変形例>

本変形例においては、第2容量 C_{tr} の容量値が色毎に異なる値とされる。上述したように、増幅期間 T_b における画素電極電位 V_{pix2} の上昇の大きさ V_1 は上式(1)で表される。上式(1)より、第2容量 C_{tr} の容量値が異なれば V_1 も異なることが把握される。従って、第2容量 C_{tr} の容量値を色毎に異なる値とすることにより、増幅期間 T_b における画素電極電位 V_{pix2} の増幅量も色毎に異なることになる。このようにして、視野角特性がより細かく調整される。なお、例えば3色のカラー液晶表示装置の場合、1色についてのみ他の2色と第2容量 C_{tr} の容量値が異なるようにしても良い。

[0143] <3.4.2 第14の変形例>

本変形例においては、制御配線電位 V_{ctl} が色毎に異なる値とされる。これについても、上式(1)より、制御配線電位 V_{ctl} が異なれば V_1 も異なることが把握される。従って、制御配線電位 V_{ctl} を色毎に異なる値

とすることにより、増幅期間 T_b における画素電極電位 V_{pix2} の増幅量も色毎に異なることになる。このようにして、視野角特性がより細かく調整される。なお、本変形例は、制御配線 CTL がソースバスライン SL に平行に延びるように配設されている場合（図 17, 図 38 参照）に適用され得る。

符号の説明

- [0144] 13…増幅回路部
100…表示部
102…増幅用電極
111…透明電極（暗表示用の画素電極として機能する透明電極）
112…透明電極（明表示用の画素電極として機能する透明電極）
1011…暗表示用の画素電極
1012…明表示用の画素電極
COM…共通電極
T1…薄膜トランジスタ（第1スイッチング素子）
T2…薄膜トランジスタ（第2スイッチング素子）
T3…薄膜トランジスタ（第3スイッチング素子）
Clc1…第1の第1容量
Clc2…第2の第1容量
Ctr…第2容量
GL…ゲートバスライン
SL…ソースバスライン
CTL…制御配線
RST…リセット配線
Vctl…制御配線電位
Vcom…共通電極電位
Vdata…映像信号電位
Vpix1…暗表示用の画素電極電位

V p i x 2…明表示用の画素電極電位

請求の範囲

[請求項1]

複数本の映像信号線と、前記複数本の映像信号線と交差する複数本の走査信号線と、前記複数本の映像信号線と前記複数本の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数個の画素形成部と、前記複数個の画素形成部に共通的に設けられた共通電極とを有するアクティブマトリクス型の表示装置であって、

前記複数本の映像信号線または前記複数本の走査信号線の少なくとも一方と交差する第1制御配線と、

前記複数本の走査信号線と1対1で対応するように設けられた第2制御配線と

を備え、

各画素形成部は、

表示すべき画像に応じた電位がそれぞれ与えられるべき第1画素電極および第2画素電極と、

前記第1画素電極と前記共通電極とによって形成される第1の第1容量と、

前記第2画素電極と前記共通電極とによって形成される第2の第1容量と、

前記第2画素電極の電位を増幅するための増幅回路部と、

前記走査信号線に制御端子が接続され、前記映像信号線に第1導通端子が接続され、前記増幅回路部に第2導通端子が接続された第1スイッチング素子と

を含み、

前記増幅回路部は、

前記第2制御配線に制御端子が接続され、前記映像信号線に第1導通端子が接続された第2スイッチング素子と、

前記第2制御配線に制御端子が接続され、前記第1制御配線に第1導通端子が接続された第3スイッチング素子と、

前記第2スイッチング素子の第2導通端子と前記第3スイッチング素子の第2導通端子との間に設けられた第2容量とからなる増幅段を含み、

前記第1スイッチング素子の第2導通端子は、前記第3スイッチング素子の第2導通端子に接続され、

前記第1画素電極は、前記第3スイッチング素子の第2導通端子に接続され、

前記第2画素電極は、前記第2スイッチング素子の第2導通端子に接続され、

任意の画素形成部に着目したとき、

1画面分の表示が行われる期間である1フレーム期間は、前記表示すべき画像に応じて前記第1画素電極および前記第2画素電極の電位を変化させるための期間であって第1期間および第2期間を含む選択期間と、前記選択期間以外の期間である非選択期間とからなり、

対応する第1制御配線には、一定の電位が与えられ、もしくは、一定のハイレベル電位と一定のローレベル電位とが交互に与えられ、

対応する第2制御配線には、前記第1期間には前記第2スイッチング素子および前記第3スイッチング素子をオン状態にする電位が与えられ、前記第1期間以外の期間には前記第2スイッチング素子および前記第3スイッチング素子をオフ状態にする電位が与えられ、

対応する走査信号線には、前記第2期間には前記第1スイッチング素子をオン状態にする電位が与えられ、前記第2期間以外の期間には前記第1スイッチング素子をオフ状態にする電位が与えられることを特徴とする、表示装置。

[請求項2] 前記第1制御配線には、前記ハイレベル電位と前記ローレベル電位とが交互に与えられることを特徴とする、請求項1に記載の表示装置。

[請求項3] 任意の画素形成部に着目したとき、対応する第1制御配線には、

前記共通電極の電位よりも低い電位が前記第 1 画素電極および前記第 2 画素電極に与えられるべき選択期間には、前記ハイレベル電位が与えられ、

前記共通電極の電位よりも高い電位が前記第 1 画素電極および前記第 2 画素電極に与えられるべき選択期間には、前記ローレベル電位が与えられることを特徴とする、請求項 2 に記載の表示装置。

[請求項 4]

任意の画素形成部に着目したとき、対応する第 1 制御配線には、

前記共通電極の電位よりも低い電位が前記第 1 画素電極および前記第 2 画素電極に与えられるべき選択期間には、前記ローレベル電位が与えられ、

前記共通電極の電位よりも高い電位が前記第 1 画素電極および前記第 2 画素電極に与えられるべき選択期間には、前記ハイレベル電位が与えられることを特徴とする、請求項 2 に記載の表示装置。

[請求項 5]

前記複数本の映像信号線に与えられ得る最大の電位と最小の電位との中央の電位を基準電位としたとき、前記選択期間から前記非選択期間に移行する際における前記走査信号線の電位の変化に起因する前記第 1 画素電極の電位の変化の大きさに等しいだけ前記基準電位よりも低い電位に前記共通電極の電位が設定され、

前記共通電極の電位よりも高い電位が前記第 2 画素電極に与えられるべき選択期間における前記第 2 画素電極の電位と前記共通電極の電位よりも低い電位が前記第 2 画素電極に与えられるべき選択期間における前記第 2 画素電極の電位との中央の電位が前記共通電極の電位と等しくなるように、前記第 1 制御配線の電位が設定されていることを特徴とする、請求項 1 に記載の表示装置。

[請求項 6]

前記第 1 制御配線の電位 V_{ct1} が下記の式で算出される値に設定されていることを特徴とする、請求項 5 に記載の表示装置：

$$V_{ct1} = V_{d1} + V_{d2} - V_{com} - \Delta V_{g2}$$

ここで、 V_{d1} は前記複数本の映像信号線に与えられ得る最大の電位

を表し、 V_{d2} は前記複数本の映像信号線に与えられ得る最小の電位を表し、 V_{com} は前記共通電極の電位を表し、 ΔV_{g2} は前記選択期間から前記非選択期間に移行する際における前記走査信号線の電位の変化に起因する前記第2画素電極の電位の変化の大きさを表す。

[請求項7] 前記第1制御配線は、前記走査信号線に平行に延びるように配設されていることを特徴とする、請求項1に記載の表示装置。

[請求項8] 前記第1制御配線は、前記映像信号線に平行に延びるように配設されていることを特徴とする、請求項1に記載の表示装置。

[請求項9] 前記第1画素電極として機能する第1透明電極および前記第2画素電極として機能する部分を含む第2透明電極からなる2層の透明電極を更に備え、

前記第1透明電極と前記第2透明電極とによって前記第2容量が形成されていることを特徴とする、請求項1に記載の表示装置。

[請求項10] 前記第1透明電極は、前記第2透明電極と前記共通電極との間の領域に形成され、

前記第1透明電極の中央部に開口部が設けられていることを特徴とする、請求項9に記載の表示装置。

[請求項11] 前記第2透明電極は、前記走査信号線に平行に延びる部分と前記映像信号線に平行に延びる部分とを有するように格子状に形成され前記第2画素電極として機能する部分とは電気的に分離されている格子状電極部を更に含み、

前記格子状電極部は、前記第1制御配線として機能することを特徴とする、請求項9に記載の表示装置。

[請求項12] 前記第2透明電極は、前記映像信号線と前記第1透明電極との間の領域に形成され前記第2画素電極として機能する部分とは電気的に分離されているシールド電極部を更に含むことを特徴とする、請求項9に記載の表示装置。

[請求項13] 前記シールド電極部は、前記映像信号線を覆うように形成されてい

ることを特徴とする、請求項 1 2 に記載の表示装置。

[請求項14] 前記シールド電極部は、前記映像信号線と重ならないように、かつ、前記走査信号線の延びる方向について前記映像信号線と前記第 2 透明電極のうち前記第 2 画素電極として機能する部分との間の領域に形成されていることを特徴とする、請求項 1 2 に記載の表示装置。

[請求項15] 前記シールド電極部は、前記第 1 制御配線として機能することを特徴とする、請求項 1 2 に記載の表示装置。

[請求項16] 前記第 1 画素電極と前記共通電極との間および前記第 2 画素電極と前記共通電極との間には表示媒体として液晶が設けられ、
各画素形成部は、前記液晶の配向状態が互いに異なる複数の領域からなる画素を形成し、
前記第 1 画素電極を含む副画素部と前記第 2 画素電極を含む副画素部とで配向の中心が一致していることを特徴とする、請求項 9 に記載の表示装置。

[請求項17] 前記第 1 画素電極と前記共通電極との間および前記第 2 画素電極と前記共通電極との間には表示媒体として液晶が設けられ、
各画素形成部は、前記液晶の配向状態が互いに異なる複数の領域からなる画素を形成し、
前記第 1 画素電極を含む副画素部および前記第 2 画素電極を含む副画素部のうち比較的明るい表示が行われるべき副画素部が各画素形成部の中央部に配置されていることを特徴とする、請求項 9 に記載の表示装置。

[請求項18] 前記第 1 画素電極と前記共通電極との間および前記第 2 画素電極と前記共通電極との間には表示媒体として液晶が設けられ、
各画素形成部は、前記液晶の配向状態が互いに異なる複数の領域からなる画素を形成し、
前記複数の領域の境界部に相当する領域に前記第 1 制御配線が配設されていることを特徴とする、請求項 1 に記載の表示装置。

- [請求項19] 前記複数個の画素形成部は、複数の色用の画素形成部からなり、
前記複数の色用の画素形成部のうち少なくとも1つの色用の画素形成部については、それ以外の色用の画素形成部とは前記第2容量の容量値が異なっていることを特徴とする、請求項1に記載の表示装置。
- [請求項20] 前記複数個の画素形成部は、複数の色用の画素形成部からなり、
前記複数の色用の画素形成部のうち少なくとも1つの色用の画素形成部については、対応する第1制御配線に与えられる電位が、それ以外の色用の画素形成部に対応する第1制御配線に与えられる電位とは異なっていることを特徴とする、請求項1に記載の表示装置。
- [請求項21] 前記増幅回路部は、複数の増幅段を含み、
前記第1スイッチング素子の第2導通端子は、前記複数の増幅段のうち電氣的に最も前記第2画素電極から遠くに配置されている増幅段に含まれる第3スイッチング素子の第2導通端子に接続され、
前記第1画素電極は、前記第1スイッチング素子の第2導通端子または前記複数の増幅段のうち電氣的に最も前記第2画素電極の近くに配置されている増幅段以外の増幅段に含まれる第2スイッチング素子の第2導通端子に接続され、
前記第2画素電極は、前記複数の増幅段のうち電氣的に最も前記第2画素電極の近くに配置されている増幅段に含まれる第2スイッチング素子の第2導通端子に接続され、
連続する2つの増幅段に着目したとき、電氣的により前記第2画素電極から遠くに配置されている増幅段に含まれる前記第2スイッチング素子の第2導通端子は、電氣的により前記第2画素電極の近くに配置されている増幅段に含まれる第3スイッチング素子の第2導通端子に接続されていることを特徴とする、請求項1に記載の表示装置。
- [請求項22] 複数本の映像信号線と、前記複数本の映像信号線と交差する複数本の走査信号線と、表示すべき画像に応じた電位がそれぞれ与えられるべき第1画素電極および第2画素電極を有し前記複数本の映像信号線

と前記複数本の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数個の画素形成部と、前記複数個の画素形成部に共通的に設けられた共通電極とを有するアクティブマトリクス型の表示装置の駆動方法であって、

各画素形成部に関し、

1画面分の表示が行われる期間である1フレーム期間毎に前記表示すべき画像に応じて前記第1画素電極および前記第2画素電極の電位を変化させる画素電極電位変化ステップと、

前記第1画素電極および前記第2画素電極の電位を維持する画素電極電位維持ステップと

を含み、

前記表示装置は、

前記複数本の映像信号線または前記複数本の走査信号線の少なくとも一方と交差する第1制御配線と、

前記複数本の走査信号線と1対1で対応するように設けられた第2制御配線と

を備え、

各画素形成部は、

前記第1画素電極と前記共通電極とによって形成される第1の第1容量と、

前記第2画素電極と前記共通電極とによって形成される第2の第1容量と、

前記第2画素電極の電位を増幅するための増幅回路部と、

前記走査信号線に制御端子が接続され、前記映像信号線に第1導通端子が接続され、前記増幅回路部に第2導通端子が接続された第1スイッチング素子と

を含み、

前記増幅回路部は、

前記第2制御配線に制御端子が接続され、前記映像信号線に第1導通端子が接続された第2スイッチング素子と、

前記第2制御配線に制御端子が接続され、前記第1制御配線に第1導通端子が接続された第3スイッチング素子と、

前記第2スイッチング素子の第2導通端子と前記第3スイッチング素子の第2導通端子との間に設けられた第2容量とからなる増幅段を含み、

前記第1スイッチング素子の第2導通端子は、前記第3スイッチング素子の第2導通端子に接続され、

前記第1画素電極は、前記第3スイッチング素子の第2導通端子に接続され、

前記第2画素電極は、前記第2スイッチング素子の第2導通端子に接続され、

前記第1制御配線には、一定の電位が与えられ、もしくは、一定のハイレベル電位と一定のローレベル電位とが交互に与えられ、

任意の画素形成部に着目したとき、

前記画素電極電位変化ステップは、

対応する走査信号線に前記第1スイッチング素子をオフ状態にする電位を与えた状態で、対応する第2制御配線に前記第2スイッチング素子および前記第3スイッチング素子をオン状態にする電位を与える第1ステップと、

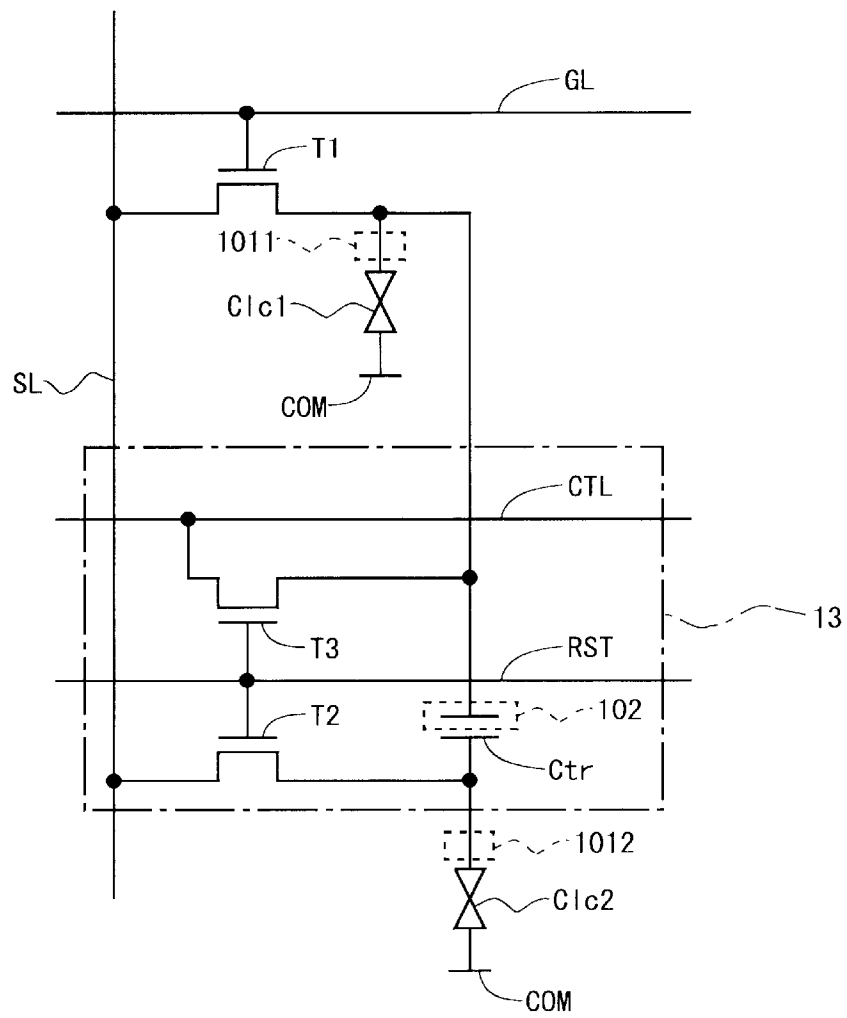
対応する第2制御配線に前記第2スイッチング素子および前記第3スイッチング素子をオフ状態にする電位を与えた状態で、対応する走査信号線に前記第1スイッチング素子をオン状態にする電位を与える第2ステップとを含み、

前記画素電極維持ステップでは、対応する走査信号線には前記第1スイッチング素子をオフ状態にする電位が与えられ、対応する第2

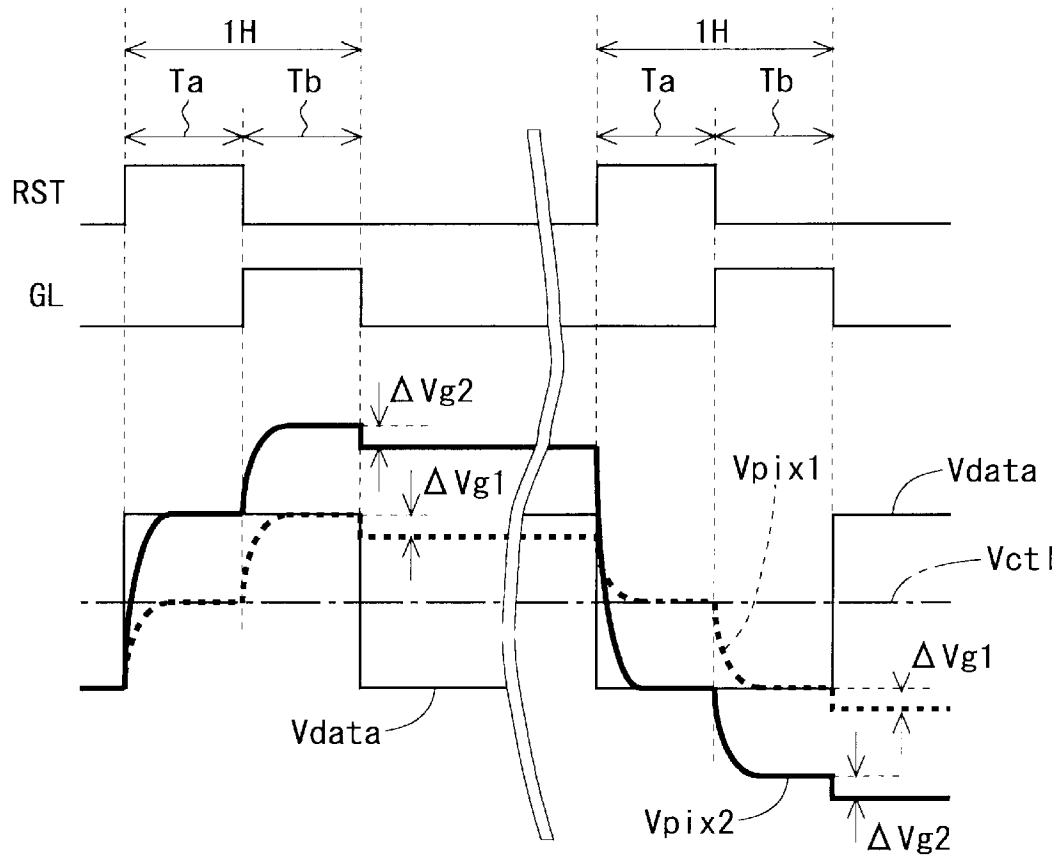
制御配線には前記第2スイッチング素子および前記第3スイッチング素子をオフ状態にする電位が与えられることを特徴とする、駆動方法

。

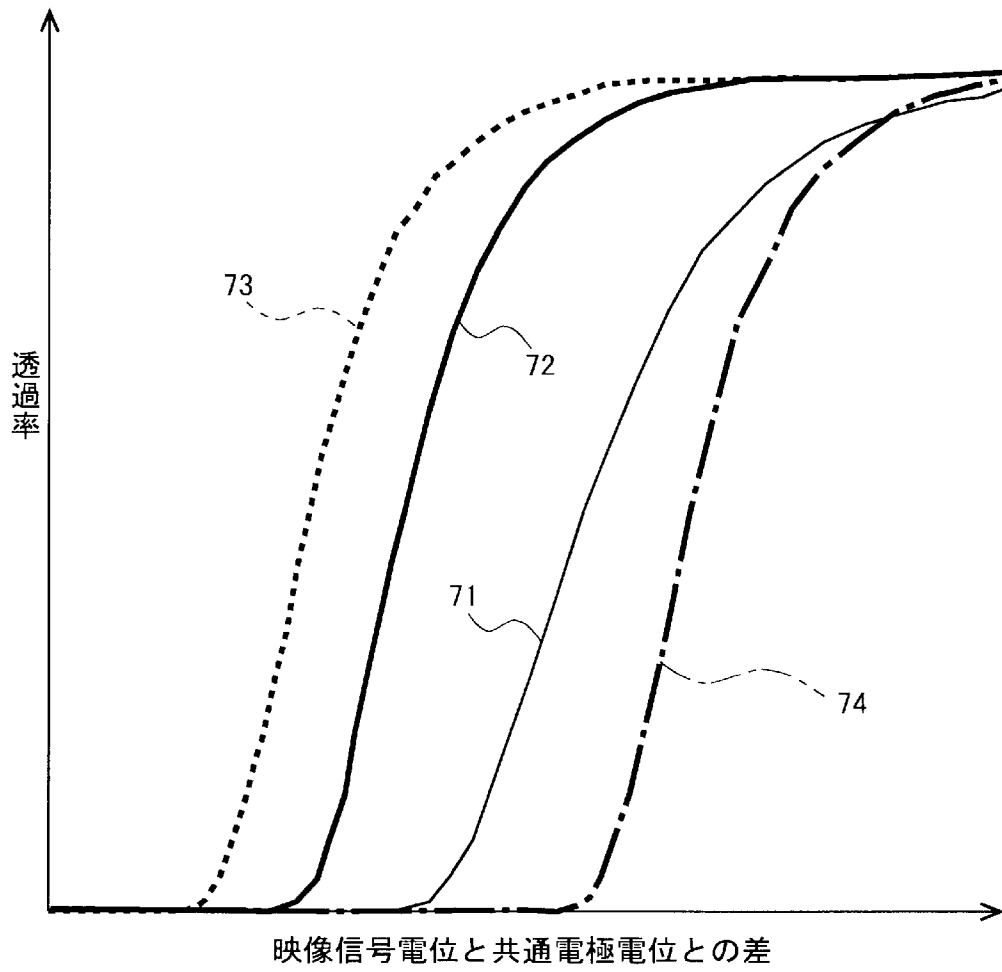
[図1]



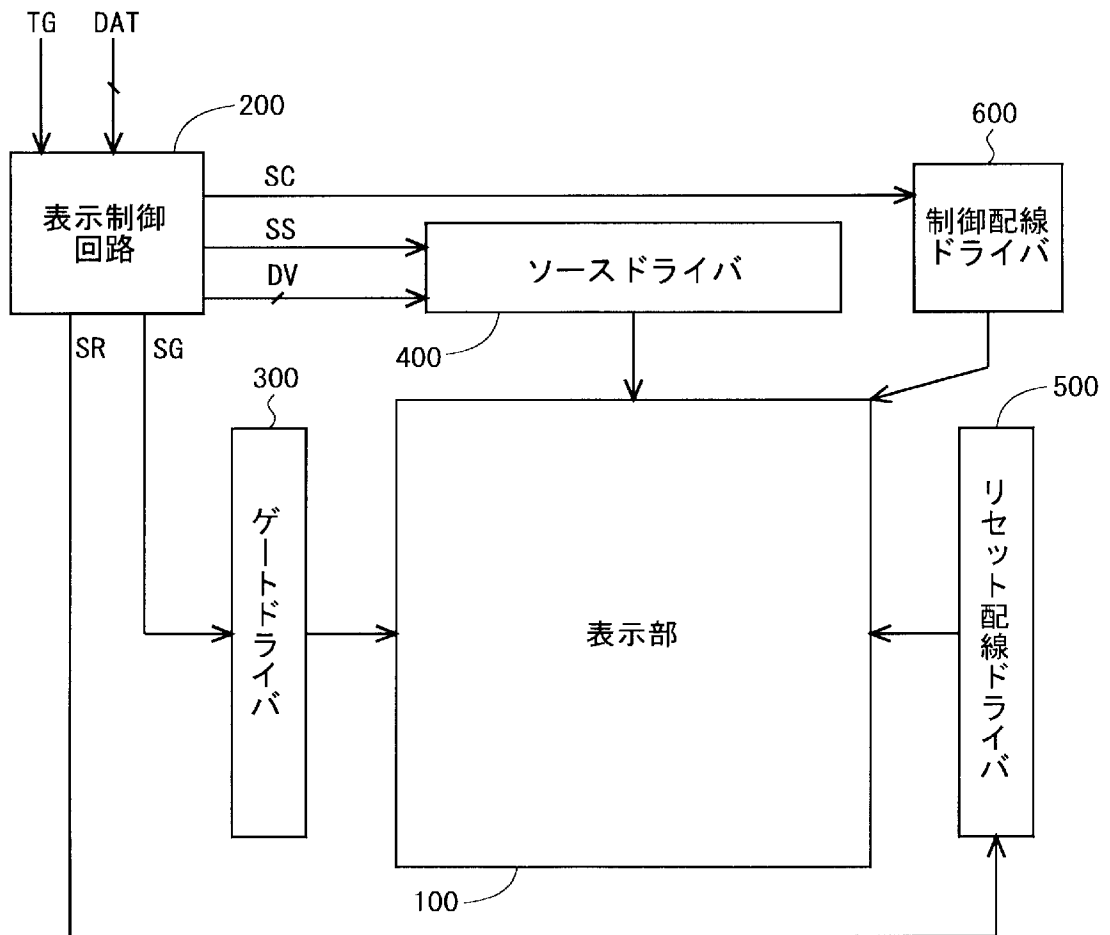
[図2]



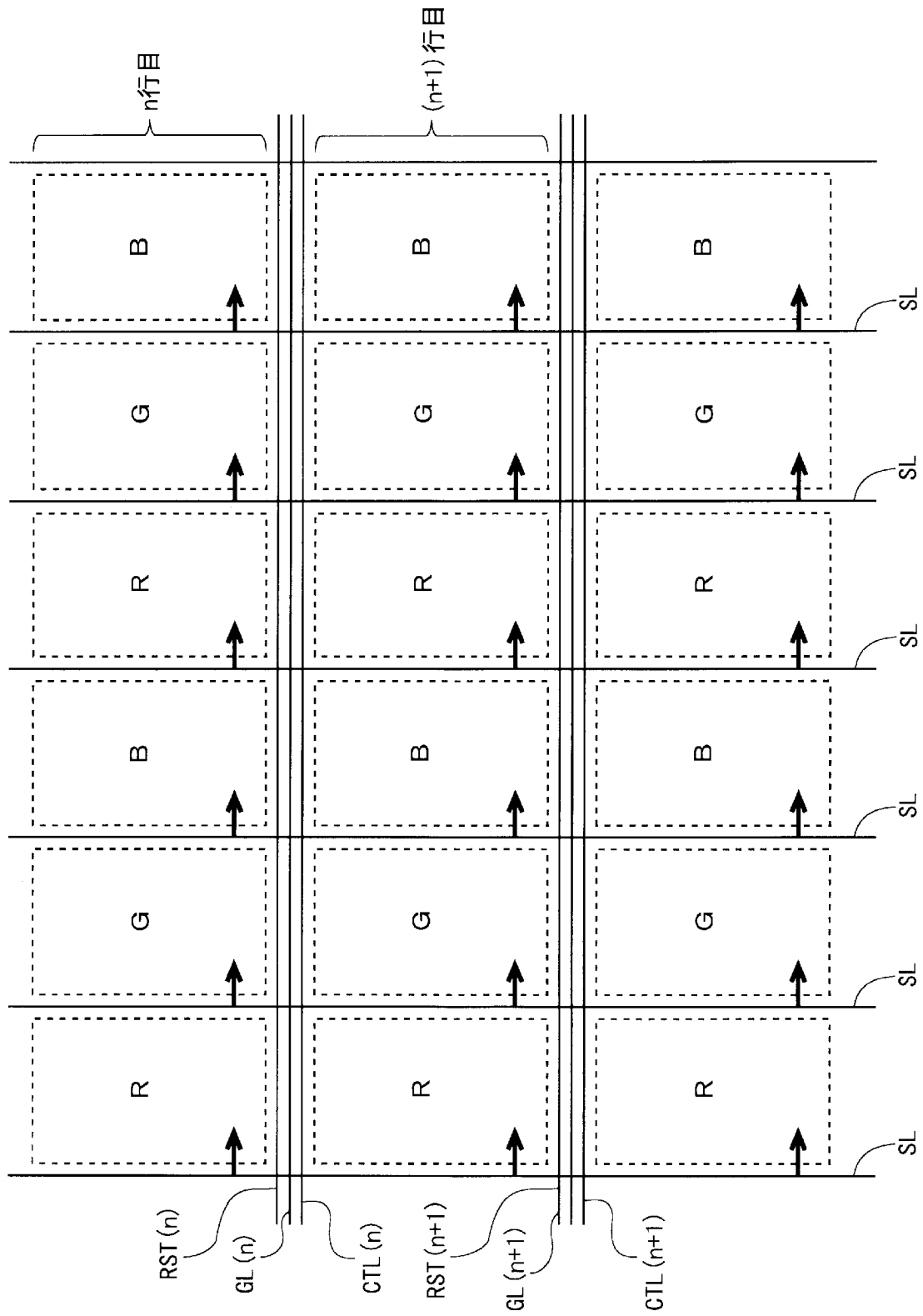
[図3]



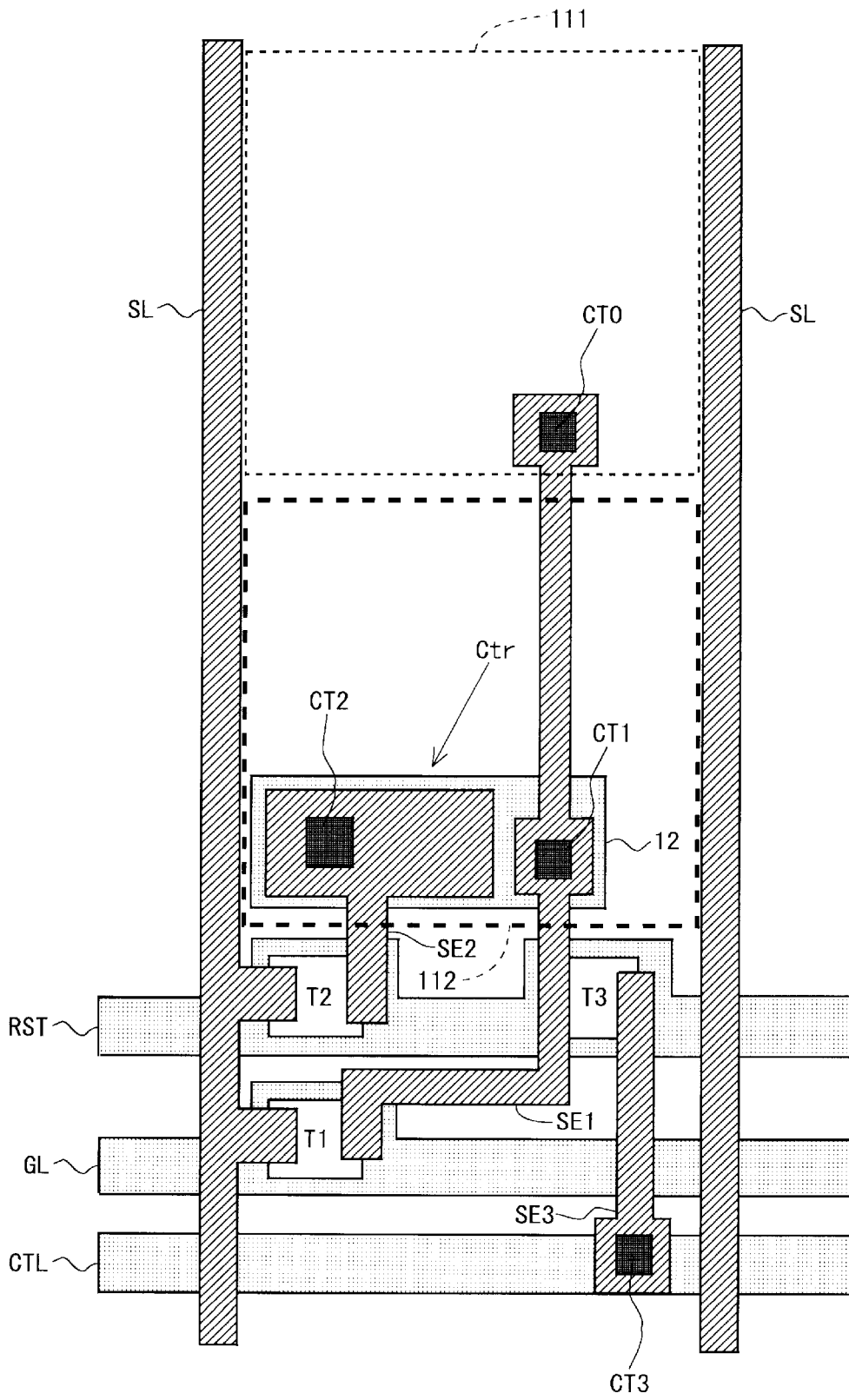
[図4]



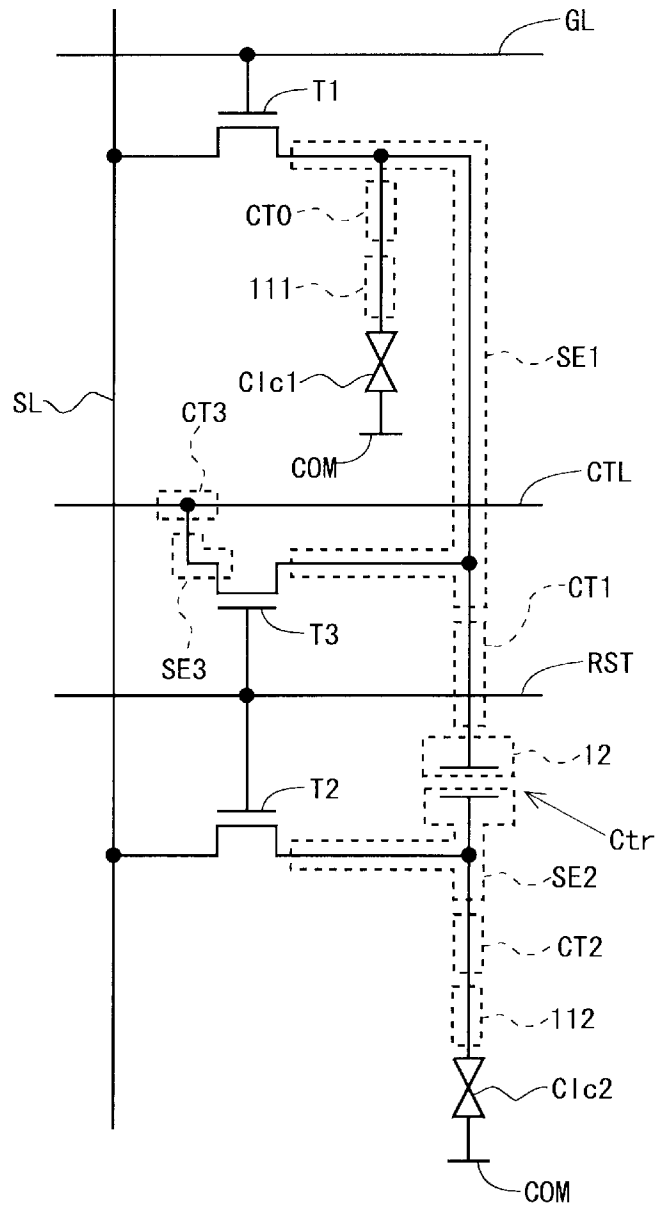
[図5]



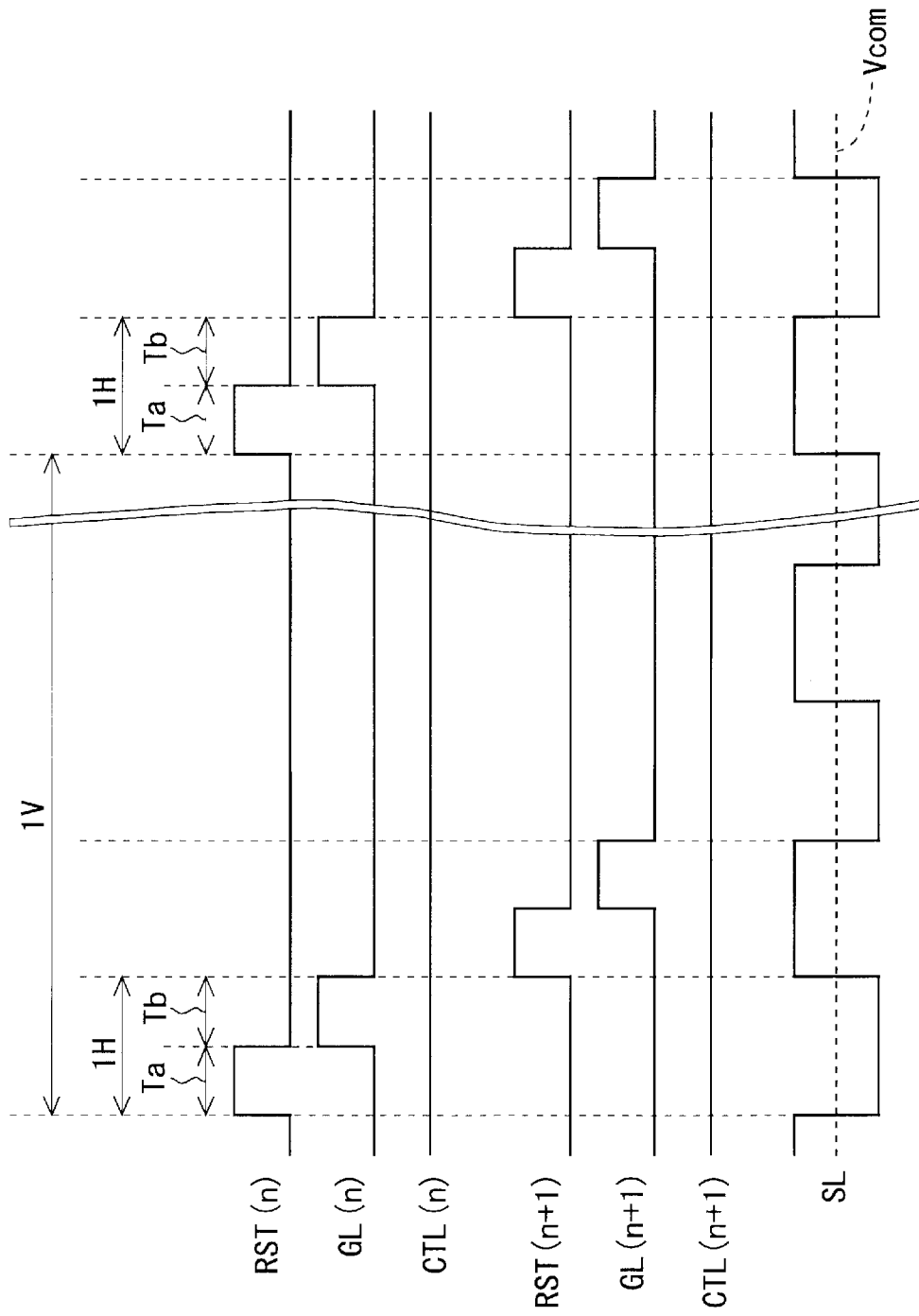
[図6]



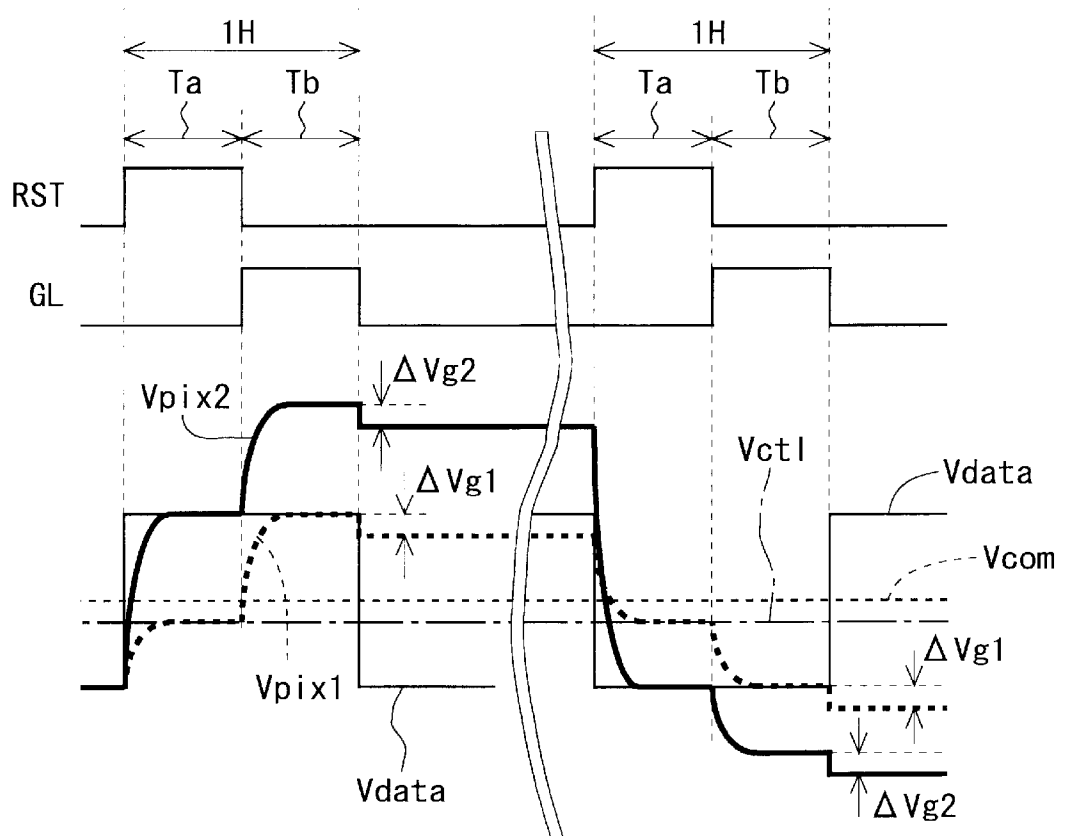
[図7]



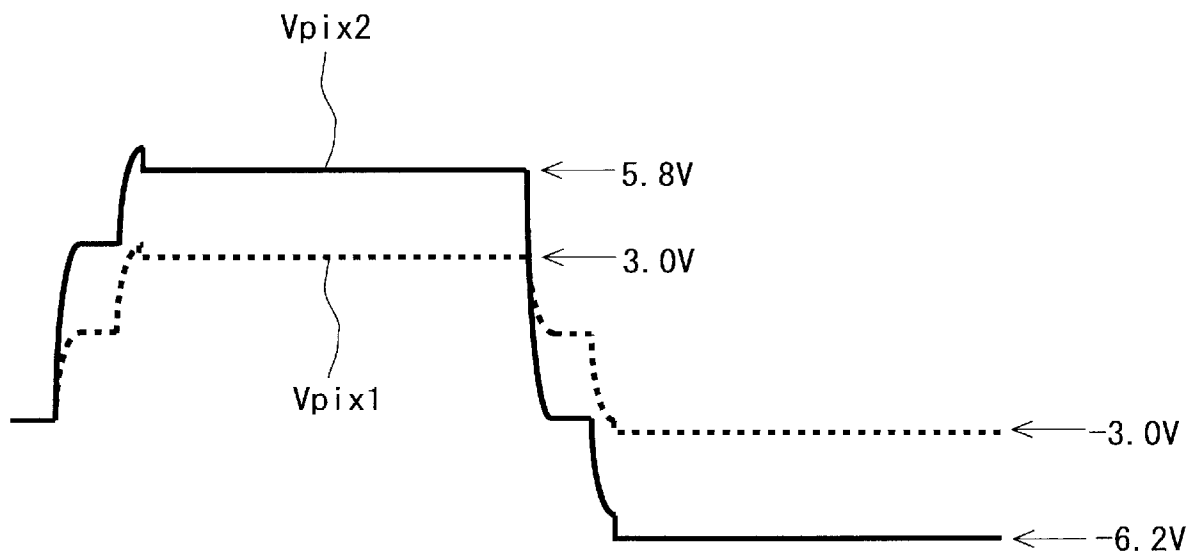
[図8]



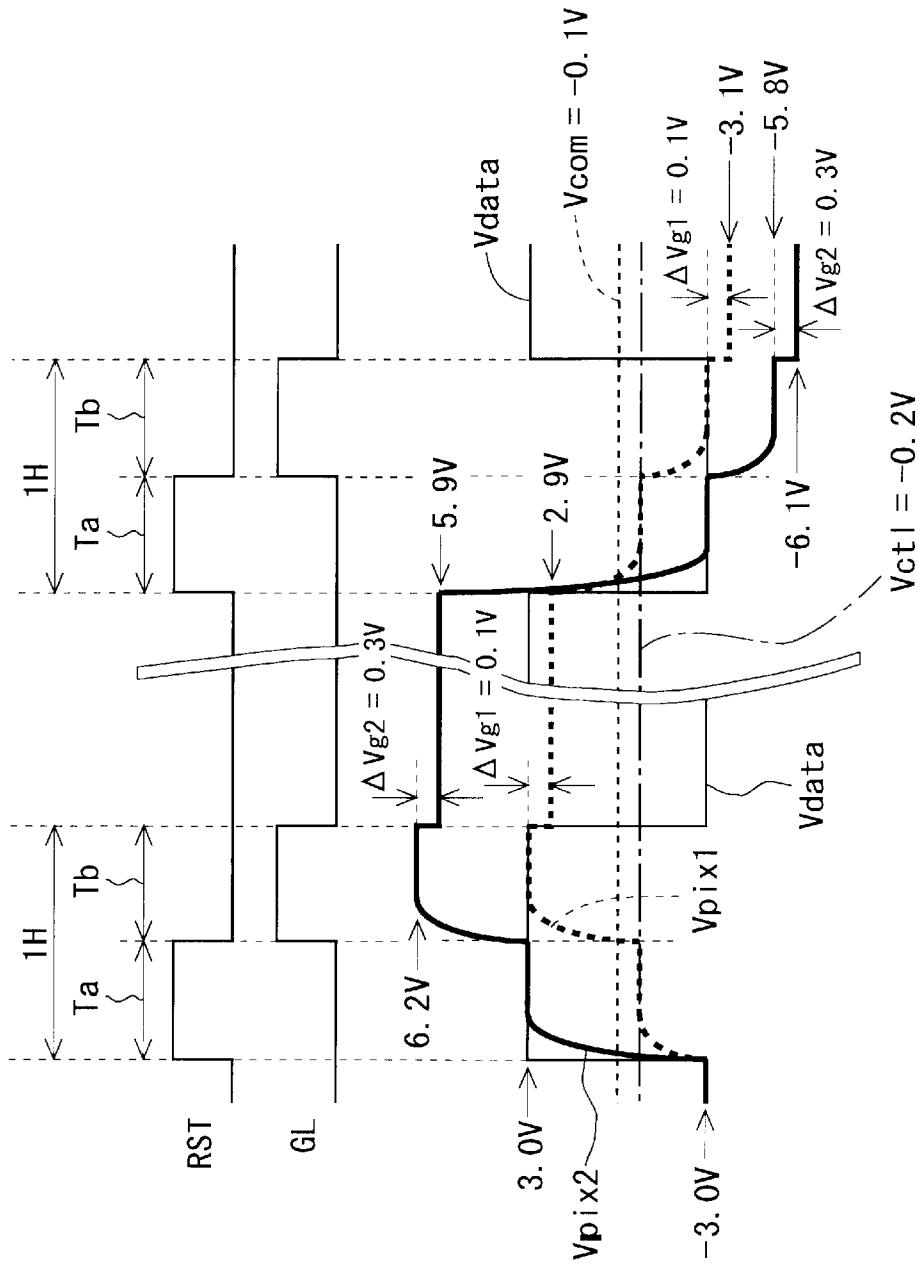
[図9]



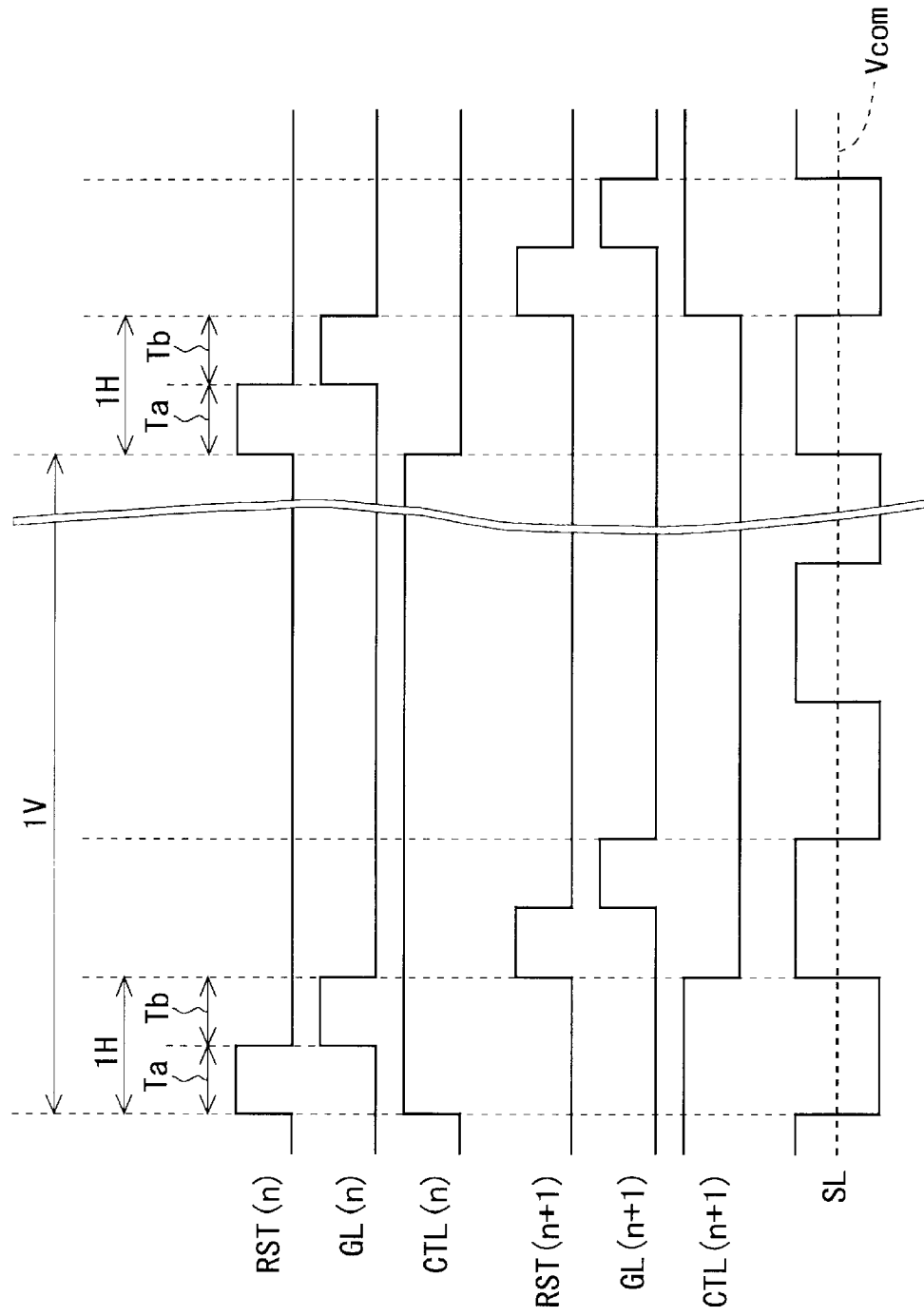
[図10]



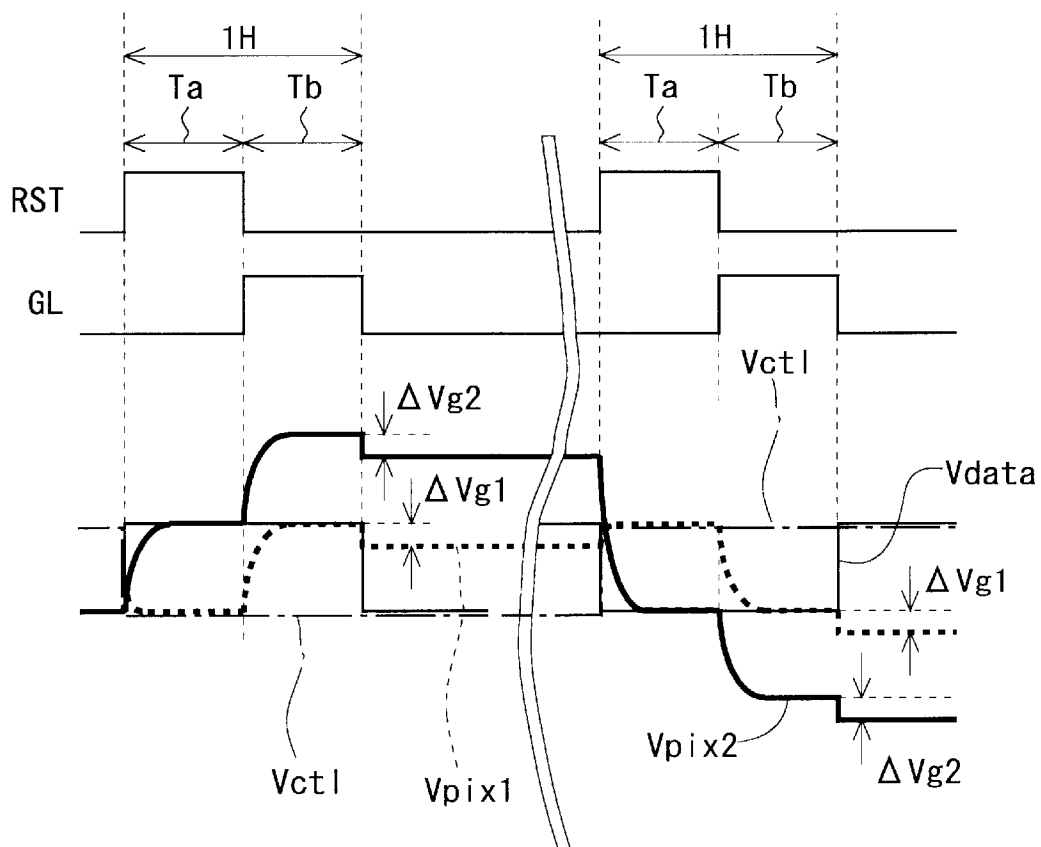
[図11]



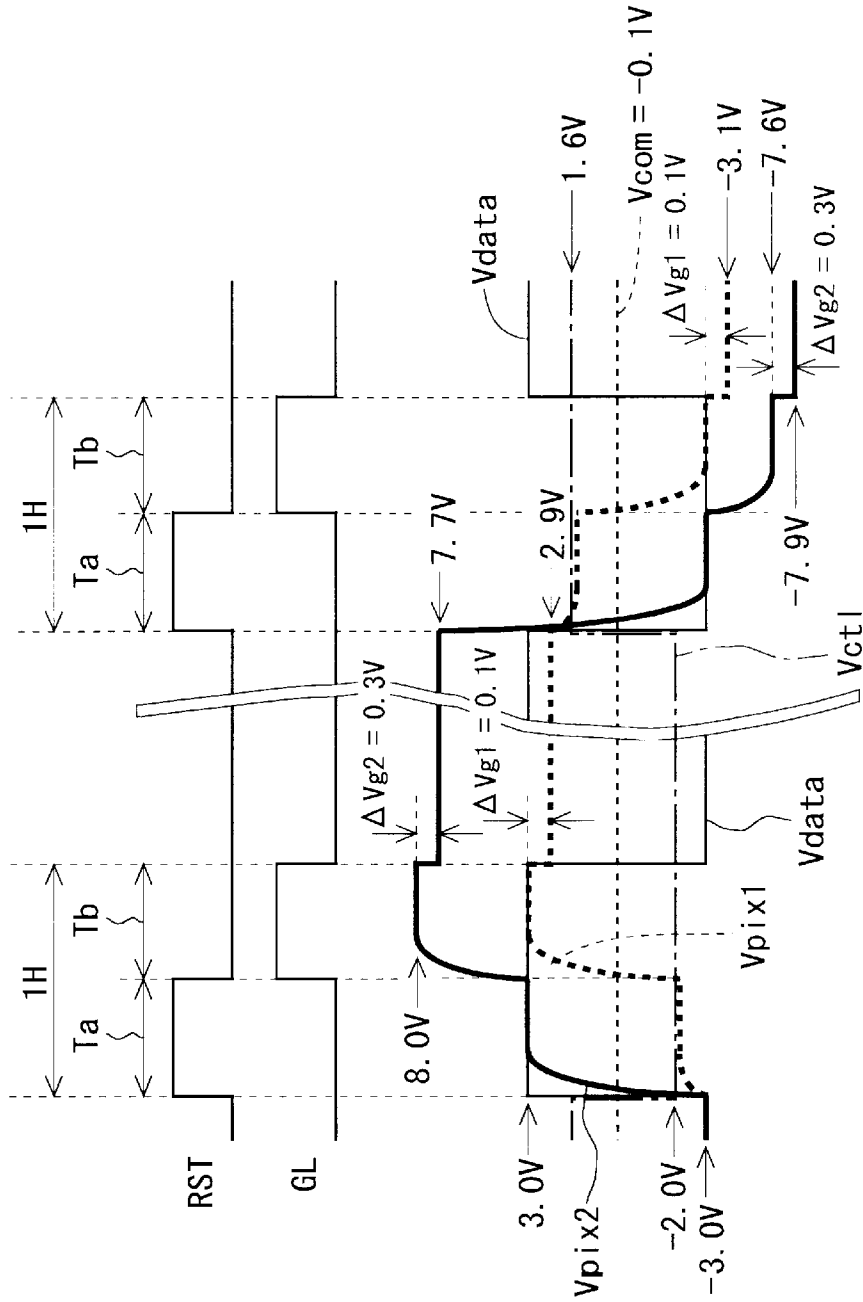
[圖12]



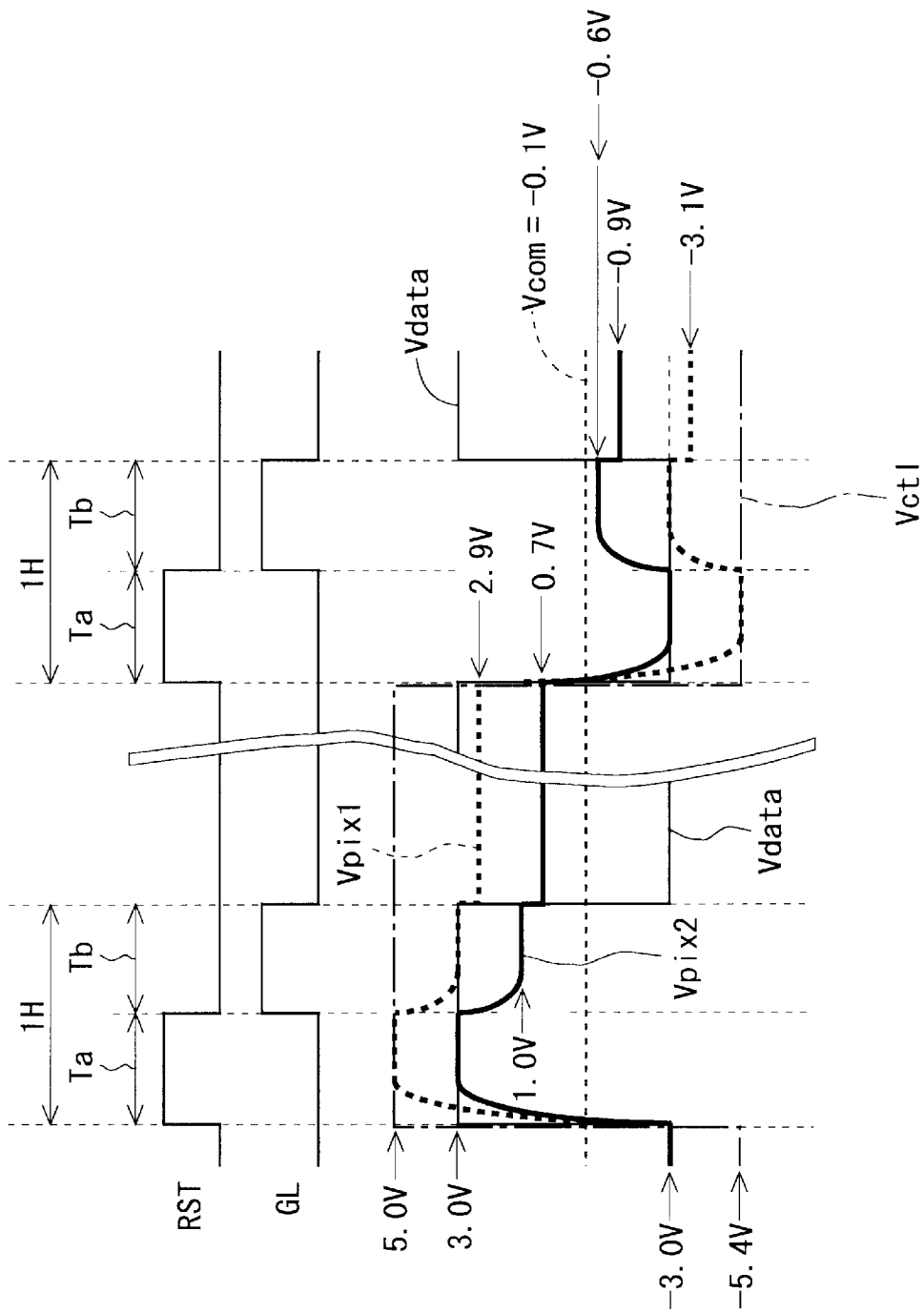
[図13]



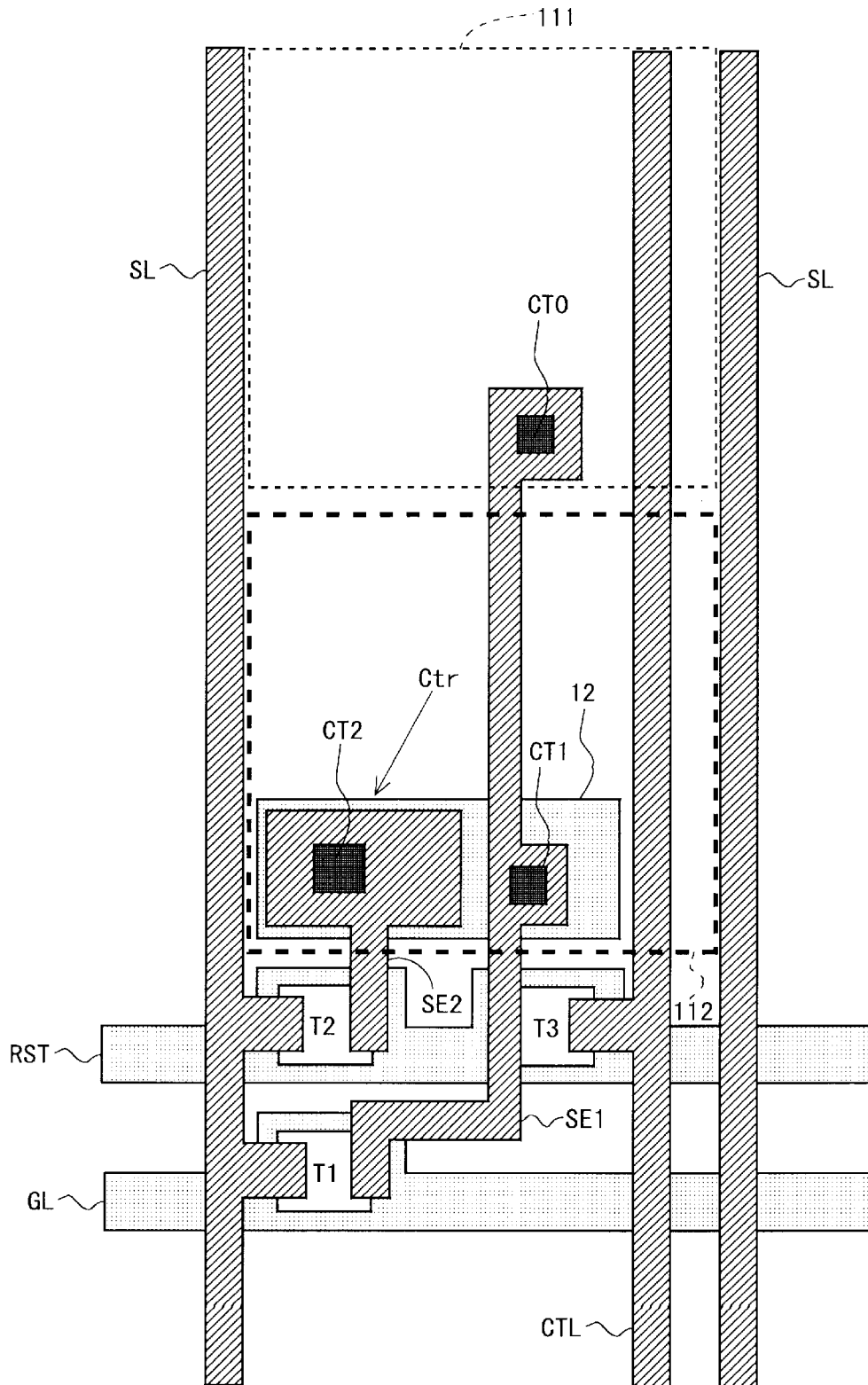
[圖14]



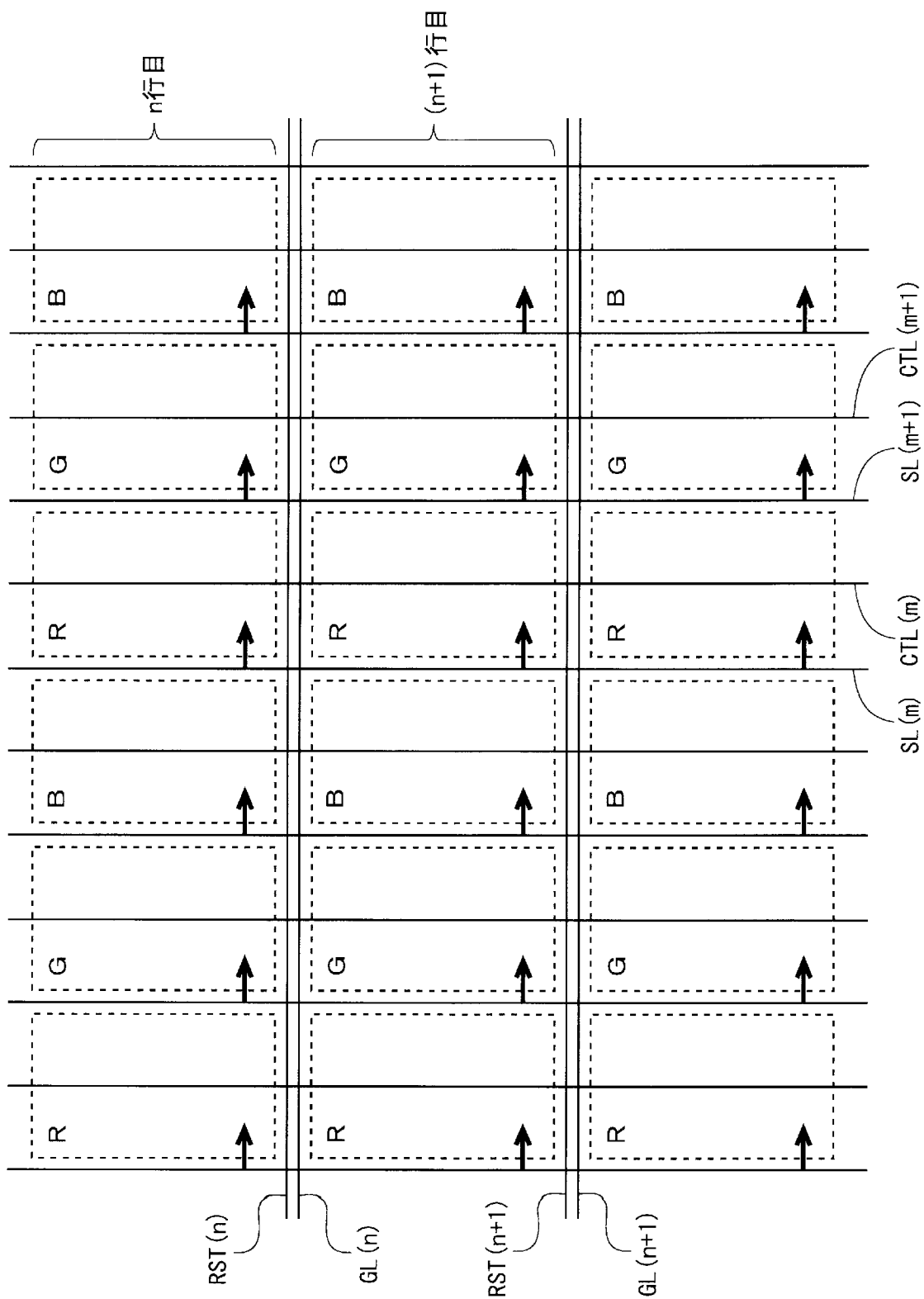
[圖15]



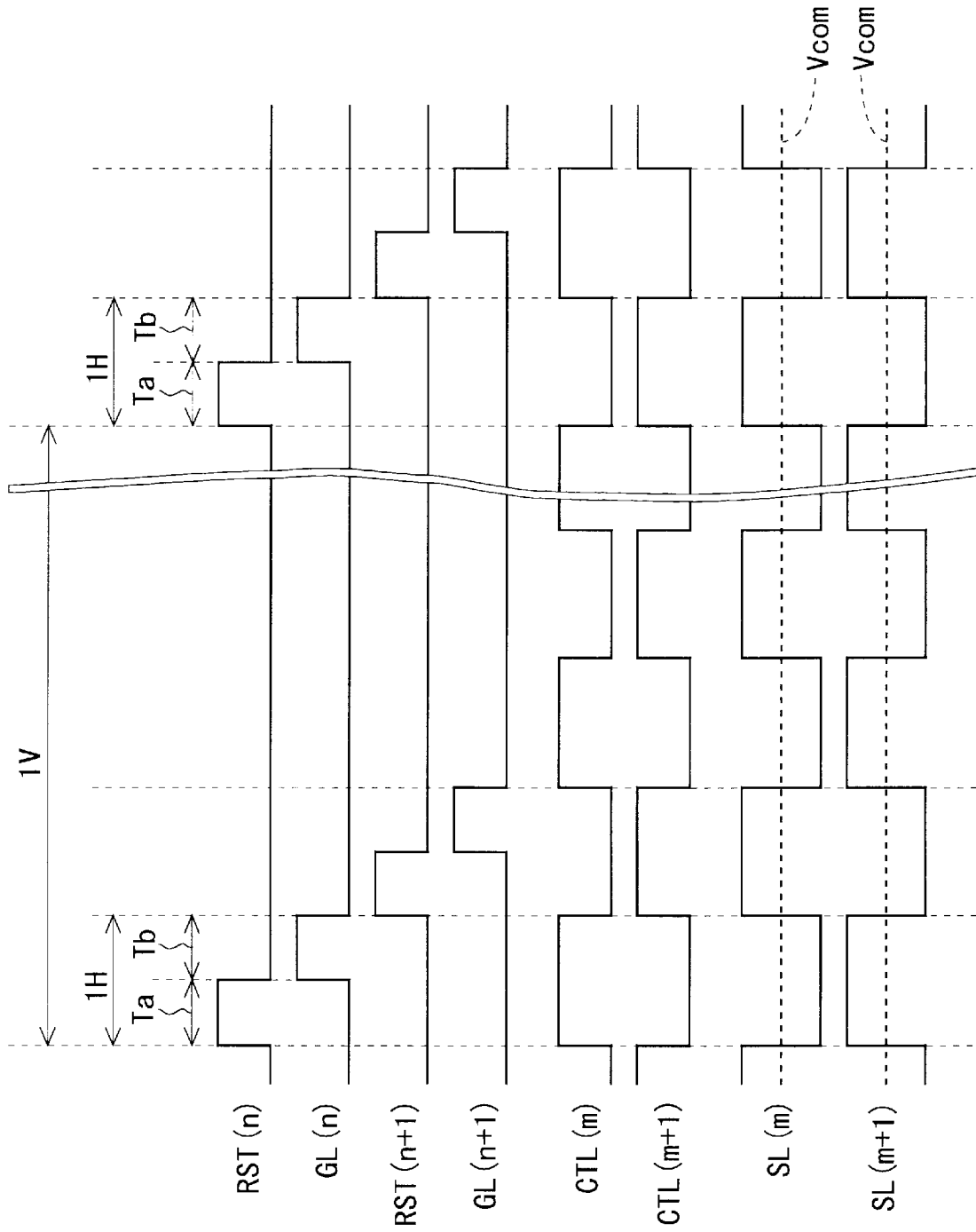
[図16]



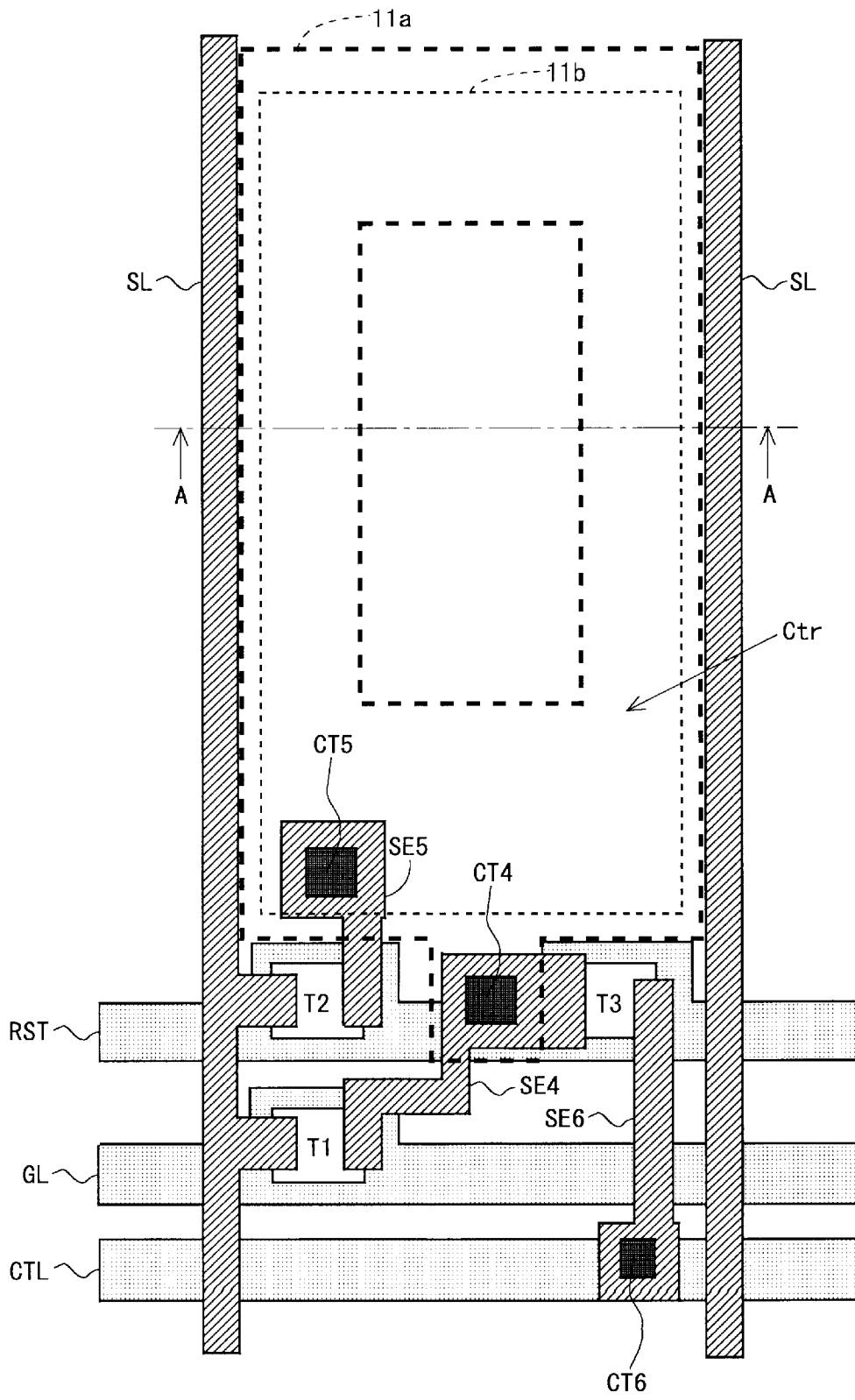
[図17]



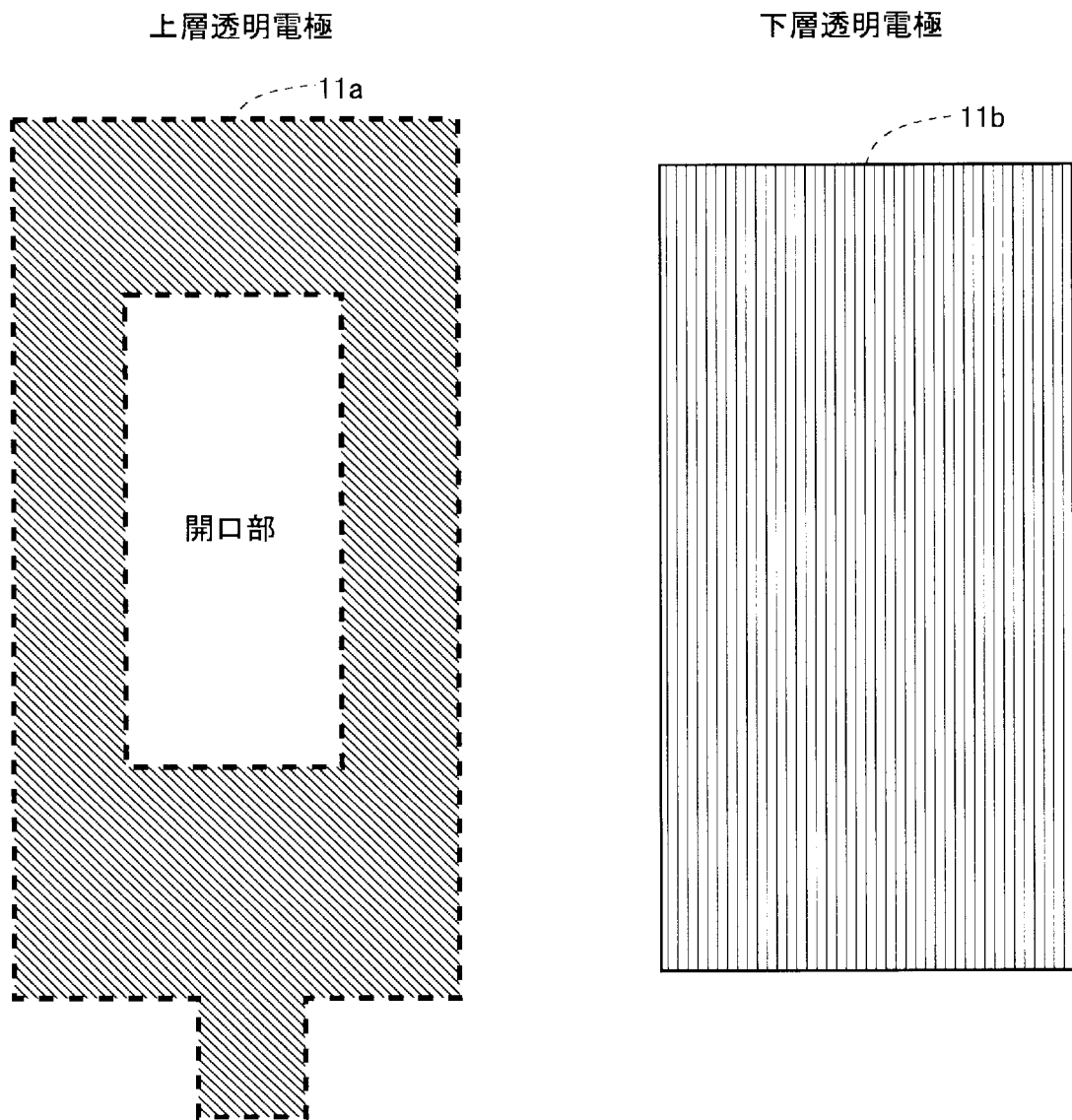
[圖18]



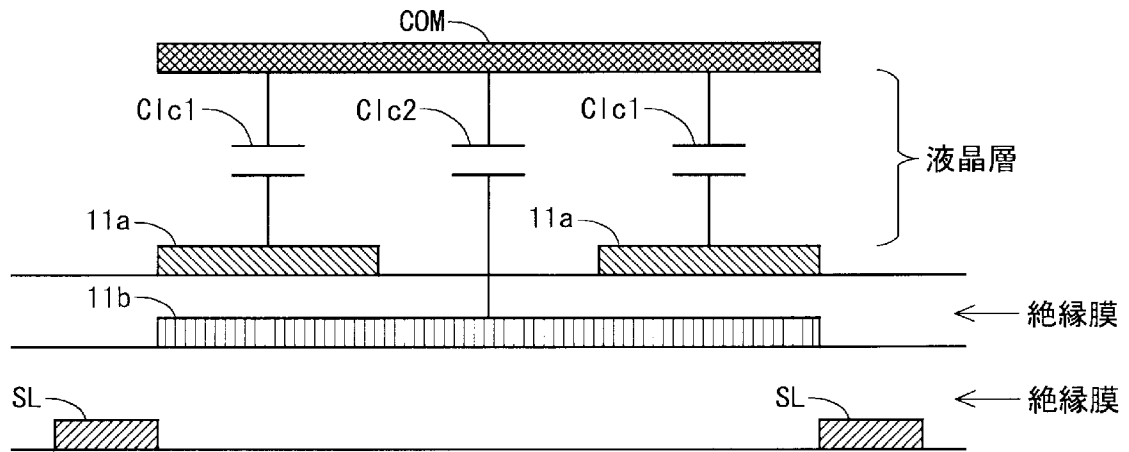
[図19]



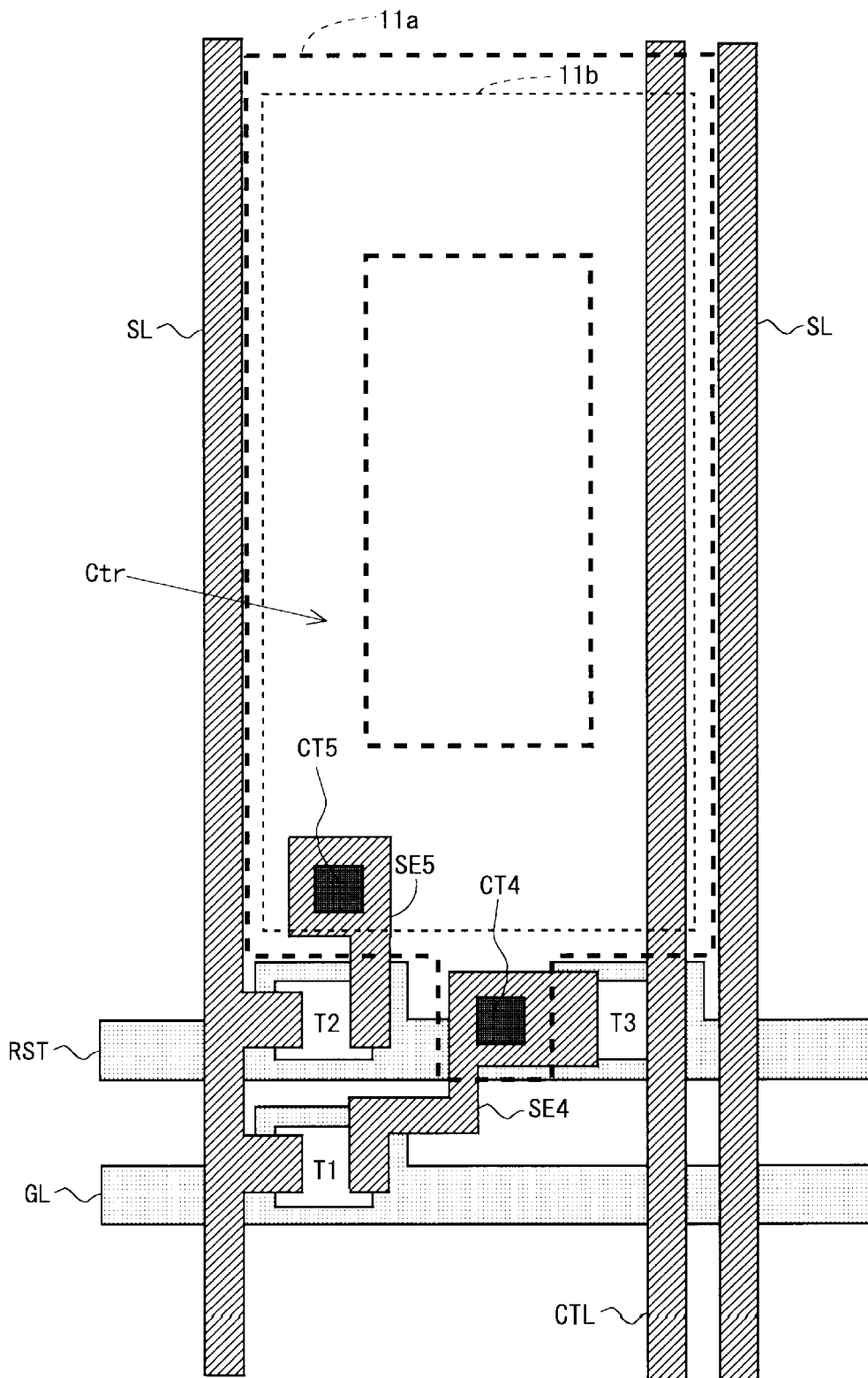
[図20]



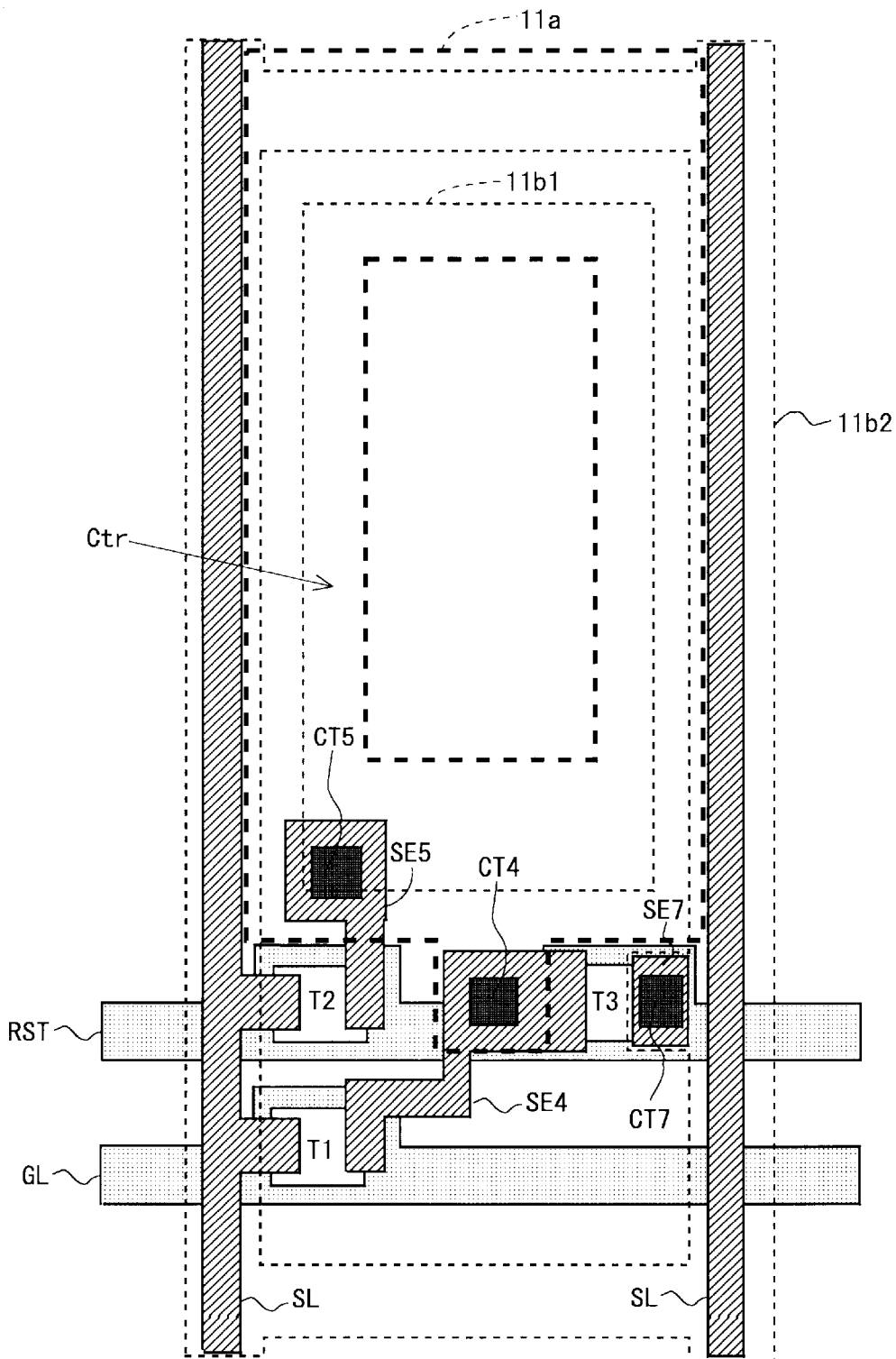
[図21]



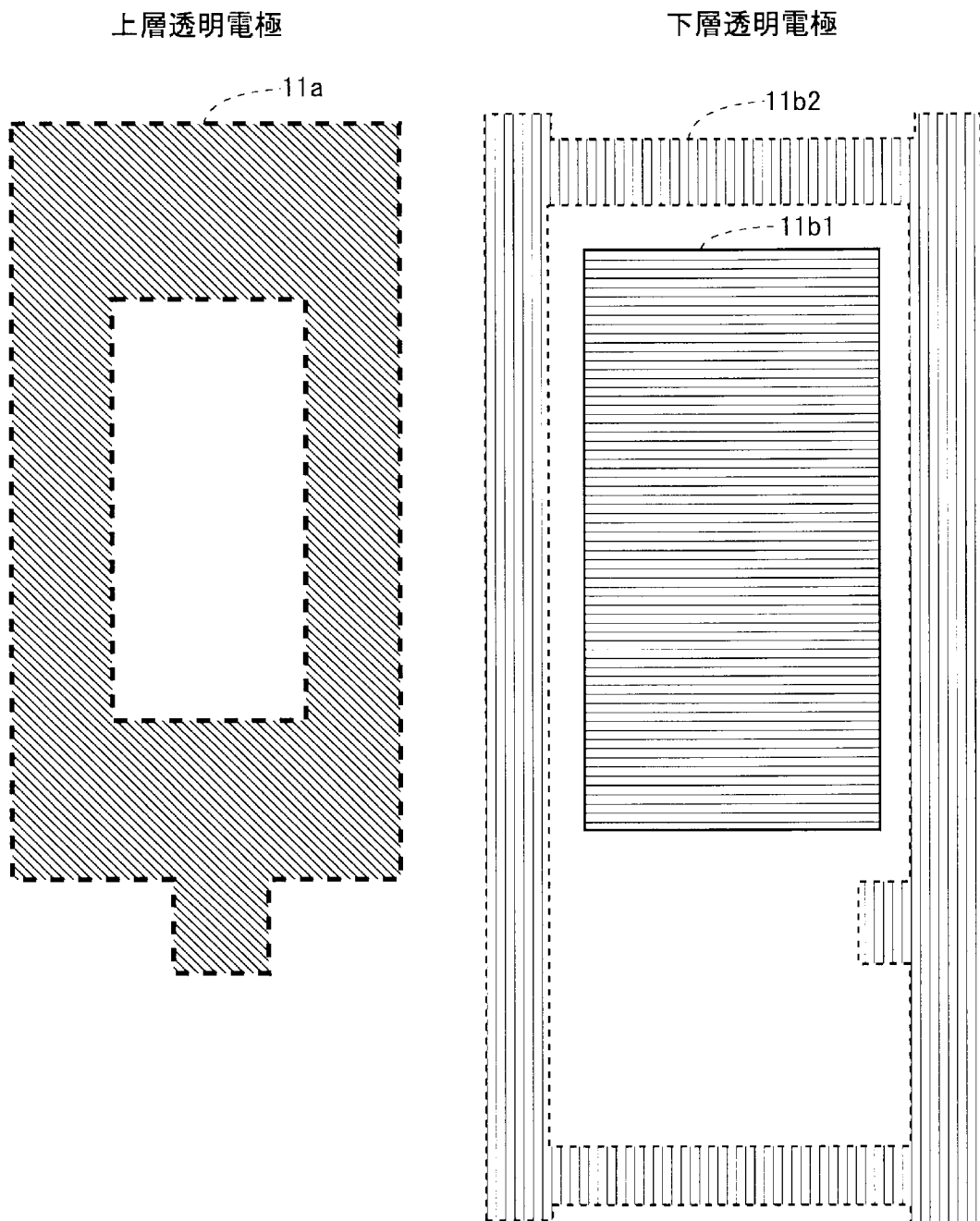
[図22]



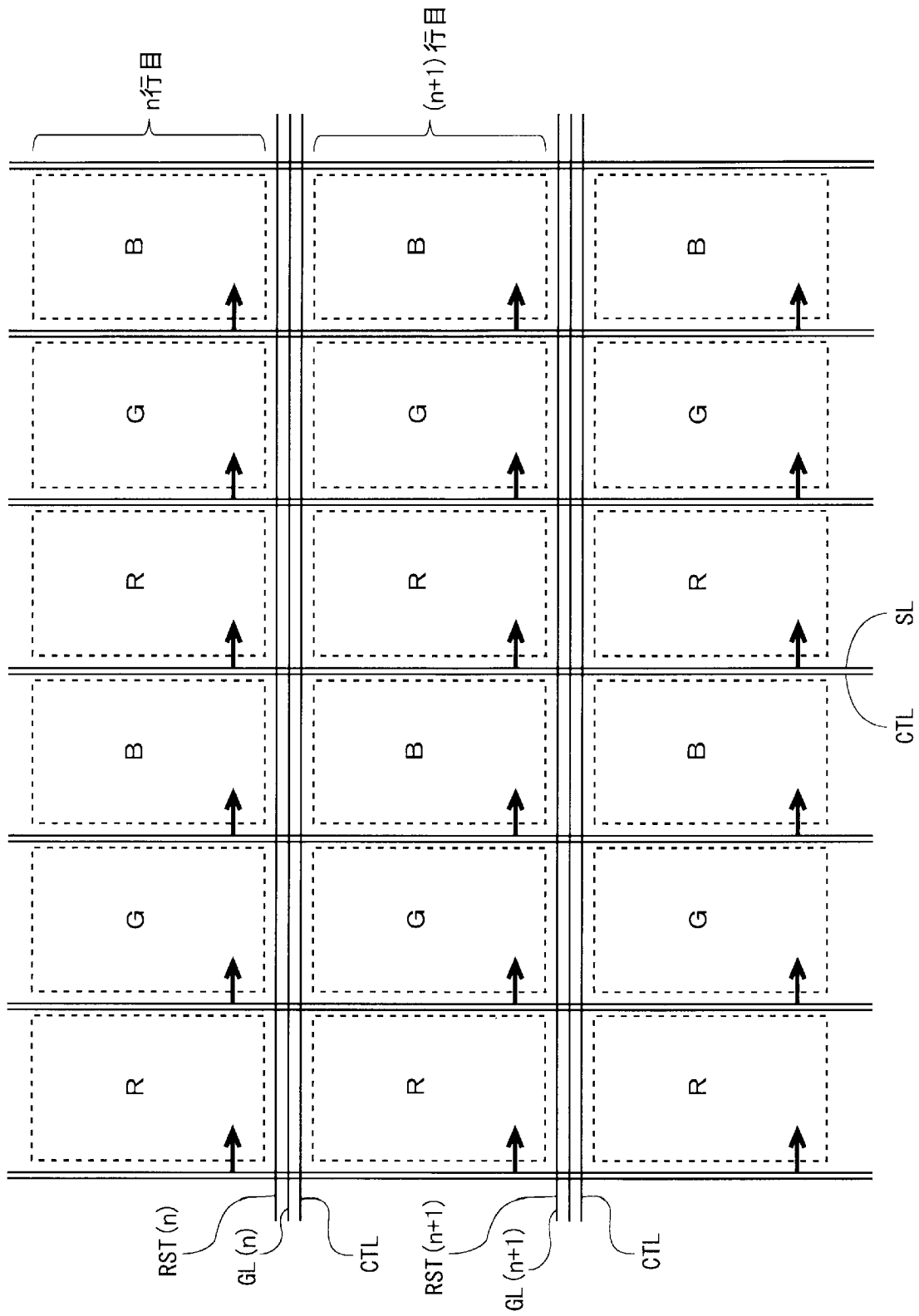
[図23]



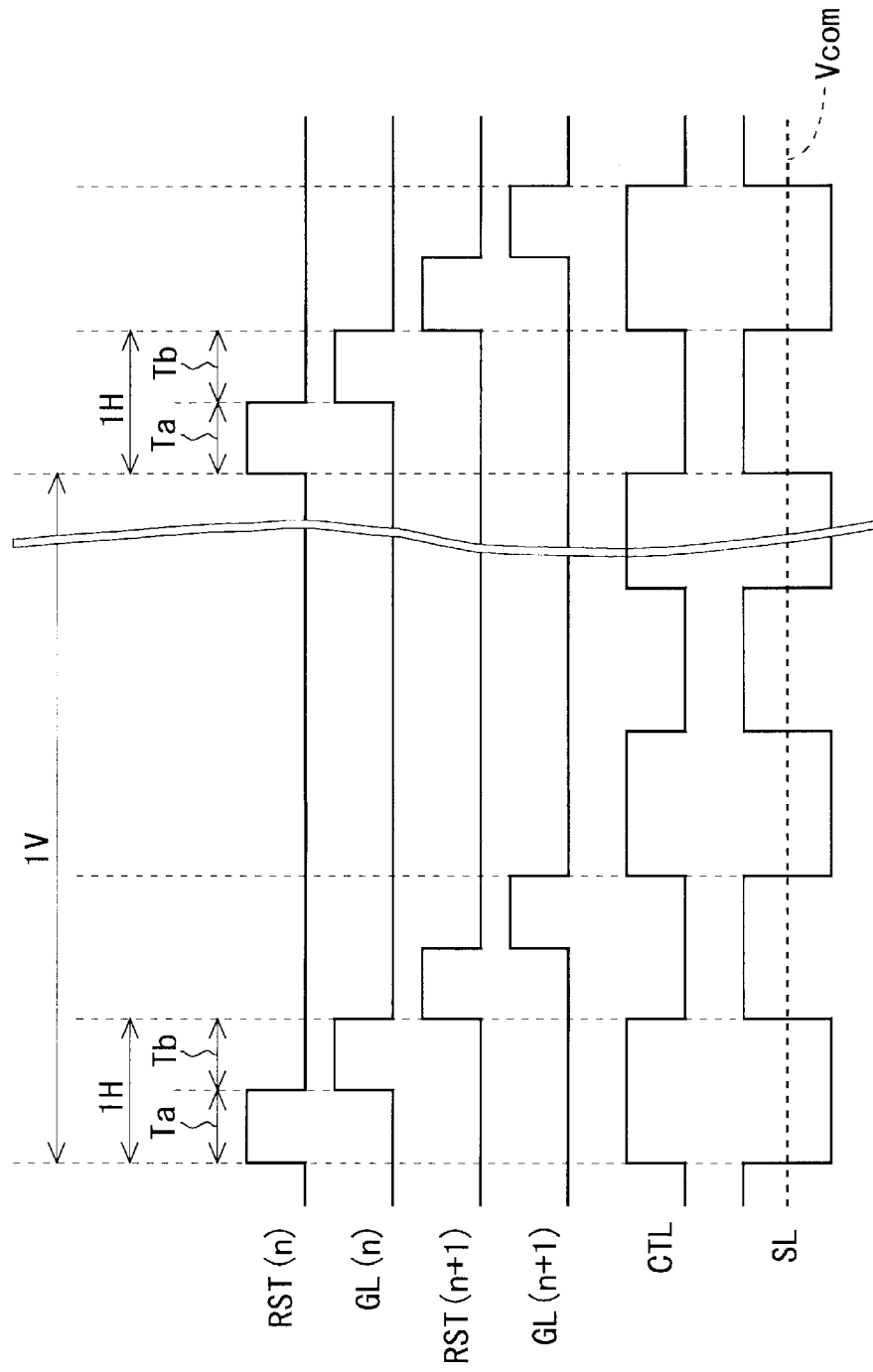
[図24]



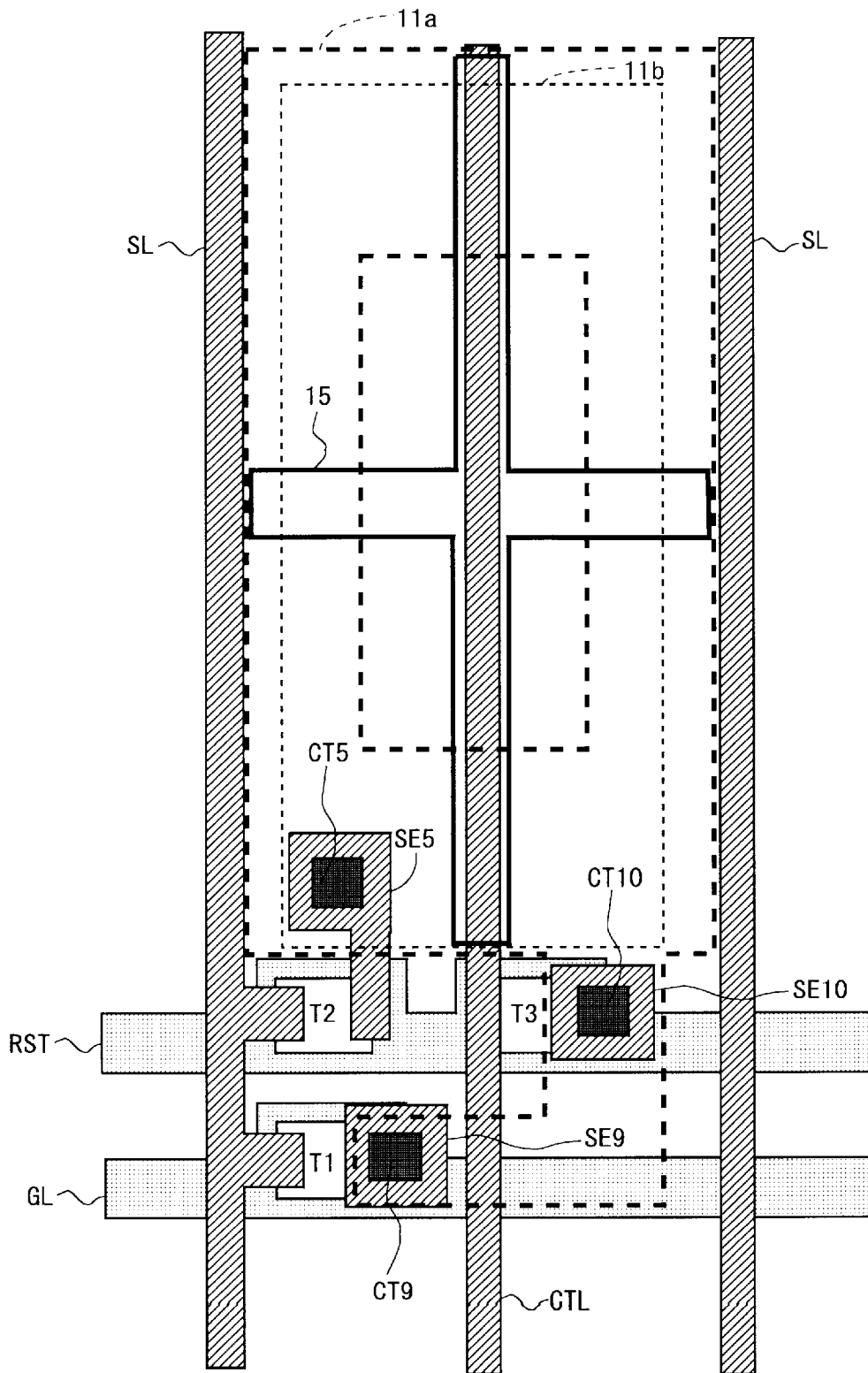
[図25]



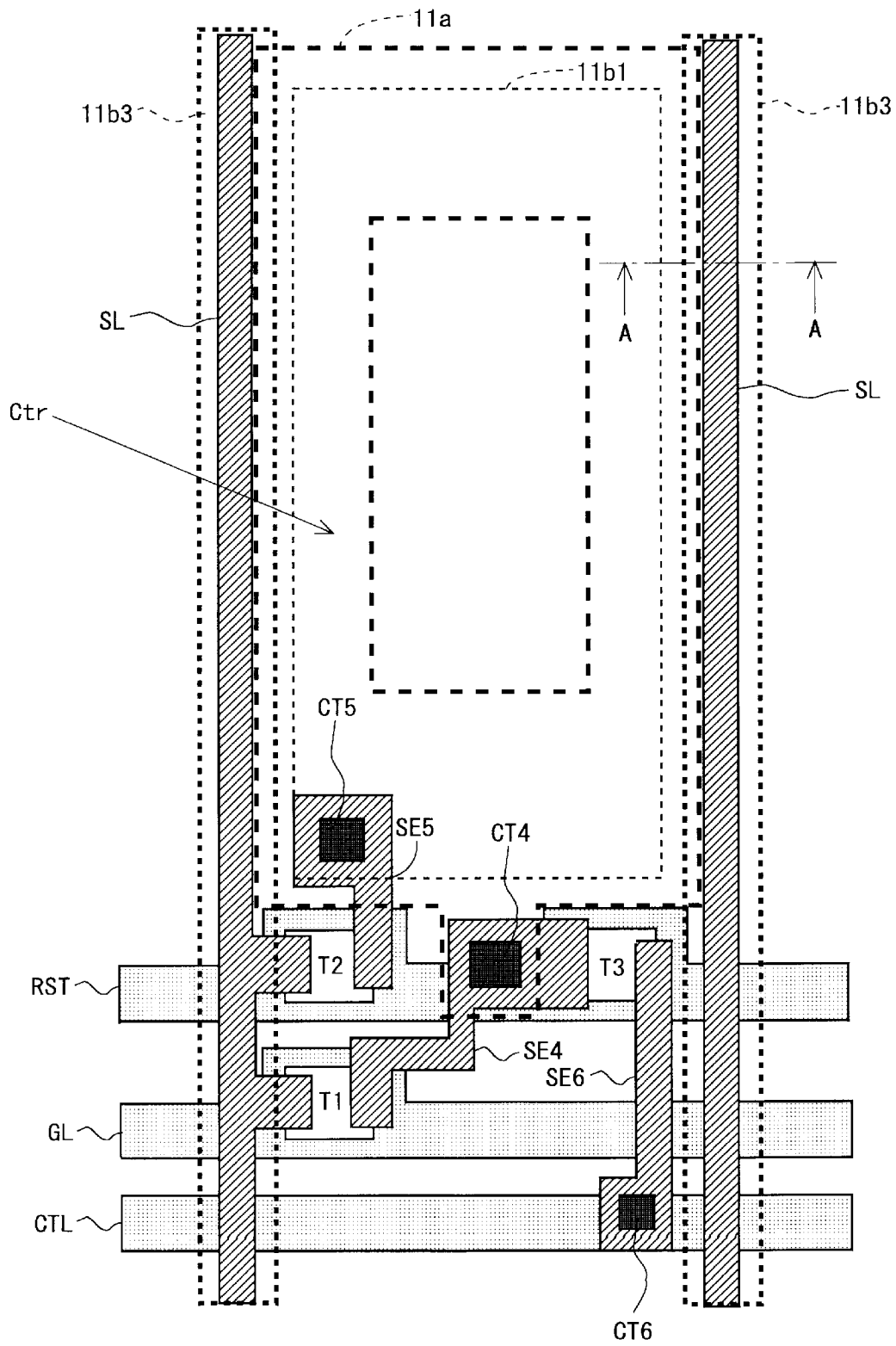
[図26]



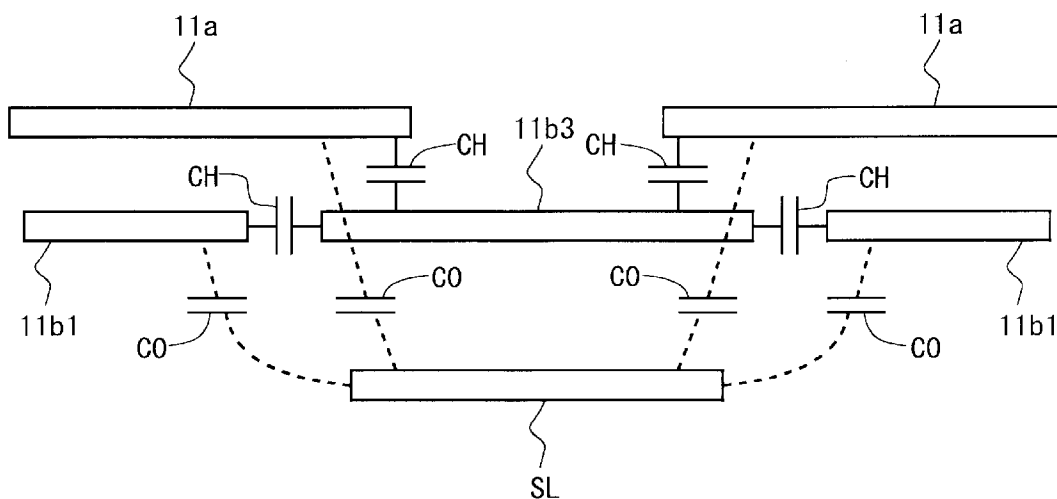
[図28]



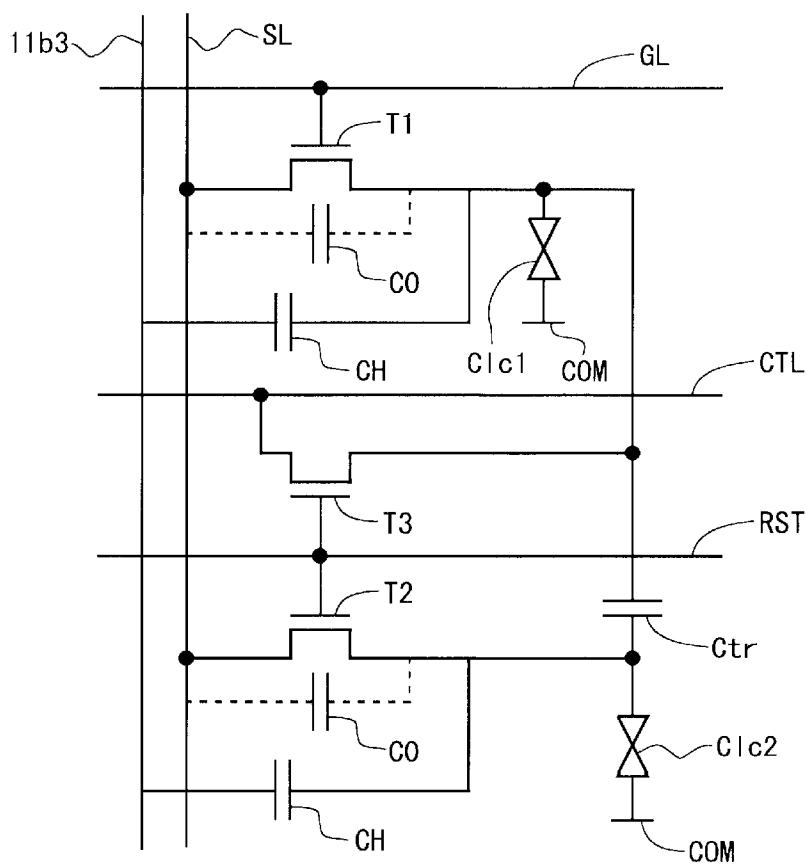
[図29]



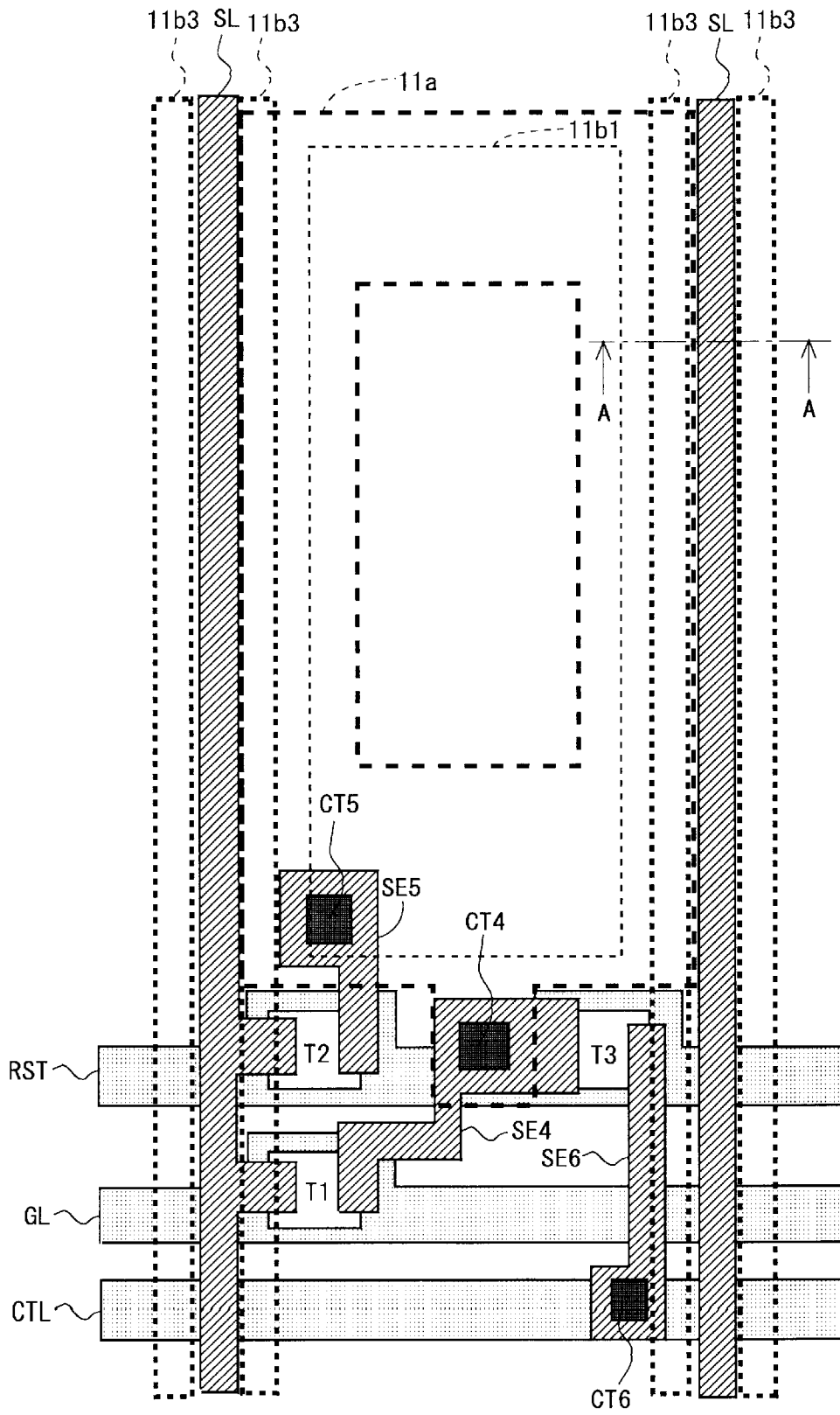
[図30]



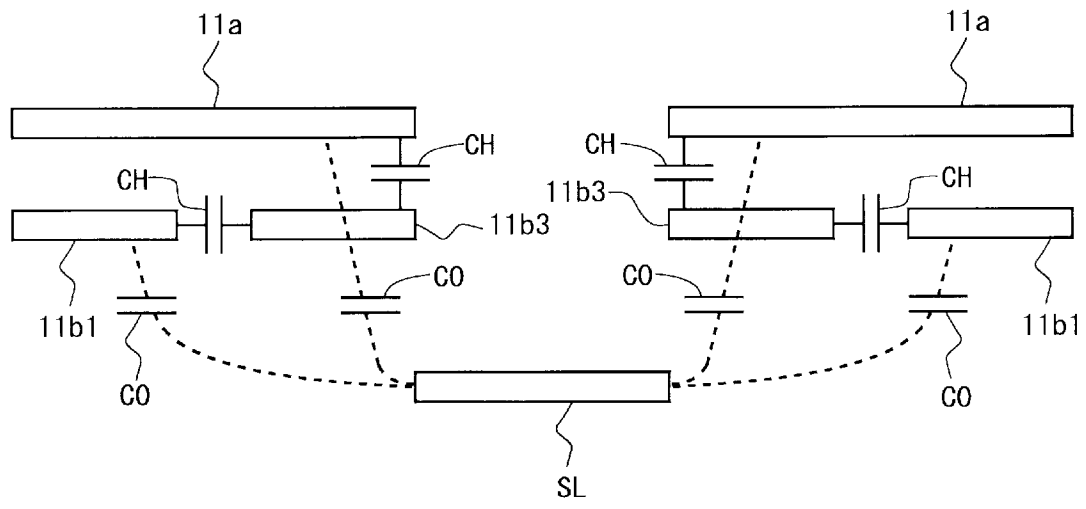
[図31]



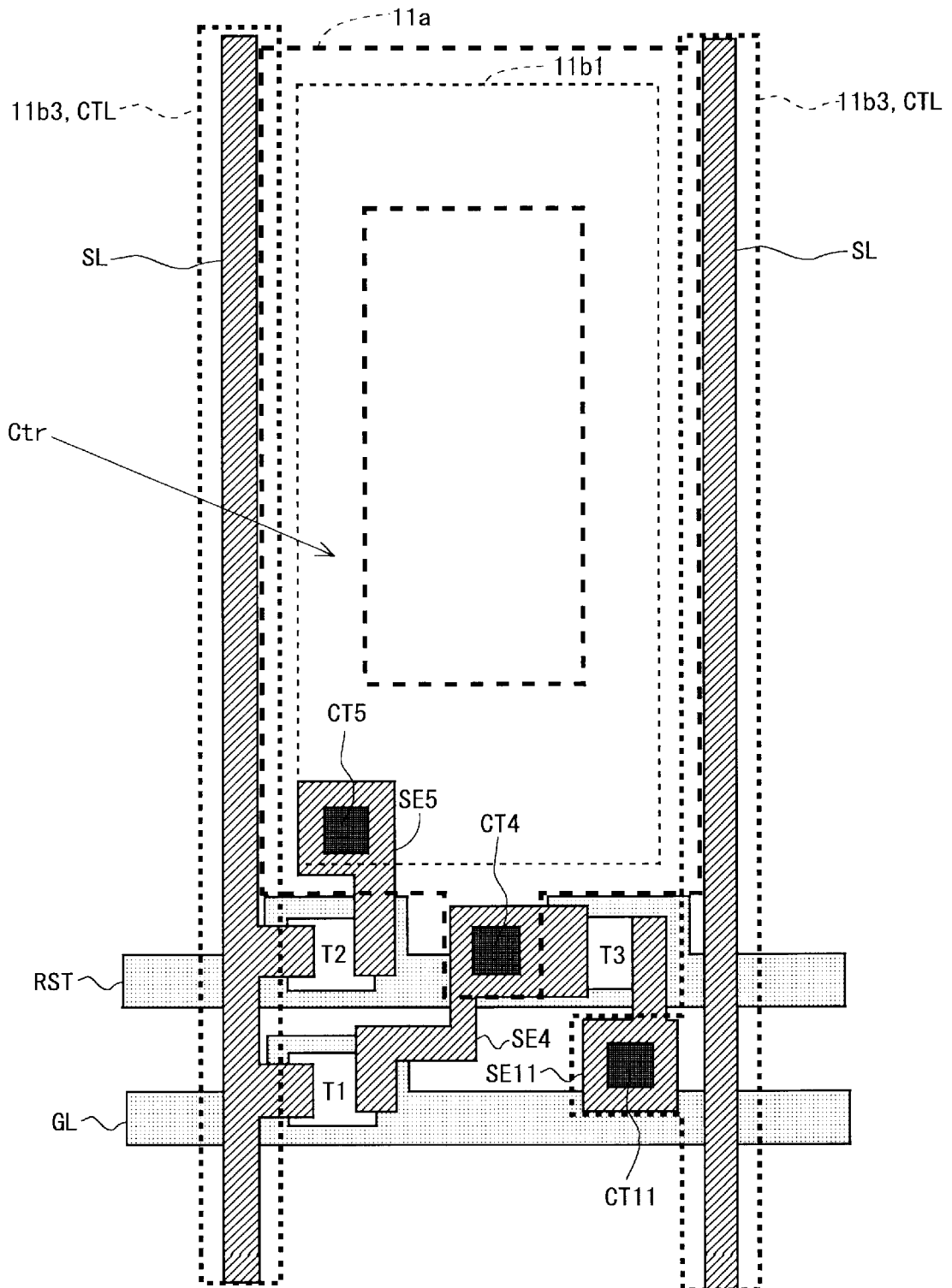
[図32]



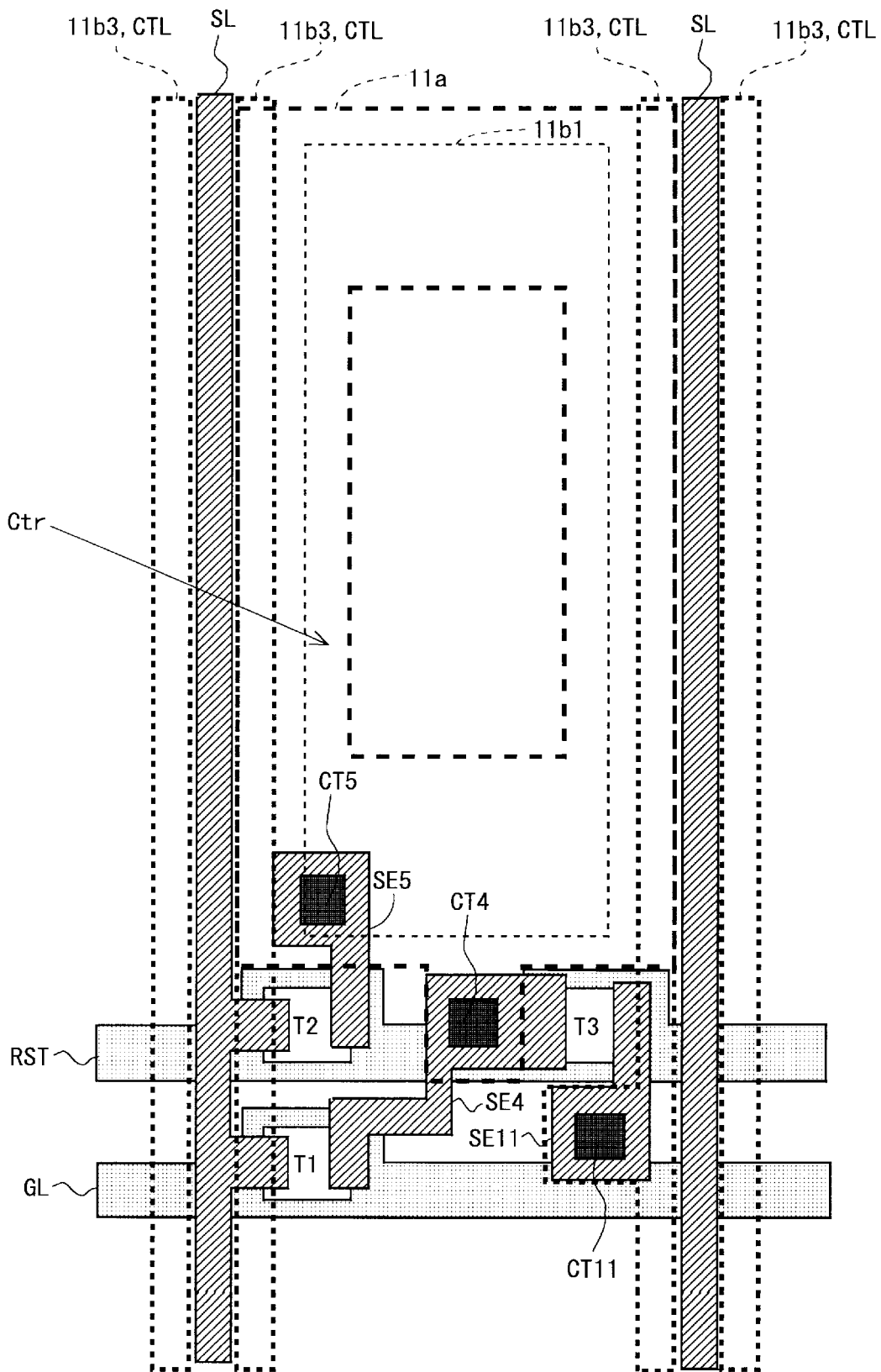
[図33]



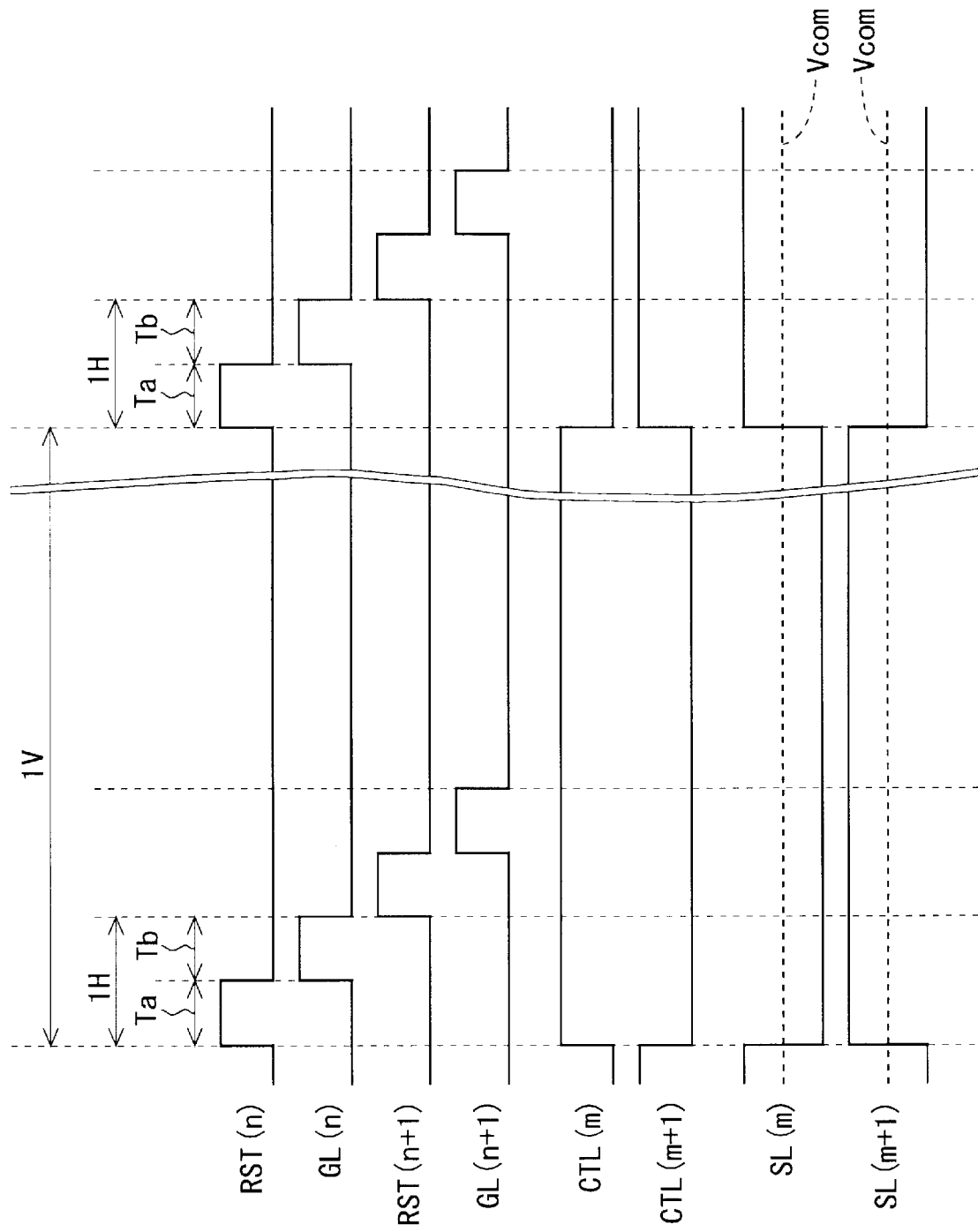
[図34]



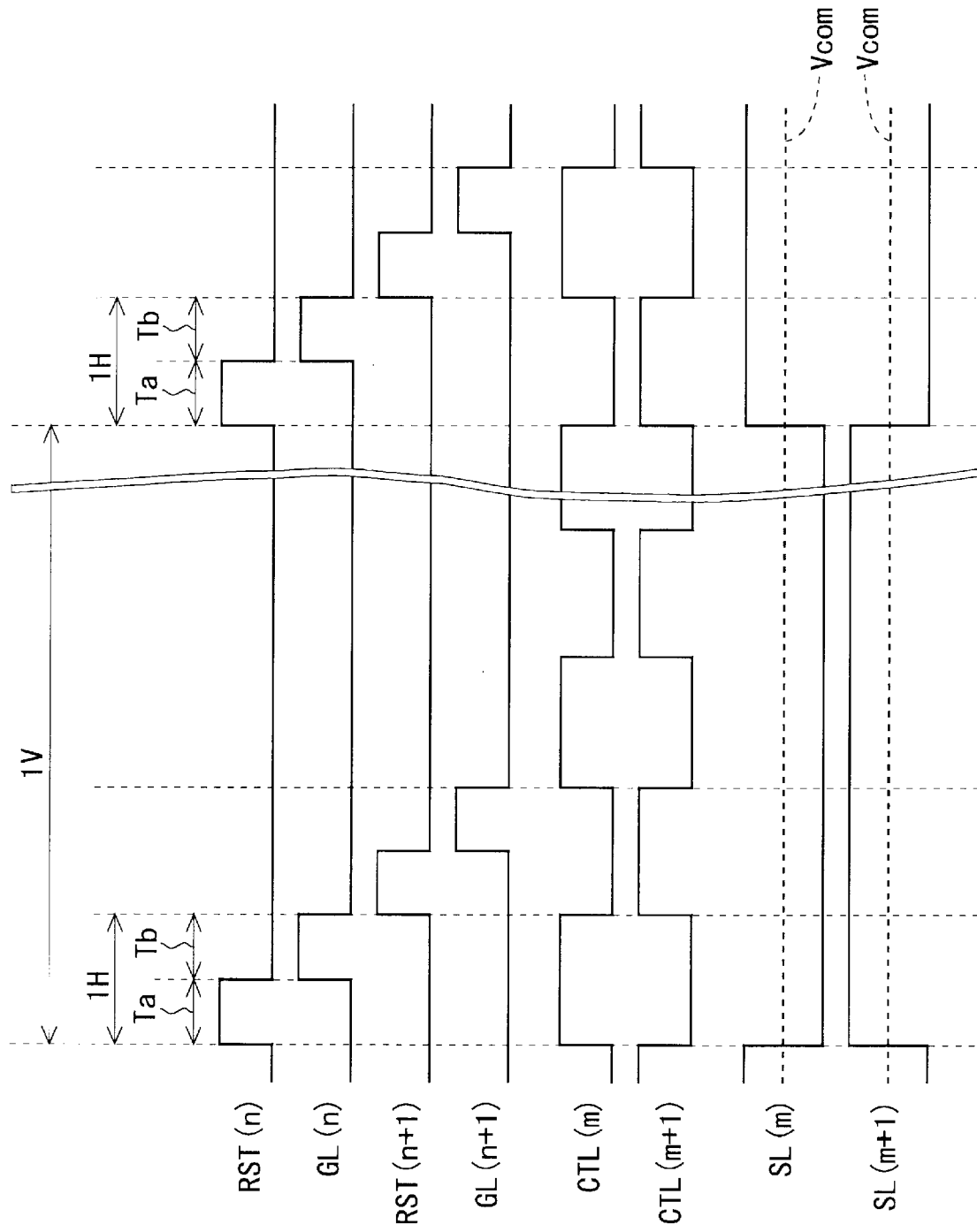
[図35]



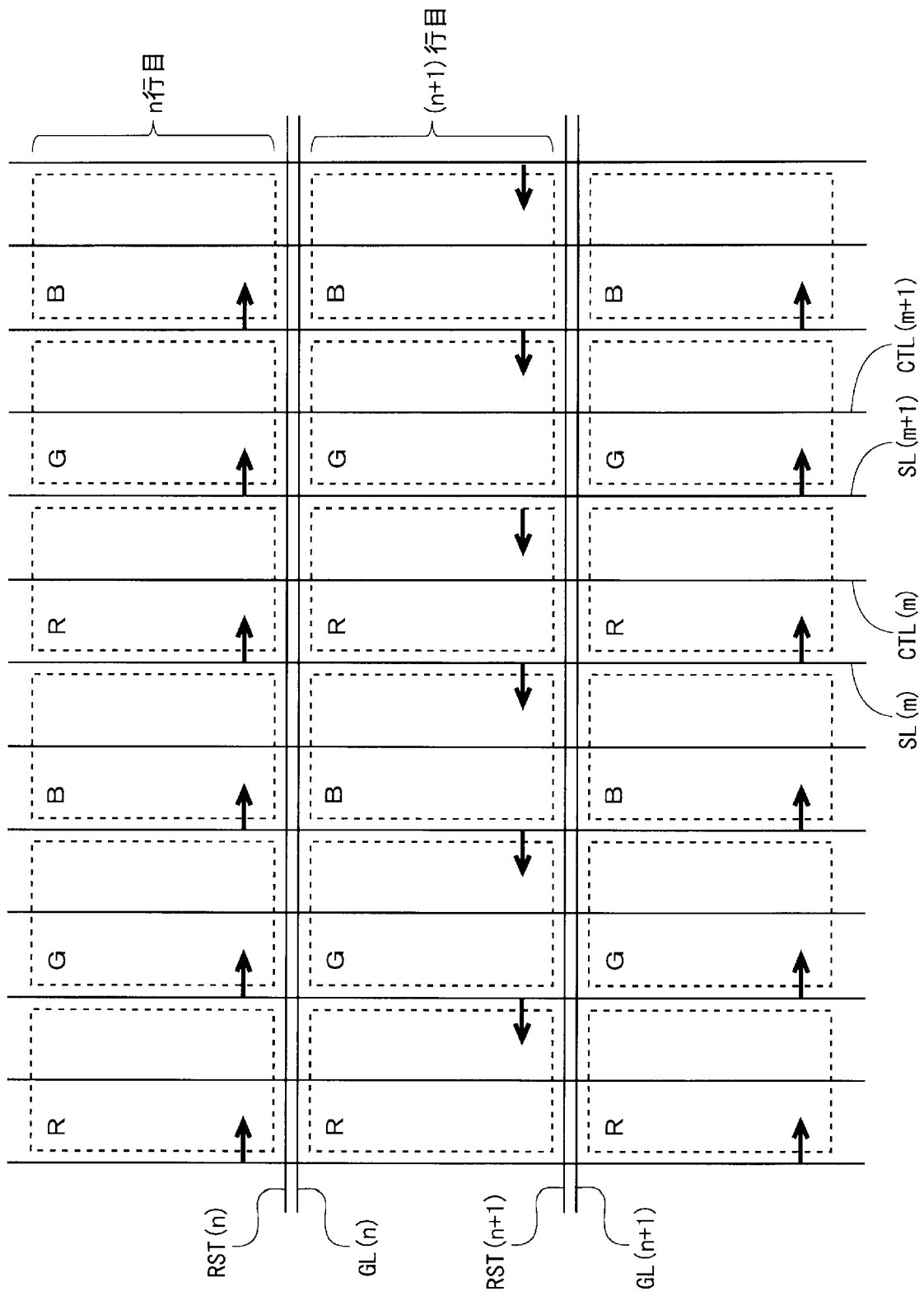
[圖36]



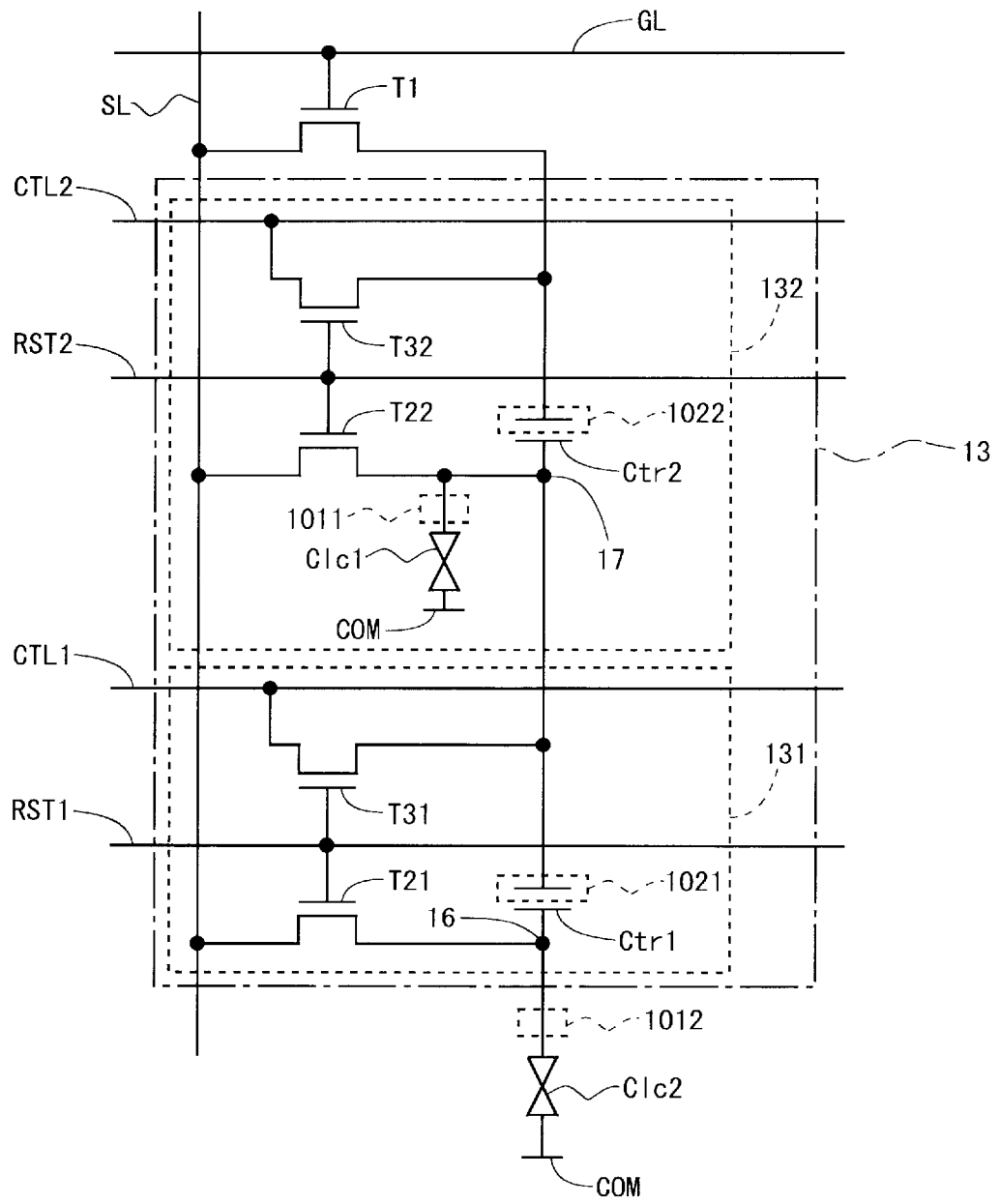
[圖37]



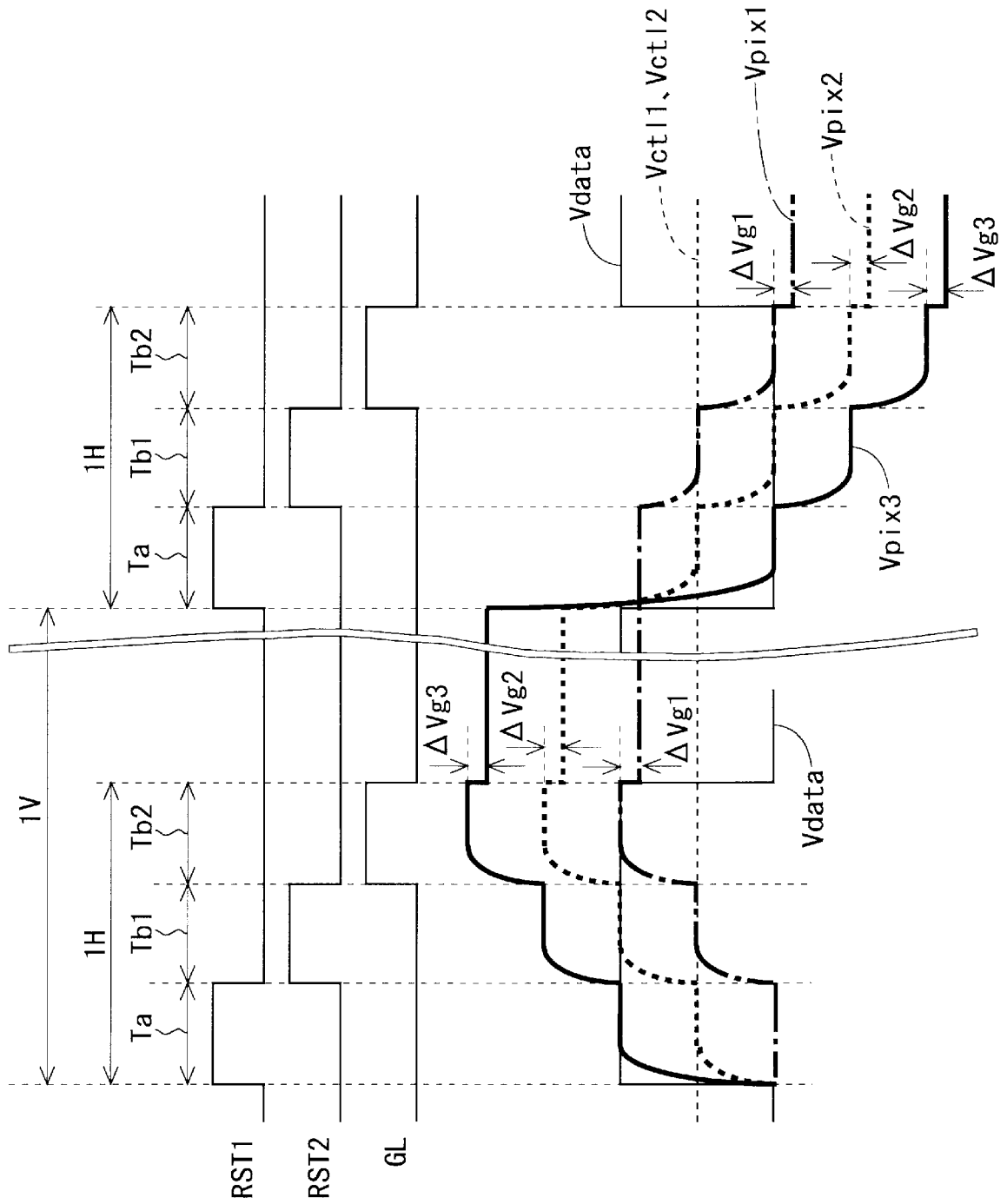
[図38]



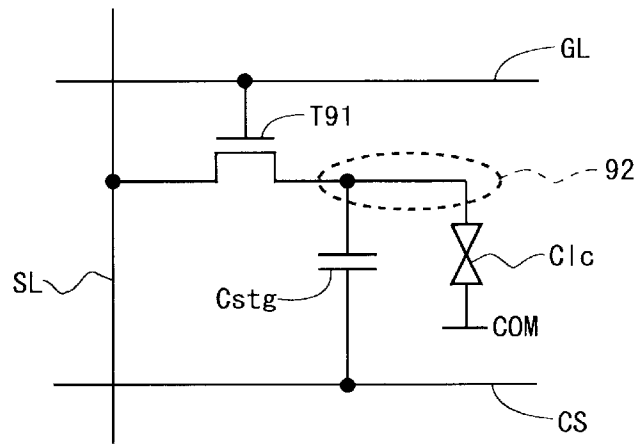
[図39]



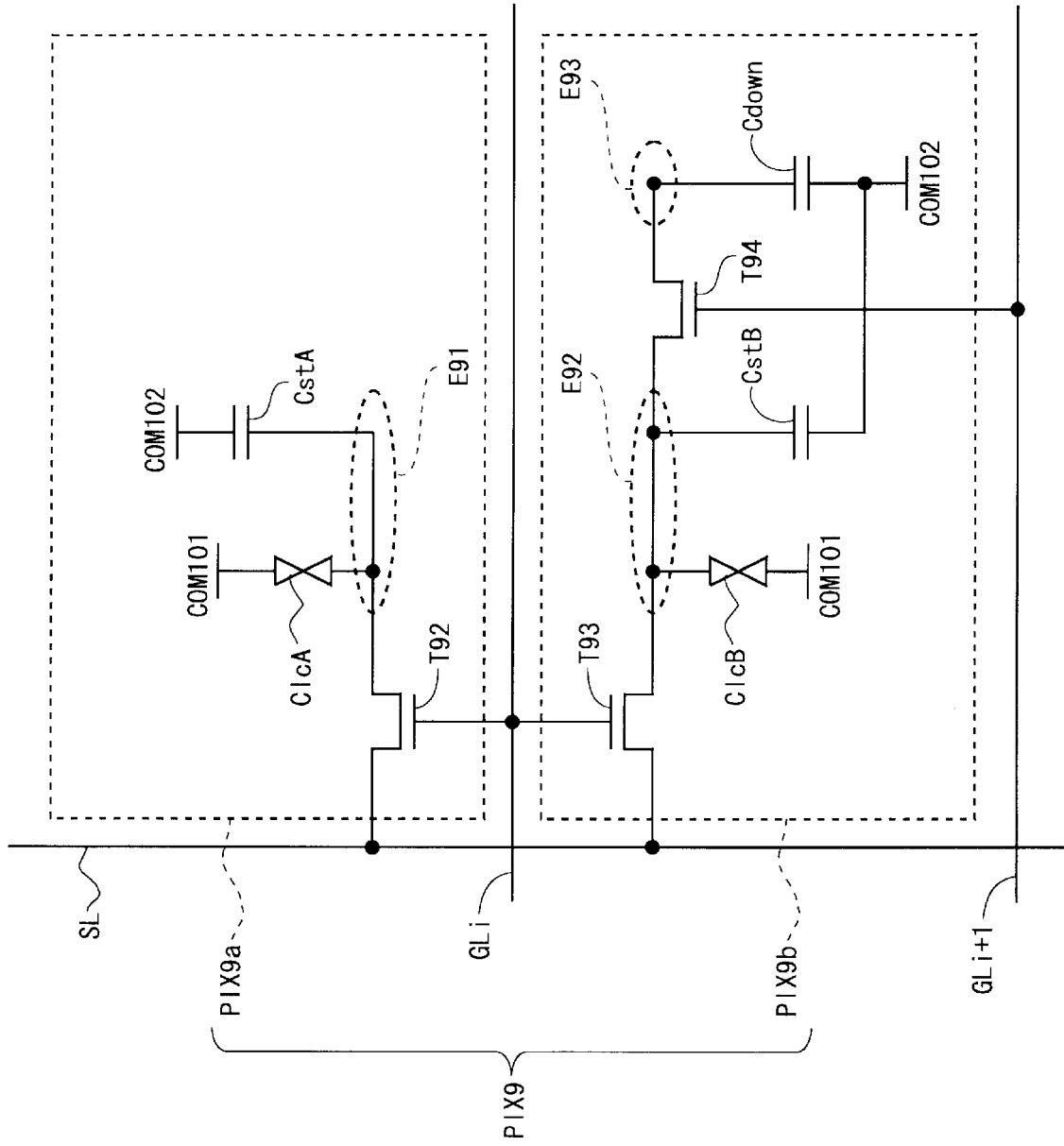
[図40]



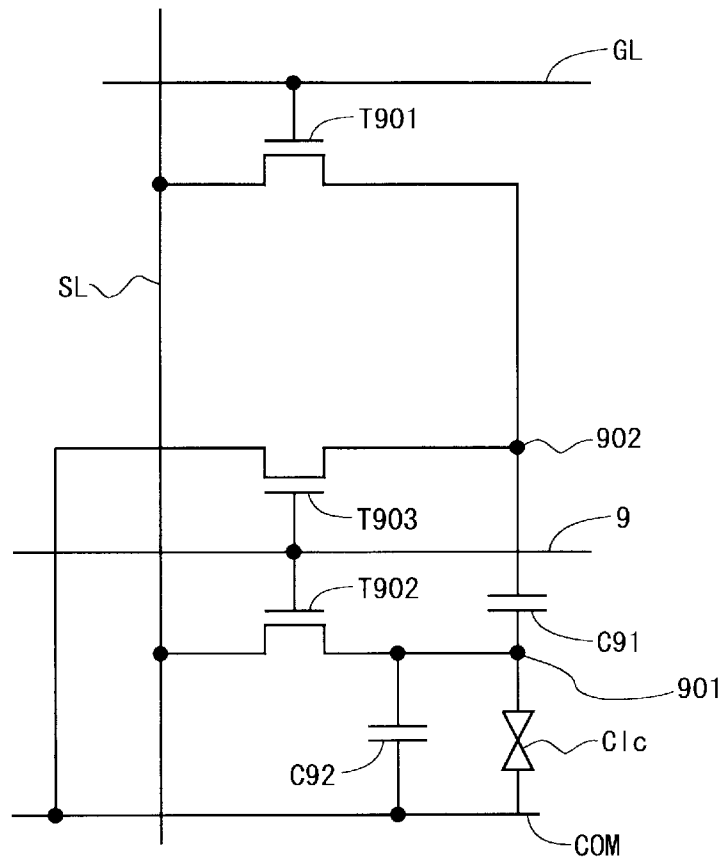
[図41]



[図42]



[図43]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/052698

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2012 |
| Kokai Jitsuyo Shinan Koho | 1971-2012 | Toroku Jitsuyo Shinan Koho | 1994-2012 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | JP 2010-020302 A (AU Optronics Corp.), 28 January 2010 (28.01.2010), entire text; all drawings & US 2010/0007594 A1 & CN 101510414 A & TW 201003622 A | 1-22 |
| A | JP 2009-128900 A (Samsung Electronics Co., Ltd.), 11 June 2009 (11.06.2009), entire text; all drawings & US 2009/0135323 A1 & KR 10-2009-0054300 A & CN 101446723 A | 1-22 |
| A | JP 2006-235267 A (Sony Corp.), 07 September 2006 (07.09.2006), paragraphs [0062] to [0092]; fig. 2 to 3 (Family: none) | 1-22 |

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 April, 2012 (26.04.12)Date of mailing of the international search report
15 May, 2012 (15.05.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/052698

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | JP 2001-520762 A (Spatialight Inc.), 30 October 2001 (30.10.2001), entire text; all drawings & US 5903248 A & EP 1004113 A & WO 1998/047131 A2 & AU 6895398 A & CA 2286007 A | 1-22 |
| A | JP 2008-256914 A (Sony Corp.), 23 October 2008 (23.10.2008), entire text; all drawings & US 2008/0246714 A1 & CN 101281736 A & TW 200912869 A | 1-22 |
| A | JP 2010-266494 A (Sony Corp.), 25 November 2010 (25.11.2010), paragraphs [0170] to [0175]; fig. 31 to 32 & US 2010/0289830 A1 & CN 101887689 A & KR 10-2010-0122443 A & TW 201106323 A | 1-22 |
| A | JP 2008-287115 A (Semiconductor Energy Laboratory Co., Ltd.), 27 November 2008 (27.11.2008), entire text; all drawings & US 2008/0284929 A1 | 1-22 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
|-----------------|---|----------------|
| A | JP 2010-020302 A (友達光電股▲ふん▼有限公司) 2010.01.28, 全文, 全図 & US 2010/0007594 A1 & CN 101510414 A & TW 201003622 A | 1-22 |
| A | JP 2009-128900 A (三星電子株式会社) 2009.06.11, 全文, 全図 & US 2009/0135323 A1 & KR 10-2009-0054300 A & CN 101446723 A | 1-22 |
| A | JP 2006-235267 A (ソニー株式会社) 2006.09.07, 段落【0062】-【0092】, 図2-3 (ファミリーなし) | 1-22 |

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

| | |
|---|--|
| * 引用文献のカテゴリー | の日の後に公表された文献 |
| 「A」特に関連のある文献ではなく、一般的技術水準を示すもの | 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの |
| 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの | 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの |
| 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) | 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」口頭による開示、使用、展示等に言及する文献 | 「&」同一パテントファミリー文献 |
| 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 | |

| | |
|---|--|
| 国際調査を完了した日 26.04.2012 | 国際調査報告の発送日 15.05.2012 |
| 国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号 | 特許庁審査官 (権限のある職員) 安藤 達哉 電話番号 03-3581-1101 内線 3226 |

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|--|----------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| A | JP 2001-520762 A (スペシャルライト インコーポレイテッド) 2001.10.30, 全文, 全図 & US 5903248 A & EP 1004113 A & WO 1998/047131 A2 & AU 6895398 A & CA 2286007 A | 1 - 2 2 |
| A | JP 2008-256914 A (ソニー株式会社) 2008.10.23, 全文, 全図 & US 2008/0246714 A1 & CN 101281736 A & TW 200912869 A | 1 - 2 2 |
| A | JP 2010-266494 A (ソニー株式会社) 2010.11.25, 段落【0170】 - 【0175】, 図31-32 & US 2010/0289830 A1 & CN 101887689 A & KR 10-2010-0122443 A & TW 201106323 A | 1 - 2 2 |
| A | JP 2008-287115 A (株式会社半導体エネルギー研究所) 2008.11.27, 全文, 全図 & US 2008/0284929 A1 | 1 - 2 2 |