

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4031389号

(P4031389)

(45) 発行日 平成20年1月9日(2008.1.9)

(24) 登録日 平成19年10月26日(2007.10.26)

(51) Int. Cl.

H04N 7/01 (2006.01)

F I

H04N 7/01

G

請求項の数 18 (全 61 頁)

(21) 出願番号	特願2003-107139 (P2003-107139)	(73) 特許権者	000005821
(22) 出願日	平成15年4月10日(2003.4.10)		松下電器産業株式会社
(65) 公開番号	特開2004-7568 (P2004-7568A)		大阪府門真市大字門真1006番地
(43) 公開日	平成16年1月8日(2004.1.8)	(74) 代理人	100098305
審査請求日	平成18年3月24日(2006.3.24)		弁理士 福島 祥人
(31) 優先権主張番号	特願2002-114568 (P2002-114568)	(72) 発明者	笠原 光弘
(32) 優先日	平成14年4月17日(2002.4.17)		大阪府門真市大字門真1006番地 松下電器産業株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	大喜 智明
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	川村 秀昭
			大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 画像変換装置および画像変換方法

(57) 【特許請求の範囲】

【請求項1】

入力されたインタレース映像信号をプログレッシブ映像信号に変換する画像変換装置であって、

前記入力されたインタレース映像信号に基づく演算によりプログレッシブ信号を生成するプログレッシブ信号生成回路と、

前記プログレッシブ信号生成回路により生成された前記プログレッシブ信号に基づいて画像の垂直方向の動き量を算出する動き算出回路と、

前記入力されたインタレース映像信号から静止画処理によって静止画プログレッシブ信号を生成する静止画処理回路と、

前記入力されたインタレース映像信号から動画処理によって動画プログレッシブ信号を生成する動画処理回路と、

前記動き算出回路により算出された垂直方向の動き量が第1の値より小さい場合に前記静止画処理回路により出力される静止画プログレッシブ信号を出力する出力回路とを備え、

、

前記プログレッシブ信号生成回路は、

前記入力されたインタレース映像信号に基づいて、連続する複数のフィールドにそれぞれ対応する複数のインタレース映像信号を生成するインタレース生成回路と、

前記インタレース生成回路により生成された複数のインタレース映像信号のうち第1の組み合わせの複数のインタレース映像信号に基づいて前記第1のプログレッシブ信号を生

10

20

成する第1のプログレッシブ回路と、

前記インタレース生成回路により生成された複数のインタレース映像信号のうち前記第1の組み合わせと異なる第2の組み合わせの複数のインタレース映像信号に基づいて第2のプログレッシブ信号を生成する第2のプログレッシブ回路とを含み、

前記動き算出回路は、

前記第1のプログレッシブ生成回路により生成された前記第1のプログレッシブ信号および前記第2のプログレッシブ生成回路により生成された前記第2のプログレッシブ信号に基づいて前記動き量を算出し、

前記出力回路は、前記動き量がライン間の間隔以下である場合に前記静止画プログレッシブ信号の割合を0.5以上にすることを特徴とする画像変換装置。

10

【請求項2】

入力されたインタレース映像信号をプログレッシブ映像信号に変換する画像変換装置であって、

前記入力されたインタレース映像信号に基づく演算によりプログレッシブ信号を生成するプログレッシブ信号生成回路と、

前記プログレッシブ信号生成回路により生成された前記プログレッシブ信号に基づいて画像の垂直方向の動き量を算出する動き算出回路と、

前記入力されたインタレース映像信号から静止画処理によって静止画プログレッシブ信号を生成する静止画処理回路と、

前記入力されたインタレース映像信号から動画処理によって動画プログレッシブ信号を生成する動画処理回路と、

20

前記動き算出回路により算出された垂直方向の動き量が第1の値より小さい場合に前記静止画処理回路により出力される静止画プログレッシブ信号を出力する出力回路と、

複数のフィールドに対応する複数のインタレース映像信号における注目画素およびその周辺の画素の値の平均値をそれぞれ算出し、前記算出された平均値に基づいて前記静止画プログレッシブ信号の適用または非適用を判定する判定回路とを備え、

前記プログレッシブ信号生成回路は、

前記入力されたインタレース映像信号に基づいて、連続する複数のフィールドにそれぞれ対応する複数のインタレース映像信号を生成するインタレース生成回路と、

前記インタレース生成回路により生成された複数のインタレース映像信号のうち第1の組み合わせの複数のインタレース映像信号に基づいて前記第1のプログレッシブ信号を生成する第1のプログレッシブ回路と、

30

前記インタレース生成回路により生成された複数のインタレース映像信号のうち前記第1の組み合わせと異なる第2の組み合わせの複数のインタレース映像信号に基づいて第2のプログレッシブ信号を生成する第2のプログレッシブ回路とを含み、

前記動き算出回路は、

前記第1のプログレッシブ生成回路により生成された前記第1のプログレッシブ信号および前記第2のプログレッシブ生成回路により生成された前記第2のプログレッシブ信号に基づいて前記動き量を算出し、

前記出力回路は、前記判定回路の判定結果が非適用の場合に動画プログレッシブ信号を前記プログレッシブ映像信号として出力し、

40

前記判定回路は、前記複数のフィールドに対応する複数のインタレース映像信号の注目画素およびその周辺の画素の値の最大値および最小値をそれぞれ算出し、前記算出された平均値、最大値および最小値に基づいて前記静止画プログレッシブ信号の適用または非適用を判定することを特徴とする画像変換装置。

【請求項3】

入力されたインタレース映像信号をプログレッシブ映像信号に変換する画像変換装置であって、

前記入力されたインタレース映像信号に基づく演算によりプログレッシブ信号を生成するプログレッシブ信号生成回路と、

50

前記プログレッシブ信号生成回路により生成された前記プログレッシブ信号に基づいて画像の垂直方向の動き量を算出する動き算出回路と、

前記入力されたインタレース映像信号から静止画処理によって静止画プログレッシブ信号を生成する静止画処理回路と、

前記入力されたインタレース映像信号から動画処理によって動画プログレッシブ信号を生成する動画処理回路と、

前記動き算出回路により算出された垂直方向の動き量が第1の値より小さい場合に前記静止画処理回路により出力される静止画プログレッシブ信号を出力する出力回路と、

複数のフィールドに対応する複数のインタレース映像信号における注目画素およびその周辺の画素の値の平均値をそれぞれ算出し、前記算出された平均値に基づいて前記静止画プログレッシブ信号の適用または非適用を判定する判定回路とを備え、

10

前記プログレッシブ信号生成回路は、

前記入力されたインタレース映像信号に基づいて、連続する複数のフィールドにそれぞれ対応する複数のインタレース映像信号を生成するインタレース生成回路と、

前記インタレース生成回路により生成された複数のインタレース映像信号のうち第1の組み合わせの複数のインタレース映像信号に基づいて前記第1のプログレッシブ信号を生成する第1のプログレッシブ回路と、

前記インタレース生成回路により生成された複数のインタレース映像信号のうち前記第1の組み合わせと異なる第2の組み合わせの複数のインタレース映像信号に基づいて第2のプログレッシブ信号を生成する第2のプログレッシブ回路とを含み、

20

前記動き算出回路は、

前記第1のプログレッシブ生成回路により生成された前記第1のプログレッシブ信号および前記第2のプログレッシブ生成回路により生成された前記第2のプログレッシブ信号に基づいて前記動き量を算出し、

前記出力回路は、前記判定回路の判定結果が非適用の場合に動画プログレッシブ信号を前記プログレッシブ映像信号として出力し、

前記判定回路は、前記算出された平均値のそれぞれの差が所定値より大きく、前記算出された同一フィールドの最大値と最小値との差のそれぞれの値が所定値より小さい場合に前記静止画プログレッシブ信号を非適用と判定することを特徴とする画像変換装置。

【請求項4】

30

前記第1の値はライン間の間隔以下の値であることを特徴とする請求項1～3のいずれかに記載の画像変換装置。

【請求項5】

前記動き算出回路は、ライン間の間隔よりも小さい単位で垂直方向の動き量を算出することを特徴とする請求項1～3のいずれかに記載の画像変換装置。

【請求項6】

前記第1のプログレッシブ生成回路により生成された前記第1のプログレッシブ信号を用いた補間処理によりライン間の補間画素を生成し、前記第1のプログレッシブ信号における画素および補間画素を含む第1の補間信号を出力する第1の画素形成回路と、

前記第2のプログレッシブ生成回路により生成された前記第2のプログレッシブ信号を用いた補間処理によりライン間の補間画素を生成し、前記第2のプログレッシブ信号における画素および補間画素を含む第2の補間信号を出力する第2の画素形成回路とをさらに備え、

40

前記動き算出回路は、

前記第1の画素形成回路から出力された前記第1の補間信号および前記第2の画素形成回路から出力された前記第2の補間信号に基づいて前記動き量を算出することを特徴とする請求項1～5のいずれかに記載の画像変換装置。

【請求項7】

前記出力回路は、前記動き量が第2の値より大きい場合に前記動画プログレッシブ信号を前記プログレッシブ映像信号として出力することを特徴とする請求項1～6のいずれか

50

に記載の画像変換装置。

【請求項 8】

前記出力回路は、前記動き量が前記第 1 の値と前記第 2 の値との間にある場合、前記動き量に基づく割合で前記動画プログレッシブ信号と静止画プログレッシブ信号とを合成し、合成された信号を前記プログレッシブ映像信号として出力することを特徴とする請求項 7 記載の画像変換装置。

【請求項 9】

前記複数のインタレース映像信号は、連続する第 1 ～第 4 のフィールドに対応する第 1 ～第 4 のインタレース映像信号を含み、

前記第 1 の組み合わせの複数のインタレース映像信号は、前記第 1 ～第 3 のインタレース映像信号を含み、

前記第 2 の組み合わせの複数のインタレース映像信号は、前記第 2 ～第 4 のインタレース映像信号を含むことを特徴とする請求項 1 ～8 のいずれかに記載の画像変換装置。

【請求項 10】

前記第 1 のプログレッシブ生成回路により生成された前記第 1 のプログレッシブ信号は現ライン信号および補間ライン信号によって構成され、

前記第 1 のプログレッシブ信号の現ライン信号は、前記第 2 のインタレース映像信号を用いて生成され、

前記第 1 のプログレッシブ信号の補間ライン信号は、前記第 1 のインタレース映像信号と前記第 3 のインタレース映像信号との演算値を用いて生成され、

前記第 2 のプログレッシブ生成回路により生成された前記第 2 のプログレッシブ信号は現ライン信号および補間ライン信号によって構成され、

前記第 2 のプログレッシブ信号の現ライン信号は、前記第 3 のインタレース映像信号を用いて生成され、

前記第 2 のプログレッシブ信号の補間ライン信号は、前記第 2 のインタレース映像信号と前記第 4 のインタレース映像信号との演算値を用いて生成されることを特徴とする請求項 9 記載の画像変換装置。

【請求項 11】

前記第 1 のインタレース映像信号と前記第 3 のインタレース映像信号との演算値は、前記第 1 および第 3 のインタレース映像信号の対応する画素とその周辺の画素との演算値であり、

前記第 2 のインタレース映像信号と前記第 4 のインタレース映像信号との演算値は、前記第 2 および第 4 のインタレース映像信号の対応する画素とその周辺の画素との演算値であることを特徴とする請求項 10 記載の画像変換装置。

【請求項 12】

前記第 1 のインタレース映像信号と前記第 3 のインタレース映像信号との演算値は、前記第 1 および第 3 のインタレース映像信号の対応する画素の平均値であり、

前記第 2 のインタレース映像信号と前記第 4 のインタレース映像信号との演算値は、前記第 2 および第 4 のインタレース映像信号の対応する画素の平均値であることを特徴とする請求項 10 または 11 記載の画像変換装置。

【請求項 13】

前記動き算出回路は、

前記第 1 のプログレッシブ生成回路により生成された第 1 のプログレッシブ信号と前記第 2 のプログレッシブ生成回路により生成された第 2 のプログレッシブ信号との間で注目画素の値を比較し、および、注目画素とその周辺の画素との値を比較し、その比較結果を動き量として出力することを特徴とする請求項 1 ～12 のいずれかに記載の画像変換装置。

【請求項 14】

前記動き算出回路は、

前記第 2 のプログレッシブ信号の補間ライン信号の注目画素の値と、前記注目画素に対

応した前記第1のプログレッシブ信号の現ライン信号の画素の値と、現ライン信号の画素の上下の補間ライン信号の画素の値とを演算し、その演算結果を動き量として出力し、および／または、前記第1のプログレッシブ信号の補間ライン信号の注目画素の値と、前記注目画素に対応した前記第2のプログレッシブ信号の現ライン信号の画素の値と、現ライン信号の画素の上下の補間ライン信号の画素の値とを演算し、その演算結果を動き量として出力することを特徴とする請求項9～13のいずれかに記載の画像変換装置。

【請求項15】

前記第1のプログレッシブ生成回路により生成された前記第1のプログレッシブ信号を用いた補間処理によりライン間の補間画素を生成し、前記第1のプログレッシブ信号における画素および補間画素を含む第1の補間信号を出力する画素形成回路をさらに備え、

10

前記動き算出回路は、

前記第1の画素形成回路から出力された前記第1の補間信号および前記第2のプログレッシブ生成回路により生成された前記第2のプログレッシブ信号に基づいて画像の垂直方向の前記動き量を算出することを特徴とする請求項1～14のいずれかに記載の画像変換装置。

【請求項16】

入力されたインタレース映像信号をプログレッシブ映像信号に変換する画像変換方法であって、

前記入力されたインタレース映像信号に基づく演算によりプログレッシブ信号を生成するステップと、

20

前記生成されたプログレッシブ信号に基づいて画像の垂直方向の動き量を算出するステップと、

前記入力されたインタレース映像信号から静止画処理によって静止画プログレッシブ信号を生成するステップと、

前記入力されたインタレース映像信号から動画処理によって動画プログレッシブ信号を生成するステップと、

前記算出された垂直方向の動き量が第1の値より小さい場合に前記静止画プログレッシブ信号を出力するステップとを備え、

前記プログレッシブ信号を生成するステップは、

前記入力されたインタレース映像信号に基づいて、連続する複数のフィールドにそれぞれ対応する複数のインタレース映像信号を生成するステップと、

30

前記複数のインタレース映像信号のうち第1の組み合わせの複数のインタレース映像信号に基づいて前記第1のプログレッシブ信号を生成するステップと、

前記複数のインタレース映像信号のうち前記第1の組み合わせと異なる第2の組み合わせの複数のインタレース映像信号に基づいて第2のプログレッシブ信号を生成するステップとを含み、

前記動き量を算出するステップは、

前記生成された第1のプログレッシブ信号および前記生成された第2のプログレッシブ信号に基づいて前記動き量を算出し、

前記出力するステップは、前記動き量がライン間の間隔以下である場合に前記静止画プログレッシブ信号の割合を0.5以上にすることを特徴とする画像変換方法。

40

【請求項17】

入力されたインタレース映像信号をプログレッシブ映像信号に変換する画像変換方法であって、

前記入力されたインタレース映像信号に基づく演算によりプログレッシブ信号を生成するステップと、

前記生成されたプログレッシブ信号に基づいて画像の垂直方向の動き量を算出するステップと、

前記入力されたインタレース映像信号から静止画処理によって静止画プログレッシブ信号を生成するステップと、

50

前記入力されたインタレース映像信号から動画処理によって動画プログレッシブ信号を生成するステップと、

前記算出された垂直方向の動き量が第1の値より小さい場合に前記静止画プログレッシブ信号を出力するステップと、

複数のフィールドに対応する複数のインタレース映像信号における注目画素およびその周辺の画素の値の平均値をそれぞれ算出し、前記算出された平均値に基づいて前記静止画プログレッシブ信号の適用または非適用を判定するステップとを備え、

前記プログレッシブ信号を生成するステップは、

前記入力されたインタレース映像信号に基づいて、連続する複数のフィールドにそれぞれ対応する複数のインタレース映像信号を生成するステップと、

前記複数のインタレース映像信号のうち第1の組み合わせの複数のインタレース映像信号に基づいて前記第1のプログレッシブ信号を生成するステップと、

前記複数のインタレース映像信号のうち前記第1の組み合わせと異なる第2の組み合わせの複数のインタレース映像信号に基づいて第2のプログレッシブ信号を生成するステップとを含み、

前記動き量を算出するステップは、

前記生成された第1のプログレッシブ信号および前記生成された第2のプログレッシブ信号に基づいて前記動き量を算出し、

前記出力するステップは、前記判定結果が非適用の場合に動画プログレッシブ信号を前記プログレッシブ映像信号として出力し、

前記判定するステップは、前記複数のフィールドに対応する複数のインタレース映像信号の注目画素およびその周辺の画素の値の最大値および最小値をそれぞれ算出し、前記算出された平均値、最大値および最小値に基づいて前記静止画プログレッシブ信号の適用または非適用を判定することを特徴とする画像変換方法。

【請求項18】

入力されたインタレース映像信号をプログレッシブ映像信号に変換する画像変換方法であって、

前記入力されたインタレース映像信号に基づく演算によりプログレッシブ信号を生成するステップと、

前記生成されたプログレッシブ信号に基づいて画像の垂直方向の動き量を算出するステップと、

前記入力されたインタレース映像信号から静止画処理によって静止画プログレッシブ信号を生成するステップと、

前記入力されたインタレース映像信号から動画処理によって動画プログレッシブ信号を生成するステップと、

前記算出された垂直方向の動き量が第1の値より小さい場合に前記静止画プログレッシブ信号を出力するステップと、

複数のフィールドに対応する複数のインタレース映像信号における注目画素およびその周辺の画素の値の平均値をそれぞれ算出し、前記算出された平均値に基づいて前記静止画プログレッシブ信号の適用または非適用を判定するステップとを備え、

前記プログレッシブ信号を生成するステップは、

前記入力されたインタレース映像信号に基づいて、連続する複数のフィールドにそれぞれ対応する複数のインタレース映像信号を生成するステップと、

前記複数のインタレース映像信号のうち第1の組み合わせの複数のインタレース映像信号に基づいて前記第1のプログレッシブ信号を生成するステップと、

前記複数のインタレース映像信号のうち前記第1の組み合わせと異なる第2の組み合わせの複数のインタレース映像信号に基づいて第2のプログレッシブ信号を生成するステップとを含み、

前記動き量を算出するステップは、

前記生成された第1のプログレッシブ信号および前記生成された第2のプログレッシブ

10

20

30

40

50

信号に基づいて前記動き量を算出し、

前記出力するステップは、前記判定結果が非適用の場合に動画プログレッシブ信号を前記プログレッシブ映像信号として出力し、

前記判定するステップは、前記算出された平均値のそれぞれの差が所定値より大きく、前記算出された同一フィールドの最大値と最小値との差のそれぞれの値が所定値より小さい場合に前記静止画プログレッシブ信号を非適用と判定することを特徴とする画像変換方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

10

本発明は、インタレース映像信号をプログレッシブ映像信号に変換する画像変換装置および画像変換方法に関する。

【0002】

【従来の技術】

従来、インタレース映像信号をプログレッシブ映像信号に変換するために、動き適応型プログレッシブ変換装置が用いられていた（例えば、特許文献1参照）。

【0003】

図14は、インタレース映像信号の一例を示す。1フレームのインタレース映像信号は、2フィールドの画像として伝送される。例えば、Lがある偶数の値の場合において、NフィールドでLライン、L+2ライン、L+4ライン、L+6ライン、L+8ライン等の偶数番目のラインの信号が伝送される。続いて、N+1フィールドでは、L+1ライン、L+3ライン、L+5ライン、L+7ライン等の奇数番目のラインの信号が伝送される。さらに次のN+2フィールドでは、Nフィールドと同じ偶数番目のラインの信号が伝送される。

20

【0004】

このように、インタレース映像信号は、2フィールドに分けて伝送され、これらの2フィールドの走査線によって1フレームの映像が表示される。

【0005】

各フィールドにおいて伝送されていないラインの信号は、時間的に前後のフィールドまたは現フィールドの信号（例えば上下のラインの信号）から生成される。その信号と伝送される信号とが合成されることにより、プログレッシブ映像信号が形成される。

30

【0006】

以下、現フィールドで実際に送られているラインを現ラインと呼び、時間的に前後の複数のフィールドから、または、現フィールドの信号から生成されたラインを補間ラインと呼ぶ。

【0007】

図15は、従来の動き適応型プログレッシブ変換装置の一構成例を示す。図15に示すように、動き適応型プログレッシブ変換装置は、1フィールド遅延回路J1、J2、動き検出回路J3、フレーム間補間回路J4、フィールド内補間回路J5、切り換え回路J6を備える。インタレース映像信号J0は、1フィールド遅延回路J1および1フィールド遅延回路J2でそれぞれ1フィールドずつ遅延される。

40

【0008】

動き検出回路J3は、時間的に2フィールド前または後のフィールド同士の間（以下、これをフレーム間と呼ぶ）の同一ライン上の対応する画素の比較を行う。動き検出回路J3は、比較した画素の値の差が小さい場合はそれらの画素を「静止画」と判定し、比較した画素の値の差が大きい場合はそれらの画素を「動画」と判定する。

【0009】

フレーム間補間回路J4は、フレーム間の同一ライン上の画素から対応する画素を生成する。例えば、図14において、N+1フィールドのL+4ラインの画素Xを補間する場合は、フレーム間補間回路J4は、NフィールドのL+4ラインの画素AとN+2フィール

50

ドの $L+4$ ラインの画素 B とから、例えば「 $X = (A + B) / 2$ 」(A , B は画素の信号の明るさのレベルを示す) という演算によって画素 X を生成する。

【0010】

フィールド内補間回路 $J5$ は、同一フィールド内の隣接するラインの画素から対応する画素を生成する。例えば、図 14 において、 $N+1$ フィールドの $L+4$ ラインの画素 X を補間する場合は、フィールド内補間回路 $J5$ は、 $N+1$ フィールドの $L+3$ ラインの画素 C と $N+1$ フィールドの $L+5$ ラインの画素 D とから、例えば「 $X = (C + D) / 2$ 」(C , D は画素の信号の明るさのレベルを示す) という演算によって画素 X を生成する。

【0011】

切り換え回路 $J6$ は、1 フィールド遅延回路 $J1$ の出力が現ラインである場合には、この現ライン信号を選択してプログレッシブ映像信号 $J7$ として出力する。切り換え回路 $J6$ は、動き検出回路 $J3$ が注目画素を「静止画」と判定すればフレーム間補間回路 $J4$ から与えられる信号をプログレッシブ映像信号 $J7$ として出力し、動き検出回路 $J3$ が注目画素を「動画」と判定すればフィールド内補間回路 $J5$ から与えられる生成信号をプログレッシブ映像信号 $J7$ として出力する。

10

【0012】

このような構成の装置であれば、フレーム間で相関の大きい静止画については、フレーム間補間(時間的に 2 つ前または後のフィールドからなされる補間)によって生成されたプログレッシブ映像信号が出力される。一方、フレーム間で相関性の小さい動画については、フィールド内補間によって生成されたプログレッシブ映像信号が出力される。したがって、この方法によれば、理論上は、画像の動きにほぼ合致した補間処理が可能となるはずである。

20

【0013】

【特許文献 1】

特開平 10-112845 号公報

【0014】

【発明が解決しようとする課題】

しかしながら、従来例のような方法では垂直方向に大きな輝度差を持つ画像がゆっくり動いたときに正確な判定ができないことから、静止画に適したフレーム間補間処理と動画に適したフィールド内補間処理がうまく行われずに画像が劣化する場合がある。

30

【0015】

このような場合の例を以下に示す。図 16 は、インタレース映像信号に変換される前の元となる映像信号を示す。この映像信号は、正弦波的に明るさの度合い(輝度)が変化する。縦軸は輝度を表し、横軸はラインの番号を表している。黒の輝度は最低の値「0」とし、白の輝度は最大の値「255」として表示されている。図中の数値はサンプリング後のサンプル値を示す。

【0016】

元となる映像信号の輝度は、 L ラインで値「218」となり、 L ラインと $L+1$ ラインとの間で値「255」の最大輝度となり、 $L+1$ ラインで値「218」となり、 $L+1$ ラインと $L+2$ ラインの間で値「128」となり、 $L+2$ ラインで値「37」となり、 $L+2$ ラインと $L+3$ の間で値「0」の最小輝度となり、 $L+3$ ラインで値「37」となり、 $L+3$ ラインと $L+4$ ラインの間で値「128」となり、 $L+4$ ラインで値「218」となる。以下、同様に $L+5$ ライン以降も変化している。この画像がインタレース映像信号として伝送された場合は、図 17 のようになる。つまり、あるフィールドでは黒丸の値が伝送され、次のフィールドでは白丸の値が伝送される。

40

【0017】

図 18 は、このようなインタレース映像信号が 1 フィールドごとに 1/2 ラインずつ動いたときの映像信号を重ねたものである。すなわち、 $f1$ フィールドでは、 L ラインとして値「218」、 $L+2$ ラインとして値「37」、 $L+4$ ラインとして値「218」、 $L+6$ ラインとして値「37」のそれぞれの輝度が伝送される。

50

【0018】

続いて、f 2 フィールドでは元の映像信号の波形が 1 / 2 ラインずつ動いているため、L + 1 ラインとして値「255」、L + 3 ラインとして値「0」、L + 5 ラインとして値「255」、L + 7 ラインとして値「0」が伝送される。以下、f 3 フィールド、f 4 フィールド、f 5 フィールドおよび f 6 フィールドではそれぞれ図のように映像信号の輝度値が伝送される。このような各フィールドでのラインとサンプル値の関係を表 1 に示す。

【0019】

【表 1】

各フィールドでのラインとサンプル値の関係

(a) 元の映像信号の値

	f1	f2	f3	f4	f5	f6
L	218	128	37	0	37	128
L+1	218	255	218	128	37	0
L+2	37	128	218	255	218	128
L+3	37	0	37	128	218	255
L+4	218	128	37	0	37	128
L+5	218	255	218	128	37	0
L+6	37	128	218	255	218	128
L+7	37	0	37	128	218	255

(b) サンプリングされた後の映像信号の値

	f1	f2	f3	f4	f5	f6
L	218	—	37	—	37	—
L+1	—	255	—	128	—	0
L+2	37	—	218	—	218	—
L+3	—	0	—	128	—	255
L+4	218	—	37	—	37	—
L+5	—	255	—	128	—	0
L+6	37	—	218	—	218	—
L+7	—	0	—	128	—	255

【0020】

表 1 (a) は、各フィールドにおいてインタレース映像信号としてサンプリングされる前の元となる映像信号の輝度値を示し、表 1 (b) はインタレース映像信号としてサンプリングされた後の映像信号の輝度値を示している。このインタレース映像信号をうけた受信機側で補間信号処理されて伝送されないライン、すなわち表 1 (b) の「—」欄の輝度値

10

20

30

40

50

が求められ、プログレッシブ映像信号に変換される。

【0021】

このようなインタレース映像信号が図15に示す従来の動き適応型プログレッシブ変換装置で処理される場合の動作について説明する。従来の動き適応型プログレッシブ変換装置では、動き検出回路J3は、あるフィールドのインタレース映像信号の輝度値と時間的に2フィールド後または前のフィールドのインタレース映像信号との輝度値の差により、注目画素が「静止画」であるか「動画」であるかを判定する。その判定結果は切り換え回路J6へ送られる。

【0022】

切り換え回路J6は、動き検出回路J3による判定結果が「静止画」であればフレーム間補間回路J4から与えられる信号をプログレッシブ映像信号J7として出力する。また、動き検出回路J3による判定結果が「動画」であればフィールド内補間回路J5から与えられる信号をプログレッシブ映像信号J7として出力する。

【0023】

まず、動き検出回路J3の動作を表2(a)、表2(b)を用いて説明する。

【0024】

【表2】

動き検出回路の動作説明表

(a) 2フィールド間の値の差

	f1	f2	f3	f4	f5	f6
L		181	—	0	—	
L+1		—	128	—	128	
L+2		181	—	0	—	
L+3		—	128	—	128	
L+4		181	—	0	—	
L+5		—	128	—	128	
L+6		181	—	0	—	
L+7		—	128	—	128	

10

20

(b) 動き検出回路の判定結果

	f1	f2	f3	f4	f5	f6
L		動画	—	静止画	—	
L+1		—	動画	—	動画	
L+2		動画	—	静止画	—	
L+3		—	動画	—	動画	
L+4		動画	—	静止画	—	
L+5		—	動画	—	動画	
L+6		動画	—	静止画	—	
L+7		—	動画	—	動画	

30

【0025】

表2(a)は、あるフィールドのインタレース映像信号の輝度値と2フィールド後または前のフィールドのインタレース映像信号の輝度値との差を示している。表2(a)の値は動き検出回路J3によって演算されたものである。例えば、f2フィールドのLラインの輝度値は、f1フィールドのLラインの値「218」とf3フィールドのLラインの値「37」との差をとって値「181」となっている。同様に各フィールドの各ラインの輝度値が演算されている。

40

【0026】

表2(b)は、表2(a)の輝度値をもとにして動き検出回路J3が注目画素が「動画」であるかまたは「静止画」であるかを判定した結果である。ここでは、動画と静止画の明るさの閾値を値「20」とする。閾値「20」以上の場合は動き検出回路J3は注目画素を「動画」と判定し、「19」以下の場合は動き検出回路J3は注目画素を「静止画」と判定する。

50

【0027】

次に、フレーム間補間回路 J 4 およびフィールド内補間回路 J 5 の動作を説明する。

【0028】

【表 3】

補間回路の出力値

(a) フレーム間補間回路の出力値

	f1	f2	f3	f4	f5	f6
L		128	—	37	—	
L+1		—	191	—	64	
L+2		128	—	128	—	
L+3		—	64	—	191	
L+4		128	—	37	—	
L+5		—	191	—	64	
L+6		128	—	218	—	
L+7		—	64	—	191	

10

20

(b) フィールド内補間回路の出力値

	f1	f2	f3	f4	f5	f6
L						
L+1	128	—	128	—	128	—
L+2	—	128	—	128	—	128
L+3	128	—	128	—	128	—
L+4	—	128	—	128	—	128
L+5	128	—	128	—	128	—
L+6	—	128	—	128	—	128
L+7						

30

40

【0029】

表 3 (a) はフレーム間補間回路 J 4 の出力値を示したものである。例えば、映像入力 f 2 フィールドの L ラインにおいては、インタレース映像信号では実際には伝送されず、フレーム間での補間信号処理により求められる。そこでフレーム間補間回路 J 4 での f 2 フィールドの L ラインの輝度値は、表 1 (b) の f 1 フィールドの L ラインの値「218」と f 3 フィールドの L ラインの値「37」とで平均をとり、つまり「 $(218 + 37) / 2 = 128$ 」として計算されている。表 3 (a) のその他の輝度値も同様にしてフレーム間の輝度値の平均として算出されている。

【0030】

50

一方、表 3 (b) はフィールド内補間回路 J 5 の出力値を示したものである。例えば f 1 フィールドの L + 1 ラインの輝度値をフィールド間での補間処理を行う場合、表 1 (b) の f 1 フィールドの L ラインの値「2 1 8」と同じ f 1 フィールドの L + 2 ラインの値「3 7」から平均が求められ、「 $(2\ 1\ 8 + 3\ 7) / 2 = 1\ 2\ 8$ 」と計算されている。表 3 (b) のその他の輝度値も同様にして、フィールド内の上下ラインの値の平均として算出されている。

【0 0 3 1】

次に、切り換え回路 J 6 の動作を説明する。切り換え回路 J 6 には、フレーム間補間回路 J 4 から与えられる信号と、フィールド内補間回路 J 5 から与えられる信号と、現ライン信号と、さらに動き検出回路 J 3 から与えられる信号とが与えられる。

10

【0 0 3 2】

次の表 4 は、切り換え回路 J 6 から出力されるプログレッシブ映像信号 J 7 の信号の輝度値を示すものである。

【0 0 3 3】

【表 4】

切り換え回路の出力値および補間信号と原信号との差

(a) 補間ラインの切り換え回路の出力値

	f1	f2	f3	f4	f5	f6
L					—	
L+1		—	128	—	128	
L+2		128	—	128	—	
L+3		—	128	—	128	
L+4		128	—	37	—	
L+5		—	128	—	128	
L+6		128	—	218	—	
L+7						

10

20

(b) 補間信号と元の映像信号との差

	f1	f2	f3	f4	f5	f6
L						
L+1		—	90	—	90	
L+2		0	—	37	—	
L+3		—	90	—	90	
L+4		0	—	37	—	
L+5		—	90	—	90	
L+6		0	—	37	—	
L+7						

30

【0034】

表4(a)は、表2(b)の動き検出回路J3の判定結果によって、フレーム間補間信号とフィールド内補間信号を切り換えて出力した結果を示している。動き検出回路J3が注目画素を「静止画」と判定すればフレーム間補間回路J4が生成した信号を出力し、動き検出回路J3が注目画素を「動画」と判定すればフィールド内補間回路J5が生成した信号を出力する。

40

【0035】

表4(a)においてハッチングがなされている部分が「動画」と判定された部分である。なお、表4(a)の「—」の箇所は、現ラインのインタレース映像信号が出力されていることを示す。

【0036】

表4(b)は、補間ラインで出力された信号の輝度値と、表1(a)のインタレースされる前の元となる映像信号の輝度値との差を示したものである。この表4(b)からわかる

50

ように f 3 フィールドおよび f 5 フィールドにおいて、その輝度の差が値「90」であり、非常に大きくなっていることが判る。これらの信号の最大値が値「255」であるのに対して、値「90」という値は非常に大きく、プログレッシブ変換されたプログレッシブ映像信号を見ても大きなノイズとなってしまう、顕著な画質劣化として認識される。

【0037】

このように、従来の動き適応型プログレッシブ変換装置では、画像がゆっくりとライン方向に対して垂直に動いたときには動き検出回路 J 3 が注目画素を「動画」と判定しやすく、画質が劣化しやすいという課題があった。

【0038】

本発明の目的は、垂直方向に大きな輝度差を持つ画像がゆっくり動いたときにおいても、正確な動き判定を行い、インタレース映像信号を安定で解像度の高いプログレッシブ映像信号に変換する画像変換装置を提供することである。

【0039】

【課題を解決するための手段】

第1の発明に係る画像変換装置は、入力されたインタレース映像信号をプログレッシブ映像信号に変換する画像変換装置であって、入力されたインタレース映像信号に基づく演算によりプログレッシブ信号を生成するプログレッシブ信号生成回路と、プログレッシブ信号生成回路により生成された前記プログレッシブ信号に基づいて画像の垂直方向の動き量を算出する動き算出回路と、入力されたインタレース映像信号から静止画処理によって静止画プログレッシブ信号を生成する静止画処理回路と、入力されたインタレース映像信号から動画処理によって動画プログレッシブ信号を生成する動画処理回路と、動き算出回路により算出された垂直方向の動き量が第1の値より小さい場合に静止画処理回路により出力される静止画プログレッシブ信号を出力する出力回路とを備え、プログレッシブ信号生成回路は、入力されたインタレース映像信号に基づいて、連続する複数のフィールドにそれぞれ対応する複数のインタレース映像信号を生成するインタレース生成回路と、インタレース生成回路により生成された複数のインタレース映像信号のうち第1の組み合わせの複数のインタレース映像信号に基づいて第1のプログレッシブ信号を生成する第1のプログレッシブ回路と、インタレース生成回路により生成された複数のインタレース映像信号のうち第1の組み合わせと異なる第2の組み合わせの複数のインタレース映像信号に基づいて第2のプログレッシブ信号を生成する第2のプログレッシブ回路とを含み、動き算出回路は、第1のプログレッシブ生成回路により生成された第1のプログレッシブ信号および第2のプログレッシブ生成回路により生成された第2のプログレッシブ信号に基づいて動き量を算出し、出力回路は、動き量がライン間の間隔以下である場合に静止画プログレッシブ信号の割合を0.5以上にするものである。

第2の発明に係る画像変換装置は、入力されたインタレース映像信号をプログレッシブ映像信号に変換する画像変換装置であって、入力されたインタレース映像信号に基づく演算によりプログレッシブ信号を生成するプログレッシブ信号生成回路と、プログレッシブ信号生成回路により生成された前記プログレッシブ信号に基づいて画像の垂直方向の動き量を算出する動き算出回路と、入力されたインタレース映像信号から静止画処理によって静止画プログレッシブ信号を生成する静止画処理回路と、入力されたインタレース映像信号から動画処理によって動画プログレッシブ信号を生成する動画処理回路と、動き算出回路により算出された垂直方向の動き量が第1の値より小さい場合に静止画処理回路により出力される静止画プログレッシブ信号を出力する出力回路と、複数のフィールドに対応する複数のインタレース映像信号における注目画素およびその周辺の画素の値の平均値をそれぞれ算出し、算出された平均値に基づいて静止画プログレッシブ信号の適用または非適用を判定する判定回路とを備え、プログレッシブ信号生成回路は、入力されたインタレース映像信号に基づいて、連続する複数のフィールドにそれぞれ対応する複数のインタレース映像信号を生成するインタレース生成回路と、インタレース生成回路により生成された複数のインタレース映像信号のうち第1の組み合わせの複数のインタレース映像信号に基づいて第1のプログレッシブ信号を生成する第1のプログレッシブ回路と、インタレース

10

20

30

40

50

生成回路により生成された複数のインタレース映像信号のうち第1の組み合わせと異なる第2の組み合わせの複数のインタレース映像信号に基づいて第2のプログレッシブ信号を生成する第2のプログレッシブ回路とを含み、動き算出回路は、第1のプログレッシブ生成回路により生成された第1のプログレッシブ信号および第2のプログレッシブ生成回路により生成された第2のプログレッシブ信号に基づいて動き量を算出し、出力回路は、判定回路の判定結果が非適用の場合に動画プログレッシブ信号をプログレッシブ映像信号として出力し、判定回路は、複数のフィールドに対応する複数のインタレース映像信号の注目画素およびその周辺の画素の値の最大値および最小値をそれぞれ算出し、算出された平均値、最大値および最小値に基づいて静止画プログレッシブ信号の適用または非適用を判定するものである。

10

第3の発明に係る画像変換装置は、入力されたインタレース映像信号をプログレッシブ映像信号に変換する画像変換装置であって、入力されたインタレース映像信号に基づく演算によりプログレッシブ信号を生成するプログレッシブ信号生成回路と、プログレッシブ信号生成回路により生成された前記プログレッシブ信号に基づいて画像の垂直方向の動き量を算出する動き算出回路と、入力されたインタレース映像信号から静止画処理によって静止画プログレッシブ信号を生成する静止画処理回路と、入力されたインタレース映像信号から動画処理によって動画プログレッシブ信号を生成する動画処理回路と、動き算出回路により算出された垂直方向の動き量が第1の値より小さい場合に静止画処理回路により出力される静止画プログレッシブ信号を出力する出力回路と、複数のフィールドに対応する複数のインタレース映像信号における注目画素およびその周辺の画素の値の平均値をそれぞれ算出し、算出された平均値に基づいて静止画プログレッシブ信号の適用または非適用を判定する判定回路とを備え、プログレッシブ信号生成回路は、入力されたインタレース映像信号に基づいて、連続する複数のフィールドにそれぞれ対応する複数のインタレース映像信号を生成するインタレース生成回路と、インタレース生成回路により生成された複数のインタレース映像信号のうち第1の組み合わせの複数のインタレース映像信号に基づいて第1のプログレッシブ信号を生成する第1のプログレッシブ回路と、インタレース生成回路により生成された複数のインタレース映像信号のうち第1の組み合わせと異なる第2の組み合わせの複数のインタレース映像信号に基づいて第2のプログレッシブ信号を生成する第2のプログレッシブ回路とを含み、動き算出回路は、第1のプログレッシブ生成回路により生成された第1のプログレッシブ信号および第2のプログレッシブ生成回路により生成された第2のプログレッシブ信号に基づいて動き量を算出し、出力回路は、判定回路の判定結果が非適用の場合に動画プログレッシブ信号をプログレッシブ映像信号として出力し、判定回路は、算出された平均値のそれぞれの差が所定値より大きく、算出された同一フィールドの最大値と最小値との差のそれぞれの値が所定値より小さい場合に静止画プログレッシブ信号を非適用と判定するものである。

20

30

【0040】

本発明に係る画像変換装置においては、入力されたインタレース映像信号に基づいてプログレッシブ信号が生成され、プログレッシブ信号に基づいて画像の垂直方向の動き量が動き算出回路により算出される。

【0041】

また、入力されたインタレース映像信号から静止画処理によって静止画プログレッシブ信号が静止画処理回路により生成され、入力されたインタレース映像信号から動画処理によって動画プログレッシブ信号が動画処理回路により生成される。垂直方向の動き量が第1の値より小さい場合に静止画プログレッシブ信号が出力回路により出力される。

40

【0042】

この場合、プログレッシブ信号に基づいて動き量が算出されるため、より正確で緻密な動き量を算出することができる。したがって、垂直方向の大きな輝度差を持つ画像が1ライン以下でゆっくり動いた場合でも正確な動き量を算出して画像の動きを判定することができるので、安定で解像度の高い映像を提供することができる。

【0044】

50

また、第1のプログレッシブ信号と第2のプログレッシブ信号とに基づいて動き量が算出されるため、より正確で緻密な動き量を算出することができる。したがって、垂直方向の大きな輝度差を持つ画像が1ライン以下でゆっくり動いた場合でも正確な動き量を算出して画像の動きを判定することができるので、安定で解像度の高い映像を提供することができる。

第1の発明に係る画像変換装置では、動きの大きい画像に対しての誤動作を防止することができ、画質劣化の少ないプログレッシブ映像信号を生成することができる。

第2および第3の発明に係る画像変換装置では、複数のフィールドに対応する複数のインタレース映像信号における注目画素およびその周辺の画素の値の平均値に基づいて判定回路により静止画プログレッシブ信号の適用または非適用が判定され、判定回路の判定結果が非適用の場合に動画プログレッシブ信号がプログレッシブ映像信号として出力される。

10

したがって、フリッカ性の画像、例えば連続したカメラのフラッシュ等が含まれる画像に対しても、誤って静止画処理をしないようにすることができ、より精度の高いプログレッシブ映像信号を生成することができる。

また、判定回路は、複数のフィールドに対応する複数のインタレース映像信号における注目画素およびその周辺の画素の信号の値の平均値を検出している。その結果、回路規模を比較的小さくすることができる。

第2の発明に係る画像変換装置では、複数のフィールドに対応する複数のインタレース映像信号の注目画素およびその周辺の画素の値の平均値、最大値および最小値に基づいて静止画プログレッシブ信号の適用または非適用が判定される。したがって、より正確に静止画プログレッシブ信号の適用または非適用が判定される。

20

第3の発明に係る画像変換装置では、算出された平均値のそれぞれの差が所定値より大きく、算出された同一フィールドの最大値と最小値との差のそれぞれの値が所定値より小さい場合に静止画プログレッシブ信号が非適用と判定される。したがって、より正確に静止画プログレッシブ信号の適用または非適用が判定される。

【0045】

第1の値はライン間の間隔以下の値であってもよい。この場合、動き算出回路により算出された垂直方向の動き量がライン間の間隔以下の場合に静止画プログレッシブ信号がプログレッシブ映像信号として出力される。したがって、垂直方向に大きな輝度差を持つ画像がゆっくり動いたときにおいても、正確な動き判定を行い、インタレース映像信号を安定で解像度の高いプログレッシブ映像に変換することができる。

30

【0046】

動き算出回路は、ライン間の間隔よりも小さい単位で垂直方向の動き量を算出してもよい。この場合、正確な動き検出を行うことができ、垂直方向の大きな輝度差を持つ画像がゆっくり動いたときにおいても、正確な動き判定を行い、インタレース映像信号を安定で解像度の高いプログレッシブ映像に変換することができる。

【0047】

画像変換装置は、第1のプログレッシブ生成回路により生成された第1のプログレッシブ信号を用いた補間処理によりライン間の補間画素を生成し、第1のプログレッシブ信号における画素および補間画素を含む第1の補間信号を出力する第1の画素形成回路と、第2のプログレッシブ生成回路により生成された第2のプログレッシブ信号を用いた補間処理によりライン間の補間画素を生成し、第2のプログレッシブ信号における画素および補間画素を含む第2の補間信号を出力する第2の画素形成回路とをさらに備え、動き算出回路は、第1の画素形成回路から出力された第1の補間信号および第2の画素形成回路から出力された第2の補間信号に基づいて動き量を算出してもよい。

40

【0048】

この場合、第1のプログレッシブ生成回路により第1の組み合わせの複数のインタレース映像信号に基づいて第1のプログレッシブ信号が生成され、第2のプログレッシブ生成回路により第2の組み合わせの複数のインタレース映像信号に基づいて第2のプログレッシ

50

ブ信号が生成される。

【0049】

また、第1の画素形成回路により第1のプロGRESS信号における画素および補間画素を含む第1の補間信号が出力され、第2の画素形成回路により第2のプロGRESS信号における画素および補間画素を含む第2の補間信号が出力され、動き算出回路により第1の補間信号および第2の補間信号から動き量が算出される。

【0050】

したがって、インタレース映像信号をプロGRESS映像信号に変換する際に、より厳しい変換精度を要求される垂直方向における精度を上げることができ、水平方向において新たに画素を生成する回路を省略できるので、回路規模の増大を低く抑えることができ、低コストに高精度のプロGRESS映像に変換することができる。

10

【0051】

出力回路は、動き量が第2の値より大きい場合に動画プロGRESS信号をプロGRESS映像信号として出力してもよい。この場合、動き算出回路により算出された垂直方向の動き量が第2の値より大きい場合に動画処理回路により出力される動画プロGRESS信号がプロGRESS映像信号として出力回路から出力される。

【0052】

したがって、垂直方向に大きな輝度差を持つ画像がゆっくり動いたときにおいても、正確な動き判定を行い、インタレース映像信号を安定で解像度の高いプロGRESS映像に変換することができる。

20

【0053】

出力回路は、動き量が第1の値と第2の値との間にある場合、動き量に基づく割合で動画プロGRESS信号と静止画プロGRESS信号とを合成し、合成された信号をプロGRESS映像信号として出力してもよい。

【0054】

この場合、動き量に応じて動画プロGRESS信号と静止画プロGRESS信号とからプロGRESS映像信号が生成されるので、画質劣化の少ない、解像度の高いプロGRESS映像信号を生成することが可能である。

【0056】

複数のインタレース映像信号は、連続する第1～第4のフィールドに対応する第1～第4のインタレース映像信号を含み、第1の組み合わせの複数のインタレース映像信号は、第1～第3のインタレース映像信号を含み、第2の組み合わせの複数のインタレース映像信号は、第2～第4のインタレース映像信号を含んでもよい。

30

【0057】

この場合、より正確な動き検出をすることができ、垂直方向に大きな輝度差を持つ画像がゆっくり動いたときにおいても、正確な動き判定をすることができ、安定で解像度の高い映像に影響することができる。

【0058】

第1のプロGRESS生成回路により生成された第1のプロGRESS信号は現ライン信号および補間ライン信号によって構成され、第1のプロGRESS信号の現ライン信号は、第2のインタレース映像信号を用いて生成され、第1のプロGRESS信号の補間ライン信号は、第1のインタレース映像信号と第3のインタレース映像信号との演算値を用いて生成され、第2のプロGRESS生成回路により生成された第2のプロGRESS信号は現ライン信号および補間ライン信号によって構成され、第2のプロGRESS信号の現ライン信号は、第3のインタレース映像信号を用いて生成され、第2のプロGRESS信号の補間ライン信号は、第2のインタレース映像信号と第4のインタレース映像信号との演算値を用いて生成されてもよい。

40

【0059】

この場合、インタレース映像信号に多少の動きがあったとしても、補間ラインには、第1と第3のインタレース映像信号の演算により、また第2と第3のインタレース映像信号の

50

演算により、相対的な動き量がキャンセルしあうように働くため、画像に動きがあったとしても「静止画」、「動画」の判定を正確に行うことができ、高精度に画質を改善でき、より高画質なプログレッシブ映像信号を提供することができる。

【0060】

第1のインタレース映像信号と第3のインタレース映像信号との演算値は、第1および第3のインタレース映像信号の対応する画素とその周辺の画素との演算値であり、第2のインタレース映像信号と第4のインタレース映像信号との演算値は、第2および第4のインタレース映像信号の対応する画素とその周辺の画素との演算値であってもよい。

【0061】

この場合、複数のインタレース映像信号の対応する画素とその周辺の画素との演算値を用いるため、よりノイズに強く、より精度の高い第1プログレッシブ信号と第2のプログレッシブ信号を生成することができ、より高精度の動き検出を行うことができる。

10

【0062】

第1のインタレース映像信号と第3のインタレース映像信号との演算値は、第1および第3のインタレース映像信号の対応する画素の平均値であり、第2のインタレース映像信号と第4のインタレース映像信号との演算値は、第2および第4のインタレース映像信号の対応する画素の平均値であってもよい。

【0063】

この場合、演算が平均をとることから非常に簡単に演算を行うことができ、演算回路を小さな規模にとどめることができる。したがって、低コストで画像変換装置を提供すること

20

【0064】

動き算出回路は、第1のプログレッシブ生成回路により生成された第1のプログレッシブ信号と第2のプログレッシブ生成回路により生成された第2のプログレッシブ信号との間で注目画素の値を比較し、および、注目画素とその周辺の画素との値を比較し、その比較結果を動き量として出力してもよい。

【0065】

この場合、動き算出回路の比較が注目画素だけにとどまらず、その周辺の画素をも含むので、動き検出をより高精度で行うことができる。

【0066】

30

動き算出回路は、第2のプログレッシブ信号の補間ライン信号の注目画素の値と、注目画素に対応した第1のプログレッシブ信号の現ライン信号の画素の値と、現ライン信号の画素の上下の補間ライン信号の画素の値とを演算し、その演算結果を動き量として出力し、および／または、第1のプログレッシブ信号の補間ライン信号の注目画素の値と、注目画素に対応した第2のプログレッシブ信号の現ライン信号の画素の値と、現ライン信号の画素の上下の補間ライン信号の画素の値とを演算し、その演算結果を動き量として出力してもよい。

【0067】

この場合、動き量を演算する演算が、2つのプログレッシブ信号の注目画素とその上下の補間ラインの画素に限定されるので、演算量を少なく抑えることができ、コストを低減することが可能となる。

40

【0068】

画像変換装置は、第1のプログレッシブ生成回路により生成された第1のプログレッシブ信号を用いた補間処理によりライン間の補間画素を生成し、第1のプログレッシブ信号における画素および補間画素を含む第1の補間信号を出力する画素形成回路をさらに備え、動き算出回路は、第1の画素形成回路から出力された第1の補間信号および第2のプログレッシブ生成回路により生成された第2のプログレッシブ信号に基づいて画像の垂直方向の動き量を算出してもよい。

【0069】

この場合、第1の画素形成回路から出力された第1の補間信号および第2のプログレッシ

50

ブ生成回路により生成された第2のプログレッシブ信号に基づいて画像の垂直方向の動き量が算出されるので、より精度の高い動き検出が可能になり、画質劣化の少ない、解像度の高いプログレッシブ映像フィールド信号を生成することが可能となる。

【0070】

また、インタレース映像信号をプログレッシブ映像信号に変換する際に、より厳しい変換精度を要求される垂直方向における精度を上げることができ、水平方向において新たに画素を生成する回路を省略できるので、さらに回路規模の増大を低く抑えることができ、低コストに高精度のプログレッシブ映像に変換することができる。

【0079】

第4の発明に係る画像変換方法は、入力されたインタレース映像信号をプログレッシブ映像信号に変換する画像変換方法であって、入力されたインタレース映像信号に基づく演算によりプログレッシブ信号を生成するステップと、生成されたプログレッシブ信号に基づいて画像の垂直方向の動き量を算出するステップと、入力されたインタレース映像信号から静止画処理によって静止画プログレッシブ信号を生成するステップと、入力されたインタレース映像信号から動画処理によって動画プログレッシブ信号を生成するステップと、算出された垂直方向の動き量が第1の値より小さい場合に静止画プログレッシブ信号を出力するステップとを備え、プログレッシブ信号を生成するステップは、入力されたインタレース映像信号に基づいて、連続する複数のフィールドにそれぞれ対応する複数のインタレース映像信号を生成するステップと、複数のインタレース映像信号のうち第1の組み合わせの複数のインタレース映像信号に基づいて第1のプログレッシブ信号を生成するステップと、複数のインタレース映像信号のうち第1の組み合わせと異なる第2の組み合わせの複数のインタレース映像信号に基づいて第2のプログレッシブ信号を生成するステップとを含み、動き量を算出するステップは、生成された第1のプログレッシブ信号および生成された第2のプログレッシブ信号に基づいて動き量を算出し、出力するステップは、動き量がライン間の間隔以下である場合に静止画プログレッシブ信号の割合を0.5以上にするものである。

第5の発明に係る画像変換方法は、入力されたインタレース映像信号をプログレッシブ映像信号に変換する画像変換方法であって、入力されたインタレース映像信号に基づく演算によりプログレッシブ信号を生成するステップと、生成されたプログレッシブ信号に基づいて画像の垂直方向の動き量を算出するステップと、入力されたインタレース映像信号から静止画処理によって静止画プログレッシブ信号を生成するステップと、入力されたインタレース映像信号から動画処理によって動画プログレッシブ信号を生成するステップと、算出された垂直方向の動き量が第1の値より小さい場合に静止画プログレッシブ信号を出力するステップと、複数のフィールドに対応する複数のインタレース映像信号における注目画素およびその周辺の画素の値の平均値をそれぞれ算出し、算出された平均値に基づいて静止画プログレッシブ信号の適用または非適用を判定するステップとを備え、プログレッシブ信号を生成するステップは、入力されたインタレース映像信号に基づいて、連続する複数のフィールドにそれぞれ対応する複数のインタレース映像信号を生成するステップと、複数のインタレース映像信号のうち第1の組み合わせの複数のインタレース映像信号に基づいて第1のプログレッシブ信号を生成するステップと、複数のインタレース映像信号のうち第1の組み合わせと異なる第2の組み合わせの複数のインタレース映像信号に基づいて第2のプログレッシブ信号を生成するステップとを含み、動き量を算出するステップは、生成された第1のプログレッシブ信号および生成された第2のプログレッシブ信号に基づいて動き量を算出し、出力するステップは、判定結果が非適用の場合に動画プログレッシブ信号をプログレッシブ映像信号として出力し、判定するステップは、複数のフィールドに対応する複数のインタレース映像信号の注目画素およびその周辺の画素の値の最大値および最小値をそれぞれ算出し、算出された平均値、最大値および最小値に基づいて静止画プログレッシブ信号の適用または非適用を判定するものである。

第6の発明に係る画像変換方法は、入力されたインタレース映像信号をプログレッシブ映像信号に変換する画像変換方法であって、入力されたインタレース映像信号に基づく演

算によりプログレッシブ信号を生成するステップと、生成されたプログレッシブ信号に基づいて画像の垂直方向の動き量を算出するステップと、入力されたインタレース映像信号から静止画処理によって静止画プログレッシブ信号を生成するステップと、入力されたインタレース映像信号から動画処理によって動画プログレッシブ信号を生成するステップと、算出された垂直方向の動き量が第1の値より小さい場合に静止画プログレッシブ信号を出力するステップと、複数のフィールドに対応する複数のインタレース映像信号における注目画素およびその周辺の画素の値の平均値をそれぞれ算出し、算出された平均値に基づいて静止画プログレッシブ信号の適用または非適用を判定するステップとを備え、プログレッシブ信号を生成するステップは、入力されたインタレース映像信号に基づいて、連続する複数のフィールドにそれぞれ対応する複数のインタレース映像信号を生成するステップと、複数のインタレース映像信号のうち第1の組み合わせの複数のインタレース映像信号に基づいて第1のプログレッシブ信号を生成するステップと、複数のインタレース映像信号のうち第1の組み合わせと異なる第2の組み合わせの複数のインタレース映像信号に基づいて第2のプログレッシブ信号を生成するステップとを含み、動き量を算出するステップは、生成された第1のプログレッシブ信号および生成された第2のプログレッシブ信号に基づいて動き量を算出し、出力するステップは、判定結果が非適用の場合に動画プログレッシブ信号をプログレッシブ映像信号として出力し、判定するステップは、算出された平均値のそれぞれの差が所定値より大きく、算出された同一フィールドの最大値と最小値との差のそれぞれの値が所定値より小さい場合に静止画プログレッシブ信号を非適用と判定するものである。

10

20

【0080】

本発明に係る画像変換方法は、入力されたインタレース映像信号に基づいて、プログレッシブ信号が生成され、プログレッシブ信号に基づいて画像の垂直方向の動き量が算出される。

【0081】

また、入力されたインタレース映像信号から静止画処理によって静止画プログレッシブ信号が生成され、入力されたインタレース映像信号から動画処理によって動画プログレッシブ信号が生成される。垂直方向の動き量が第1の値より小さい場合に静止画プログレッシブ信号が出力される。

【0082】

この場合、生成されたプログレッシブ信号に基づいて動き量が算出されるため、より正確で緻密な動き量を算出することができる。したがって、垂直方向の大きな輝度差を持つ画像が1ライン以下でゆっくり動いた場合でも正確な動き量を算出して画像の動きを判定することができるので、安定で解像度の高い映像を提供することができる。

30

【0084】

また、第1のプログレッシブ信号と第2のプログレッシブ信号とに基づいて動き量が算出されるため、より正確で緻密な動き量を算出することができる。したがって、垂直方向の大きな輝度差を持つ画像が1ライン以下でゆっくり動いた場合でも正確な動き量を算出して画像の動きを判定することができるので、安定で解像度の高い映像を提供することができる。

40

【0085】

【発明の実施の形態】

以下、本発明に係る画像変換装置について説明する。なお、以下の説明では、映像信号を輝度信号に対応させて説明するが、色信号に対しても同様の処理を行うこともできる。また、この例に限らず、カラー表示を行う場合にも各色ごとに以下と同様に処理することにより、RGB信号に対しても同様の効果を得ることができる。

【0086】

（第1の実施の形態）

図1は、本発明の第1の実施の形態に係る画像変換装置100を示すブロック図である。

図1に示す画像変換装置100は、第1の1フィールド遅延回路1、第2の1フィールド

50

遅延回路 2、第 3 の 1 フィールド遅延回路 3、第 1 のプログレッシブ映像生成回路 4、第 2 のプログレッシブ映像生成回路 5、比較回路 6、フレーム間補間回路 7、フィールド内補間回路 8 および出力回路 9 を備える。また、図示していないが、画像変換装置 100 は、インタレース映像信号 V 1 の同期信号、またはそれに対応する信号を受けてこれらの各ブロックに必要なタイミング信号を発生するタイミング発生回路を備えている。

【0087】

画像変換装置 100 の動作について以下に説明する。まず、インタレース映像信号 V 1 は、連続して接続された第 1 の 1 フィールド遅延回路 1、第 2 の 1 フィールド遅延回路 2 および第 3 の 1 フィールド遅延回路 3 により順々に遅延される。それにより、1 フィールド遅れのインタレース映像信号 a、2 フィールド遅れのインタレース映像信号 b および 3 フィールド遅れのインタレース映像信号 c がそれぞれ生成される。したがって、1 フィールドずつ連続して遅延した 4 つのインタレース映像信号が生成されることになる。

10

【0088】

これらの 4 つのインタレース映像信号のそれぞれは、第 1 のオッドフィールド信号、第 1 のイーブンフィールド信号、第 2 のオッドフィールド信号および第 2 のイーブンフィールド信号によって構成されるか、または、第 1 のイーブンフィールド信号、第 1 のオッドフィールド信号、第 2 のイーブンフィールド信号および第 2 のオッドフィールド信号によって構成されることになる。なお、インタレース映像信号は 2 フィールドで画面の全走査線を構成するので、ここではその一方のフィールドをオッドフィールドと呼び、他方をイーブンフィールドと呼んでいる。

20

【0089】

第 1 のプログレッシブ映像生成回路 4 にはインタレース映像信号 a、b、c が与えられる。第 1 のプログレッシブ映像生成回路 4 はそれらの信号からプログレッシブ映像フィールド信号 P 1 を生成し、比較回路 6 に与える。また、第 2 のプログレッシブ映像生成回路 5 にはインタレース映像信号 V 1、a、b が与えられる。第 2 のプログレッシブ映像生成回路 5 はそれらの信号からプログレッシブ映像フィールド信号 P 2 を生成し、比較回路 6 に与える。

【0090】

比較回路 6 は、プログレッシブ映像フィールド信号 P 1 とプログレッシブ映像フィールド信号 P 2 とを比較して動き量情報 M を演算し、出力回路 9 に与える。

30

【0091】

また、インタレース映像信号 V 1 およびインタレース映像信号 b はフレーム間補間回路 7 に与えられる。フレーム間補間回路 7 は、時間的に 2 フィールド前後のフィールド間で補間処理するフレーム間補間によってフレーム間補間信号 F 1 を生成し、出力回路 9 に与える。

【0092】

また、インタレース映像信号 a はフィールド内補間回路 8 に与えられる。フィールド内補間回路 8 は、インタレース映像信号 a からフィールド内補間によってフィールド内補間信号 F 2 を生成し、出力回路 9 に与える。

【0093】

出力回路 9 は、動き量情報 M に応じてフレーム間補間信号 F 1 およびフィールド内補間信号 F 2 を画素ごとに割合を変えて生成したプログレッシブ映像信号 V 2 を出力する。動き量情報 M が小さい場合には静止画の確率が高くなるので、出力回路 9 は、フレーム間補間信号 F 1 の割合が多くなるようにプログレッシブ映像信号 V 2 を生成する。

40

【0094】

本実施の形態に係る画像変換装置 100 は、1 フィールドずつ連続して遅延した 4 つのインタレース映像信号のうち 1 ～ 3 番目のインタレース映像信号からプログレッシブ映像フィールド信号 P 2 を生成し、2 ～ 4 番目のインタレース映像信号からプログレッシブ映像フィールド信号 P 1 を生成する。

【0095】

50

次に、画像変換装置100は、このプログレッシブ映像フィールド信号P1とプログレッシブ映像フィールド信号P2とを比較し、その比較結果を動き量情報Mとして出力することができる。それにより、画像変換装置100は、正確な動き判定を行うことができる。したがって、垂直方向の大きな輝度差を持つ画像がゆっくり動いたときなどにおいても、正確な動き判定をすることができ、安定で解像度の高いプログレッシブ映像信号を提供することができる。

【0096】

以下、本発明の効果を、従来例で画質劣化が生じた図16に示す垂直方向に正弦波的に輝度に変化する画像が図18に示すように垂直方向にゆっくり動いたときの動作の例を用いて説明する。

10

【0097】

元となる映像信号の値とインタレース映像信号としてサンプリングされた後の映像信号の値とは表5(a)および表5(b)に従来例の表1(a)および表1(b)と同様に示される。表5(a)および表5(b)は、f1フィールドからf9フィールドまでの9フィールド分を示している。

【0098】

【表5】

各フィールドでのラインとサンプル値の関係

(a)元の映像信号の値

	f1	f2	f3	f4	f5	f6	f7	f8	f9
L	218	128	37	0	37	128	218	255	218
L+1	218	255	218	128	37	0	37	128	218
L+2	37	128	218	255	218	128	37	0	37
L+3	37	0	37	128	218	255	218	128	37
L+4	218	128	37	0	37	128	218	255	218
L+5	218	255	218	128	37	0	37	128	218
L+6	37	128	218	255	218	128	37	0	37
L+7	37	0	37	128	218	255	218	128	37

10

(b)サンプリングされた後の映像信号の値

	f1	f2	f3	f4	f5	f6	f7	f8	f9
L	218	—	37	—	37	—	218	—	218
L+1	—	255	—	128	—	0	—	128	—
L+2	37	—	218	—	218	—	37	—	37
L+3	—	0	—	128	—	255	—	128	—
L+4	218	—	37	—	37	—	218	—	218
L+5	—	255	—	128	—	0	—	128	—
L+6	37	—	218	—	218	—	37	—	37
L+7	—	0	—	128	—	255	—	128	—

20

30

【0099】

表5 (a) には元となる映像信号の各フィールドの各ラインの値が示され、表5 (b) にはインタレース映像信号としてサンプリングされた後の信号の各フィールドの各ラインの値が示されている。一般的に表5 (b) に示すインタレース映像信号がフィールドごとに順番に伝送されている。図1においても表5 (b) に示されるインタレース映像信号が、フィールド毎に順番に画像変換装置100にインタレース映像信号V1として与えられる。

40

【0100】

インタレース映像信号V1は、第1の1フィールド遅延回路1、第2の1フィールド遅延回路2および第3の1フィールド遅延回路3に与えられる。第1のプログレッシブ映像生成回路4および第2のプログレッシブ映像生成回路5はそれぞれが補間処理によりプログレッシブ映像フィールド信号P1およびプログレッシブ映像フィールド信号P2を生成する。その動作を以下に詳しく説明する。

【0101】

50

図2(a)は、第2のプログレッシブ映像生成回路5の内部の構成例を示し、図2(b)は、第1のプログレッシブ映像生成回路4の内部の構成例を示す。

【0102】

図2(a)の入力端子501には図1のインタレース映像入力V1が与えられ、入力端子502にはインタレース映像信号aが与えられ、入力端子503にはインタレース映像信号bが与えられる。

【0103】

図2(b)の入力端子401には図1のインタレース映像信号aが与えられ、入力端子402にはインタレース映像信号bが与えられ、入力端子403にはインタレース映像信号cが与えられる。

10

【0104】

図2(a)の第2のプログレッシブ映像生成回路5は、1クロックの遅延回路504～508、乗算回路509～514、加算回路515および切り換え回路516を備える。

【0105】

図2(b)の第1のプログレッシブ映像生成回路4は、1クロックの遅延回路404～408、乗算回路409～414、加算回路415および切り換え回路416を備える。

【0106】

乗算回路409、411、412、414、509、511、512、514ではそれぞれ1/8の乗算が行われ、乗算回路410、413、510、513では1/4の乗算が行われる。

20

【0107】

加算回路415では乗算回路409～414から出力された信号が加算される。同様に加算回路515では乗算回路509～514から出力された信号が加算される。

【0108】

このような構成により、第1のプログレッシブ映像生成回路4では、インタレース映像信号a、cがそれぞれ水平方向にフィルタリングされた後に平均化され、加算回路415に与えられる。

【0109】

切り換え回路416は、タイミング発生回路(図示せず)から与えられる信号K1に基づいて、インタレース映像信号bが現ラインの信号であれば1クロック遅延回路406で1フィールド遅延されたインタレース映像信号bを出力し、インタレース映像信号bが補間ラインの信号であれば加算回路415で生成された信号を出力する。

30

【0110】

また、同様に第2のプログレッシブ映像生成回路5では、インタレース映像信号V1およびインタレース映像信号bがそれぞれ水平方向にフィルタリングされた後に平均化されて、加算回路515に与えられる。

【0111】

切り換え回路516は、タイミング発生回路(図示せず)から与えられる信号K2に基づいて、インタレース映像信号aが現ラインの信号であれば1クロック遅延回路506でインタレース映像信号aを1フィールド遅延した信号を出力し、インタレース映像信号aが補間ラインの信号であれば加算回路515で生成された信号を出力する。

40

【0112】

また、第1のプログレッシブ映像生成回路4、第2のプログレッシブ映像生成回路5の内部で行われているフィルタ処理(フィルタリング)および加算処理が、補間ラインに対する第1のフィールドおよび第3のフィールドの対応する画素とその周辺の画素の演算、または、第2のフィールドおよび第4のフィールドの対応する画素とその周辺の画素の演算に相当している。特にこの場合、平均値が算出されている。

【0113】

平均値を用いれば複雑な演算を簡略化することができ、回路の規模を削減することができるが、これに限らなくてもよい。例えば、フィールド間の重みの大小を考慮して、各フィ

50

ールドの寄与する大きさを変えて補間処理を行うことも可能である。

【0114】

表6(a)および表6(b)は、このような動作によって、第1のプログレッシブ映像生成回路4および第2のプログレッシブ映像生成回路5から出力された信号をそれぞれ示す。

【0115】

【表6】

プログレッシブ映像生成回路の出力

(a) 第1のプログレッシブ映像生成回路4の出力例

	f3	f4	f5	f6	f7	f8	f9
L	218	128	37	37	37	128	218
L+1	—	255	191	128	64	0	64
L+2	37	128	218	218	218	128	37
L+3	—	0	64	128	191	255	191
L+4	218	128	37	37	37	128	218
L+5	—	255	191	128	64	0	64
L+6	37	128	218	218	218	128	37
L+7	—	0	64	128	191	255	191

(b) 第2のプログレッシブ映像生成回路5の出力例

	f3	f4	f5	f6	f7	f8	f9
L	128	37	37	37	128	218	218
L+1	255	191	128	64	0	64	128
L+2	128	218	218	218	128	37	37
L+3	0	64	128	191	255	191	128
L+4	128	37	37	37	128	218	218
L+5	255	191	128	64	0	64	128
L+6	128	218	218	218	128	37	37
L+7	0	64	128	191	255	191	191

【0116】

表6(a)および表6(b)において、ハッチングの部分が補間ラインとして演算によって求められた部分である。また、この演算の例については、水平方向に同じ値の信号が続いているとして、水平方向の影響はないものとしている。

【0117】

もちろん、実際の装置については水平方向のフィルタ演算を行うことによってノイズ等の影響を低減できる。

【0118】

表6 (a) の f 4 フィールドの L ラインの値は、以下のようにして算出される。例えば、インタレース映像信号 V 1 として f 4 フィールドの信号が画像変換装置 1 0 0 に与えられた場合を説明する。表 5 (b) に示すように、f 4 フィールドの L ラインは信号が伝送されていないので、補間処理を行う必要がある。インタレース映像信号 V 1 として f 4 フィールドの信号が入力されたときには、第 3 の 1 フィールド遅延回路 3 からは f 1 フィールドの信号が出力され、第 2 の 1 フィールド遅延回路 2 からは f 2 フィールドの信号が出力され、第 1 の 1 フィールド遅延回路 1 からは f 3 フィールドの信号が出力される。

10

【0119】

このとき、プログレッシブ映像フィールド信号 P 1 の補間ラインは、第 3 の 1 フィールド遅延回路 3 から出力される f 1 フィールドと第 1 の 1 フィールド遅延回路 1 の f 3 フィールドのそれぞれの現ラインの値から演算される。この場合は平均値（または平均値に近い値）が演算される。

【0120】

したがって、表 5 (a) より、f 4 フィールドの L ラインの値は、f 1 フィールドの L ラインの値「218」と f 3 フィールドの L ラインの値「37」の平均値「 $(218 + 37) / 2 = 127.5$ 」を近傍の整数値として四捨五入により求めた値「128」となる。同様に、それぞれの補間ラインの信号が求められる。なお、表 6 (a) において「—」と記された欄は表 5 (b) だけでは値が求まらないので表示を省略している。

20

【0121】

また、表 6 (b) の f 3 フィールドの L ラインの値は、以下のようにして算出される。インタレース映像信号 V 1 として f 3 フィールドが画像変換装置 1 0 0 に与えられた場合には、第 2 の 1 フィールド遅延回路 2 からは f 1 フィールドが出力され、第 1 の 1 フィールド遅延回路 1 からは f 2 フィールドが出力される。

【0122】

このとき、プログレッシブ映像フィールド信号 P 2 の補間ラインは、第 2 の 1 フィールド遅延回路 2 の出力の f 1 フィールドの現ラインの値とインタレース映像信号 V 1 の信号である f 3 フィールドの現ラインの値とから演算される。この場合は平均値（または平均値に近い値）が演算される。したがって、f 4 フィールドの L ラインの値は、表 5 (a) に示す f 1 フィールドの L ラインの値「218」と f 3 フィールドの L ラインの値「37」の平均値「 $(218 + 37) / 2 = 127.5$ 」を近傍の整数値として四捨五入により求めた値「128」となる。同様に、それぞれの補間ラインの信号が求められる。

30

【0123】

次に、比較回路 6 の動作について詳しく説明する。図 3 は、比較回路 6 の内部の構成例を示す。

【0124】

図 3 に示すように、入力端子 6 0 1 にはプログレッシブ映像フィールド信号 P 2 が与えられ、入力端子 6 0 2 にはプログレッシブ映像フィールド信号 P 1 が与えられる。

40

【0125】

比較回路 6 は、1 ライン遅延回路 6 0 3 ~ 6 0 5、乗算回路 6 0 6 ~ 6 0 8、加算回路 6 0 9、6 1 0、減算回路 6 1 1 ~ 6 1 3 および最小値選択回路 6 1 4 を備える。

【0126】

入力端子 6 0 1 に与えられたプログレッシブ映像フィールド信号 P 2 は 1 ライン遅延回路 6 0 3 に与えられる。入力端子 6 0 2 に与えられたプログレッシブ映像フィールド信号 P 1 は 1 ライン遅延回路 6 0 4 に与えられる。この 1 ライン遅延回路 6 0 4 から出力される信号は 1 ライン遅延回路 6 0 5 に与えられる。

【0127】

乗算回路 6 0 6 は 1 ライン遅延回路 6 0 5 から出力された信号を $1/2$ 倍し、乗算回路 6

50

07は1ライン遅延回路604から出力された信号を1/2倍し、乗算回路608はプログレッシブ映像フィールド信号P1を1/2倍する。

【0128】

加算回路609は乗算回路606、607から出力された信号を加算し、加算回路610は乗算回路607、608から出力された信号を加算する。

【0129】

減算回路611は、1ライン遅延回路603から出力された信号と加算回路609から出力された信号とを減算した値を求め、その値の絶対値を出力する。減算回路612は、1ライン遅延回路603から出力された信号と1ライン遅延回路604から出力された信号とを減算した値を求め、その値の絶対値を出力する。減算回路613は、1ライン遅延回路603から出力された信号と加算回路610から出力された信号とを減算した値を求め、その値の絶対値を出力する。

10

【0130】

最小値選択回路614は、減算回路611～613から出力された信号の最小値を選択する。最小値選択回路614から出力された信号は、比較回路6からの出力信号として出力端子615から出力される。

【0131】

この動作は、入力端子601に第2のプログレッシブ映像生成回路5が生成する補間ラインが与えられたときに、その補間ラインの画素と入力端子602に与えられたプログレッシブ映像フィールド信号P1の対応する画素との間で行われる。すなわち、この動作は、プログレッシブ映像フィールド信号P1およびプログレッシブ映像フィールド信号P2の対応する画素間の比較と対応する画素およびその周辺の画素の値の画素ごとの比較とにより、その結果を動き量情報Mとして出力することに相当している。

20

【0132】

この比較演算の結果を表7(a)に示す。なお表7において、縦のラインの欄および横のフィールドの欄は第1の1フィールド遅延回路1から出力されるインタレース映像信号aのタイミングである。

【0133】

【表7】

比較演算の結果

(a) 演算回路611, 612, 613の出力例

	f3	f4	f5	f6	f7	f8	f9
L	—		—		—		—
L+1		0 64 0		19 64 109		0 64 0	
L+2	—		13 0 77		13 0 77		19 64 109
L+3		0 64 0		19 64 109		0 64 0	
L+4	—		13 0 77		13 0 77		19 64 109
L+5		0 64 0		19 64 109		0 64 0	
L+6	—		13 0 77		13 0 77		19 64 109
L+7		—		—		—	

10

20

(b) 第2のプログレッシブ映像生成回路5の出力例

	f3	f4	f5	f6	f7	f8	f9
L	—		—		—		—
L+1		0 (0. 0)		19 (0. 2)		0 (0. 0)	
L+2	—		0 (0. 0)		13 (0. 2)		19 (0. 2)
L+3		0 (0. 0)		19 (0. 2)		0 (0. 0)	
L+4	—		0 (0. 0)		13 (0. 2)		19 (0. 2)
L+5		0 (0. 0)		19 (0. 2)		0 (0. 0)	
L+6	—		0 (0. 0)		13 (0. 2)		19 (0. 2)
L+7		—		—		—	

30

【0134】

例えば、f4フィールドのL+2ラインが比較回路6に与えられる場合の演算は下記のようにになる。この場合の減算回路611には、プログレッシブ映像フィールド信号P2のf4フィールドのL+1ラインの値である値「191」が入力される。

40

【0135】

また、プログレッシブ映像フィールド信号P1のf4フィールドのLラインの値「128」とL+1ラインの値「255」との平均値「191.5」が乗算回路607、608および加算回路610から求められ、その近傍の整数値「191」が減算回路611に与えられる。したがって、減算回路611は、減算値の絶対値「0」を出力する。

【0136】

また、減算回路612には、プログレッシブ映像フィールド信号P2のf4フィールドのL+1ラインの値「191」とプログレッシブ映像フィールド信号P1のf4フィールド

50

のL+1ラインの値「255」とが与えられる。したがって、減算回路612は、減算値の絶対値「64」を出力する。

【0137】

また、減算回路613には、プログレッシブ映像フィールド信号P2のf4フィールドのL+1ラインの値「191」が与えられる。また、減算回路613には、プログレッシブ映像フィールド信号P1のf4フィールドのL+1ラインの値「255」とL+2の値である値「128」との平均値「191」が与えられる。したがって、減算回路613は、減算値の絶対値「0」を出力する。

【0138】

この3つの演算結果が表7(a)のf4フィールドのL+1ラインの欄に値「0」、「64」および「0」として記載されている。同様にして表7(a)のハッチングのある補間ラインの欄には、減算回路611～613からの演算結果の値が表示されている。 10

【0139】

表7(b)は、この減算回路611～613与えられる値の最小値を示している。例えば、f4フィールドのL+1ラインでは、減算回路611～613からの出力信号である値「0」、「64」および「0」のなかの最小値である値「0」が選択されて表示されている。

【0140】

このように、比較回路6の動作として上述したような演算の例を示したが、比較回路6の演算は上記に限定されるものではない。例えば、さらに周辺のラインの値を加味して演算してもよい。その場合、さらに周辺の画素との演算が可能となるので、より精度の高い比較が可能となり、またノイズ等にも強い構成とすることができる。 20

【0141】

また、本実施の形態に係る画像変換装置100は、プログレッシブ映像フィールド信号P2の補間ラインの画素について、プログレッシブ映像フィールド信号P1の現ラインの対応する画素の信号の値と現ラインの画素の上下の補間ラインの画素の値との差を演算することによって動き量情報Mを求めている。しかしながら、これとは反対に、プログレッシブ映像フィールド信号P1の補間ラインの画素について、プログレッシブ映像フィールド信号P2の現ラインの対応する画素の信号の値と現ラインの画素の上下の補間ラインの画素の値との差を演算することによって動き量情報Mを求めてもよく、また、この両者を組み合わせる構成としてもよい。 30

【0142】

次に、フレーム間補間回路7およびフィールド内補間回路8の動作について詳しく説明する。

【0143】

図4は、フレーム間補間回路7の内部の構成例を示し、図5は、フィールド内補間回路8の構成例を示す。

【0144】

図4に示すように、フレーム間補間回路7は1/2乗算回路703、704、加算回路705を備える。フレーム間補間回路7の入力端子701には、図1のインタレース映像入力信号V1が与えられる。入力端子702には、インタレース映像信号bが与えられる。 40

【0145】

フレーム間補間回路7に与えられたインタレース映像信号V1、bは、それぞれ乗算回路703、704でそれぞれ1/2に乗算された後に加算回路705で加算され、フレーム間補間信号F1として出力706より出力される。

【0146】

また、フレーム間補間回路7は、図示していないタイミング発生回路からの信号によりタイミング制御され、注目するフィールドの補間ラインの演算を行うように動作する。

【0147】

図5に示すように、フィールド内補間回路8は、1ライン遅延回路802、1/2乗算回 50

路 803, 804 および加算回路 805 を備える。

【0148】

フィールド内補間回路 8 の入力端子 801 には、図 1 のインタレース映像信号 a が与えられる。インタレース映像信号 a は、1 ライン遅延回路 802 および乗算回路 804 に与えられる。乗算回路 803 は、与えられた信号に $1/2$ を乗算した後、加算回路 805 に与える。乗算回路 804 は、与えられた信号に $1/2$ を乗算した後に加算回路 805 に与える。

【0149】

加算回路 805 は与えられた信号を加算し、出力端子 806 からフレーム間補間信号 F2 として出力する。

10

【0150】

また、フレーム間補間回路 7 と同様に、フィールド内補間回路 8 は、図示していないタイミング発生回路からの信号でタイミング制御され、注目するフィールドの補間ラインの演算を行うように動作する。

【0151】

フレーム間補間回路 7 およびフィールド内補間回路 8 の出力信号の一例を、それぞれ下記に示す。

【0152】

【表 8】

補間回路の出力例

(a) フレーム間補間回路7の出力例

	f3	f4	f5	f6	f7	f8	f9
L	128		37		128		218
L+1		191		64		64	
L+2	128		218		128		37
L+3		64		191		191	
L+4	128		37		128		218
L+5		191		64		64	
L+6	128		218		128		37
L+7		64		191		191	

10

20

(b) フィールド内補間回路8の出力例

	f3	f4	f5	f6	f7	f8	f9
L							
L+1		128		128		128	
L+2	128		128		128		128
L+3		128		128		128	
L+4	128		128		128		128
L+5		128		128		128	
L+6	128		128		128		128
L+7							

30

【0153】

表8 (a) は、フレーム間補間回路7から出力された信号を示し、表8 (b) は、フィールド内補間回路8から出力された信号を示す。この表においてハッチングがある部分が、注目フィールドの補間ラインの信号であり、これらの値が演算される。なお、表8は、インタレース映像信号aのタイミングにおける補間処理の値を表示している。

40

【0154】

例えば、表8 (a) においてf3フィールドのLラインの欄の値は以下の通りとなる。つまり、インタレース映像信号aがf3フィールドのLラインの場合の値を下記の通りに求められる。

【0155】

この場合、フレーム間補間回路7の入力端子701にはインタレース映像信号V1のf3フィールドのLラインの値「37」（表5 (b) 参照）が与えられる。また、フレーム間補間回路7の入力端子702にはインタレース映像信号bのf1フィールドのLラインの

50

値「218」が与えられる。フレーム間補間回路7は、与えられた値を乗算回路703、704のそれぞれで $1/2$ に乘算し、加算回路705においてそれぞれの値を加算した値「127.5」の近傍の整数値「128」を求める。同様にして、その他のハッチングされた部分の値も演算される。

【0156】

次に、フィールド内補間回路8から出力されるフィールド内補間信号F2の一例については表8(b)に示す。表8(b)も、インタレース映像信号aのタイミングにおける補間処理の値を示している。一例として、インタレース映像信号aがf3フィールドのL+1ラインにおける補間処理した値について以下に説明する。

【0157】

f3フィールドのL+1ラインがインタレース映像信号aである場合には、フィールド内補間回路8には第1の1フィールド遅延回路1からの出力であるf2フィールドのL+3ラインの値が入力される。このとき1ライン遅延回路802からは1ライン以上前の値、すなわちf2フィールドのL+1ラインの値「255」が出力されて乗算回路803で $1/2$ に乘算される。また乗算回路804ではf2フィールドのL+3ラインの値である「0」が $1/2$ に乘算されて出力されている。

【0158】

フィールド内補間回路8は、乗算回路803、804から与えられた信号を加算回路805で加算し、その値「127.5」の近傍値である「128」をフィールド内補間した値として求める。同様にして、その他のハッチングされた部分の数値が演算される。

【0159】

次に、出力回路9の動作について詳しく説明する。図6は、出力回路9の内部の構成例を示す。

【0160】

図6に示すように、出力回路9は、割合演算回路905、乗算回路906、907、加算回路908および切り換え回路909を備える。ここで、 α は割合演算回路905により演算される割合値であり、0以上1以下の数値である。乗算回路907は α 倍の乗算回路であり、乗算回路906は $(1-\alpha)$ 倍の乗算回路である。

【0161】

入力端子901にはフレーム間補間信号F1が与えられ、入力端子902にはフィールド内補間信号F2が与えられる。また、入力端子904にはインタレース映像信号aが与えられ、入力端子903には動き量情報Mに応じた値が与えられる。

【0162】

割合演算回路905は、入力端子903から与えられる動き量情報Mに応じて出力回路9から出力する静止画と動画の割合を演算する割合演算回路である。

【0163】

割合演算回路905は、入力端子903から与えられた動き量情報Mにより、フレーム間補間信号F1とフィールド内補間信号F2との割合を決める係数である割合値 α を特定する。例えば、比較回路6から出力される動き量情報Mについて、 $0 \leq M < 10$ のときは「 $\alpha = 0$ 」とし、 $10 \leq M < 20$ のときは「 $\alpha = 0.2$ 」とし、 $20 \leq M < 30$ のときは「 $\alpha = 0.5$ 」とし、 $30 \leq M$ のときは「 $\alpha = 1$ 」とするように決める。このように、出力回路9は、動き量情報Mが小さいほど割合値 α が小さくなるように制御する。

【0164】

乗算回路906、907は、入力端子901、902からそれぞれ入力されたフレーム間補間回路7から出力された信号、フィールド内補間回路8からの出力信号をそれぞれ乗算し、加算回路908で加算する。

【0165】

このようにすれば、動き量情報Mが小さいほどフレーム間補間回路7の出力の割合が高くなるように制御することができる。

【0166】

10

20

30

40

50

切り換え回路 909 は、入力端子 904 に与えられたインタレース映像信号 a と加算回路 908 から与えられた信号とを切り換える。切り換え回路 909 は、図示していないタイミング発生回路によって、注目するフィールドの信号が現ラインであればインタレース映像信号 a を出力し、補間ラインであれば加算回路 908 から出力される信号を出力するように切り換えることができる。

【0167】

切り換え回路 9 の入力端子 903 には、表 7 (b) に示されている動き量情報 M が入力される。例えば、f 4 フィールド、f 5 フィールドおよび f 8 フィールドの動き量情報 M は「0」であるので、割合演算回路 905 から出力される割合値 α は「0」と演算される。

【0168】

f 6 フィールド、f 7 フィールドおよび f 9 フィールドの動き量情報 M は「19」または「13」であるので、割合演算回路 905 から出力される割合値 α は「0.2」と演算される。この割合値 α は表 7 (b) のカッコ内に示されている。

【0169】

このように、出力回路 9 が割合値 α の大小によって演算動作を行った結果を表 9 に示す。

【0170】

【表 9】

出力回路9の出力値および出力回路9の出力値と元の映像信号の値との差

(a) 出力回路9の出力例

	f3	f4	f5	f6	f7	f8	f9
L		37		37		218	
L+1	255	191	128	77	0	64	128
L+2	128	218	218	218	128	37	37
L+3	0	64	128	179	255	191	128
L+4	128	37	37	37	128	218	218
L+5	255	191	128	77	0	64	128
L+6	128	218	218	218	128	37	37
L+7	0		128		255		191

10

20

(b) 出力回路9の出力値と元の映像信号の値との差

	f3	f4	f5	f6	f7	f8	f9
L							
L+1		26		39		26	
L+2	0		37		0		37
L+3		26		39		26	
L+4	0		37		0		37
L+5		26		39		26	
L+6	0		37		0		37
L+7							

30

【0171】

表9 (a) において、例えば、f4フィールドのL+1ラインの値は、動き量情報Mから求められる割合値 α が値「0.0」（表7 (b) 参照）であるので、フレーム間補間回路7の出力値は値「191」（表8 (a) 参照）となる。また、例えばf6フィールドのL+1ラインの値は、動き量情報Mから求められる割合値 α が値「0.2」（表7 (b) 参照）であるので、フレーム間補間回路7の出力値は「64」（表8 (a) 参照）に「0.8」（ $=1-0.2$ ）を乗じた値「51.2」と、フィールド内補間回路8の出力値である値「128」（表8 (b) 参照）に値「0.2」を乗じた値「25.6」とを加えた値「76.8」の近傍値である値「77」となる。

40

【0172】

このように、ハッチングされている補間ラインの値と、ハッチングのない現ラインの値が表9 (a) に示すように演算される。

50

【0173】

表9(b)に、表9(a)に示される出力回路9から出力される値と元の映像信号との差の絶対値を示したものを示す。表9(b)は、画像変換装置100での遅延分である1フィールドの時間差を加味して、以下のように差が計算されている。

【0174】

例えば、元の映像信号ではf5フィールドの+3ラインの値「218」はインタレース映像信号では伝送されないラインであるが、1フィールド分の遅延を加味して、出力回路9からは、f6フィールドのL+3ラインの値として値「179」が出力されている。このf5フィールドのL+3ラインの値「218」と出力されているf6フィールドのL+3ラインの値「179」との差の絶対値として値「39」が計算される。このようにして、補間ラインでの元の映像信号の値と出力回路9から出力された値との差が、表9(b)のように計算される。

10

【0175】

表9(b)に示されるように、本発明の第1の実施の形態に係る画像変換装置100によれば、補間ラインでの現信号との明るさの差を、値「40」以下に抑えることができる。この値は、表4(b)に示される従来例の補間ラインでの現信号との差である値「90」に比べて、大幅に小さくすることが実現できている。

【0176】

つまり、本実施の形態によれば画像がゆっくりと垂直方向に動いたときに動画処理となりやすく、画質が劣化しやすいという従来例での課題を大幅に軽減することが可能となっている。

20

【0177】

このように本実施の形態による画像変換装置100は、基になるフィールドが異なるプログレッシブ映像フィールド信号P1とプログレッシブ映像フィールド信号P2とを比較し、その比較結果を動き量情報Mとして出力することができるので、正確な動き検出を行うことができる。また、画像変換装置100は、垂直方向の大きな輝度差を持つ画像がゆっくり動いたときなどにおいても、正確な動き判定をすることができ、安定で解像度の高い映像を提供することができる。

【0178】

また、本実施の形態では、1フィールドずつ連続して遅延した4つのインタレース映像信号V1, a, b, cのうちインタレース映像信号V1, a, bからプログレッシブ映像フィールド信号P2を生成し、インタレース映像信号a, b, cからプログレッシブ映像フィールド信号P1を生成する。このプログレッシブ映像フィールド信号P1とプログレッシブ映像フィールド信号P2とを比較している。

30

【0179】

なお、プログレッシブ映像フィールド信号P1およびプログレッシブ映像フィールド信号P2の生成は、1フィールドずつ連続して遅延した4つのインタレース映像信号のフィールド信号で作成することに限定されない。例えば、インタレース映像信号V1, a, bのうちのインタレース映像信号V1のフィールド信号とインタレース映像信号aのフィールド信号とでプログレッシブ映像フィールド信号P1を作成し、インタレース映像信号a, bでプログレッシブ映像フィールド信号P2を作成してもよい。このようにすれば、フィールドメモリに蓄えるデータ量を削減することができ低コストで高性能の画像変換装置を提供することができる。

40

【0180】

また、本実施の形態においては、プログレッシブ映像フィールド信号P1の現ラインとして、インタレース映像信号aを用い、補間ラインとしてインタレース映像信号V1とインタレース映像信号bとの演算値を用い、プログレッシブ映像フィールド信号P2の現ラインとして、インタレース映像信号bのフィールド信号を用い、補間ラインとしてインタレース映像V1のフィールド信号とインタレース映像信号cのフィールド信号との演算値を用いている。

50

【0181】

これによって、多少の動きがあったとしても、補間ラインには、インタレース映像信号V1, bの演算により、また、インタレース映像信号a, bの演算により、相対的な動き量がキャンセルし合うように働くため、映像に動きがあったとしても、「静止画」、「動画」の判定を正確に行うことができ、高精度に画質を改善でき、より高画質なプログレッシブ映像を提供することができる。

【0182】

さらに補間ラインの信号を演算する上で、対応するインタレース映像信号の対応する画素とその周辺の画素を演算に含めている。これにより、ノイズに強く、より精度の高いプログレッシブ映像フィールド信号P1とプログレッシブ映像フィールド信号P2を生成する

10

【0183】

さらに、補間ラインの信号を演算する上で、対応するインタレース映像フィールドの対応する画素の平均値を演算している。これにより、回路規模を簡略化することが可能となり、低コストな回路を実現できる。

【0184】

また、比較回路6は、第1のプログレッシブ映像生成回路4が生成したプログレッシブ映像フィールド信号P1と第2のプログレッシブ映像生成回路5が生成したプログレッシブ映像フィールド信号P2との対応する画素間の比較と対応する画素およびその周辺の画素の値を画素ごとの比較により、その結果を動き量Mとして出力するものである。

20

【0185】

この場合、比較回路6の比較が対応する画素だけにとどまらず、周辺の画素をも含むので、動き検出をより高精度で行うことができるものである。

【0186】

一般には、インタレース映像信号をインタレース映像フィールド信号と呼び、プログレッシブ映像信号を、特に、プログレッシブ画像フレーム信号と呼ぶことがある。

【0187】

本発明の実施の形態の説明においては、最終的な出力に至る前の中間的なプログレッシブ映像信号をテレビ映像のフィールド単位の処理信号であることから、プログレッシブ映像フィールド信号と記している。この名称について、特にフィールド信号は、合成されたフレーム信号と呼び変えても意味的には同じである。つまり、本発明においては、プログレッシブ映像フィールド信号をプログレッシブ画像フレーム信号と呼び変えても同じ意味を指すものであり、本発明は、プログレッシブ映像フィールド信号という表記に限定されない。すなわち、プログレッシブ映像フィールド信号は、インタレース映像フィールド信号から生成されたプログレッシブ映像信号を示すものである。

30

【0188】

本実施の形態においては、第1の1フィールド遅延回路1、第2の1フィールド遅延回路2および第3の1フィールド遅延回路3、第1のプログレッシブ映像生成回路4および第2のプログレッシブ映像生成回路5がプログレッシブ信号生成回路に相当し、第1の1フィールド遅延回路1、第2の1フィールド遅延回路2および第3の1フィールド遅延回路3がインタレース生成回路に相当し、プログレッシブ映像フィールド信号P1が第1のプログレッシブ信号に相当し、第1のプログレッシブ映像生成回路4が第1のプログレッシブ回路に相当し、プログレッシブ映像フィールド信号P2が第2のプログレッシブ信号に相当し、第2のプログレッシブ映像生成回路5が第2のプログレッシブ回路に相当する。

40

【0189】

また、比較回路6が動き算出回路に相当し、フレーム間補間信号F1が静止画プログレッシブ信号に相当し、フレーム間補間回路7が静止画処理回路に相当し、フィールド内補間信号F2が動画プログレッシブ信号に相当し、フィールド内補間回路8が動画処理回路に相当し、インタレース映像信号V1, a, b, cがそれぞれ第1～第4のインタレース映像信号に相当する。

50

【0190】

(第2の実施の形態)

次に、第2の実施の形態に係る画像変換装置について説明する。第2の実施の形態に係る画像変換装置においては、図1の第1のプログレッシブ映像生成回路4が形成したプログレッシブ映像フィールド信号P1および第2のプログレッシブ映像生成回路5が形成したプログレッシブ映像フィールド信号P2のライン間に新たに複数の仮想の画素を形成する。

【0191】

その結果、第2の実施の形態に係る画像変換装置においては、第1の実施の形態に係る画像変換装置100と比較して、画像が1ライン／フィールド以下でゆっくり動いた時でも、複数の仮想の画素に基づいて、より精密に動き情報を検出できるとともに、最適な静止画処理と動画処理との制御を実現できる。

10

【0192】

図7は、第2の実施の形態に係る画像変換装置のブロック図である。図7に示す第2の実施の形態に係る画像変換装置100aが、図1に示す第1の実施の形態に係る画像変換装置100と異なる点は以下の点である。

第2の実施の形態に係る画像変換装置100aは、第1の実施の形態に係る画像変換装置100の構成に、第1の映像信号形成回路10および第2の映像信号形成回路11をさらに含むものである。

【0193】

また、第2の実施の形態に係る画像変換装置100aは、第1の実施の形態に係る画像変換装置100の比較回路6の代わりに比較回路6aを含み、第1の実施の形態に係る画像変換装置100の出力回路9の代わりに出力回路9aを含む。

20

【0194】

第2の実施の形態に係る画像変換装置100aのその他の構成は、第1の実施の形態に係る画像変換装置100の構成と同様であるので、同一構成部分には同一符号を付すものとする。

【0195】

以下、第2の実施の形態に係る画像変換装置100aが第1の実施の形態に係る画像変換装置100の構成と異なる点について説明する。

30

【0196】

第2の実施の形態に係る画像変換装置100aの第1の映像信号形成回路10は、第1のプログレッシブ映像生成回路4が出力するプログレッシブ映像フィールド信号P1の画素間に新たに画素を形成する。また、第2の映像信号形成回路11は、第2のプログレッシブ映像生成回路5が出力するプログレッシブ映像フィールド信号P2の画素間に新たに画素を形成する。

【0197】

次に、比較回路6aは、第1の映像信号形成回路10が出力する新たに形成されたプログレッシブ映像フィールド信号P3と第2の映像信号形成回路11が出力する新たに形成されたプログレッシブ映像フィールド信号P4とをそれぞれ対応する画素間で画素の値を比較して、または対応する画素とその周辺の画素の値とを比較して、その比較結果を動き量情報Maとして出力する。

40

【0198】

以下に、第1の映像信号形成回路10および第2の映像信号形成回路11の構成について説明する。

【0199】

図8(a)は第1の映像信号形成回路10の構成を示す図であり、図8(b)は第2の映像信号形成回路11の構成を示す図である。

【0200】

図8(a)に示すように、第1の映像信号形成回路10は、1ライン遅延回路1002、

50

1003、乗算回路1004、1005、・・・、1015および加算回路1016、1017、・・・、1021を含む。

【0201】

また、乗算回路1005、1008、1011、1014のそれぞれの乗算係数は、 $1/4$ に設定されている。乗算回路1006、1007、1012、1013のそれぞれの乗算係数は、 $2/4$ に設定されている。乗算回路1004、1009、1010、1015のそれぞれの乗算係数は、 $3/4$ に設定されている。

【0202】

図8(b)に示すように、第2の映像信号形成回路11は、1ライン遅延回路1102、1103、乗算回路1104、1105、・・・、1115および加算回路1116、1117、・・・、1121を含む。 10

【0203】

また、乗算回路1105、1108、1111、1114のそれぞれの乗算係数は、 $1/4$ に設定されている。乗算回路1106、1107、1112、1113のそれぞれの乗算係数は、 $2/4$ に設定されている。乗算回路1104、1109、1110、1115のそれぞれの乗算係数は、 $3/4$ に設定されている。

【0204】

次に、図8(a)を用いて第1の映像信号形成回路10の動作について説明する。

【0205】

第1のプログレッシブ映像生成回路4から出力されたプログレッシブ映像フィールド信号P1が、入力端子1001に与えられる。入力端子1001に与えられたプログレッシブ映像フィールド信号P1は、1ライン遅延回路1002に与えられる。 20

【0206】

1ライン遅延回路1002は、プログレッシブ映像フィールド信号P1を1ライン分遅延し、プログレッシブ映像フィールド信号P11を生成し、その生成したプログレッシブ映像フィールド信号P11を1ライン遅延回路1003に与える。1ライン遅延回路1003は与えられたプログレッシブ映像フィールド信号P11を1ライン分遅延し、プログレッシブ映像フィールド信号P12を生成する。

【0207】

入力端子1001に与えられたプログレッシブ映像フィールド信号P1は、乗算回路1011、1013、1015にそれぞれ与えられる。1ライン遅延回路1002により生成されたプログレッシブ映像フィールド信号P11は、乗算回路1005、1007、1009、1010、1012、1014にそれぞれ与えられる。1ライン遅延回路1003により生成されたプログレッシブ映像フィールド信号P12は、乗算回路1004、1006、1008にそれぞれ与えられる。 30

【0208】

次に、乗算回路1004において、与えられたプログレッシブ映像フィールド信号P12が、設定された乗算係数と乗算されて加算回路1016へ出力される。乗算回路1005において、与えられたプログレッシブ映像フィールド信号P11が、設定された乗算係数と乗算されて加算回路1016へ出力される。乗算回路1006において、与えられたプログレッシブ映像フィールド信号P12が、設定された乗算係数と乗算されて加算回路1017へ出力される。 40

【0209】

乗算回路1007において、与えられたプログレッシブ映像フィールド信号P11が、設定された乗算係数と乗算されて加算回路1017へ出力される。乗算回路1008において、与えられたプログレッシブ映像フィールド信号P12が、設定された乗算係数と乗算されて加算回路1018へ出力される。乗算回路1009において、与えられたプログレッシブ映像フィールド信号P11が、設定された乗算係数と乗算されて加算回路1018へ出力される。乗算回路1010において、与えられたプログレッシブ映像フィールド信号P11が、設定された乗算係数と乗算されて加算回路1019へ出力される。 50

【0210】

乗算回路1011において、与えられたプログレッシブ映像フィールド信号P1が、設定された乗算係数と乗算されて加算回路1019へ出力される。乗算回路1012において、与えられたプログレッシブ映像フィールド信号P11が、設定された乗算係数と乗算されて加算回路1020へ出力される。乗算回路1013において、与えられたプログレッシブ映像フィールド信号P1が、設定された乗算係数と乗算されて加算回路1020へ出力される。乗算回路1014において、与えられたプログレッシブ映像フィールド信号P11が、設定された乗算係数と乗算されて加算回路1021へ出力される。乗算回路1015において、与えられたプログレッシブ映像フィールド信号P1が、設定された乗算係数と乗算されて加算回路1021へ出力される。

10

【0211】

続いて、加算回路1016において、乗算回路1004と乗算回路1005との出力信号が加算され、出力端子1022からプログレッシブ映像フィールド信号が出力される。加算回路1017において、乗算回路1006と乗算回路1007との出力信号が加算され、出力端子1023からプログレッシブ映像フィールド信号が出力される。加算回路1018において、乗算回路1008と乗算回路1009との出力信号が加算され、出力端子1024からプログレッシブ映像フィールド信号が出力される。

【0212】

加算回路1019において、乗算回路1010と乗算回路1011との出力信号が加算され、出力端子1026からプログレッシブ映像フィールド信号が出力される。加算回路1020において、乗算回路1012と乗算回路1013との出力信号が加算され、出力端子1027からプログレッシブ映像フィールド信号が出力される。加算回路1021において、乗算回路1014と乗算回路1015との出力信号が加算され、出力端子1028からプログレッシブ映像フィールド信号が出力される。1ライン遅延回路1002のプログレッシブ映像フィールド信号P11が、出力端子1025から出力される。図8(a)に示す第1の映像信号形成回路10においては、出力端子1022、・・・、出力端子1028から出力されるプログレッシブ映像フィールド信号が出力端子1029から出力される。

20

【0213】

上記の第1の映像信号形成回路10の動作は、タイミング発生回路（図示せず）の信号に基づいて演算される。なお、タイミング発生回路の信号は、第1のプログレッシブ映像生成回路4により生成されるプログレッシブ映像フィールド信号P1の補間ラインが、1ライン遅延回路1002から出力されるタイミングで形成されている。

30

【0214】

このとき、出力端子1022には、注目すべき補間ラインの画素の $1/4$ の値と、補間ラインの上の現ラインの画素の $3/4$ の値とが加算され出力されている。したがって、注目すべき補間ラインの画素から補間ラインの上の現ラインの画素への1ラインの $3/4$ の距離にある場所の画素を形成したことになる。

【0215】

同様に、出力端子1023には、注目すべき補間ラインの画素の $2/4$ の値と、補間ラインの上の現ラインの画素の $2/4$ の値とが加算され出力されている。したがって、注目すべき補間ラインの画素から補間ラインの上の現ラインの画素への1ラインの $2/4$ の距離にある場所の画素を形成したことになる。

40

【0216】

また、出力端子1024には、注目すべき補間ラインの画素の $3/4$ の値と、補間ラインの上の現ラインの画素の $1/4$ の値とが加算され出力されている。したがって、注目すべき補間ラインの画素から補間ラインの上の現ラインの画素への1ラインの $1/4$ の距離にある場所の画素を形成したことになる。

【0217】

また、出力端子1026には、注目すべき補間ラインの画素の $3/4$ の値と、補間ライン

50

の下の現ラインの画素の $1/4$ の値とが加算され出力されている。したがって、注目すべき補間ラインの画素から補間ラインの下の現ラインの画素への 1 ラインの $1/4$ の距離にある場所の画素を形成したことになる。

【0218】

また、出力端子 1027 には、注目すべき補間ラインの画素の $2/4$ の値と、補間ラインの下の現ラインの画素の $2/4$ の値とが加算され出力されている。したがって、注目すべき補間ラインの画素から補間ラインの下の現ラインの画素への 1 ラインの $2/4$ の距離にある場所の画素を形成したことになる。

【0219】

また、出力端子 1028 には、注目すべき補間ラインの画素の $1/4$ の値と、補間ラインの下の現ラインの画素の $3/4$ の値とが加算され出力されている。したがって、注目すべき補間ラインの画素から補間ラインの下の現ラインの画素への 1 ラインの $3/4$ の距離にある場所の画素を形成したことになる。

10

【0220】

上記第 1 の映像信号形成回路 10 の出力例および第 2 の映像信号形成回路 11 の出力例を表に示す。

【0221】

【表 10】

映像信号形成回路の出力例

(a) 映像信号形成回路10の出力例

	f3	f4	f5	f6	f7	f8	f9
L	218	128	37	37	37	128	218
L+0.25	159	76	60	44	96	179	195
L+0.50	191	114	82	51	64	141	173
L+0.75	223	153	105	57	32	102	150
L+1	255	191	128	64	0	64	128
L+1.25	223	198	150	102	32	57	105
L+1.50	191	204	173	141	64	51	82
L+1.75	159	211	195	179	96	44	60
L+2	37	128	218	218	218	128	37
L+2.25	96	179	195	211	159	76	60
L+2.50	64	141	173	204	191	114	82
L+2.75	32	102	150	198	223	153	105
L+3	0	64	128	191	255	191	128
L+3.25	32	57	105	153	223	198	150
L+3.50	64	51	82	114	191	204	173
L+3.75	96	44	60	76	159	211	195
L+4	218	128	37	37	37	128	218
L+4.25	159	76	60	44	96	179	195
L+4.50	191	114	82	51	64	141	173
L+4.75	223	153	105	57	32	102	150
L+5	255	191	128	64	0	64	128
L+5.25	223	198	150	102	32	57	105
L+5.50	191	204	173	141	64	51	82
L+5.75	159	211	195	179	96	44	60
L+6	37	128	218	218	218	128	37
L+6.25	96	179	195	211	159	76	60
L+6.50	64	141	173	204	191	114	82
L+6.75	32	102	150	198	223	153	105
L+7	0	64	128	191	255	191	128

(b) 映像信号形成回路11の出力例

	f3	f4	f5	f6	f7	f8	f9
L	128	37	37	37	128	218	218
L+0.25	159	76	60	44	96	179	195
L+0.50	191	114	82	51	64	141	173
L+0.75	223	153	105	57	32	102	150
L+1	255	191	128	64	0	64	128
L+1.25	223	198	150	102	32	57	105
L+1.50	191	204	173	141	64	51	82
L+1.75	159	211	195	179	96	44	60
L+2	128	218	218	218	128	37	37
L+2.25	96	179	195	211	159	76	60
L+2.50	64	141	173	204	191	114	82
L+2.75	32	102	150	198	223	153	105
L+3	0	64	128	191	255	191	128
L+3.25	32	57	105	153	223	198	150
L+3.50	64	51	82	114	191	204	173
L+3.75	96	44	60	76	159	211	195
L+4	128	37	37	37	128	218	218
L+4.25	159	76	60	44	96	179	195
L+4.50	191	114	82	51	64	141	173
L+4.75	223	153	105	57	32	102	150
L+5	255	191	128	64	0	64	128
L+5.25	223	198	150	102	32	57	105
L+5.50	191	204	173	141	64	51	82
L+5.75	159	211	195	179	96	44	60
L+6	128	218	218	218	128	37	37
L+6.25	96	179	195	211	159	76	60
L+6.50	64	141	173	204	191	114	82
L+6.75	32	102	150	198	223	153	105
L+7	0	64	128	191	255	191	128

【0222】

表10(a)は第1の映像信号形成回路10の出力端子1029からの出力信号を示し、
表10(b)は第2の映像信号形成回路11の出力端子1129からの出力信号を示す。

【0223】

10

20

30

40

50

例えば、表 10 (a) に示すように、第 1 の映像信号形成回路 10 が f 4 フィールドの L + 2 ラインと L + 1 ラインとの間の L + 1. 25 ラインの画素を算出する場合、L + 1 ラインの画素の値である「255」を 3 / 4 倍した値である「191.25」と、L + 2 ラインの画素の値である「128」を 1 / 4 倍した値である「32」とを加算して、その合計値「223.25」を算出する。そして、第 1 の映像信号形成回路 10 は、算出した合計値「223.25」の近傍値として「223」を選択し、f 4 フィールドの L + 1. 25 ラインの画素の値として出力する。

【0224】

また、表 10 (b) に示すように、第 2 の映像信号形成回路 11 が f 5 フィールドの L + 4 ラインと L + 5 ラインとの間の L + 4. 25 ラインの画素を算出する場合、L + 4 ラインの画素の値である「37」を 3 / 4 倍した値である「27.75」と、L + 5 ラインの画素の値である「128」を 1 / 4 倍した値である「32」とを加算して、その合計値「59.75」を算出する。そして、第 2 の映像信号形成回路 11 は、算出した合計値「59.75」の近傍値として「60」を選択し、f 5 フィールドの L + 4. 25 ラインの画素の値として出力する。このようにして、他のラインの画素の値も算出され出力される。

【0225】

第 1 の映像信号形成回路 10 および第 2 の映像信号形成回路 11 では、上記のような演算が行われ、プログレッシブ映像フィールド信号 P 1, P 2 に新たに形成された画素を追加したプログレッシブ映像フィールド信号 P 3, P 4 が比較回路 6 a に出力される。

【0226】

次に、比較回路 6 a の構成および動作について説明する。図 9 は、比較回路 6 a の内部構成を示すブロック図である。

【0227】

比較回路 6 a は、バッファ回路 6003, 6004、動き演算回路 6005 および最小値回路 6006 を含む。

【0228】

比較回路 6 a の入力端子 6001 には、第 1 の映像信号形成回路 10 からプログレッシブ映像フィールド信号 P 3 が与えられ、入力端子 6002 には第 2 の映像信号形成回路 11 からプログレッシブ映像フィールド信号 P 4 が与えられる。入力端子 6001, 6002 から与えられたプログレッシブ映像フィールド信号 P 3, P 4 は、バッファ回路 6003, 6004 にそれぞれ与えられる。バッファ回路 6003, 6004 は、所定の間隔でプログレッシブ映像フィールド信号 P 3, P 4 を蓄積し、所定の間隔経過後に動き演算回路 6005 にプログレッシブ映像フィールド信号 P 7, P 8 を与える。動き演算回路 6005 は、バッファ回路 6003, 6004 の両者から与えられたプログレッシブ映像フィールド信号 P 7, P 8 において、対応する画素間、または対応する画素とその周辺の画素の値を比較し、その比較結果を動き量 M 1 として出力する。

【0229】

最小値回路 6006 は、動き演算回路 6005 から出力された動き量 M 1 から最小値を選択して出力端子 6007 から動き量情報 M a として出力する。

【0230】

次に、動き演算回路 6005 の動作例について説明する。動き演算回路 6005 は、入力されるプログレッシブ映像フィールド信号に基づいて動き検出を行う。

【0231】

まず、動き演算回路 6005 では、バッファ回路 6003, 6004 からそれぞれ新たに画素を形成されたプログレッシブ映像フィールド信号 P 7, P 8 が与えられる。

【0232】

動き演算回路 6005 において、動き検出は、プログレッシブ映像フィールド信号の f 4 フィールドの L + 3 ラインの 1 画素、その L + 3 ラインの上 3 画素、およびその L + 3 ラインの下 3 画素の合計 7 画素に基づいて以下のように行われる。

【0233】

f 4 フィールドの L + 3 ラインの値は、表 10 (a) に示す f 4 フィールドの L + 2 . 25 ラインから L + 3 . 75 ラインの値と、表 10 (b) に示す f 4 フィールドの L + 2 . 25 ラインから L + 3 . 75 ラインの値とのそれぞれの差の絶対値を加算することによって求められる。

【0234】

すなわち、f 4 フィールドの L + 3 ラインの値は、次式で表される。

【0235】

【数1】

$$\begin{aligned} & ((|196-179|) + |(64-141)| + |(32-102)| + |(0-64)| + \\ & |(32-57)| + |(64-51)| + |(96-44)|) / 7 \doteq 54.857 \\ & = 55 \end{aligned}$$

10

【0236】

上式の値は、画像が全く動かず静止している場合に最も小さな値を示す。例えば、f 4 フィールドの L + 3 ラインの値が小さな値を示す場合、画素周辺での画像の変化が生じていないと判定できるため、画像が静止画であると推定できる。

【0237】

また、f 4 フィールドの L + 3 ラインの 1 つ上の値は、表 10 (a) に示す f 4 フィールドの L + 2 ラインから L + 3 . 50 ラインの値と、表 10 (b) に示す f 4 フィールドの L + 2 . 25 ラインから L + 3 . 75 ラインの値とのそれぞれの差の絶対値を加算することによって求められる。

20

【0238】

以下、同一フィールドにおいて上下に隣接する 2 つのライン間の距離を 1 画素 / フィールドと表現し、上記 2 つのライン間の距離の 1 / 2 を 0 . 5 画素フィールドと表現し、上記 2 つのライン間の距離の 1 / 4 を 0 . 25 画素フィールドと表現し、上記 2 つのライン間の距離の 3 / 4 を 0 . 75 画素フィールドと表現する。

【0239】

すなわち、f 4 フィールドの L + 3 ラインの 1 つ上の値は、次式で表される。

30

【0240】

【数2】

$$\begin{aligned} & (|128-179| + |(96-141)| + |(64-102)| + |(32-64)| + \\ & |(0-57)| + |(32-51)| + |(64-44)|) / 7 \doteq 37.429 \\ & = 38 \end{aligned}$$

【0241】

上式の値は、画像が下ライン方向に 0 . 25 画素 / フィールド動いている場合に最も小さな値を示す。

40

【0242】

また、f 4 フィールドの L + 3 ラインの 2 つ上の値は、表 10 (a) に示す f 4 フィールドの L + 1 . 75 ラインから L + 3 . 25 ラインの値と、表 10 (b) に示す f 4 フィールドの L + 2 . 25 ラインから L + 3 . 75 ラインの値とのそれぞれの差の絶対値を加算することによって求められる。

【0243】

すなわち、f 4 フィールドの L + 3 ラインの 2 つ上の値は、次式で表される。

【0244】

【数3】

50

$$\begin{aligned} & (|159-179| + |(128-141)| + |(96-102)| + |(64-64)| + \\ & |(32-57)| + |(0-51)| + |(32-44)|) / 7 \div 18.142 \\ & = 18 \end{aligned}$$

【0245】

上式の値は、画像が下ライン方向に0.50画素／フィールド動いている場合に最も小さな値を示す。

【0246】

10

このように、f4フィールドのL+3ラインの値は55と算出され、f4フィールドのL+3ラインの1つ上の値は「38」と算出され、f4フィールドのL+3ラインの2つ上の値は「18」と算出される。同様に、f4フィールドのL+3ラインの3つ上の値は「22」と算出され、f4フィールドのL+3ラインの1つ下の値は「71」と算出され、f4フィールドのL+3ラインの2つ下の値は「84」と算出され、f4フィールドのL+3ラインの3つ下の値は「98」とそれぞれ算出される。

【0247】

これらのf4フィールドのL+3ラインの値、L+3ラインの1つ上の値、L+3ラインの2つ上の値、L+3ラインの3つ上の値、L+3ラインの1つ下の値、L+3ラインの2つ下の値、L+3ラインの3つ下の値は、それぞれ動きの量が下方向に0.75画素／フィールド、下方向に0.50画素／フィールド、下方向に0.25画素／フィールド、静止、上方向へ0.25画素／フィールド、上方向へ0.50画素／フィールド、上方向へ0.75画素／フィールドの場合に最小値を示す。

20

【0248】

以上のように、動き演算回路6005では、プログレッシブ映像フィールド信号P7、P8の相関性に基づいて動き量および動きの方向とその確からしさとが算出され、動き量M1として出力される。上記の動き演算回路6005の動き量M1の出力結果を表に示す。

【0249】

【表11】

動き演算回路6005の出力例と比較回路6aの出力例

(a) 動き演算回路6005の出力例

	f3	f4	f5	f6	f7	f8	f9
L							
L+1							
			28		17		28
			18		15		18
			17		38		17
L+2			27		59		27
		22	52	26	73	22	52
		18	71	14	86	18	71
		38	84	18	99	38	84
L+3		55		36		55	
		71	28	59	17	71	28
		84	18	75	15	84	18
		98	17	87	38	98	17
L+4			27		59		27
		22	52	26	73	22	52
		18	71	14	86	18	71
		38	84	18	99	38	84
L+5		55		36		55	
		71		59		71	
		84		75		84	
		98		87		98	
L+6							
L+7							

10

20

(b) 比較回路6aの出力例

	f3	f4	f5	f6	f7	f8	f9
L							
L+1							
					15		
			17				17
L+2							
		18		14		18	
L+3							
			17		15		17
L+4							
		18		14		18	
L+5							
L+6							
L+7							

30

40

【0250】

例えば、表11(a)に示すように、f4フィールドのL+3ラインの欄の上3欄と下3欄との値の中で、上側に0.50画素/フィールドの動きを示す欄が最小値である「18」を示している。その結果、映像フィールド信号の動き量および動き方向が下方方向に0.

50

50画素／フィールドであり、その確からしさは、「18」であると判定できる。

【0251】

なお、第2の実施の形態に係る画像変換装置100aにおいては、動き演算回路6005の出力のうちの最小値に基づいて動き方向および動き量とその確からしさを判定することとしたが、これに限定されず、所定の閾値を設定して7つの欄のうちの最小値が所定の閾値以下の場合に動き量が小さいと判定させてもよい。

【0252】

例えば、所定の閾値を「20」に設定した場合、表11(a)よりf4フィールドのL+3ラインの欄の2つ上の欄に「20」以下の欄が存在するので、プログレッシブ映像フィールド信号P7、P8の相関性に基づいて、下方向に0.5画素／フィールドの動き量および動き方向を有すると判定できる。その結果、出力回路9へ出力する情報を削減することができ、回路を簡略化することが可能となる。

10

【0253】

このように、動き演算回路6005は、0.25画素／フィールド、0.50画素／フィールドおよび0.75画素／フィールドの動き量と確からしさを算出して、最小値回路6006に動き量M1として与える。

【0254】

最小値回路6006は、注目する補間ラインの画素での動き演算回路6005から与えられる動き量M1のうち最小値を示す値を選択して動き量情報Maを出力端子6007に出力する。

20

【0255】

例えば、表11(a)に示すf4フィールドのL+3ラインの補間ラインでは、下方向に0.5画素／フィールドの動きを示す2つ上の欄の「18」が選択される。すなわち、表11(b)に示すように、下方向に0.5画素／フィールドで、その確からしさは「18」であるという値が出力される。

【0256】

上述したように、選択された値が小さいほど注目すべき補間ラインでの画素における動きの方向および動き量の確率が高いといえる。

【0257】

表11(b)は、上記のような動き量の最小値について、補間ラインでの画素ごとに値を示したものであり、この値が比較回路6aから動き量情報Maとして出力される。

30

【0258】

このように、第2の実施の形態に係る画像変換装置100aでは、ライン間に新たに画素が形成され、より解像度の高いプログレッシブ映像フィールド信号P3とプログレッシブ映像フィールド信号P4が形成され、これらを基にして比較回路6aにより動き量情報Maが算出される。

【0259】

したがって、第2の実施の形態に係る画像変換装置100aでは、精度の高い動き検出が可能となり、後述する出力回路での動画／静止画の出力割合の制御を正確にすることができるとともに、画質劣化が少なく解像度の高いプログレッシブ映像フィールド信号を生成することが可能となる。

40

【0260】

また、第2の実施の形態に係る画像変換装置100aの比較回路6aでは、演算時に対応する画素間および対応する画素とその周辺の画素との値を比較し、その比較結果を動き量として出力している。この結果、周辺の画素も演算に使用することができるので、演算精度が向上するとともに、プログレッシブ映像フィールド信号の動き量の検出精度を向上することができる。

【0261】

また、演算時に使用する画素の間の関係は、上記実施例に限らず、対応する画素同士による演算のみを行ってもよく、または対応する画素とその周辺の画素との演算のみを行って

50

もよく、それらの両者の演算をあわせて行ってもよい。

また、第2の実施の形態に係る画像変換装置100aにおいては、プログレッシブ映像フィールド信号P3とプログレッシブ映像フィールド信号P4とが形成され、これらに基づいて、動き量を演算しているが、これに限定されず、他の比較の方法を用いてもよい。

【0262】

例えば、プログレッシブ映像フィールド信号P3については、新たに形成した画素を使用することなく、プログレッシブ映像フィールド信号P1として元々存在していた画素を使用するものとし、その元々存在していた画素と新たに形成したプログレッシブ映像フィールド信号P4とを比較するものとしてもよい。

【0263】

また、例えば、プログレッシブ映像フィールド信号P4については、新たに形成した画素を使用することなく、プログレッシブ映像フィールド信号P2として元々存在していた画素を使用するものとし、その元々存在していた画素と新たに形成したプログレッシブ映像フィールド信号P3とを比較するものとしてもよい。

【0264】

このような場合には、第1の映像信号形成回路10または第2の映像信号形成回路11のいずれか一方を削減することができるため、回路規模を削減することができるとともに回路コストの低減を図ることができる。

【0265】

この場合、比較回路6aは、プログレッシブ映像フィールド信号P2およびプログレッシブ映像フィールド信号P3、プログレッシブ映像フィールド信号P1およびプログレッシブ映像フィールド信号P4、またはプログレッシブ映像フィールド信号P3およびプログレッシブ映像フィールド信号P4の対応する画素間、および対応する画素とその周辺の画素との値を比較し、その比較結果を動き量として出力することによって、動き量情報Maを算出することができる。

【0266】

次に、出力回路9aの動作を説明する。図10は、出力回路9aの内部構成の一例を示す図である。

【0267】

第2の実施の形態に係る出力回路9aが、第1の実施の形態に係る出力回路9と異なる点は、割合演算回路905の代わりに割合演算回路9005を含む点である。その他の構成は図6に示す割合演算回路905と同様であるので、同一部分には同一符号を付し、以下に異なる部分についてのみ説明する。

【0268】

図10に示す割合演算回路9005の入力端子903には、比較回路6aからの動き量および動き方向とその確からしさを示す数値が与えられる。

【0269】

割合演算回路9005は、与えられた動き量および動き方向とその確からしさを示す数値が所定の値以下である場合に静止画の割合が大きいと判定する。この場合、割合演算回路9005は、静止画の割合が大きくなるように割合値 α を小さくして出力する。

【0270】

例えば、割合演算回路9005は、動き量および動き方向とその確からしさを示す数値（以下、動き量を示す数値と略記する。）に基づいて割合値 α を以下のように設定する。

【0271】

動き量を示す数値が「0.50」以下のとき、割合値 α として「0」を出力し、動き量を示す数値が「0.75」以下のとき、割合値 α として「0.2」を出力し、動き量を示す数値が「1.00」以下のとき、割合値 α として「0.5」を出力し、動き量を示す数値が「1.00」よりも大きいとき、割合値 α として「1.0」を出力する。

【0272】

また、さらに、動き量を示す数値が「20」以下の値を示す場合は、正確な動きの方向お

10

20

30

40

50

よび動き量を抽出していると判定して上記各条件を使用し、動き量を示す数値が「20」よりも大きな値を示す場合は、動きの方向および動き量が不確定であるとして割合値 α を「1.0」に固定して出力するようにしてもよい。

【0273】

したがって、表11(b)に示す値が、割合検出回路9005に与えられた場合、全ての動き量を示す数値が「0.5」以下となり、割合検出回路9005は、乗算回路906、907に割合値 α として「0」を出力する。

【0274】

また、第2の実施の形態に係る割合値 α の設定方法については、映像フィールド信号の動き量が1.0ライン以下のときに静止画の割合が大きくなるように設定しているが、これ 10
に限定されず、例えば、動き量を示す数値が「0.75」以下のときに静止画の割合値 α を大きくしてもよく、動き量を示す数値が「0.50」以下のときに静止画の割合値 α を大きくしてもよい。

【0275】

この場合、より正確な映像フィールド信号の動きを求めることができるとともに厳密に静止画の状態を検出することができるので、動画／静止画の検出精度を向上することができる。

【0276】

上記の条件によって、動き量を示す数値が「0.50」以下であるときに割合値 α を0と設定した場合の出力回路9aの出力値を表に示す。 20

【0277】

【表12】

出力回路9の出力値および出力回路9の出力値と元の映像信号の値との差

(a) 出力回路9の出力

	f3	f4	f5	f6	f7	f8	f9
L		37		37		218	
L+1	255		128		0		128
L+2		218	218	218	128	37	37
L+3	0	64	128	191	255	191	128
L+4		37	37	37	128	218	218
L+5	255	191	128	64	0	64	128
L+6		218		218		37	
L+7	0		128		255		191

10

20

(b) 出力回路9の出力値と元の映像信号の値との差

	f3	f4	f5	f6	f7	f8	f9
L							
L+1							
L+2			37		0		37
L+3		26		26		26	
L+4			37		0		37
L+5		26		26		26	
L+6							
L+7							

30

【0278】

また、表12 (a) により動き方向および動き量が確定された部分について補間画素の値を演算し、その確定された部分の演算結果とインタレースされる前の信号との差を表12 (b) に示す。

40

【0279】

表12 (b) については、表9 (b) における計算と同様に、この回路での遅延分である1フィールドの時間差を加味して計算している。この表12 (b) を表9 (b) と比較するとf6フィールドでの誤差が、「39」から「26」に減少していることがわかる。

【0280】

以上のように、第2の実施の形態に係る画像変換装置100aは、第1の実施の形態に係る画像変換装置100よりも高精度に動画または静止画を検出することができるため、より正確に画像を変換できることを示している。

50

【0281】

すなわち、第2の実施の形態に係る画像変換装置100aは、従来の動き適応型プログレッシブ変換装置が有する、画像がゆっくりとライン方向に動いたときに動画処理となりやすく、画質が劣化しやすいという課題に対して、第1の実施の形態に係る画像変換装置100よりもさらに有効に課題を解決しているといえる。

【0282】

画像変換装置100aでは、新たに仮想の画素を形成したプログレッシブ映像フィールド信号P3とプログレッシブ映像フィールド信号P4とを用いて、それぞれの対応する画素間、および対応する画素とその周辺の画素の値とを比較し、その比較結果を動き量として出力検出したことによって、より精度の高い動き検出が可能になり、画質劣化の少ない解像度の高いプログレッシブ映像フィールド信号を生成することが可能となった。

10

【0283】

また、新たに画素を形成する際において、第1の映像信号形成回路10または第2の映像信号形成回路11は、それぞれプログレッシブ映像フィールド信号P3、P4のライン間に新たに画素を形成しているので、インタレース映像信号V1をプログレッシブ映像フィールド信号に変換する際により厳しい変換精度を要求される垂直方向に対しての精度を上げることができ、水平方向への新たに画素を生成する回路を省略できるので、回路規模の増大を低く抑えることができ、低コストに高精度の画像変換装置を提供することが可能となっている。

【0284】

20

第2の発明の実施の形態の説明においては、第1の1フィールド遅延回路1、第2の1フィールド遅延回路2および第3の1フィールド遅延回路3、第1のプログレッシブ映像生成回路4、第2のプログレッシブ映像生成回路5、第1の映像信号形成回路10および第2の映像信号形成回路11がプログレッシブ信号生成回路に相当し、第1の1フィールド遅延回路1、第2の1フィールド遅延回路2および第3の1フィールド遅延回路3がインタレース生成回路に相当し、プログレッシブ映像フィールド信号P1が第1のプログレッシブ信号に相当し、第1のプログレッシブ映像生成回路4が第1のプログレッシブ回路に相当し、プログレッシブ映像フィールド信号P2が第2のプログレッシブ信号に相当し、第2のプログレッシブ映像生成回路5が第2のプログレッシブ回路に相当し、第1の映像信号形成回路10が第1の画素形成回路に相当し、第2の映像信号形成回路11が第2の画素形成回路に相当する。

30

【0285】

また、比較回路6aが動き算出回路に相当し、フレーム間補間信号F1が静止画プログレッシブ信号に相当し、フレーム間補間回路7が静止画処理回路に相当し、フィールド内補間信号F2が動画プログレッシブ信号に相当し、フィールド内補間回路8が動画処理回路に相当し、インタレース映像信号V1、a、b、cがそれぞれ第1～第4のインタレース映像信号に相当する。

【0286】

(第3の実施の形態)

次に、第3の実施の形態に係る画像変換装置100bについて説明する。図11は、第3の実施の形態に係る画像変換装置の構成を示すブロック図である。

40

【0287】

図11に示す画像変換装置100bが、図1の第1の実施の形態に係る画像変換装置100の構成と異なる点は、フレーム間補間回路7が削除され、非適用領域検出回路12が付加され、出力回路9の代わりに出力回路9bを含む点である。その他の構成は図1の画像変換装置100bと同様であるので、同一部分には同一符号を付し、以下に異なる部分についてのみ説明する。

【0288】

図11の非適用領域検出回路12には、インタレース映像信号V1と第1の1フィールド遅延回路1からの出力信号であるインタレース映像信号aとが与えられる。

50

【0289】

非適用領域検出回路12は、インタレース映像信号V1およびインタレース映像信号aに基づいてそれぞれのフィールド間の画像に対応する画素を含む周辺画素の値の平均値を検出する。

【0290】

一般に、インタレース映像信号V1の平均値と、インタレース映像信号aとの平均値が大きく異なる場合、与えられた映像は、フィールド間で元々大きく信号値が変化するフリッカ性の画像であると考えられる。

【0291】

ここで、フリッカ性の画像とは、画像全体がちらつく状態、例えば、画像全体が1フィールド毎に白、黒、白、黒と繰り返し変化する状態をいう。実際には、暗室で連続してストロボ（フラッシュ）を発光させた場合の映像信号において、フリッカ性の画像が形成されることとなる。

10

【0292】

このようなフリッカ性の画像においては、静止画処理であるフレーム間の補間を行うと画質ひずみを生じるので、画像変換装置は、動画処理であるフィールド内補間処理の信号を出力すべきである。

【0293】

すなわち、白と黒とが交互に生じるフリッカ性の画像に対して静止画処理であるフレーム間の補間を行うと、白と黒との中間色であるグレーの画素の補間を行うこととなり、白のみの画像又は黒のみの画像において画質に歪が生じる。

20

【0294】

したがって、非適用領域検出回路12は、フリッカ性の画像であるか否かを検出して、動画処理であるフィールド内補間処理の信号を出力すべきか否かの旨を出力回路9bに与える。

【0295】

出力回路9bは、動画処理であるフィールド内補間処理の信号を出力すべき旨が非適用領域検出回路12から与えられたときに、フィールド内補間回路8の信号の割合を増加させて出力する。これによって、フリッカ性の画像、例えば連続したカメラのフラッシュ等が含まれる映像に対しても、誤って静止画処理をしないようにすることができ、より精度の高い画像変換装置100bを提供することができる。

30

【0296】

また、非適用領域検出回路12は、インタレース映像フィールドのフィールド間の映像信号の対応する画素を含む周辺の画素の信号の値の平均値を用いて検出している。その結果、比較的少ない回路規模で、より精度の高い画像変換装置100bを提供することが出来る。

【0297】

また、第3の実施の形態に係る画像変換装置100bでは、図1のフレーム間補間回路7が削除されて、フレーム間補間回路7からの出力の代わりに第2のプログレッシブ映像生成回路5の出力信号が出力回路9bに与えられている。これによって、フレーム間補間回路7が削減できるので、低コストの画像変換装置100bを提供することができる。

40

【0298】

（他の例）

次に、図11の非適用領域検出回路の他の例について説明する。図12は、非適用領域検出回路の他の例を示すブロック図である。

【0299】

図12に示す非適用領域検出回路12aは、第1の領域検出回路21、第2の領域回路22および判別回路30を含む。

【0300】

図12に示すようにインタレース映像信号V1が、第1の1フィールド遅延回路1および

50

第1の領域検出回路21に与えられる。第1の1フィールド遅延回路1は、与えられたインタレース映像信号V1を1フィールド遅延させてインタレース映像信号aを生成し、そのインタレース映像信号aを第2の領域検出回路22に与える。

【0301】

第1の領域検出回路21は、与えられたインタレース映像信号V1から1ライン上における平均値AV1、1ライン上における最大値MAX1、1ライン上における最小値MIN1を判別回路30に与える。第2の領域検出回路22は、第1の1フィールド遅延回路1から与えられたインタレース映像信号aの1ラインの平均値AV2、1ラインの最大値MAX2、1ラインの最小値MIN2を判別回路30に与える。

【0302】

判別回路30は、第1の領域検出回路21および第2の領域検出回路22から与えられた平均値AV1、AV2、最大値MAX1、MAX2および最小値MIN1、MIN2に基づいて与えられた画像がフィールド間で元々大きく信号値が変化するフリッカ性の画像であるか否かを検出する。

【0303】

例えば、判別回路30は、第1の平均値AV1と第2の平均値AV2との差が第1の閾値より大きいかな否かを判定する。次に、判別回路30は、第1の最大値MAX1と第1の最小値MIN1との差が第2の閾値より大きいかな否かを判定する。さらに、判別回路30は、第2の最大値MAX2と第2の最小値MIN2との差が第3の閾値より大きいかな否かを判定する。

【0304】

なお、フリッカ性の画像は、フィールド間で大きく信号値が変化するが、1フィールド内で大きく信号値が変化しない。

【0305】

そのため、判別回路30は、第1の平均値AV1と第2の平均値AV2との差が第1の閾値よりも大きく、第1の最大値MAX1と第1の最小値MIN1との差が第2の閾値よりも小さく、かつ第2の最大値MAX2と第2の最小値MIN2との差が第3の閾値よりも小さい場合に、フリッカ性の画像であると判定した非適用領域検出信号NIを出力回路9bに出力する。

【0306】

このように、非適用領域検出回路12aは、1ライン遅延させた映像信号の画素を含む周辺画素と、現ラインの画素を含む周辺画素との平均値を比較することにより、フリッカ性の画像であるか否かを正確に検出して、動画処理であるフィールド内補間処理の信号を出力すべきかな否かの旨を出力回路9bに与えることができる。

【0307】

また、出力回路9bは、動画処理であるフィールド内補間処理の信号を出力すべき旨が非適用領域検出回路12aから与えられたときに、フィールド内補間回路8の信号の割合を増加させて出力する。これによって、フリッカ性の画像、例えば連続したカメラのフラッシュ等が含まれる映像に対しても、誤って静止画処理をしないようにすることができ、より精度の高い画像変換装置100bを提供することができる。

【0308】

また、非適用領域検出回路12aは、インタレース映像信号のフィールド間の画像の対応する画素を含む周辺の画素の信号の値の平均値によりフリッカ性の画像かな否かを検出している。その結果、比較的少ない回路規模で、より精度の高い画像変換装置100bを提供することが出来る。

【0309】

(さらに他の例)

次に、図11の非適用領域検出回路のさらに他の例について説明する。図13は、非適用領域検出回路のさらに他の例を示すブロック図である。

【0310】

図 1 3 に示す非適用領域検出回路 1 2 b が、図 1 2 に示す非適用領域検出回路 1 2 a と異なる点は、非適用領域検出回路 1 2 a の構成にさらに第 3 の領域検出回路 2 3 および第 2 の 1 フィールド遅延回路 2 を含む点である。その他の構成は図 1 2 に示す非適用領域検出回路 1 2 a と同様であるので、同一部分には同一符号を付し、以下に異なる部分についてのみ説明する。

【0311】

図 1 3 に示すように、第 1 の 1 フィールド遅延回路 1 は、与えられたインタレース映像信号 V 1 を 1 フィールド遅延させてインタレース映像信号 a を生成し、そのインタレース映像信号 a を第 2 の 1 フィールド遅延回路 2 および第 2 の領域検出回路 2 2 に与える。

【0312】

第 2 の 1 フィールド遅延回路 2 は、与えられたインタレース映像信号 a を 1 フィールド遅延させてインタレース映像信号 b を生成し、そのインタレース映像信号 b を第 3 の領域検出回路 2 3 に与える。

【0313】

第 3 の領域検出回路 2 3 は、与えられたインタレース映像信号 b から 1 ライン上における平均値 A V 3、1 ライン上における最大値 M A X 3、1 ライン上における最小値 M I N 3 を判別回路 3 0 に与える。

【0314】

判別回路 3 0 は、第 1 の領域検出回路 2 1、第 2 の領域検出回路 2 2 および第 3 の領域検出回路 2 3 から与えられた平均値 A V 1、A V 2、A V 3、最大値 M A X 1、M A X 2、M A X 3 および最小値 M I N 1、M I N 2、M I N 3 に基づいて与えられた画像がフィールド間で元々大きく信号値が変化するフリッカ性の画像であるか否かを検出する。

【0315】

そのため、例えば、判別回路 3 0 は、第 1 の平均値 A V 1 と第 2 の平均値 A V 2 との差が第 1 の閾値より大きいかな否かを判定する。また、判別回路 3 0 は、第 2 の平均値 A V 2 と第 3 の平均値 A V 3 との差が第 4 の閾値より大きいかな否かを判定する。

【0316】

次に、判別回路 3 0 は、第 1 の最大値 M A X 1 と第 1 の最小値 M I N 1 との差が第 2 の閾値より大きいかな否かを判定する。判別回路 3 0 は、第 2 の最大値 M A X 2 と第 2 の最小値 M I N 2 との差が第 3 の閾値より大きいかな否かを判定する。さらに判別回路 3 0 は、第 3 の最大値 M A X 2 と第 3 の最小値 M I N 2 との差が第 5 の閾値より大きいかな否かを判定する。

【0317】

なお、フリッカ性の画像は、フィールド間で大きく信号値が変化するが、1 フィールド内で大きく信号値が変化しない。

【0318】

判別回路 3 0 は、第 1 の平均値 A V 1 と第 2 の平均値 A V 2 との差が第 1 の閾値よりも大きく、第 1 の最大値 M A X 1 と第 1 の最小値 M I N 1 との差が第 2 の閾値よりも小さく、第 2 の最大値 M A X 2 と第 2 の最小値 M I N 2 との差が第 3 の閾値よりも小さく、第 3 の平均値 A V 3 と第 2 の平均値 A V 2 との差が第 1 の閾値よりも大きく、かつ第 3 の最大値 M A X 3 と第 3 の最小値 M I N 3 との差が第 5 の閾値よりも小さい場合に、フリッカ性の画像であると判定した非適用領域検出信号 N I を出力回路 9 b に出力する。

【0319】

このように、非適用領域検出回路 1 2 a は、2 ライン遅延させた映像信号の画素を含む周辺画素と、1 ライン遅延させた映像信号の画素を含む周辺画素と、現ラインの画素を含む周辺画素との平均値を比較することにより、フリッカ性の画像であるか否かをより正確に検出して、動画処理であるフィールド内補間処理の信号を出力すべきかな否かの旨を出力回路 9 b に与えることができる。

【0320】

また、出力回路 9 b は、動画処理であるフィールド内補間処理の信号を出力すべき旨が非

10

20

30

40

50

適用領域検出回路 12a から与えられたときに、フィールド内補間回路 8 の信号の割合を増加させて出力する。これによって、フリッカ性の画像、例えば連続したカメラのフラッシュ等が含まれる映像に対しても、誤って静止画処理をしないようにすることができ、特に精度の高い画像変換装置 100b を提供することができる。

【0321】

第 3 の発明の実施の形態の説明においては、第 1 の 1 フィールド遅延回路 1、第 2 の 1 フィールド遅延回路 2 および第 3 の 1 フィールド遅延回路 3、第 1 のプログレッシブ映像生成回路 4、第 2 のプログレッシブ映像生成回路 5、第 1 の映像信号形成回路 10 および第 2 の映像信号形成回路 11 がプログレッシブ信号生成回路に相当し、第 1 の 1 フィールド遅延回路 1、第 2 の 1 フィールド遅延回路 2 および第 3 の 1 フィールド遅延回路 3 がインタレース生成回路に相当し、プログレッシブ映像フィールド信号 P1 が第 1 のプログレッシブ信号に相当し、第 1 のプログレッシブ映像生成回路 4 が第 1 のプログレッシブ回路に相当し、プログレッシブ映像フィールド信号 P2 が第 2 のプログレッシブ信号に相当し、第 2 のプログレッシブ映像生成回路 5 が第 2 のプログレッシブ回路に相当し、第 1 の映像信号形成回路 10 が第 1 の画素形成回路に相当し、第 2 の映像信号形成回路 11 が第 2 の画素形成回路に相当し、非適用領域 12、12a、12b が判定回路に相当する。

10

【0322】

また、比較回路 6 が動き算出回路に相当し、フレーム間補間信号 F1 が静止画プログレッシブ信号に相当し、フレーム間補間回路 7 が静止画処理回路に相当し、フィールド内補間信号 F2 が動画プログレッシブ信号に相当し、フィールド内補間回路 8 が動画処理回路に相当し、インタレース映像信号 V1、a、b、c がそれぞれ第 1 ～ 第 4 のインタレース映像信号に相当する。

20

【0323】

【発明の効果】

本発明によれば、プログレッシブ信号に基づいて動き量が算出されるため、より正確で緻密な動き量を算出することができる。したがって、垂直方向の大きな輝度差を持つ画像が 1 ライン以下でゆっくり動いた場合でも正確な動き量を算出して画像の動きを判定することができるので、安定で解像度の高い映像を提供することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に係る画像変換装置を示すブロック図

30

【図 2】(a) は第 1 のプログレッシブ映像生成回路の内部の構成例を示す図、(b) は第 2 のプログレッシブ映像生成回路の内部の構成例を示す図

【図 3】比較回路の内部の構成例を示す図

【図 4】フレーム間補間回路の内部の構成例を示す図

【図 5】フィールド内補間回路の構成例を示す図

【図 6】出力回路の内部の構成例を示す図

【図 7】第 2 の実施の形態に係る画像変換装置のブロック図

【図 8】(a) は第 1 の映像信号形成回路の構成を示す図、(b) は第 2 の映像信号形成回路の構成を示す図

【図 9】比較回路の内部構成を示すブロック図

40

【図 10】出力回路の内部構成の一例を示す図

【図 11】第 3 の実施の形態に係る画像変換装置の構成を示すブロック図

【図 12】非適用領域検出回路の他の例を示すブロック図

【図 13】非適用領域検出回路のさらに他の例を示すブロック図

【図 14】インタレース映像信号の形態を示す図

【図 15】従来の動き適応型プログレッシブ変換装置の構成を示すブロック図

【図 16】垂直方向に正弦波的に輝度が変化する画像の一例を示す図

【図 17】インタレース映像信号に変換される前の元となる映像信号を示す図

【図 18】インタレース映像信号が 1 フィールドごとに 1/2 ラインずつ動いたときの映像信号を重ねた図

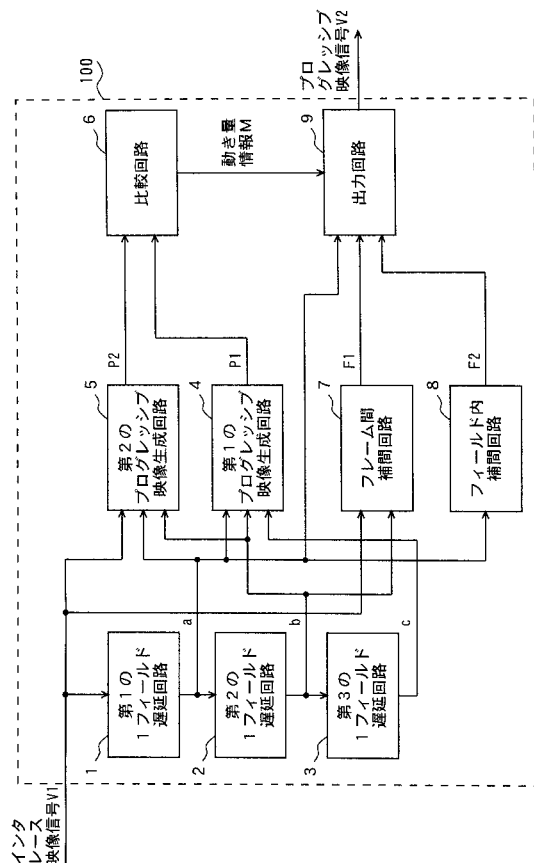
50

【符号の説明】

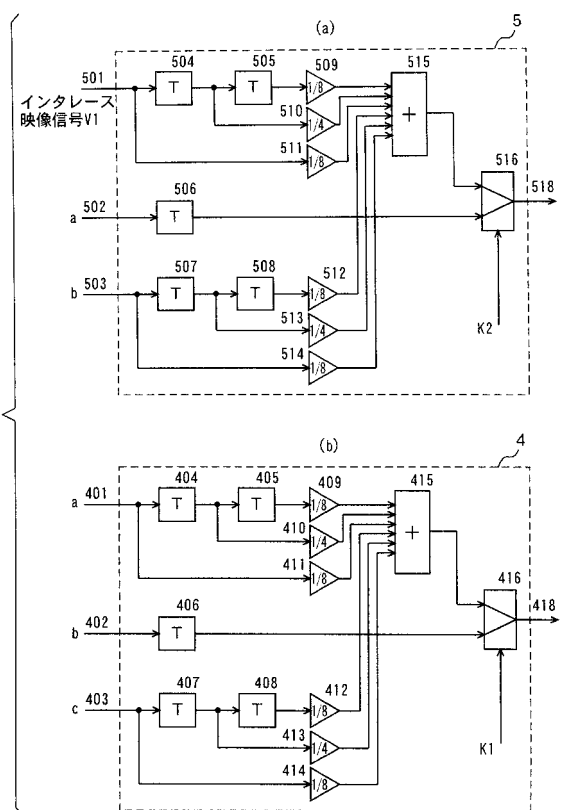
- 1 第1の1フィールド遅延回路
- 2 第2の1フィールド遅延回路
- 3 第3の1フィールド遅延回路
- 4 第1のプログレッシブ映像生成回路
- 5 第2のプログレッシブ映像生成回路
- 6, 6a 比較回路
- 7 フレーム間補間回路
- 8 フィールド内補間回路
- 9, 9a, 9b 出力回路
- 10 第1の映像信号形成回路
- 11 第2の映像信号形成回路
- 23 第3の領域検出回路
- 30 判別回路
- 100, 100a, 100b 画像変換装置
- V1, a, b, c インタレース映像信号
- P1, P2, P3, P4 プログレッシブ映像フィールド信号
- F1 フレーム間補間信号
- F2 フィールド内補間信号

10

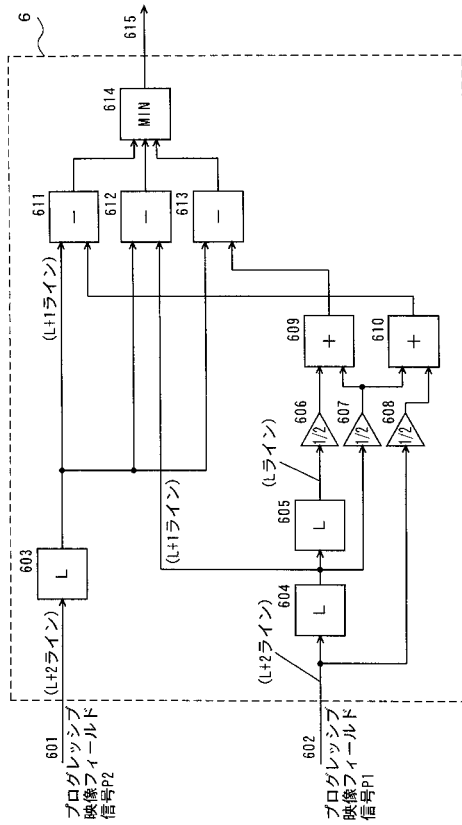
【図1】



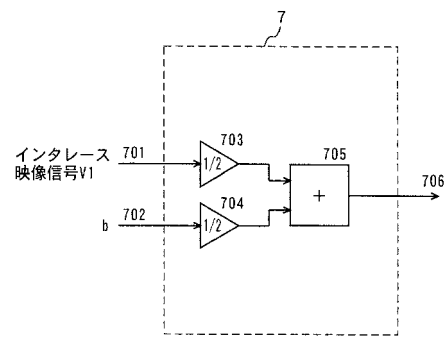
【図2】



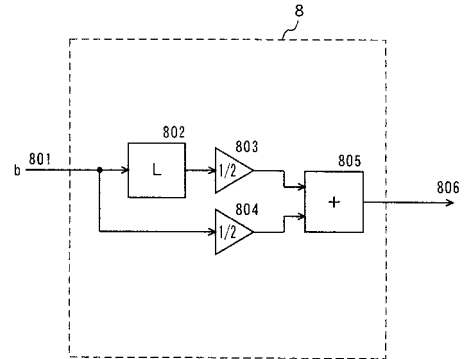
【図 3】



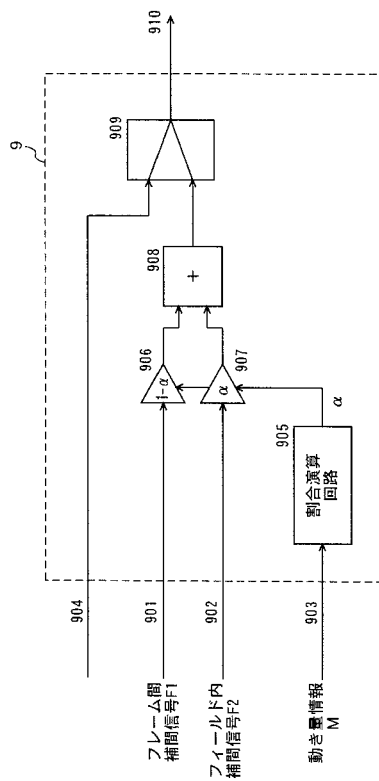
【図 4】



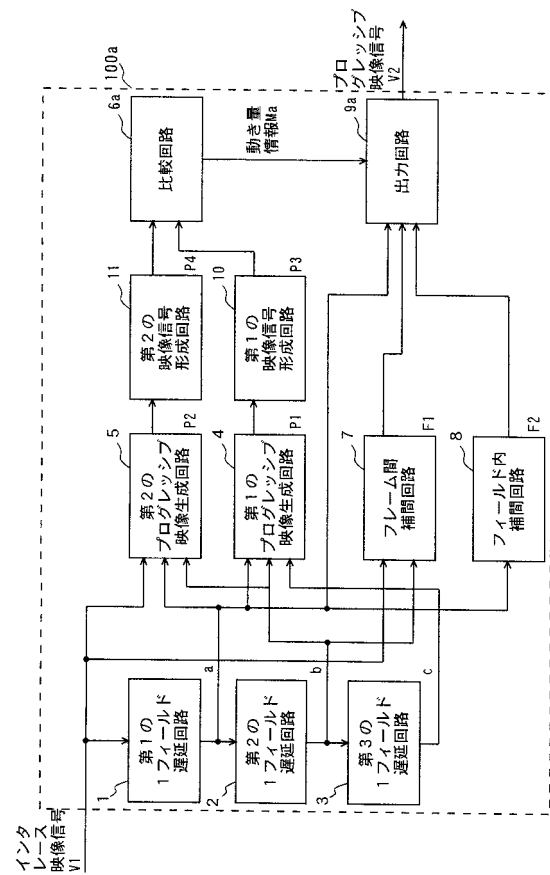
【図 5】



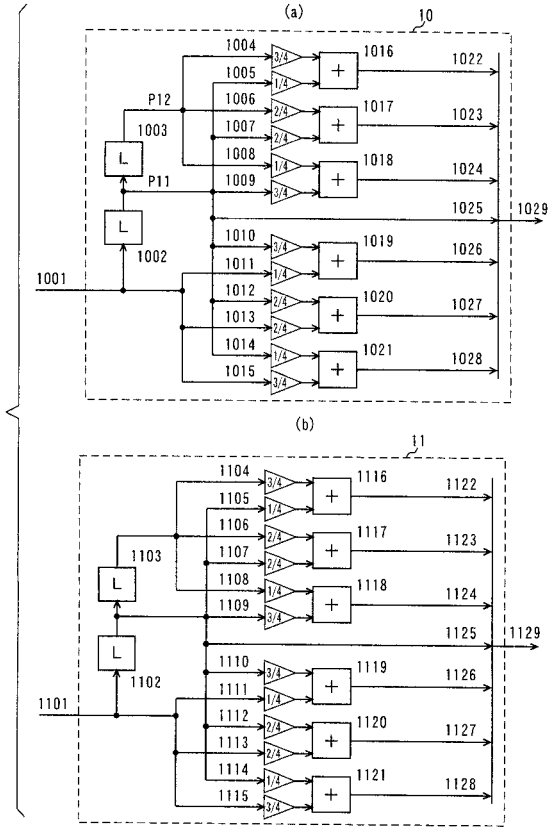
【図 6】



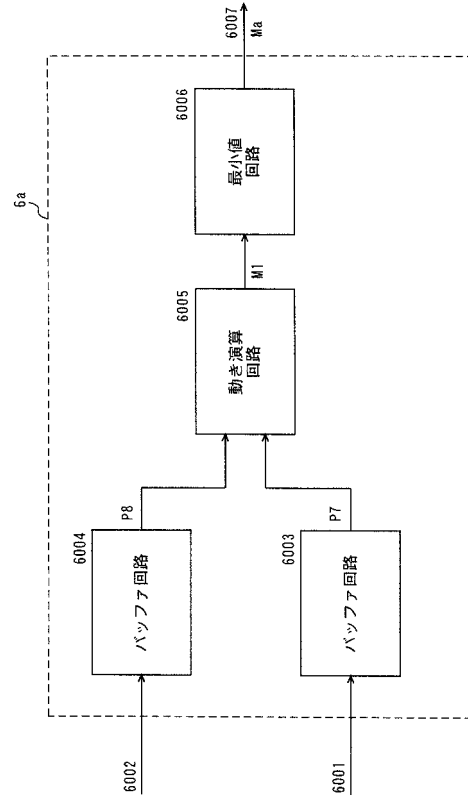
【図 7】



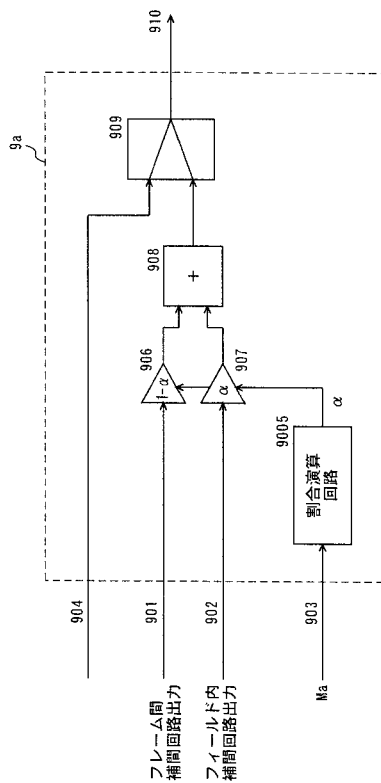
【図 8】



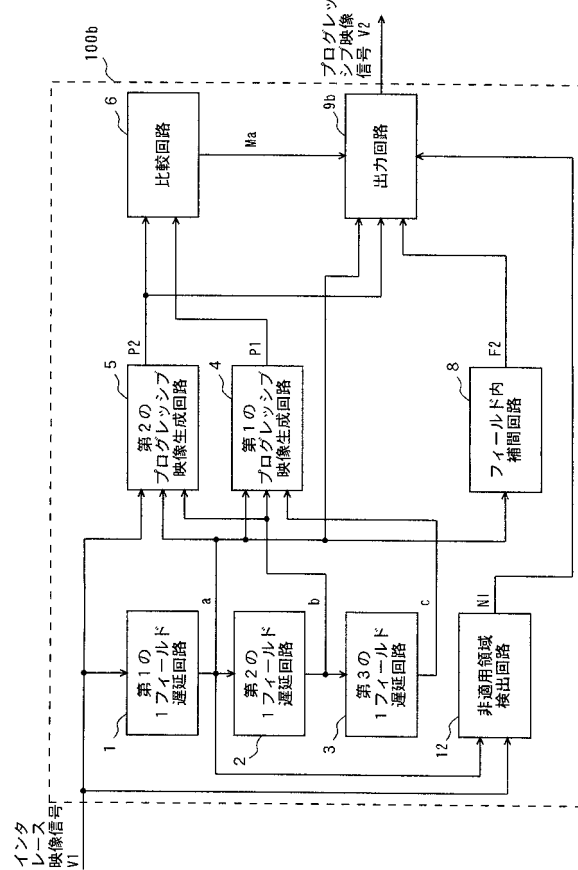
【図 9】



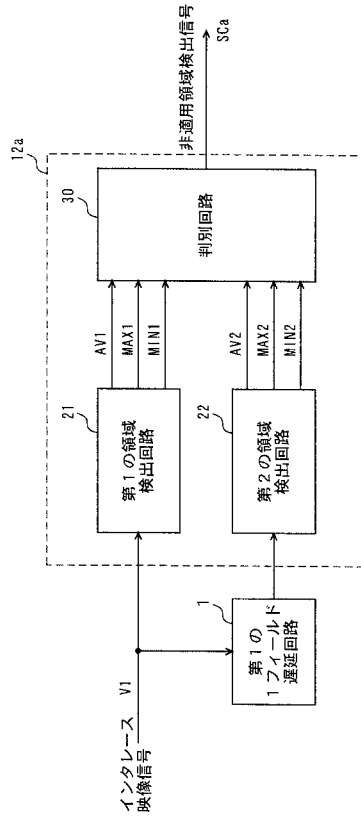
【図 10】



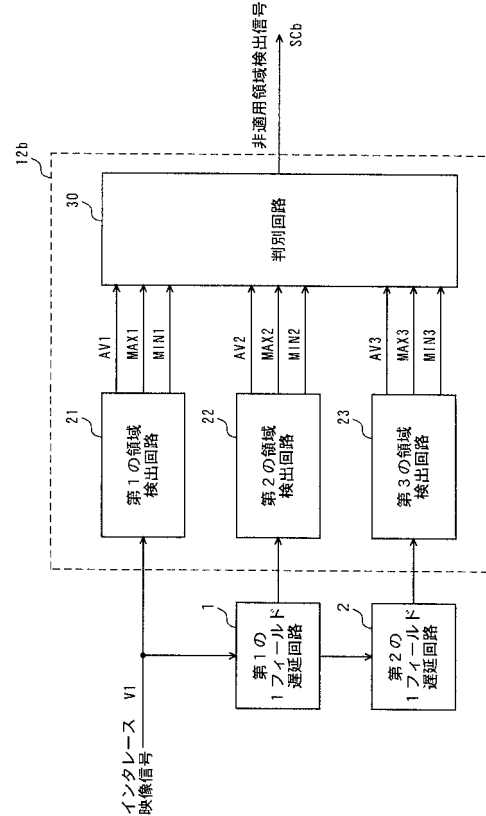
【図 11】



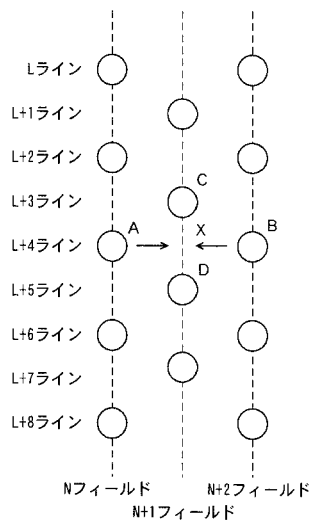
【図 1 2】



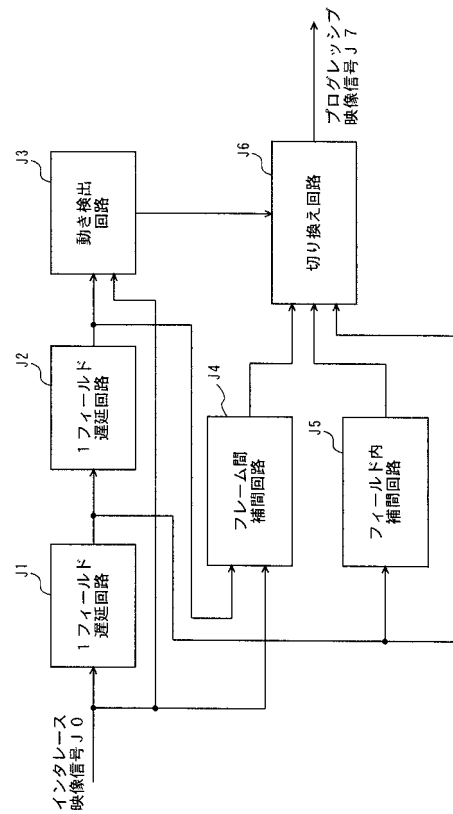
【図 1 3】



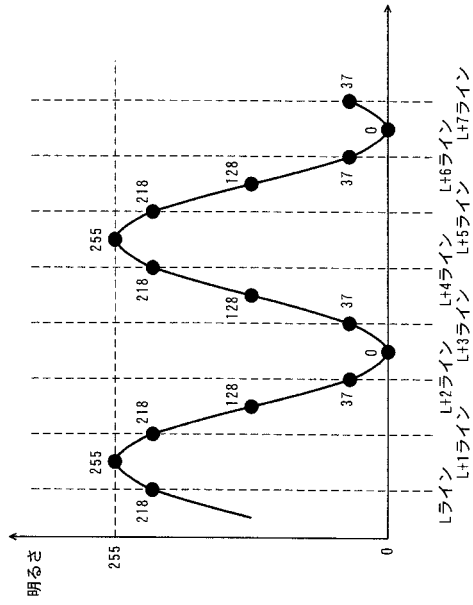
【図 1 4】



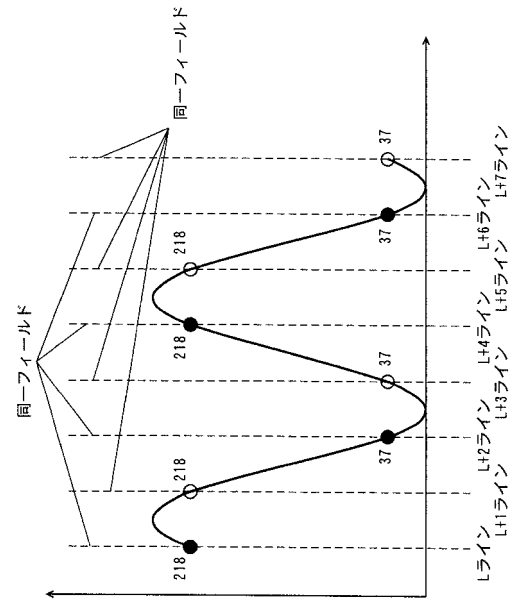
【図 1 5】



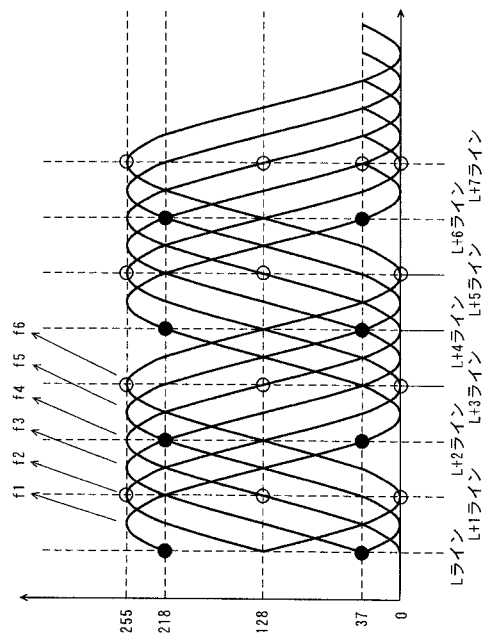
【図 16】



【図 17】



【図 18】



フロントページの続き

- (72)発明者 中東 秀人
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 森田 友子
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 畑中 高行

- (56)参考文献 特開昭62-128683 (JP, A)
特開平04-372292 (JP, A)
特開2000-134585 (JP, A)
特開2000-050212 (JP, A)
特開昭61-032681 (JP, A)
特開平03-062692 (JP, A)
特開平05-049013 (JP, A)
特開平08-130716 (JP, A)
特開平10-098692 (JP, A)
特開平11-308577 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H04N7/00-7/088