

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5259059号  
(P5259059)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int.Cl.

H01L 25/10 (2006.01)  
H01L 25/11 (2006.01)  
H01L 25/18 (2006.01)

F 1

H01L 25/14

Z

請求項の数 6 (全 25 頁)

(21) 出願番号 特願2006-183993 (P2006-183993)  
 (22) 出願日 平成18年7月4日 (2006.7.4)  
 (65) 公開番号 特開2008-16519 (P2008-16519A)  
 (43) 公開日 平成20年1月24日 (2008.1.24)  
 審査請求日 平成21年7月1日 (2009.7.1)

(73) 特許権者 302062931  
 ルネサスエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部 1753番地  
 (74) 代理人 100080001  
 弁理士 筒井 大和  
 (72) 発明者 秋葉 俊彦  
 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内  
 (72) 発明者 内藤 孝洋  
 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内  
 審査官 今井 拓也

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

第1主面、前記第1主面に形成された第1ボンディングリード、及び前記第1主面とは反対側の第1裏面を有する第1配線基板と、

演算処理機能を有し、前記第1配線基板の前記第1主面に搭載されたマイコンチップと、

第2主面、前記第2主面に形成された端子、前記第2主面とは反対側の第2裏面、及び前記第2裏面に形成された第2ボンディングリードを有し、前記マイコンチップが搭載された前記第1配線基板上に配置された第2配線基板と、

前記第1配線基板の前記第1ボンディングリードと前記第2配線基板の前記第2ボンディングリードとを電気的に接続する第1バンプ電極と、

前記第1配線基板の前記第1裏面に配置された第2バンプ電極と、

前記第2配線基板の前記第2主面と前記第2配線基板の前記第2裏面との間に配置された第1メモリチップと、

前記第2配線基板の前記第2主面と前記第2配線基板の前記第2裏面との間ににおいて、前記第1メモリチップ上に配置された第2メモリチップと、を含み、

前記マイコンチップは、前記第1配線基板の内部に形成された第1内部配線を介して前記第1ボンディングリードと電気的に接続され、

前記マイコンチップは、前記第1配線基板の内部に形成された第2内部配線を介して前記第2バンプ電極と電気的に接続され、

10

20

前記第1メモリチップは、前記第2配線基板の内部に形成された第3内部配線を介して前記第2ボンディングリードと電気的に接続され、

前記第2メモリチップは、前記第2配線基板の内部に形成された第4内部配線を介して前記第2ボンディングリードと電気的に接続されており、

前記マイコンチップは、前記第1及び第2メモリチップと外部機器とのインターフェースであり、

前記第1及び第2メモリチップのそれぞれは、外部クロック信号の立ち上がりと立ち下がりの両方に同期してデータを転送するダブル・データ・レート・シンクロナスDRAMであることを特徴とする半導体装置。

#### 【請求項2】

10

請求項1記載の半導体装置において、前記マイコンチップと前記第1及び第2メモリチップのそれぞれは、前記第1ボンディングリード、前記第1バンプ電極、及び前記第2ボンディングリードを介して電気的に接続されていることを特徴とする半導体装置。

#### 【請求項3】

請求項2記載の半導体装置において、前記第1メモリチップの第1電極パッドから前記第2ボンディングリードまでの第1距離と、前記第2メモリチップの第2電極パッドから前記第2ボンディングリードまでの第2距離は等しいことを特徴とする半導体装置。

#### 【請求項4】

請求項3記載の半導体装置において、前記第1距離と前記第2距離の差の許容範囲は、 $\pm 1\text{ mm}$ 以内であることを特徴とする半導体装置。

20

#### 【請求項5】

請求項1記載の半導体装置において、前記端子は、前記第2配線基板の内部に形成された第5内部配線を介して、前記第1配線基板と前記第2配線基板との間に設けられた第3バンプ電極と電気的に接続されていることを特徴とする半導体装置。

#### 【請求項6】

請求項5記載の半導体装置において、前記端子は、前記第5内部配線、前記第3バンプ電極、及び前記第1配線基板の内部に形成された第6内部配線を介して、前記第1配線基板の前記第1裏面に形成された第4バンプ電極と電気的に接続されていることを特徴とする半導体装置。

#### 【発明の詳細な説明】

30

#### 【技術分野】

#### 【0001】

本発明は、半導体装置に関し、特に、マイコンチップとメモリチップを有する半導体装置に適用して有効な技術に関する。

#### 【背景技術】

#### 【0002】

上面に半導体素子が実装されている第1の配線基板と、この第1の配線基板と電気的に接続される複数の電極端子を介して第1の配線基板の上に積層される第2の配線基板と、該半導体素子の周囲に配設され、かつ第1の配線基板及び第2の配線基板に設けられた接地配線層と接続された導体支持部材を有する技術がある（例えば、特許文献1参照）。

40

#### 【特許文献1】特開2005-19568号公報（図1）

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0003】

複数の半導体チップを有する半導体装置の一例として、演算処理機能を有する半導体チップ（以降、マイコンチップともいう）と、メモリ回路を有する半導体チップ（以降、メモリチップともいう）が配線基板上に搭載されたSIP（System In Package）と呼ばれる半導体装置が知られている。

#### 【0004】

なお、半導体装置の高機能化に伴い、SIPでも更なる小型化、薄型化が要求されてい

50

る。SIPでは、メモリチップは、複数個搭載されている場合が多く、したがって、チップ積層型の構造を採用する場合が多い。例えば、配線基板上にメモリチップを多段積層し、各半導体チップと配線基板がワイヤボンディングによって電気的に接続されている。

#### 【0005】

一方、マイコンチップは、メモリチップと外部のインターフェースの役割をするため、メモリチップよりも実装基板に近い位置に配置することが好ましい。

#### 【0006】

そこで、上段の基板上に複数のメモリチップを積層配置するとともに、下段の基板上にマイコンチップを搭載して半導体装置の小型化を図る技術が前記特許文献1（特開2005-19568号公報）に開示されている。

10

#### 【0007】

また、SIPでは、マイコンチップに対して複数のメモリチップが搭載されており、近年ではシステムの高速化に伴って、メモリチップはDDR（Double Date Rate）方式を採用した高速対応のSDRAM（Synchronous Dynamic Random Access Memory）が使用される。DDR方式は、各回路間で同期を取る際に、外部クロック信号の立ち上がり時と立ち下がり時の両方を利用する方式である。処理動作としては、データ信号がマイコンチップからそれぞれのメモリチップに送信される。そして、再びメモリチップから戻ってくる信号のタイミングが、ほぼ同時にマイコンチップに戻ってくれば、実行されたことになる。そのため、1つのマイコンチップと複数のメモリチップとをそれぞれ電気的に接続する配線の等長化が要求される。

20

#### 【0008】

しかしながら、前記特許文献1に記載された構造では、上段の基板上に積層配置された複数のメモリチップの基板との接続において、バンプ接続とワイヤ接続が混在しており、配線の等長化が図れないことが問題である。

#### 【0009】

なお、基板内に複数の半導体チップを埋め込む構造は考案されているが、この構造の場合、基板の材質（樹脂）と半導体チップの材質（Si）の熱膨張係数の差によって基板に反りが発生し易く、この基板のはんだ接続が困難なことが問題である。

#### 【0010】

本発明の目的は、マイコンチップと複数のメモリチップを有する半導体装置において複数のメモリチップの配線の等長化を図ることができる技術を提供することにある。

30

#### 【0011】

本発明の他の目的は、複数のメモリチップが埋め込まれた基板のはんだ接続を可能にすることができる技術を提供することにある。

#### 【0012】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【課題を解決するための手段】

#### 【0013】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

40

#### 【0014】

すなわち、本発明は、第1主面、前記第1主面に形成された第1ボンディングリード、及び前記第1主面とは反対側の第1裏面を有する第1配線基板と、演算処理機能を有し、前記第1配線基板の前記第1主面に搭載されたマイコンチップと、第2主面、前記第2主面に形成された端子、前記第2主面とは反対側の第2裏面、及び前記第2裏面に形成された第2ボンディングリードを有し、前記マイコンチップが搭載された前記第1配線基板上に配置された第2配線基板と、前記第1配線基板の前記第1ボンディングリードと前記第2配線基板の前記第2ボンディングリードとを電気的に接続する第1バンプ電極と、前記第1配線基板の前記第1裏面に配置された第2バンプ電極と、前記第2配線基板の前記第

50

2 正面と前記第2配線基板の前記第2裏面との間に配置された第1メモリチップと、前記第2配線基板の前記第2正面と前記第2配線基板の前記第2裏面との間ににおいて、前記第1メモリチップ上に配置された第2メモリチップと、を含み、前記マイコンチップは、前記第1配線基板の内部に形成された第1内部配線を介して前記第1ボンディングリードと電気的に接続され、前記マイコンチップは、前記第1配線基板の内部に形成された第2内部配線を介して前記第2バンプ電極と電気的に接続され、前記第1メモリチップは、前記第2配線基板の内部に形成された第3内部配線を介して前記第2ボンディングリードと電気的に接続され、前記第2メモリチップは、前記第2配線基板の内部に形成された第4内部配線を介して前記第2ボンディングリードと電気的に接続されており、前記マイコンチップは、前記第1及び第2メモリチップと外部機器とのインターフェースであり、前記第1及び第2メモリチップのそれぞれは、外部クロック信号の立ち上がりと立ち下がりの両方に同期してデータを転送するダブル・データ・レート・シンクロナスDRAMであることを特徴とする半導体装置。

【発明の効果】

【0016】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0017】

マイコンチップと複数の高速のメモリチップを有する半導体装置において、複数のメモリチップの配線の等長化を図ることができる。

【0018】

また、第1配線基板の複数の第1ボンディングリード上にはんだペーストを塗布しておくことにより、第1バンプ電極とはんだペーストを接続して第1配線基板上に第2配線基板を実装することができ、複数のメモリチップが埋め込まれた反り易い第2配線基板のはんだ接続を可能にすることができる。これにより、マイコンチップが搭載された反りにくい第1配線基板は下に配置し、かつ反り易い第2配線基板を第1バンプ電極を介して第1配線基板上に実装することができる。

【発明を実施するための最良の形態】

【0019】

以下の実施の形態では特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0020】

さらに、以下の実施の形態では便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。

【0021】

また、以下の実施の形態において、要素の数など（個数、数値、量、範囲などを含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良いものとする。

【0022】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0023】

（実施の形態1）

図1は本発明の実施の形態1の半導体装置の構造の一例を模式的に示す断面図、図2は図1に示す半導体装置の等長配線構造を模式的に示す部分構造図、図3は図1に示す半導体装置を基板ごとに展開して構造を示す平面図、図4は本発明の実施の形態1の変形例の

10

20

30

40

50

半導体装置の構造を模式的に示す断面図である。また、図5は図1に示す半導体装置の上段側パッケージの構造を示す断面図、図6は図1に示す半導体装置の下段側パッケージの構造を示す断面図、図7は図4に示す半導体装置の下段側パッケージの構造を示す断面図、図8は本発明の実施の形態1の変形例の半導体装置の構造を模式的に示す断面図、図9は本発明の実施の形態1の変形例の半導体装置の構造を模式的に示す断面図である。さらに、図10は図8に示す半導体装置を基板ごとに展開して構造を示す平面図、図11は本発明の実施の形態1の変形例の半導体装置の構造を模式的に示す断面図、図12は本発明の実施の形態1の変形例の半導体装置の構造を模式的に示す断面図である。

#### 【0024】

図1～図3に示す本実施の形態1の半導体装置は、複数の半導体チップを有するものであり、複数の半導体チップが内蔵された基板を有する半導体パッケージである。本実施の形態1では、前記半導体装置の一例として、SIP1を取り上げて説明する。

10

#### 【0025】

SIP1の構成について説明すると、主面(第1主面)4aと主面4aに対向する裏面(第1裏面)4bを有する第1配線基板4と、第1配線基板4の主面4a上に搭載されたマイコンチップ3と、主面(第2主面)5aと主面5aに対向する裏面(第2裏面)5bを有し、かつマイコンチップ3上に配置された第2配線基板5と、第1配線基板4と第2配線基板5とを電気的に接続する複数の第1はんだバンプ(第1バンプ電極)34とから成る。さらに、第1配線基板4の裏面4bには、SIP1の外部端子として複数の第2はんだバンプ(第2バンプ電極)35が格子状に配置されている。

20

#### 【0026】

すなわち、SIP1は、第1配線基板4と、第1配線基板4上に搭載されたマイコンチップ3と、マイコンチップ3上に配置された第2配線基板5と、第1配線基板4と第2配線基板5を接続する複数の第1はんだバンプ34と、第1配線基板4の裏面4bに設けられた複数の第2はんだバンプ35とを有し、第1配線基板4を有するパッケージ完結構造上に第2配線基板5を有するパッケージ完結構造が搭載された、所謂POP(Package on Package)構造である。

#### 【0027】

さらに、第2配線基板5の内部には高速の第1メモリチップ2と第2メモリチップ6が積層した状態で内蔵されており、第2配線基板5内で第1メモリチップ2の配線と第2メモリチップ6の配線が等長化されている。

30

#### 【0028】

SIP1の構造について詳細に説明すると、第1配線基板4上に複数の第1はんだバンプ34を介して第2配線基板5が搭載されており、かつ第1配線基板4の主面4aと第2配線基板5の裏面5bとの間の領域に、演算処理機能を備えたマイコンチップ3が配置されている。図3に示すようにマイコンチップ3は、第1配線基板4上でその略中央に配置され、第1配線基板4の主面4aに形成された複数の第1ボンディングリード4cのうちマイコンチップ3用の複数のボンディングリード(図示しない)と、例えば複数の金バンプ36を介してフリップチップ接続されている。すなわち、マイコンチップ3は、図1に示すように、その主面3aを下方に向け、裏面3bを上方に向けて搭載されている。さらに、そのフリップチップ接続部にアンダーフィル37が充填され、このアンダーフィル37によって保護されている。ここで、マイコンチップ3をAuバンプ36を介してフリップチップ接続することで、狭ピッチ化に対応することが可能である。

40

#### 【0029】

また、第1配線基板4と第2配線基板5を接続する第1はんだバンプ34は、図3に示すようにマイコンチップ3の外側周囲に配置されている。その際、図1に示すSIP1では、第1配線基板4と第2配線基板5の平面方向の大きさが同じであるため、複数の第1はんだバンプ34は、図3に示すように第1配線基板4及び第2配線基板5の周縁部に並んで配置されている。更に説明すると、複数の第1はんだバンプ34は、第1配線基板4の主面4a上に搭載されたマイコンチップ3の周囲に並んで配置されている。

50

**【 0 0 3 0 】**

また、第2配線基板5は、それぞれにメモリ回路を備えた第1メモリチップ2と第2メモリチップ6を内蔵しており、その際、図1に示すように第2メモリチップ6は、第1メモリチップ2上に配置されている。すなわち、第1メモリチップ2及び第2メモリチップ6は、第2配線基板5内に埋め込まれており、その際、第1メモリチップ2上に第2メモリチップ6が積層されている。なお、第1メモリチップ2及び第2メモリチップ6とも、主面2a, 6a及び裏面2b, 6bがそれぞれ同じ方向を向いて積層されている。

**【 0 0 3 1 】**

このように本実施の形態1のSIP1では、下段側として、図6に示すように第1配線基板4上にマイコンチップ3が搭載されたパッケージ完結構造となっており、さらに、上段側として、図5に示すように第2配線基板5内に第1メモリチップ2と第2メモリチップ6が内蔵されたパッケージ完結構造となっており、両方のパッケージ完結構造を積層した構造（以降、オンパック構造ともいう）となっている。10

**【 0 0 3 2 】**

したがって、メモリチップ関係のテストと、マイコンチップ関係のテストをそれぞれ独立したパッケージ完結構造にて実施できるため、良品同士を組み合わせて積層することでSIP1の組み立てにおける歩留りを向上させることができる。

**【 0 0 3 3 】**

また、メモリチップ関係のパッケージ構造と、マイコンチップ関係のパッケージ構造とを自由自在に組み合わせることが可能なため、バリエーションを多数組むことができ、種々の構造を実現できる。その際、テスト後に、組み合わせをユーザ側で選択することも可能になる。20

**【 0 0 3 4 】**

なお、SIP1の上段側に配置された第2配線基板5に内蔵されている第1メモリチップ2及び第2メモリチップ6は、例えば、ダブル・データ・レート・シンクロナスDRAM (Double Data Rate SDRAM) である。ダブル・データ・レート・シンクロナスDRAMは、SDRAMの同期タイミングを強化し、転送レートが2倍となるようにした高速対応のSDRAMであり、外部クロック信号の立ち上がりと立ち下がりの両方に同期してデータを転送するものである。

**【 0 0 3 5 】**

したがって、第1メモリチップ2と第2メモリチップ6において、外部クロック信号の立ち上がりと立ち下がりの両方を使用するため、極めて短いタイミングを合わせる必要があり、本実施の形態1では、第2配線基板5の内部において、第1メモリチップ2と接続する内部配線5dと、第2メモリチップ6と接続する内部配線5dとの等長化が図られている。30

**【 0 0 3 6 】**

すなわち、図2に示すように、第2配線基板5の内部配線5dにおいて、第1メモリチップ2の第1電極パッド2cからこの第1電極パッド2cに対応する第2配線基板5の第2ボンディングリード5cまでの第1距離5eと、第2メモリチップ6の第2電極パッド6cからこの第2電極パッド6cに対応する第2ボンディングリード5cまでの第2距離5fとが略等しい長さになっている。40

**【 0 0 3 7 】**

これにより、第1メモリチップ2及び第2メモリチップ6において、内部配線5dの等長化が図られているため、外部クロック信号の立ち上がりと立ち下がりの両方に同期してデータを転送することができる。

**【 0 0 3 8 】**

なお、内部配線5dの等長化に関して、第1距離5eと第2距離5fの差の許容範囲は、例えば、±2mm以内、好ましくは±1mm以内である。

**【 0 0 3 9 】**

ここで、SIP1では、マイコンチップ3は、システムの外部と、システムの内部に設50

けられた第1メモリチップ2や第2メモリチップ6との間を仲介してデータの入出力を制御している。すなわち、アドレス、コマンド、クロック等の情報を複数のメモリチップとの間でやり取りしている。そのため、図1に示すように、マイコンチップ3と第1メモリチップ2及び第2メモリチップ6のそれぞれは、複数の第1ポンディングリード4c、複数の第1はんだバンプ34、及び複数の第2ポンディングリード5cを介して電気的に接続されている。このとき、マイコンチップ3の複数の金バンプ36が電気的に接続されるマイコンチップ用のポンディングリードと、複数の第1はんだバンプ34と電気的に接続される複数の第1ポンディングリード4cは、それぞれ電気的に接続されている。

#### 【0040】

本実施の形態1のSIP1では、マイコンチップ3を下段側、メモリチップを上段側に配置している。

10

#### 【0041】

なぜなら、第2配線基板5では、2つの薄い第1メモリチップ2と第2メモリチップ6が内蔵されるため、内部に半導体チップを搭載していない第1配線基板4よりも反り易い。つまり、基板とチップの熱膨張係数の差から第2配線基板5は第1配線基板4に比べて反り易いので、第2配線基板5を下段側に配置した場合、第2配線基板5の表面（正面5a）の平坦性が確保できず、上段側に積層しようとする第1配線基板4の実装不良が発生し易い。しかしながら、SIP1の組み立ての際の第1配線基板4と第2配線基板5のはんだ接続において、予め、第1配線基板4の第1ポンディングリード4c上にはんだペースト46（迎えはんだ）を塗布しておき（図35参照）、このはんだペースト46と第1はんだバンプ34を接続することで、第2配線基板5が反っている場合であっても第1配線基板4と第2配線基板5を接続をすることができる。従って、反りの少ない第1配線基板4を下側に配置するため、ユーザ側でのSIP1の実装も可能になる。

20

#### 【0042】

また、マイコンチップ3は、メモリチップに比較して遙かにピン数が多く、かつ発熱量も多い。すなわち、マイコンチップ3は、信号の送受信の外部との仲介役であるとともに、ピン数が多くかつ発熱量も多い。しかしながら、下段の第1配線基板4上に搭載することで、SIP1が実装される実装基板に第2はんだバンプ35を介して熱を逃がすことができる。

#### 【0043】

30

以上のように本実施の形態1のSIP1は、第2配線基板5に第1メモリチップ2及び第2メモリチップ6が内蔵され、かつ第2メモリチップ6が第1メモリチップ2上に配置されているとともに、第1メモリチップ2及び第2メモリチップ6は、外部クロック信号の立ち上がりと立ち下がりの両方に同期してデータを転送する高速のメモリチップである。このような複数の高速のメモリチップが内蔵された第2配線基板5において、これらのメモリチップ（第1メモリチップ2及び第2メモリチップ6）の配線の等長化を図ることができる。

#### 【0044】

さらに、反り易いチップ内蔵の第2配線基板5が上段側に配置されているため、マイコンチップ3から発せられる熱を外部端子である第2はんだバンプ35を介して実装基板に逃がすことができる。

40

#### 【0045】

次に、本実施の形態1の変形例について説明する。図4に示す変形例のSIP1は、下段側の第1配線基板4上に半導体チップを積層して実装するものである。第1配線基板4上に積層されている下段の半導体チップは、フリップチップ接続されたマイコンチップ3である。したがって、このマイコンチップ3は、第1配線基板4の第1内部配線4eを介して第1はんだバンプ34や第2はんだバンプ35と電気的に接続されている。

#### 【0046】

また、図4に示すSIP1の第1配線基板4上に積層されている上段の半導体チップは、マイコンチップ3であってもメモリチップ40であってもどちらでもよく、ワイヤ38

50

を介して第1配線基板4の正面4a上の端子4dと電気的に接続されている。第2配線基板5に内蔵されている第1メモリチップ2や第2メモリチップ6ほど高速処理を必要としないため、第1内部配線4eとは分離された第2内部配線4fを介して端子4dが第2はんだバンプ35と接続されている。なお、下段のマイコンチップ3と上段のメモリチップ40、及びワイヤ38は、封止体39によって樹脂封止されている。

#### 【0047】

また、図4に示すSIP1においても、下段側として、図7に示すように第1配線基板4上にマイコンチップ3とメモリチップ40が積層されたパッケージ完結構造となっており、さらに、上段側として、図5に示すように第2配線基板5内に第1メモリチップ2と第2メモリチップ6が内蔵されたパッケージ完結構造となっており、両方のパッケージ完結構造を積層した構造（オンパック構造）となっている。10

#### 【0048】

したがって、メモリチップ関係のテストと、マイコンチップ関係のテストをそれぞれ独立したパッケージにて実施できるため、良品同士を組み合わせて積層することで図4に示すSIP1の組み立てにおける歩留りを向上させることができる。

#### 【0049】

次に、図8に示す変形例のSIP1は、図10に示すように上下段の基板のサイズが異なっているものであり、下段に配置される第1配線基板4の方が上段に配置される第2配線基板5より遥かに大きなものとなっている。さらに、図8に示すように、第2配線基板5と、第1配線基板4の第2配線基板5から迫り出した箇所が放熱板41によって覆われており、SIP1の放熱性を向上させることができる。放熱板41は、第1配線基板4の正面4aの周縁部に接着剤42を介して固着されている。20

#### 【0050】

また、図9に示す変形例のSIP1は、第1配線基板4の第2配線基板5から迫り出した箇所のみに接着剤42を介して放熱板41が固着されているものであり、これによってもSIP1の放熱性を向上させることができる。

#### 【0051】

また、図11に示す変形例のSIP1は、第1配線基板4上に第2配線基板5を積層し、さらに第2配線基板5上に第3はんだバンプ44を介して第3配線基板43が積層しているものである。第3配線基板43上には、例えば、その下段にはマイコンチップ45が金バンプ36を介してフリップチップ接続され、さらにその上にメモリチップ40が積層されており、メモリチップ40は、ワイヤ38を介して第3配線基板43に電気的に接続されている。第3配線基板43上のマイコンチップ45及びメモリチップ40やワイヤ38は、封止体39によって樹脂封止され、さらに、封止体39の表面には放熱板41が貼り付けられている。30

#### 【0052】

また、図12に示す変形例のSIP1は、第1メモリチップ2と第2メモリチップ6が埋め込まれた第2配線基板5の正面5a上に、例えば、メモリチップ40（マイコンチップ45でもよい）が搭載されたものであり、このメモリチップ40がワイヤ38を介して第2配線基板5の正面5aの端子5gと電気的に接続されている。メモリチップ40は、第2配線基板5に内蔵されている第1メモリチップ2や第2メモリチップ6ほど高速処理を必要としないため、第2配線基板5の内部配線5dとは分離された他の内部配線5hを介して端子5gが第1はんだバンプ34と接続され、さらに、第1はんだバンプ34が第1配線基板4の第2内部配線4fを介して第2はんだバンプ35と接続されている。40

#### 【0053】

なお、第2配線基板5の正面5a上において、メモリチップ40やワイヤ38は、封止体39によって樹脂封止され、さらに、封止体39の表面には放熱板41が貼り付けられているとともに、第1配線基板4の第2配線基板5から迫り出した周縁部にも放熱板41が貼り付けられている。

#### 【0054】

このように図11及び図12にそれぞれ示す変形例のSIP1は、多層のオンパック構造のパッケージであり、図1に示すSIP1と同様の効果を得ることができるとともに、より多数の半導体チップ（メモリチップ40やマイコンチップ45等）を搭載していることにより、さらに機能を向上させたSIP1を実現できる。

#### 【0055】

次に、本実施の形態1の図1に示すSIP1の組み立てについて説明する。

#### 【0056】

図13～図18はそれぞれ図1に示す半導体装置の組み立てにおける内蔵チップの形成方法の一例を示す部分断面図、図19～図21はそれぞれ図1に示す半導体装置の組み立てにおけるチップ埋め込み方法の一例を示す部分断面図、図22～図25はそれぞれ変形例のチップ埋め込み方法を示す部分断面図である。また、図26は図1に示す半導体装置の組み立てにおけるチップ埋め込み方法の一例を示す部分断面図、図27は図1に示す半導体装置の組み立てにおける内蔵チップの積層方法の一例を示す部分断面図、図28は図1に示す半導体装置の組み立てにおける内蔵チップの積層後の基板の構造の一例を示す裏面図、図29は図28のA-A線に沿って切断した構造の一例を示す断面図である。さらに、図30は図1に示す半導体装置の組み立てにおける第1バンプ電極の取り付け後の構造の一例を示す部分断面図、図31は変形例の第1バンプ電極の取り付け後の構造を示す部分断面図、図32は図1に示す半導体装置の組み立てにおける基板個片化及びテスト完了後の構造の一例を示す断面図、図33は図1に示す半導体装置の組み立てにおける下側パッケージのテスト完了後の構造の一例を示す部分断面図である。

10

20

#### 【0057】

また、図34は図1に示す半導体装置の組み立て完了後の構造の一例を示す部分断面図、図35は図1に示す半導体装置の組み立てにおける迎えはんだ形成時の構造の一例を示す部分断面図、図36～図38はそれぞれ変形例の下側パッケージのテスト完了後の構造を示す部分断面図、図39は変形例の半導体装置の組み立てにおける第1バンプ電極の取り付け後の構造を示す部分断面図である。

#### 【0058】

まず、図13に示すように、Siベース7上にデバイス層8が形成され、さらにデバイス層8上に第1電極パッド2cとパッシベーション膜10が形成されたデバイスにおいて、プローブ検査とヒューズ9の切断を行って良品のデバイスを取得する。

30

#### 【0059】

その後、図14に示すように、第1電極パッド2c及びパッシベーション膜10上に電極層であるシード層12を形成する。

#### 【0060】

その後、図15に示すように、シード層12上にレジスト膜13を形成し、その後、第1電極パッド2c上のレジスト膜13を所定形状で除去した後、第1電極パッド2c上のシード層12上にCu電極14を形成する。

#### 【0061】

その後、図16に示すように、Cu電極14の周囲のレジスト膜13及びシード層12を除去し、第1電極パッド2c上のCu電極14を完成させる。なお、Cu電極14の形成についてはスパッタ法等の他の方法で形成してもよい。

40

#### 【0062】

その後、図17に示すように、Siベース裏面を研磨して薄膜化デバイス33を形成する。

#### 【0063】

その後、ダイシングによる個片化を行って図18に示す第1メモリチップ2を取得する。

#### 【0064】

その後、図19に示すように、多連の第1ベース基板15を準備し、さらに、第1ベース基板15上に樹脂層17と、凹部であるキャビティ16を形成する。

50

**【0065】**

その後、図18で形成した第1メモリチップ2を第1ベース基板15上に形成したキャビティ16内に配置し、ダイボンド材18で固着する。

**【0066】**

その後、キャビティ16内において、図20に示すように第1メモリチップ2上にエポキシ樹脂等からなる絶縁材19を充填し、さらに、第1メモリチップ2の第1電極パッド2c上のCu電極14の上部を開口する。

**【0067】**

その後、レーザ加工等によって樹脂層17の所定箇所に貫通孔を形成し、続いて図21に示すように、めっきによって貫通孔の内壁にスルーホール配線23を形成するとともに、その内部に充填材22を埋め込み、さらにCu電極14に接続する配線パターンである導体パターン20、及び導体パターン20とスルーホール配線23を接続するビアパッド24を形成する。その際、ビアパッド24を導体パターン20によって覆う。10

**【0068】**

なお、図22及び図23の変形例に示すように、第1ベース基板15上にチップマウント後、チップ周囲をプリプレグ等の絶縁材19で覆う構造としてもよく、絶縁材19で覆った後に、第1電極パッド2c上のCu電極14の上部を開口すればよい。開口後、ビアパッド24と、このビアパッド24を覆い、かつCu電極14と接続する導体パターン20を形成する。20

**【0069】**

また、図19に示すキャビティ構造を利用して、図24及び図25の変形例に示すように、樹脂層17の上部にエポキシ樹脂等からなる絶縁材19を配置しない構造としてもよい。すなわち、キャビティ16内のみに絶縁材19を充填するものである。

**【0070】**

その後、図26に示すように、導体パターン20上にプリプレグ等からなる絶縁層11を形成するとともに、ビアパッド24上にパッド26を形成する。

**【0071】**

その後、図27に示すように、第2ベース基板21を準備する。ここで、第2ベース基板21は、樹脂層17（第1ベース基板15を含む）とほぼ同じ厚さであり、第2ベース基板21の所定箇所にスルーホール配線23と、このスルーホール配線23に接続されるビアパッド24及び中継パターン25を形成する。30

**【0072】**

その後、図28及び図29に示すように、第2ベース基板21の表面側に、第2メモリチップ6が埋め込まれた樹脂層17（第1ベース基板15を含む）を配置し、さらに、第2ベース基板21の裏面側に、第1メモリチップ2が埋め込まれた樹脂層17（第1ベース基板15を含む）を配置し、加熱プレス等によって第2ベース基板21と表裏両面の樹脂層17とをそれぞれ接着する。その際、第2ベース基板21の表裏両面の第2メモリチップ6と第1メモリチップ2が同じ方向を向くようにそれぞれの樹脂層17と第2ベース基板21とを接着する。

**【0073】**

その結果、第2ベース基板21を間に介在させた状態で第2メモリチップ6と第1メモリチップ2が積層されるとともに、上下のメモリチップの等長配線を行うことができる。ここでは、図29に示すように、第2メモリチップ6と第1メモリチップ2にそれぞれ接続されている導体パターン20は、それぞれスルーホール配線23を介してA部で中継パターン25に接続しており、これによって配線の等長化が図られている（図29における黒塗り配線が等長化配線となっている）。

**【0074】**

その後、基板の表裏両面にレジスト膜27を形成する。

**【0075】**

これによって、第1メモリチップ2と第2メモリチップ6が積層されて埋め込まれ、か40

50

つ等長化配線が形成されたパッケージ完結構造の形成を完了する。

**【0076】**

その後、図30に示すように、パッケージ完結構造（第2配線基板5）の裏面5bのパッド26（第2ボンディングリード5c）に、第1はんだバンプ34を接続する。

**【0077】**

なお、図31に示す変形例は、パッケージ完結構造（第2配線基板5）のパッド26（第2ボンディングリード5c）に第1はんだバンプ34を接続する際に、第1配線基板4上に第2配線基板5を接続した時に、第1メモリチップ2及び第2メモリチップ6のデバイス面が上方を向くようにするものである。すなわち、パッケージ完結構造（第2配線基板5）の主面5aのパッド26（第2ボンディングリード5c）に第1はんだバンプ34を接続するものである。これにより、基板が反っていてもその実装性を向上できるとともに、基板の放熱性を向上させることができる。10

**【0078】**

その後、図32に示すように、ダイシングによって基板の個片化を行って第2配線基板5を形成し、さらにこのパッケージ完結構造（メモリスタックパッケージ）のメモリテストを行う。

**【0079】**

その後、図33に示すように、マイコンチップ3がフリップチップ接続で搭載され、かつ第2はんだバンプ35が接続され、さらにテストが完了した第1配線基板4（パッケージ完結構造）を準備する。20

**【0080】**

その後、図34に示すように、第1はんだバンプ34を介して上段の第2配線基板5を有するパッケージ完結構造と、下段の第1配線基板4を有するパッケージ完結構造とを接続することでSIP1の組み立てを完了する。

**【0081】**

なお、第1配線基板4と第2配線基板5を接続する際には、熱及び荷重を掛けた状態で第2配線基板5を第1配線基板4上に実装する。さらに、図35に示すように、予め第1配線基板4の第1ボンディングリード4c上に迎えはんだを塗布しておき、前記迎えはんだと第2配線基板5に接続されている第1はんだバンプ34とを接続することが好ましい。すなわち、第1配線基板4の主面4aの複数の第1ボンディングリード4c上に予め迎えはんだであるはんだペースト46を塗布しておき、熱及び荷重をかけて第1はんだバンプ34とはんだペースト46とを接続して第1配線基板4上に第2配線基板5を実装することが好ましい。30

**【0082】**

これは、上段に配置される第2配線基板5には、薄い第1メモリチップ2と第2メモリチップ6が積層して埋め込まれているため、基板が反り易い。したがって、上段に配置される第2配線基板5と下段に配置される第1配線基板4とを接続する際には、下段側の第1配線基板4の第1ボンディングリード4c上に予めはんだペースト46（迎えはんだ）を塗布しておき、熱及び荷重をかけて第2配線基板5を実装することで、上段側の第2配線基板5の反りを吸収してはんだ接続を行うことができるためである。熱及び荷重から解放されると、第2配線基板5は再び反るが、その時には、すでに第1配線基板4と第2配線基板5は、はんだが硬化して接続を完了しているため、接続不良に至ることは無い。40

**【0083】**

したがって、第1配線基板4にはんだペースト46を塗布せずに、単に、熱及び荷重を掛けるだけでも良いが、より好ましくは迎えはんだであるはんだペースト46を予め第1配線基板4に塗布しておくことで、反り易いチップ内蔵の第2配線基板5をより確実に実装することができる。

**【0084】**

すなわち、迎えはんだ技術を採用することで、複数のチップ内蔵の反り易い第2配線基板5を上段に配置してはんだ実装することが可能になる。その結果、マイコンチップ3が50

搭載された反りにくい第1配線基板4は下段に配置し、かつ反り易い第2配線基板5を第1はんだバンプ34を介して第1配線基板4上に実装することが可能になるため、ユーザ側で第2配線基板5の実装を行うことも可能になる。

#### 【0085】

次に、図36は変形例を示すものであり、第1配線基板4上に、例えば、マイコンチップ3とメモリチップ40を積層して実装した結果、これらチップを樹脂封止する封止体39の高さがより高くなってしまう場合がある。そのため、この封止体39の周囲に第1はんだバンプ34を介して別のパッケージを積層するPOP(Package On Package)構造を採用できない。そこで、第1配線基板4上の第1ポンディングリード4cを封止体39の上面よりも高い位置に引出すために、スペーサ基板28を介在させてテストを行うものである。テスト終了後は、スペーサ基板28を離脱させて、図37に示すように、元の第1配線基板4の構造にもどすことが可能である。10

#### 【0086】

また、図38に示す変形例は、第1配線基板4上に積層されたマイコンチップ3とメモリチップ40において、上段のメモリチップ40と基板とをワイヤ38を介して接続する際に、スペーサ基板28のキャビティ内側に段差部28aを設けておき、この段差部28aの電極にワイヤ38を接続してテストを行うものである。段差部28aを設けておけば、フリップチップ接続されたマイコンチップ3と第1配線基板4との間にアンダーフィル樹脂を充填しても、メモリチップ40とワイヤ38を介して電気的に接続される第1配線基板4上のポンディングリードがアンダーフィル樹脂で覆われ難くなる。20

#### 【0087】

また、図39に示す変形例は、第2配線基板5において第1メモリチップ2と第2メモリチップ6を積層した状態で埋め込む際に、両チップを逆向きで積層するものである。すなわち、第1メモリチップ2の裏面2bと第2メモリチップ6の裏面6bとが向かい合って積層されており、この構造においても、両チップをそれぞれスルーホール配線23を介して中継パターン25に接続することにより、配線の等長化を図ることができる。30

#### 【0088】

##### (実施の形態2)

図40は本発明の実施の形態2の半導体装置の構造の一例を模式的に示す断面図、図41は図40に示す半導体装置の上段側パッケージの構造を示す断面図、図42は図41に示す上段側パッケージの基板の内部構造の一例を示す部分断面図である。30

#### 【0089】

図40に示す本実施の形態2のSIP31は、第2配線基板5に内蔵される半導体チップそれぞれが、貫通孔2d, 6d, 30cを有するものであり、それぞれの貫通孔2d, 6d, 30c内に導体29が埋め込まれて配線が等長化されているものである。

#### 【0090】

したがって、図41に示すように、第2配線基板5に第1メモリチップ2と第2メモリチップ6と第3メモリチップ30が積層して埋め込まれており、この構造でパッケージ完結構造としてメモリテストを行うことが可能である。なお、各チップは、それぞれの正面2a, 6a, 30a及び裏面2b, 6b, 30bが同一の方向を向いて積層されており、貫通孔2d, 6d, 30cに埋め込まれた導体29を介して電気的に接続されている。40

#### 【0091】

なお、図42は、第1メモリチップ2と第2メモリチップ6のみが積層されて埋め込まれた第2配線基板5を有するパッケージ完結構造の詳細を示しており、このパッケージ完結構造においてもチップ厚が薄いため、導体29を介して配線の等長化を図ることができる。その結果、実施の形態1のSIP1と同様の効果を得ることができる。

#### 【0092】

##### (実施の形態3)

図43は本発明の実施の形態3の半導体装置の構造の一例を模式的に透過して示す平面図、図44は図43に示す半導体装置の断面図、図45乃至図48はそれぞれ本発明の実50

施の形態3の変形例の半導体装置の構造を模式的に透過して示す平面図と断面図である。

**【0093】**

本実施の形態3の半導体装置(SIP32)は、第1配線基板4上に第2配線基板5を実装する際に、マイコンチップ3と第2配線基板5を横置き(平置き)に実装するものであり、図43、図45、及び図47に示すSIP32では、それぞれの内部構造を上方から透過して示している。

**【0094】**

図43及び図44は、第1配線基板4上に金バンプ36を介してフリップチップ接続されたマイコンチップ3の横に、第1メモリチップ2と第2メモリチップ6が積層して埋め込まれた第2配線基板5を第1はんだバンプ34を介して実装した構造を示している。第1配線基板4の裏面側には複数の第2はんだバンプ35が設けられている。10

**【0095】**

図45及び図46のSIP32では、第1配線基板4上に金バンプ36を介してフリップチップ接続されたマイコンチップ3が実装され、さらにマイコンチップ3上に、例えば、メモリチップ40等が積層されて実装されている。この場合も、マイコンチップ3の横に、第1メモリチップ2と第2メモリチップ6が積層して埋め込まれた第2配線基板5が第1はんだバンプ34を介して実装されており、さらに、第1配線基板4の裏面側には複数の第2はんだバンプ35が設けられている。

**【0096】**

図47及び図48のSIP32は、図45のSIP32のマイコンチップ3上に積層されたメモリチップ40のさらに上部に放熱板41が設けられている場合であり、放熱板41以外の構造は、図45のSIP32と同様である。20

**【0097】**

図43～図48に示すSIP32においても、第1配線基板4上に実装されたチップ内蔵の第2配線基板5で複数の半導体チップの配線の等長化を図ることができ、実施の形態1のSIP1と同様の効果を得ることができる。

**【0098】**

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。30

**【0099】**

例えば、前記実施の形態1～3では、上段側の第2配線基板5に2つまたは3つの半導体チップが積層して内蔵されている場合を説明したが、内蔵される半導体チップの積層数は、2つ以上であれば何層であってもよい。

**【0100】**

また、例えばマイコンチップ3のフリップチップ接続には、金バンプに限定されるものではなく、半田バンプを使用してもよい。図43～図48に示すように、マイコンチップ3とメモリチップ(第1メモリチップ2と第2メモリチップ6)を内蔵した第2配線基板5とが平置きに搭載されている場合、それを第1配線基板4上に実装してから、一括してリフロー処理することが可能であり、Auバンプを使用する場合に比べ、実装工程の簡略化が可能である。40

**【産業上の利用可能性】**

**【0101】**

本発明は、マイコンチップとメモリチップを有する電子装置に好適である。

**【図面の簡単な説明】**

**【0102】**

【図1】本発明の実施の形態1の半導体装置の構造の一例を模式的に示す断面図である。

【図2】図1に示す半導体装置の等長配線構造を模式的に示す部分構造図である。

【図3】図1に示す半導体装置を基板ごとに展開して構造を示す平面図である。

【図4】本発明の実施の形態1の変形例の半導体装置の構造を模式的に示す断面図である50

。

【図 5】図 1 に示す半導体装置の上段側パッケージの構造を示す断面図である。

【図 6】図 1 に示す半導体装置の下段側パッケージの構造を示す断面図である。

【図 7】図 4 に示す半導体装置の下段側パッケージの構造を示す断面図である。

【図 8】本発明の実施の形態 1 の変形例の半導体装置の構造を模式的に示す断面図である

。

【図 9】本発明の実施の形態 1 の変形例の半導体装置の構造を模式的に示す断面図である

。

【図 10】図 8 に示す半導体装置を基板ごとに展開して構造を示す平面図である。

【図 11】本発明の実施の形態 1 の変形例の半導体装置の構造を模式的に示す断面図である。 10

【図 12】本発明の実施の形態 1 の変形例の半導体装置の構造を模式的に示す断面図である。

【図 13】図 1 に示す半導体装置の組み立てにおける内蔵チップの形成方法の一例を示す部分断面図である。

【図 14】図 1 に示す半導体装置の組み立てにおける内蔵チップの形成方法の一例を示す部分断面図である。

【図 15】図 1 に示す半導体装置の組み立てにおける内蔵チップの形成方法の一例を示す部分断面図である。 20

【図 16】図 1 に示す半導体装置の組み立てにおける内蔵チップの形成方法の一例を示す部分断面図である。

【図 17】図 1 に示す半導体装置の組み立てにおける内蔵チップの形成方法の一例を示す部分断面図である。

【図 18】図 1 に示す半導体装置の組み立てにおける内蔵チップの形成方法の一例を示す部分断面図である。

【図 19】図 1 に示す半導体装置の組み立てにおけるチップ埋め込み方法の一例を示す部分断面図である。

【図 20】図 1 に示す半導体装置の組み立てにおけるチップ埋め込み方法の一例を示す部分断面図である。 30

【図 21】図 1 に示す半導体装置の組み立てにおけるチップ埋め込み方法の一例を示す部分断面図である。

【図 22】変形例のチップ埋め込み方法を示す部分断面図である。

【図 23】変形例のチップ埋め込み方法を示す部分断面図である。

【図 24】変形例のチップ埋め込み方法を示す部分断面図である。

【図 25】変形例のチップ埋め込み方法を示す部分断面図である。

【図 26】図 1 に示す半導体装置の組み立てにおけるチップ埋め込み方法の一例を示す部分断面図である。

【図 27】図 1 に示す半導体装置の組み立てにおける内蔵チップの積層方法の一例を示す部分断面図である。 40

【図 28】図 1 に示す半導体装置の組み立てにおける内蔵チップの積層後の基板の構造の一例を示す裏面図である。

【図 29】図 28 の A - A 線に沿って切断した構造の一例を示す断面図である。

【図 30】図 1 に示す半導体装置の組み立てにおける第 1 バンプ電極の取り付け後の構造の一例を示す部分断面図である。

【図 31】変形例の第 1 バンプ電極の取り付け後の構造を示す部分断面図である。

【図 32】図 1 に示す半導体装置の組み立てにおける基板個片化及びテスト完了後の構造の一例を示す断面図である。

【図 33】図 1 に示す半導体装置の組み立てにおける下側パッケージのテスト完了後の構造の一例を示す部分断面図である。

【図 34】図 1 に示す半導体装置の組み立て完了後の構造の一例を示す部分断面図である。 50

。

【図35】図1に示す半導体装置の組み立てにおける迎えはんだ形成時の構造の一例を示す部分断面図である。

【図36】変形例の下側パッケージのテスト完了後の構造を示す部分断面図である。

【図37】変形例の下側パッケージのテスト完了後の構造を示す部分断面図である。

【図38】変形例の下側パッケージのテスト完了後の構造を示す部分断面図である。

【図39】変形例の半導体装置の組み立てにおける第1パンプ電極の取り付け後の構造を示す部分断面図である。

【図40】本発明の実施の形態2の半導体装置の構造の一例を模式的に示す断面図である

。

【図41】図40に示す半導体装置の上段側パッケージの構造を示す断面図である。

【図42】図41に示す上段側パッケージの基板の内部構造の一例を示す部分断面図である。

【図43】本発明の実施の形態3の半導体装置の構造の一例を模式的に透過して示す平面図である。

【図44】図43に示す半導体装置の断面図である。

【図45】本発明の実施の形態3の変形例の半導体装置の構造を模式的に透過して示す平面図である。

【図46】図45に示す半導体装置の断面図である。

【図47】本発明の実施の形態3の変形例の半導体装置の構造を模式的に透過して示す平面図である。

【図48】図47に示す半導体装置の断面図である。

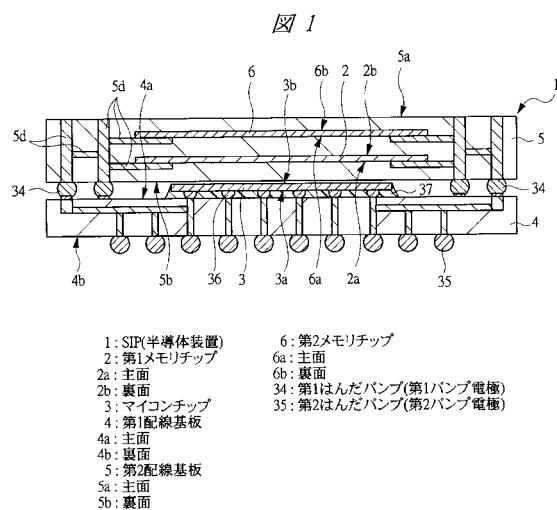
#### 【符号の説明】

##### 【0103】

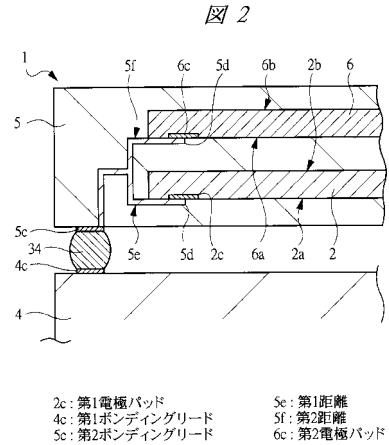
- |     |              |    |
|-----|--------------|----|
| 1   | SIP(半導体装置)   |    |
| 2   | 第1メモリチップ     |    |
| 2 a | 正面           |    |
| 2 b | 裏面           |    |
| 2 c | 第1電極パッド      |    |
| 2 d | 貫通孔          | 30 |
| 3   | マイコンチップ      |    |
| 3 a | 正面           |    |
| 3 b | 裏面           |    |
| 4   | 第1配線基板       |    |
| 4 a | 正面           |    |
| 4 b | 裏面           |    |
| 4 c | 第1ボンディンググリード |    |
| 4 d | 端子           |    |
| 4 e | 第1内部配線       |    |
| 4 f | 第2内部配線       | 40 |
| 5   | 第2配線基板       |    |
| 5 a | 正面           |    |
| 5 b | 裏面           |    |
| 5 c | 第2ボンディンググリード |    |
| 5 d | 内部配線         |    |
| 5 e | 第1距離         |    |
| 5 f | 第2距離         |    |
| 5 g | 端子           |    |
| 5 h | 他の内部配線       |    |
| 6   | 第2メモリチップ     | 50 |

- 6 a 主面  
 6 b 裏面  
 6 c 第2電極パッド  
 6 d 貫通孔  
 7 S i ベース  
 8 デバイス層  
 9 ヒューズ  
 10 パッシベーション膜  
 11 絶縁層  
 12 シード層  
 13 レジスト膜  
 14 Cu電極  
 15 第1ベース基板  
 16 キャビティ  
 17 樹脂層  
 18 ダイボンド材  
 19 絶縁材  
 20 導体パターン  
 21 第2ベース基板  
 22 充填材  
 23 スルーホール配線  
 24 ピアパッド  
 25 中継パターン  
 26 パッド  
 27 レジスト膜  
 28 スペーサ基板  
 28 a 段差部  
 29 導体  
 30 第3メモリチップ  
 30 a 主面  
 30 b 裏面  
 30 c 貫通孔  
 31 , 32 S I P (半導体装置)  
 33 薄膜化デバイス  
 34 第1はんだバンプ(第1バンプ電極)  
 35 第2はんだバンプ(第2バンプ電極)  
 36 金バンプ  
 37 アンダーフィル  
 38 ワイヤ  
 39 封止体  
 40 メモリチップ  
 41 放熱板  
 42 接着剤  
 43 第3配線基板  
 44 第3はんだバンプ  
 45 マイコンチップ  
 46 はんだペースト
- 10
- 20
- 30
- 40

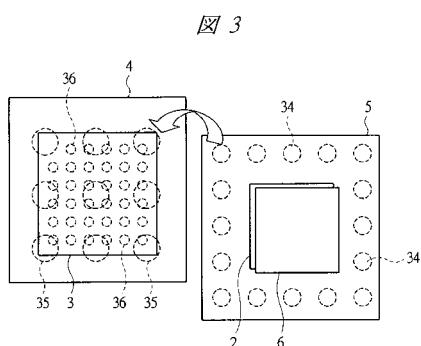
【図1】



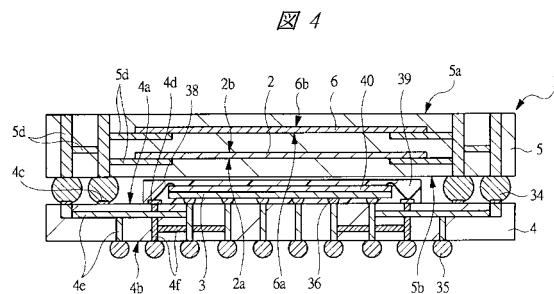
【図2】



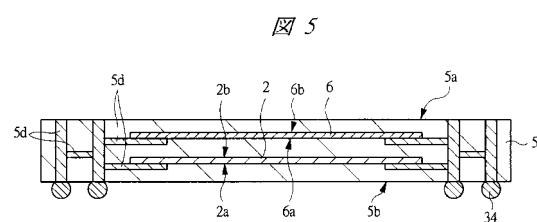
【図3】



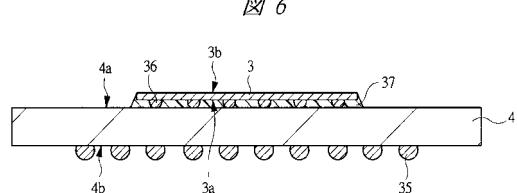
【図4】



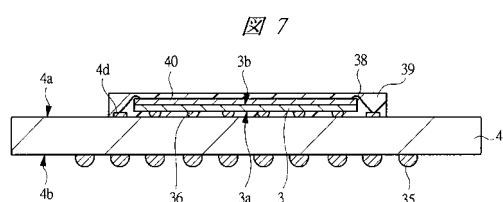
【図5】



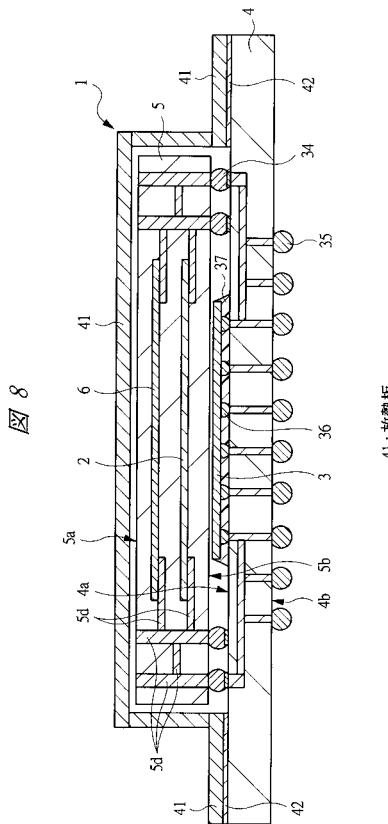
【図6】



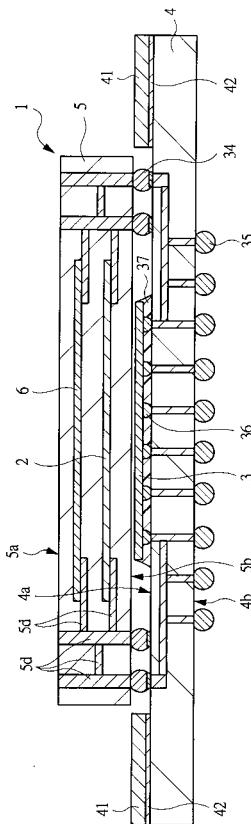
【図7】



【図8】



【図9】



【図10】

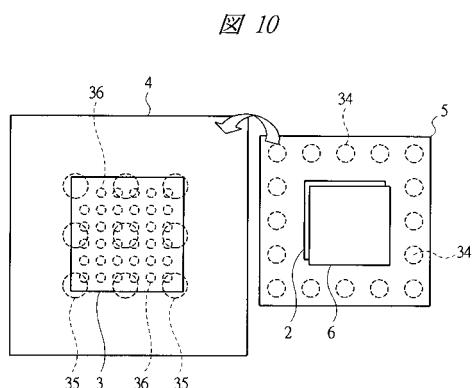
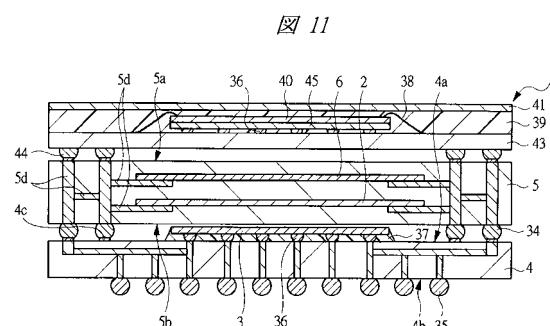
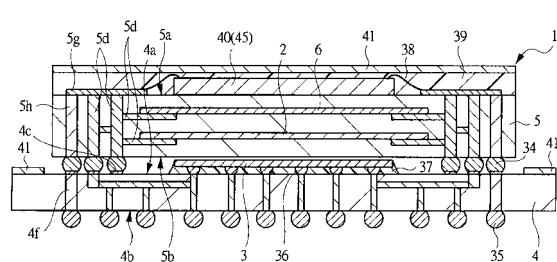


図10

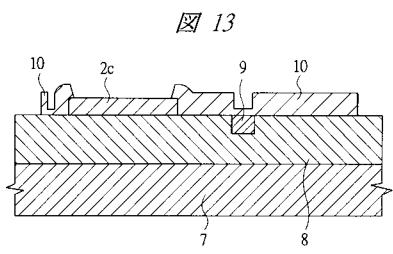
【図11】



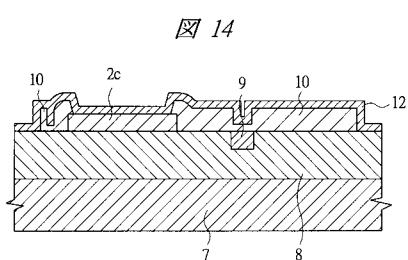
【図12】



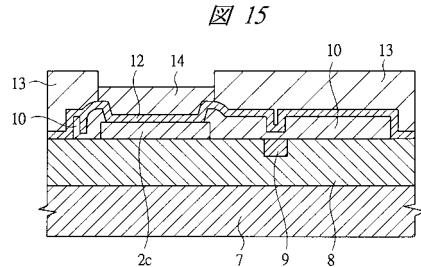
【図13】



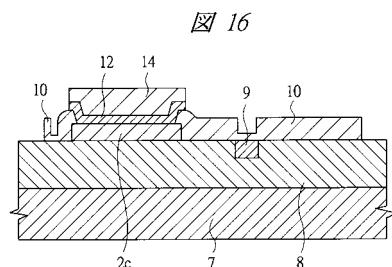
【図14】



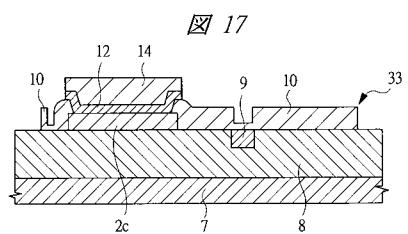
【図15】



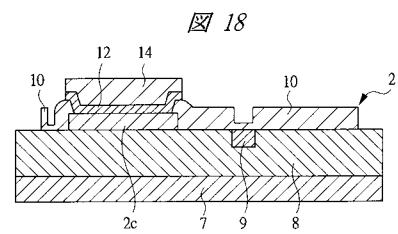
【図16】



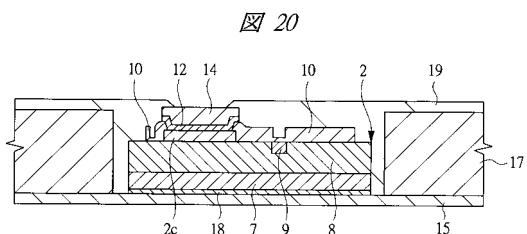
【図17】



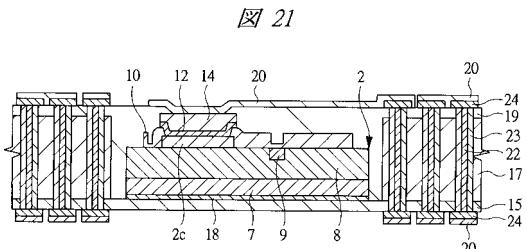
【図18】



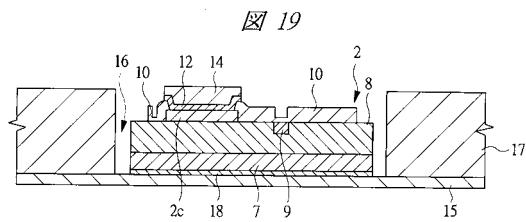
【図20】



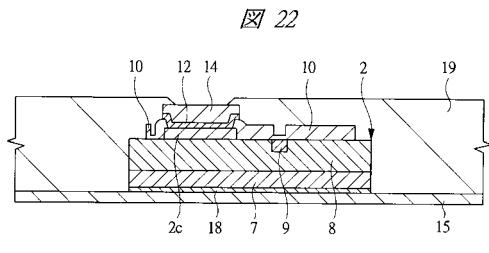
【図21】



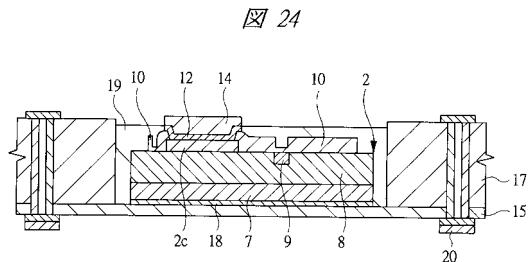
【図19】



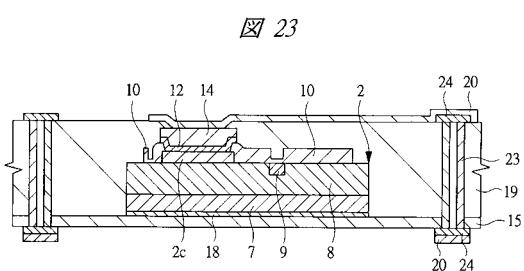
【図22】



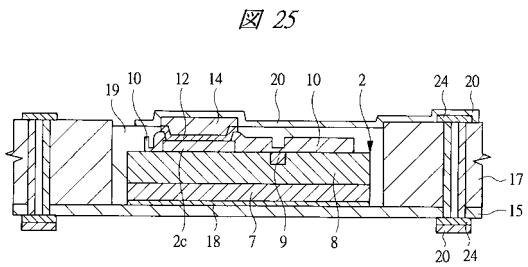
【図24】



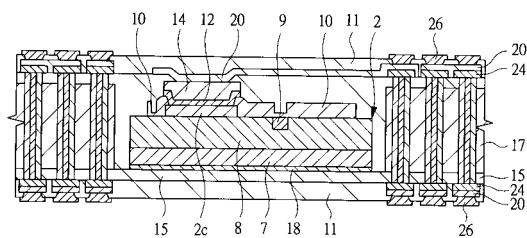
【図23】



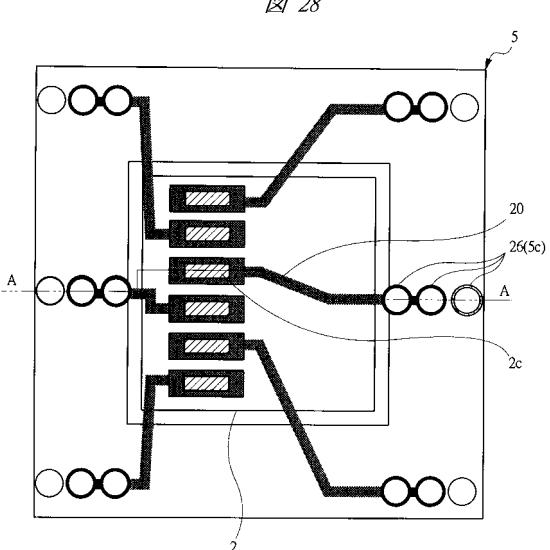
【図25】



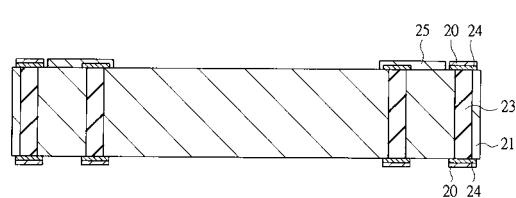
【図26】



【図28】

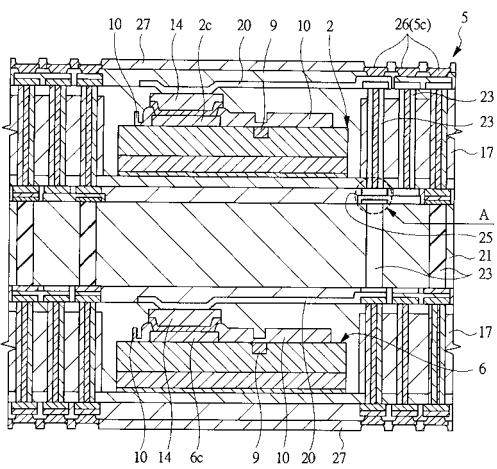


【図27】



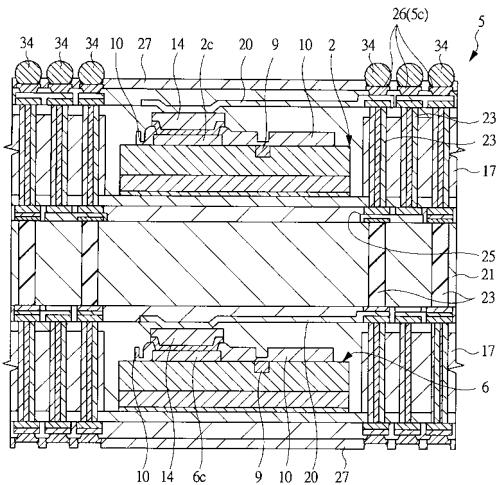
【図29】

図29



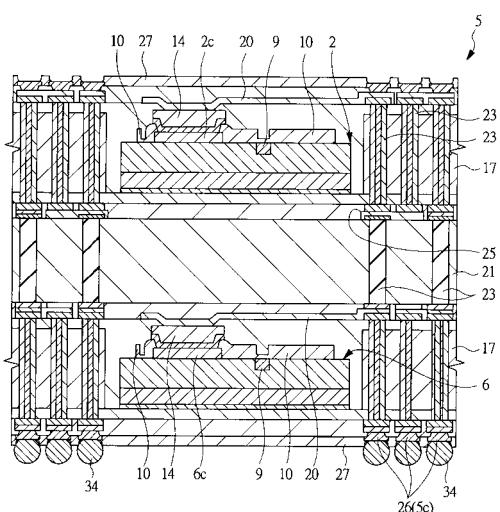
【図30】

図30



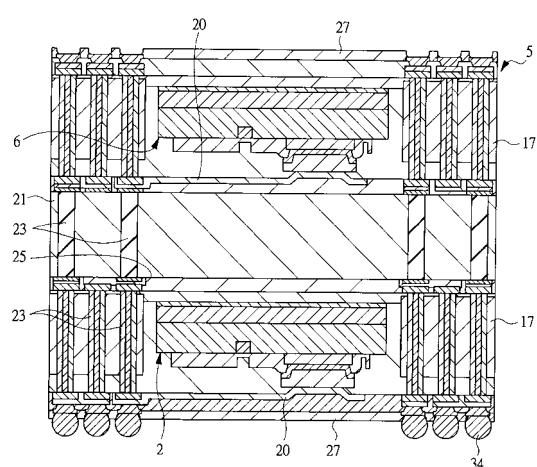
【図31】

図31



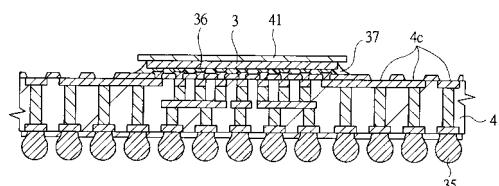
【図32】

図32



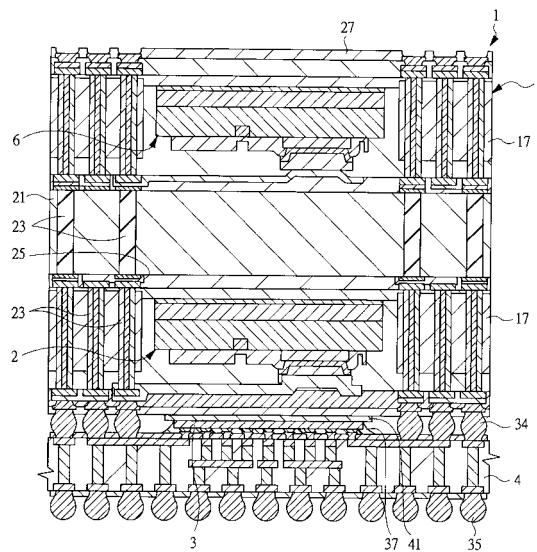
【図33】

図33



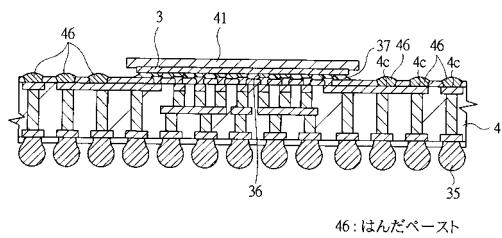
【図34】

図34



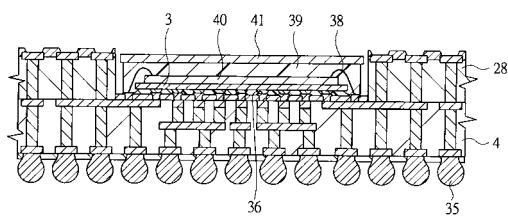
【図35】

図35



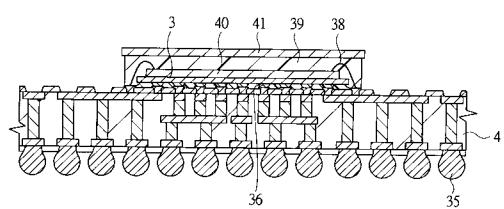
【図36】

図36



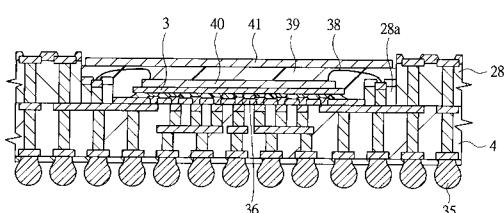
【図37】

図37



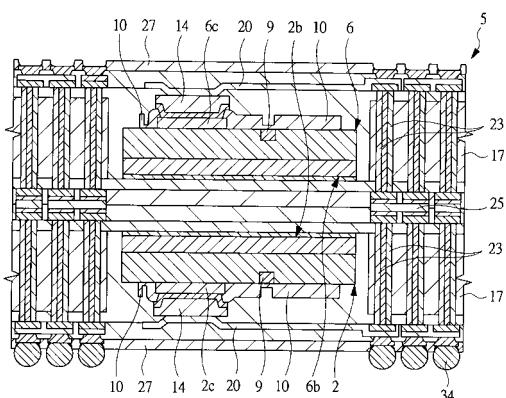
【図38】

図38



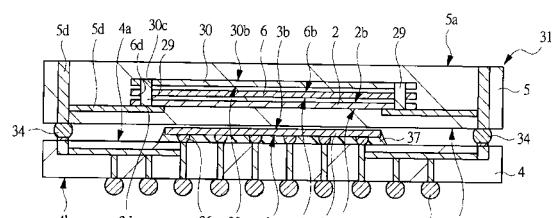
【図39】

図39



【図40】

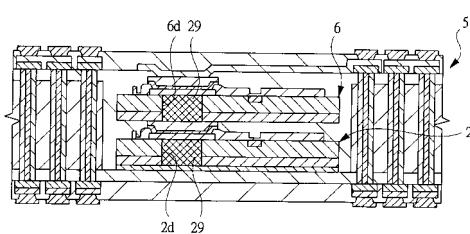
図40



2d,6d,30c:貫通孔  
29:導体  
31:SIP(半導体装置)

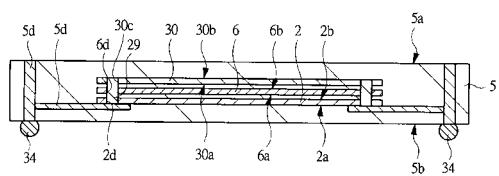
【図42】

図42



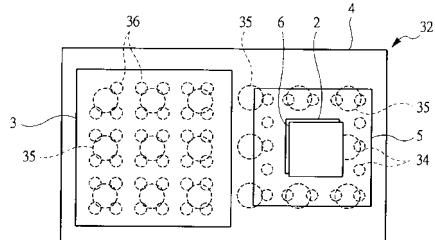
【図41】

図41



【図43】

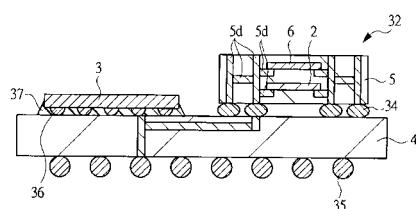
図43



32:SIP(半導体装置)

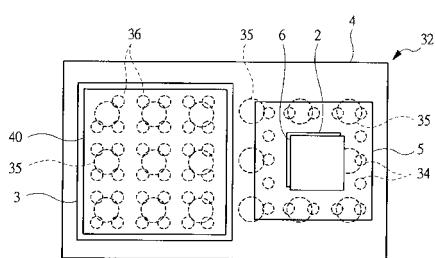
【図44】

図44



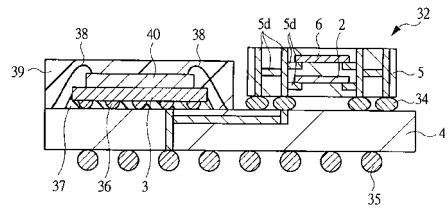
【図45】

図45



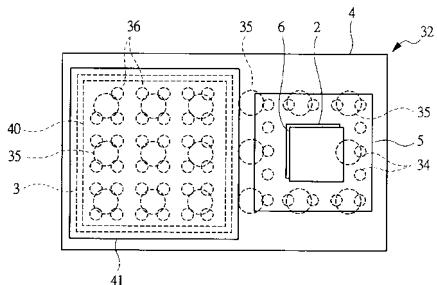
【図46】

図46



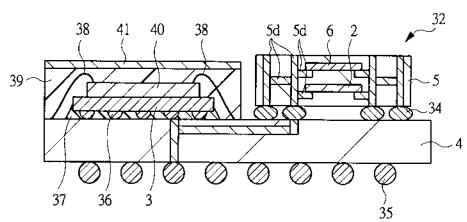
【図47】

図47



【図48】

図48



---

フロントページの続き

(56)参考文献 特開2004-281920(JP,A)  
特開2004-281820(JP,A)  
特開2004-327474(JP,A)  
特開2006-032379(JP,A)  
特開2006-165077(JP,A)  
特開2001-068617(JP,A)  
特開2003-218282(JP,A)  
特開2005-039020(JP,A)  
特開2006-245104(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/10  
H01L 25/11  
H01L 25/18