

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-10188

(P2010-10188A)

(43) 公開日 平成22年1月14日(2010.1.14)

|                                 |                 |             |
|---------------------------------|-----------------|-------------|
| (51) Int.Cl.                    | F I             | テーマコード (参考) |
| <b>H O 1 L 27/146 (2006.01)</b> | H O 1 L 27/14 A | 4 M 1 1 8   |
| <b>H O 4 N 5/335 (2006.01)</b>  | H O 4 N 5/335 E | 5 C 0 2 4   |

審査請求 未請求 請求項の数 10 O L (全 18 頁)

|           |                              |          |                                |
|-----------|------------------------------|----------|--------------------------------|
| (21) 出願番号 | 特願2008-164398 (P2008-164398) | (71) 出願人 | 306037311                      |
| (22) 出願日  | 平成20年6月24日 (2008. 6. 24)     |          | 富士フイルム株式会社                     |
|           |                              |          | 東京都港区西麻布2丁目26番30号              |
|           |                              | (74) 代理人 | 100115107                      |
|           |                              |          | 弁理士 高松 猛                       |
|           |                              | (74) 代理人 | 100132986                      |
|           |                              |          | 弁理士 矢澤 清純                      |
|           |                              | (72) 発明者 | 後藤 崇                           |
|           |                              |          | 神奈川県足柄上郡開成町牛島577番地             |
|           |                              |          | 富士フイルム株式会社内                    |
|           |                              | (72) 発明者 | 大田 基在                          |
|           |                              |          | 神奈川県足柄上郡開成町牛島577番地             |
|           |                              |          | 富士フイルム株式会社内                    |
|           |                              | Fターム(参考) | 4M118 AA05 AB01 BA07 BA14 CA14 |
|           |                              |          | CB05 FA06 FA50 GA10            |
|           |                              |          | 5C024 AX01 CX17 CY42 GX07 GY31 |

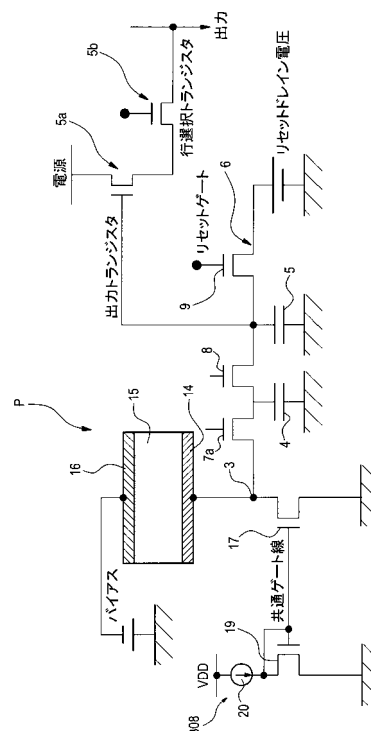
(54) 【発明の名称】 固体撮像素子及び撮像装置

## (57) 【要約】

【課題】熱励起によって発生する電荷量 $\Delta Q$ に起因する残像を抑制して高画質撮影が可能な固体撮像素子を提供する。

【解決手段】基板1上方に積層された一対の電極14、16とこれに挟まれる光電変換層15を含む光電変換素子Pをそれぞれ有する複数の画素303を含む固体撮像素子30であって、画素303が、基板1内に設けられ、電極14と電氣的に接続される接続部3と、基板1内に接続部3に隣接して設けられ、該接続部3の電位に対して電位障壁となる電位障壁部7と、基板1内に電位障壁部7に隣接して設けられ、光電変換層15で発生した電荷が接続部3及び電位障壁部7を介して蓄積される第一の電荷蓄積部4と、第一の電荷蓄積部4に蓄積された電荷に応じた信号を出力する信号出力回路とを含み、接続部3に電荷を供給する電荷供給手段(電荷注入トランジスタ、バイアス電流発生回路308(トランジスタ19、定電流源20))を備える。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

半導体基板上方に積層された一对の電極とこれに挟まれる光電変換層とを含む光電変換素子をそれぞれ有する複数の画素を含む固体撮像素子であって、

前記画素が、前記半導体基板内に設けられ、前記一对の電極の一方と電氣的に接続される接続部と、前記半導体基板内に前記接続部に隣接して設けられ、該接続部の電位に対して電位障壁となる電位障壁部と、前記半導体基板内に前記電位障壁部に隣接して設けられ、前記光電変換層で発生した電荷が前記接続部及び前記電位障壁部を介して蓄積される第一の電荷蓄積部と、前記第一の電荷蓄積部に蓄積された電荷に応じた信号を出力する信号出力回路とを含み、

10

前記接続部に電荷を供給する電荷供給手段を備える固体撮像素子。

## 【請求項 2】

請求項 1 記載の固体撮像素子であって、

前記電荷供給手段が、各画素に設けられ、前記画素の前記接続部を半導体領域とする第一のトランジスタと、前記第一のトランジスタのゲートに接続された電流源とから構成されている固体撮像素子。

## 【請求項 3】

請求項 2 記載の固体撮像素子であって、

前記電流源が、前記第一のトランジスタとゲートが共通接続され、前記第一のトランジスタと共にカレントミラー回路を形成する第二のトランジスタと、前記第二のトランジスタに所定の電流を供給する定電流源とから構成されている固体撮像素子。

20

## 【請求項 4】

請求項 1～3 のいずれか 1 項記載の固体撮像素子であって、

前記画素から出力される信号量に応じて前記電荷供給手段による前記電荷の供給の実施及び停止を切り替え制御する制御手段を備える固体撮像素子。

## 【請求項 5】

請求項 1～4 のいずれか 1 項記載の固体撮像素子であって、

前記電荷供給手段が 1 フレーム期間に供給する電荷量が、前記第一の電荷蓄積部の容量の 1 % 以上である固体撮像素子。

## 【請求項 6】

30

請求項 1～5 のいずれか 1 項記載の固体撮像素子であって、

前記電荷供給手段が 1 フレーム期間に供給する電荷量が、前記第一の電荷蓄積部の容量の 30 % 以下である固体撮像素子。

## 【請求項 7】

請求項 1～6 のいずれか 1 項記載の固体撮像素子であって、

前記画素が、前記半導体基板内に設けられ、前記信号出力回路を構成する出力トランジスタのゲートに接続された埋め込み型の第二の電荷蓄積部と、前記第一の電荷蓄積部に蓄積された電荷を前記第二の電荷蓄積部に転送する電荷転送手段とを備える固体撮像素子。

## 【請求項 8】

請求項 7 記載の固体撮像素子であって、

40

前記第一の電荷蓄積部が埋め込み型の蓄積部である固体撮像素子。

## 【請求項 9】

請求項 1～8 のいずれか 1 項記載の固体撮像素子であって、

前記光電変換層が有機材料で構成されている固体撮像素子。

## 【請求項 10】

請求項 1～9 のいずれか 1 項記載の固体撮像素子を備える撮像装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体基板上方に積層された一对の電極とこれに挟まれる光電変換層とを含

50

む光電変換素子をそれぞれ有する複数の画素を含む固体撮像素子と、前記固体撮像素子を駆動する駆動手段とを備える撮像装置に関する。

【背景技術】

【0002】

特許文献1には、MOSトランジスタ回路による信号読み出し回路が形成された半導体基板と、半導体基板の上に積層され入射光量に応じた電荷を発生する光電変換膜と、半導体基板の表面に設けられ電荷を半導体基板の表面に導く配線が接続される接続部と、接続部に近接して設けられ接続部の電荷に対して一定電位障壁となる電位障壁手段と、電位障壁手段に近接して設けられ信号読み出し回路を構成する出力トランジスタのゲートに接続される電荷蓄積部とを備える固体撮像素子が開示されている。

10

【0003】

このような構成によれば、光電変換膜で発生した電荷を出力トランジスタのゲートにスムーズに流し、出力トランジスタのゲートから見て、電荷が蓄積する部分の実効的な静電容量が小さくなり、信号電圧が大きくなり、高感度の出力信号を得ることができる。

【0004】

図13は、特許文献1に開示された固体撮像素子の動作を説明するための図であり、半導体基板内の断面ポテンシャルを示した図である。

固体撮像素子の1画素から信号を得るには、まず、電荷蓄積部に蓄積されていた電荷をリセットドレインに排出してリセットする(時刻T0)。このとき、図示したように、電荷蓄積部内にはリセット動作に伴って発生するノイズ電荷であるリセットノイズN1が蓄積される。リセットが完了すると光電変換膜の露光が開始され、この露光によって発生した電荷Qが接続部から電位障壁を通して電荷蓄積部へと蓄積される(時刻T1)。そして、この露光期間中に電荷蓄積部に蓄積された電荷量に応じた信号が信号読み出し回路から出力される。信号出力後は、時刻T2に示すように再びリセット動作が行われ、電荷蓄積部にはリセットノイズN2が蓄積されて、この状態で次の露光が開始される。

20

【0005】

固体撮像素子から出力される信号を処理する信号処理回路には、信号に対して相関二重サンプリング処理を施す相関二重サンプリング(CDS)回路が含まれる。このCDS回路では、リセットノイズに応じた信号と、リセットノイズが含まれる電荷に応じた信号との2つをサンプリングし、双方の差分を取ることで、リセットノイズを除去することが行われる。

30

【0006】

時刻T1で得られた撮像信号から、時刻T0で得られたリセットノイズN1に応じた信号を減算することで、リセットノイズを完全に除去することが可能である。このような処理を行うには、CDS回路において、時刻T0の時点で固体撮像素子から出力される信号をサンプリングし(サンプリングSP1)、時刻T2の時点で固体撮像素子から出力される信号をサンプリングして(サンプリングSP2)、双方の差分を取る必要がある。しかし、サンプリングSP1からサンプリングSP2までの時間は露光期間と同じであり、CDS回路は全画素からの信号を順次処理する必要があるため、このような時間間隔で信号をサンプリングしていると、固体撮像素子から出力されてくる信号に対して処理が追いつかなくなってしまう。

40

【0007】

そこで、従来では、時刻T1の時点でサンプリングした信号から、時刻T2の時点でサンプリング(サンプリングSP3)した信号を減算することで、リセットノイズの除去(正確には除去できないが、一部は除去できる)を行っている。サンプリングSP2とサンプリングSP3の時間間隔は露光期間に比べて十分に短いため、全画素からの信号に対してCDS処理を問題なく行うことができる。

【0008】

【特許文献1】特開2005-268477号公報

【発明の開示】

50

【発明が解決しようとする課題】

【0009】

接続部の電位を決定する電荷は、熱拡散により、接続部から電荷蓄積部へと常に流れ出ている。一方で、接続部には、配線や光電変換膜等の部材が接続されており、この部材を介して光電変換膜で発生した電荷が常に流れ込んでくる。このため、接続部からの熱拡散による電荷の流出は、熱拡散によって接続部から流出する単位時間当たりの電荷量（拡散電流）と、配線等を介して接続部に流入してくる単位時間当たりの電荷量（流入電流）とが一致したとき（このときを平衡状態という）に、見かけ上、停止する。尚、熱拡散によって接続部から流出する単位時間当たりの電荷量は、接続部と電位障壁手段の電位差が小さいほど大きくなる。

10

【0010】

図13は、光電変換膜で発生する電荷量が多い場合、つまり明るい被写体を撮影している場合（点灯時）の動作を説明したものである。光電変換膜で発生する電荷量が多い場合は、接続部に流れ込んでくる電流（流入電流）が大きくなるため、拡散電流がこの流入電流と一致するほど大きくなっている状態、即ち、接続部と電位障壁手段が同電位の状態で平衡状態に達する。

【0011】

一方、図13に示した点灯時から光電変換膜を遮光した場合（消灯時）、初期の段階では、接続部と電位障壁手段が同電位であるため、光がない場合に接続部に流れ込む電流（以下、暗時信号電流  $I_{\text{dark}}$  という）よりも、熱励起で電荷蓄積部に移動する拡散電流の方が大きくなり、接続部の電荷が減少し始める。そして、時間が経つにつれて、接続部と電位障壁手段の電位差が広がるため、ある時点で双方の電流が一致し、接続部の電荷が  $\Delta Q$  だけ減った状態で平衡状態に達する。このときの電荷量  $\Delta Q$  は、

20

【0012】

【数1】

$$\Delta Q = \frac{C_1 k T}{e} \ln\left(\frac{I_0}{I_{\text{dark}}}\right) \quad (\text{式1})$$

$C_1$ : 光電変換膜+接続部の容量

30

$k$ : ボルツマン定数

$T$ : 絶対温度

$e$ : 電荷素量

$I_0$ : 電位障壁手段の電荷輸送能力

【0013】

として表される。なお、平衡状態に達するまでの時間は約10msecと1フレームの期間より短い。

40

【0014】

被写体が点灯から消灯へと変化した場合、消灯時は光電変換膜から電荷が発生しないため、電荷蓄積部への暗電流電荷以外の電荷の蓄積は起こらないはずである。しかし、従来例では、消灯直後のフレームにおいて、 $\Delta Q$  に対応する電荷が電位障壁手段を越えて電荷蓄積部へと流入して読み出される。そのため、消灯直後の1フレーム目においては  $\Delta Q$  に起因する残像が発生する。前述したように、平衡状態に達するまでの時間はフレーム期間よりも短いため、 $\Delta Q$  に起因する残像は1フレーム目のみに表れることになる。

【0015】

本発明は、上記事情に鑑みてなされたものであり、熱励起によって発生する電荷量  $\Delta Q$  に起因する残像を抑制して高画質撮影が可能な固体撮像素子及び撮像装置を提供すること

50

を目的とする。

【課題を解決するための手段】

【0016】

本発明の固体撮像素子は、半導体基板上方に積層された一对の電極とこれに挟まれる光電変換層とを含む光電変換素子をそれぞれ有する複数の画素を含む固体撮像素子であって、前記画素が、前記半導体基板内に設けられ、前記一对の電極の一方と電氣的に接続される接続部と、前記半導体基板内に前記接続部に隣接して設けられ、該接続部の電位に対して電位障壁となる電位障壁部と、前記半導体基板内に前記電位障壁部に隣接して設けられ、前記光電変換層で発生した電荷が前記接続部及び前記電位障壁部を介して蓄積される第一の電荷蓄積部と、前記第一の電荷蓄積部に蓄積された電荷に応じた信号を出力する信号出力回路とを含み、前記接続部に電荷を供給する電荷供給手段を備える。

10

【0017】

この構成により、光電変換層から接続部に流れ込んでくる電荷量が急激に少なくなった場合でも、電荷供給手段から供給される電荷により、接続部に流れ込んでくる電流（流入電流）が急激に減少するのを防止することができる。この結果、接続部から第一の電荷蓄積部に流出する電荷量 $\Delta Q$ が減少する。このため、光電変換層から接続部に流れ込んでくる電荷量が急激に少なくなった直後のフレームにおける残像の発生を抑制することができ、高画質の撮影が可能となる。

【0018】

本発明の固体撮像素子は、前記電荷供給手段が、各画素に設けられ、前記画素の前記接続部を半導体領域とする第一のトランジスタと、前記第一のトランジスタのゲートに接続された電流源とから構成されている。

20

【0019】

この構成により、1画素あたり1つのトランジスタを増やすだけで、全ての画素の接続部に電荷を供給することが可能となる。したがって、画素サイズが小さくなった場合でも、電荷供給手段を容易に実現することができる。

【0020】

本発明の固体撮像素子は、前記電流源が、前記第一のトランジスタとゲートが共通接続され、前記第一のトランジスタと共にカレントミラー回路を形成する第二のトランジスタと、前記第二のトランジスタに所定の電流を供給する定電流源とから構成されている。

30

【0021】

この構成により、定電流源から供給される電流と同じ電流を第一のトランジスタに流すことができ、接続部に一定量の電荷を供給可能となる。

【0022】

本発明の固体撮像素子は、前記画素から出力される信号量に応じて前記電荷供給手段による前記電荷の供給の実施及び停止を切り替え制御する制御手段を備える。

【0023】

この構成により、画素からの信号量が小さい場合には電荷の供給を実施し、画素からの信号量が大きい場合には電荷の供給を停止するといった柔軟な制御を行うことができる。画素から出力される信号量が大きい場合には、残像はそれほど目立たなくなるため、上記構成によれば、必要なときだけ電荷の供給を行うことができ、消費電力を小さくすることができる。

40

【0024】

本発明の固体撮像素子は、前記電荷供給手段が1フレーム期間に供給する電荷量が、前記第一の電荷蓄積部の容量の1%以上である。

【0025】

この構成により、実用上問題ないレベルまで残像を抑制することができる。

【0026】

本発明の固体撮像素子は、前記電荷供給手段が1フレーム期間に供給する電荷量が、前記第一の電荷蓄積部の容量の30%以下である。

50

## 【0027】

この構成により、実用上問題ないレベルまでダイナミックレンジの減少を抑制することができる。

## 【0028】

本発明の固体撮像素子は、前記画素が、前記半導体基板内に設けられ、前記信号出力回路を構成する出力トランジスタのゲートに接続された埋め込み型の第二の電荷蓄積部と、前記第一の電荷蓄積部に蓄積された電荷を前記第二の電荷蓄積部に転送する電荷転送手段とを備える。又、前記第一の電荷蓄積部が埋め込み型の蓄積部である

## 【0029】

この構成により、リセットノイズを正確に除去することができる。又、第一の電荷蓄積部から第二の電荷蓄積部に電荷を完全転送することができる。

10

## 【0030】

本発明の固体撮像素子は、前記光電変換層が有機材料で構成されている。

## 【0031】

有機材料で構成された光電変換層は、その有機材料の電荷輸送能力を補うために薄くする必要がある。このため、接続部に接続される容量が大きくなって、接続部から第一の電荷蓄積部に流出する電荷量が増え、残量の影響が顕著となってしまう。したがって、光電変換層が有機材料で構成されている場合に、残像の抑制効果を顕著に得ることができる。

## 【0032】

本発明の撮像装置は前記固体撮像素子を備える。

20

## 【0033】

この構成により、高画質撮影が可能な撮像装置を実現することができる。

## 【発明の効果】

## 【0034】

本発明によれば、熱励起によって発生する電荷量 $\Delta Q$ に起因する残像を抑制して高画質撮影が可能な固体撮像素子及び撮像装置を提供することができる。

## 【発明を実施するための最良の形態】

## 【0035】

以下、本発明の実施形態について図面を参照して説明する。

## 【0036】

30

(第一実施形態)

前述したように $\Delta Q$ に起因する残像を抑制するためには、 $\Delta Q$ を小さくすることが必須である。式1から示されるように、 $\Delta Q$ を小さくするためには暗時信号電流 $I_{\text{dark}}$ を小さくすることが必要になる。そこで、本実施形態においては、バイアス電流 $I_{\text{bias}}$ を用いて $I_{\text{dark}}$ を大きくする。具体的には、バイアス電流発生回路を用いて全画素一様にバイアス電流 $I_{\text{bias}}$ が流れるようにすることで、被写体からの光入射のない状態においても、暗時信号電流 $I_{\text{dark}} = I'_{\text{dark}} + I_{\text{bias}}$ （光電変換膜で暗時に発生する暗時信号電流）+  $I_{\text{bias}}$ となるため、 $\Delta Q$ を小さくして残像を抑制することができる。以下、このような課題解決手法を実現するための構成について説明する。

## 【0037】

40

図1は、本発明の第一実施形態である固体撮像素子の1画素分の断面模式図である。図2は、図1に示す1画素分の等価回路を示した図である。本実施形態の固体撮像素子は、図1に示す1画素を同一平面上で1次元状又は二次元状に複数配置した構成となっている。

図1に示す固体撮像素子は、半導体基板であるp型シリコン基板1（以下、基板1という）と、基板1上方にゲート絶縁膜2及び絶縁層10を介して積層された光電変換素子Pとを備える。

## 【0038】

光電変換素子Pは、絶縁層10上に形成された下部電極14と、下部電極14上に形成された光電変換層15と、光電変換層15上に形成された上部電極16とを含む構成とな

50

っている。

#### 【0039】

上部電極16には、その上方から被写体からの入射光が入射される。上部電極16は、光電変換層15に入射光を入射させる必要があるため、入射光に対して透明なITO等の導電性材料で構成される。上部電極16は、全画素で共通の一枚構成であるが、画素毎に分割してあっても良い。

#### 【0040】

下部電極14は、画素毎に分割された薄膜であり、透明又は不透明の導電性材料（ITOやアルミニウム等）で構成される。

#### 【0041】

光電変換層15は、入射光のうちの特定の波長域を吸収して、吸収した光量に応じた電荷を発生する有機又は無機の光電変換材料で構成された層である。光電変換層15を、緑色の波長域の光を吸収してこれに応じた電荷を発生する光電変換材料（例えばキナクリドン）で構成することで、可視光モノクロ撮像が可能となる。光電変換層15を、赤外の波長域の光を吸収してこれに応じた電荷を発生する光電変換材料（例えばフタロシアニン系有機材料やナフタロシアニン系有機材料）で構成することで、赤外光モノクロ撮像が可能となる。

#### 【0042】

基板1内には下部電極14と電氣的に接続されたn型不純物層からなる接続部3が設けられている。接続部3と下部電極14とは、ゲート絶縁膜2及び絶縁層10内に埋設された導電性材料からなるコンタクト配線11によって接続されている。

#### 【0043】

接続部3の左隣には、p基板の一部で形成された電位障壁部7が設けられている。電位障壁部7は、接続部3に対して電位障壁となる電位障壁手段として機能する。

#### 【0044】

電位障壁部7の左隣には、コンタクト配線11から接続部3に達し、ここから電位障壁部7を通して移動してきた電荷を蓄積するための第一の電荷蓄積部4が設けられている。第一の電荷蓄積部4は、接続部3と同じ導電型のn型不純物層で構成されている。

#### 【0045】

第一の電荷蓄積部4の表面には、第一の電荷蓄積部4と反対導電型のp型不純物を注入してなるp型不純物層4aが形成されている。第一の電荷蓄積部4の表面にp型不純物層4aを形成しておくことで、第一の電荷蓄積部4が基板最表面ではなく基板内部に設けられた所謂埋め込み型となり、基板内部に電荷が蓄積される。この結果、基板表面で発生する暗電流の混入を抑制することができ、S/Nを向上させることができる。又、第一の電荷蓄積部4及びp型不純物層4aの不純物濃度を調整して第一の電荷蓄積部4を完全空乏化することで、所謂完全転送が可能になる。

#### 【0046】

電位障壁部7上方には、接続部3をソースとし、第一の電荷蓄積部4をドレインとするトランジスタのゲート電極7aが、ゲート絶縁膜2を介して設けられている。このゲート電極7aは、外部から固定電圧が印加されるようになっている。以下、ゲート電極7aをバリアゲート7aという。

#### 【0047】

第一の電荷蓄積部4の左隣には少し離間して第二の電荷蓄積部5が設けられている。第二の電荷蓄積部5は、接続部3と同じ導電型のn型不純物層で構成されている。

#### 【0048】

第一の電荷蓄積部4と第二の電荷蓄積部5との間の基板1上方には、第一の電荷蓄積部4をソースとし、第二の電荷蓄積部5をドレインとするトランジスタのゲート電極8が、ゲート絶縁膜2を介して設けられている。このゲート電極8は、第一の電荷蓄積部4に蓄積された電荷を第二の電荷蓄積部5に転送する電荷転送手段として機能する。以下、ゲート電極8を転送ゲート8という。この転送ゲート8に高電圧の電荷転送パルスが印加され

10

20

30

40

50

ると、第一の電荷蓄積部 4 に蓄積された電荷が第二の電荷蓄積部 5 に転送される。第一の電荷蓄積部 4 を完全空乏化することが好ましく、このようにすることで、第一の電荷蓄積部 4 にある電荷は第二の電荷蓄積部 5 に完全転送される。

#### 【0049】

第二の電荷蓄積部 5 の左隣には少し離間して、接続部 3 と同じ導電型の n 型不純物層からなるリセットドレイン 6 が設けられている。

#### 【0050】

第二の電荷蓄積部 5 とリセットドレイン 6 との間の基板 1 上方には、第二の電荷蓄積部 5 をソースとし、リセットドレイン 6 をドレインとするリセットトランジスタのゲート電極（以下、リセットゲートという）9 が、ゲート絶縁膜 2 を介して設けられている。リセ 10  
ットゲート 9 に高電圧のリセットパルスを印加すると、第二の電荷蓄積部 5 に蓄積された電荷がリセットドレイン 6 へと排出される。

#### 【0051】

基板 1 内には、接続部 3 に電荷を注入するための電荷注入トランジスタが設けられている。

この電荷注入トランジスタは、接続部 3 と、基板 1 内の接続部 3 の右隣に少し離間して設けられた n 型不純物層 18 と、接続部 3 と n 型不純物層 18 の間の基板 1 上方にゲート絶縁膜 2 を介して設けられたゲート電極 17 とから構成されている。

#### 【0052】

接続部 3 は電荷注入トランジスタのドレインとして機能し、n 型不純物層 18 は電荷注 20  
入トランジスタのソースとして機能し、ゲート電極 17 は電荷注入トランジスタのゲートとして機能する。n 型不純物層 18 はグラウンドに接地されている。図 2 に示すように、ゲート電極 17 には、全ての画素に共通で設けられ、電荷注入トランジスタに供給するバイアス電流  $I_{bias}$  を発生するバイアス電流発生回路 308 が共通ゲート配線によって接続されている。

#### 【0053】

バイアス電流発生回路 308 は、トランジスタ 19 と定電流源 20 とから構成されている。

#### 【0054】

トランジスタ 19 は、そのゲートが各画素のゲート電極 17 に接続され、そのドレイン 30  
がゲートと接続され、そのソースがグラウンドに接地されている。トランジスタ 19 のドレインは、定電流源 20 を介して電源電圧  $VDD$  に接続されている。

#### 【0055】

このような構成により、トランジスタ 19 と電荷注入トランジスタとがカレントミラー回路を形成するため、定電流源 20 からトランジスタ 19 に供給されるバイアス電流  $I_{bias}$  と同じ電流  $I_{bias}$  が電荷注入トランジスタに流れるようになり、各画素の接続部 3 に一定量の電荷（バイアス電流  $I_{bias}$ ）を供給することができる。

#### 【0056】

基板 1 には、更に、第二の電荷蓄積部 5 に蓄積された電荷に応じた信号を出力する MOS トランジスタからなる公知の信号出力回路が、画素毎に設けられている。この信号出力 40  
回路には、上記リセットトランジスタも含まれる。

#### 【0057】

図 2 に示すように、信号出力回路は、リセットトランジスタの他に出力トランジスタ 5 a と行選択トランジスタ 5 b とを備える。出力トランジスタ 5 a は、そのゲートが第二の電荷蓄積部 5 に接続され、そのドレインが電源に接続され、そのソースが行選択トランジスタ 5 b のドレインに接続されている。出力トランジスタ 5 a は、第二の電荷蓄積部 5 に蓄積された電荷の電荷量に応じた電圧信号を出力するものである。

#### 【0058】

行選択トランジスタ 5 b は、そのゲートに行選択パルスが印加されると、出力トランジスタ 5 a から出力された電圧信号を出力信号線に出力する。各画素に設けられた信号出力 50



回路に行選択パルスが行毎に順次印加されることで、全ての画素から信号が出力される。

#### 【0059】

図3は、本発明の第一実施形態の固体撮像素子の平面模式図である。

固体撮像素子30は、行方向とこれに直交する列方向に正方格子状に配列された多数の画素303と、画素303からの信号の読み出しを制御するための走査回路301と、各画素303から出力される信号を処理する信号処理部302と、バイアス電流発生回路308と、各部を制御する制御部307とを備える。画素303は、図1に示した構成となっている。

#### 【0060】

走査回路301は、リセット信号線304を介して各画素303のリセットトランジスタのリセットゲート9と接続されており、このリセット信号線304から各画素303へのリセットパルスの印加を行う。又、走査回路301は、行選択信号線305を介して各画素303の行選択トランジスタ5bのゲートと接続されており、この行選択信号線305から各画素303への行選択パルスの印加を行う。

#### 【0061】

信号処理部302は、各画素303の行選択トランジスタ5bの出力と出力信号線306を介して接続されており、行選択トランジスタ5bから出力された信号は、この出力信号線306を介して信号処理部302に入力される。信号処理部302では、1ライン分の信号処理しか行わないため、走査回路301は、画素303からの信号を1ラインずつ順次出力させるローリング読み出し制御を行う。

#### 【0062】

バイアス電流発生回路308は、全ての画素303に接続され、各画素303に供給するバイアス電流 $I_{bias}$ を発生する。バイアス電流発生回路308は、固体撮像素子が動作している期間中、バイアス電流 $I_{bias}$ を発生して各画素303に供給する。

#### 【0063】

図4は、第一実施形態の固体撮像素子を搭載する撮像装置の構成例を示した図である。

図4に示す撮像装置は、図3に示す固体撮像素子30と、固体撮像素子30の各画素から得られる信号に相関二重サンプリング(CDS)処理を行ってリセットノイズを除去するCDS回路31と、CDS回路31の出力信号をデジタル信号に変換するA/D変換器32と、A/D変換器32から出力されるデジタル信号に所定のデジタル信号処理を施して画像データを生成するデジタル信号処理部33と、デジタル信号処理部33で生成された画像データが記録される記録メディア34と、撮像装置全体を統括制御するシステム制御部36とを備える。尚、固体撮像素子30、CDS回路31、及びA/D変換器32は1チップ(1IC)の中に組み込まれていても良い。

#### 【0064】

図5は、第一実施形態の固体撮像素子の1画素の基板1内の断面ポテンシャルを示した図であり、(a)は点灯時(光電変換層15に光を入射した場合)における平衡状態時のポテンシャル図、(b)は消灯時(光電変換層15に光を入射しない場合)における平衡状態時のポテンシャル図である。本実施形態では、取り扱い電荷を電子として説明する。このため、図5以降の図にあるポテンシャル図は、図中の上から下に向かって電位が高くなっているものとして図示している。

#### 【0065】

図5(a)に示すように、点灯時には、光電変換層15からの信号電流 $I_{sig}$ と、電荷注入トランジスタからのバイアス電流 $I_{bias}$ とが接続部3に流れ込む。電流 $I_{sig}$ は従来と変わらないため、この状態では、接続部3と電位障壁部7は同電位で平衡状態となり、 $I_{sig}$ と $I_{bias}$ に応じた電荷が第一の電荷蓄積部4に蓄積される。第一の電荷蓄積部4に蓄積された電荷は、第二の電荷蓄積部5に転送された後、ここから信号出力回路によって電圧信号に変換されて出力される。この電圧信号から、 $I_{bias}$ によって第一の電荷蓄積部4に蓄積された電荷量に応じた電圧信号を減算することで、光電変換層15で発生した電荷に応じた電圧信号のみを取り出すことができる。

## 【0066】

図5(b)に示すように、消灯時には、光電変換層15で暗時に発生する暗時信号電流  $I'_{\text{dark}}$  ( $\ll$  電流  $I_{\text{sig}}$ ) と、電荷注入トランジスタからのバイアス電流  $I_{\text{bias}}$  とが接続部3に流れ込む。つまり、消灯時に接続部3に流れ込む暗時信号電流  $I_{\text{dark}} = I'_{\text{dark}} + I_{\text{bias}}$  となるため、式1より、平衡状態に達するまでに接続部3から流出する電荷  $\Delta Q$  は  $I_{\text{bias}}$  の大きさに応じて小さくなる。この結果、平衡状態において接続部3に形成されるポテンシャル井戸は、 $I_{\text{bias}}$  が供給されない場合と比べて小さくなり、 $I'_{\text{dark}}$  及び  $I_{\text{bias}}$  に応じた電荷が第一の電荷蓄積部4に蓄積される。第一の電荷蓄積部4に蓄積された電荷は、第二の電荷蓄積部5に転送された後、ここから信号出力回路によって電圧信号に変換されて出力される。この電圧信号から、 $I_{\text{bias}}$  によって第一の電荷蓄積部4に蓄積された電荷量に応じた電圧信号を減算することで、光電変換層15で発生した電荷 ( $I'_{\text{dark}}$  に対応する電荷) に応じた電圧信号のみを取り出すことができる。

10

## 【0067】

点灯時から消灯時に変化した直後のフレームには、図5(b)に示した接続部3に形成されるポテンシャル井戸に対応した  $\Delta Q$  が残像として発生するが、この  $\Delta Q$  は、上述したように、 $I_{\text{bias}}$  が供給されない従来と比べて小さくなっている。

## 【0068】

ここで、第一の電荷蓄積部4に蓄積された電荷に応じた信号の具体的な出力方法について図6及び図7を用いて説明する。

20

図6は、露光を開始してから信号を読み出すまでの動作を示す図であり、各時刻における基板1内の断面ポテンシャルを示した図である。図7は、第一の電荷蓄積部4の電圧変化と、第二の電荷蓄積部5の電圧変化と、リセットトランジスタのリセットタイミングと、第一の電荷蓄積部4から第二の電荷蓄積部5への電荷転送タイミングとの関係を示した図である。

## 【0069】

ある露光期間で第二の電荷蓄積部5に蓄積された電荷に応じた信号を出力した時点では、基板1内は時刻  $T_0$  に示すようなポテンシャルとなっている。この状態では、電荷転送ゲート8に電荷転送パルスは印加されておらず、リセットゲート9にリセットパルスは印加されていない。この状態で次の露光期間が開始されると、光電変換層15で発生した電荷とバイアス電流に応じた電荷が接続部3に到達し、この電荷  $Q$  が電位障壁部7を介して第一の電荷蓄積部4へと蓄積される。

30

## 【0070】

露光期間が終了して第一の電荷蓄積部4への電荷  $Q$  の蓄積が完了すると (時刻  $T_1$ )、リセットゲート9にリセットパルスが印加されて、第二の電荷蓄積部5に蓄積されていた前の露光期間で得られた電荷がリセットドレイン6へと排出される (時刻  $T_2$ )。リセットパルスの印加が終了すると、ポテンシャルは時刻  $T_3$  の状態となり、第二の電荷蓄積部5にリセットノイズ  $N$  のみが蓄積された状態となる。

## 【0071】

リセット動作が完了すると、電荷転送ゲート8に電荷転送パルスが印加され、第一の電荷蓄積部4に蓄積されていた電荷  $Q$  が第二の電荷蓄積部5へ転送される (時刻  $T_4$ )。電荷転送パルスの印加が停止されて電荷  $Q$  の転送が完了した後は、時刻  $T_0$  に戻り、以降、 $T_0 \sim T_4$  までの動作が繰り返される。

40

## 【0072】

CDS回路31は、図7に示すように、第二の電荷蓄積部5のリセットが完了したタイミング(1)と、第一の電荷蓄積部4から第二の電荷蓄積部5への電荷転送が完了したタイミング(2)とでそれぞれ信号をサンプリングし、タイミング(2)でサンプリングしたリセットノイズ  $N$  に応じたノイズ信号を含む撮像信号から、タイミング(1)でサンプリングした該リセットノイズ  $N$  に応じたノイズ信号を減算して、該撮像信号からノイズ信号を除去する。

## 【0073】

50

更に、デジタル信号処理部 33 では、ノイズ信号除去後の撮像信号から、バイアス電流  $I_{bias}$  に応じた信号を減算して、光電変換層 15 で発生した電荷に応じた撮像信号のみを抽出する。

#### 【0074】

次に、バイアス電流  $I_{bias}$  を用いたことによる残像抑制効果を計算により求めた結果によって説明する。

#### 【0075】

図 8 は、第一実施形態の固体撮像素子の残像を計算によって求めた結果を示したグラフである。

光電変換層 15 + 接続部 3 の容量  $C1=0.2$  fF、絶対温度  $T=300K$ 、電位障壁部 7 の電荷輸送能力  $I_0=3 \times 10^6$  e<sup>-</sup>/sec.、消灯時に接続部 3 に流れ込む暗時信号電流  $I_{dark}=I'_{dark}+I_{bias}=1 \times 10^4$  e<sup>-</sup>/sec. (このうち  $I'_{dark}=30e^-$ /sec) とし、点灯時に接続部 3 に流れ込む信号電流  $I_{sig}=3 \times 10^4$  e<sup>-</sup>/sec. と  $1 \times 10^5$  e<sup>-</sup>/sec. の場合の残像の結果を実施例 1、2 として図示した。

又、実施例 1、2 の条件のうち、消灯時に接続部 3 に流れ込む暗時信号電流  $I_{dark}=I'_{dark}=30e^-$ /sec. とした場合 (即ち、 $I_{bias}=0$  とした場合) の残像の結果を比較例 1、2 として図示した。

#### 【0076】

0 フレーム目の終了直後に消灯した場合、比較例 1 では、 $I_{sig}$  の 22% が 1 フレーム目に残像として現れた。これに対し、実施例 1 では、 $I_{sig}$  の 4% が 1 フレーム目に残像として現れており、 $I_{bias}$  を供給したことにより、残像が約 1/5 に抑制されたことが分かった。又、比較例 2 では、 $I_{sig}$  の 8% が 1 フレーム目に残像として現れた。これに対し、実施例 2 では、 $I_{sig}$  の 2% が 1 フレーム目に残像として現れており、 $I_{bias}$  を供給したことにより、残像が 1/4 に抑制されたことが分かった。

#### 【0077】

次に、上記実施例 1 において、 $I_{bias}$  の値を変化させていったときの消灯直後の残像の変化を計算した結果を図 9 に示す。図 9 において、横軸はバイアス電流  $I_{bias}$ 、縦軸は  $\Delta Q$  に起因する 1 フレーム目の残像である。尚、この計算では、第一の電荷蓄積部 4 に蓄積することのできる最大の電荷量 (飽和電荷量)  $Q_{sat}=1 \times 10^4$  e<sup>-</sup>、フレームレート = 30 frame/sec. とした。

#### 【0078】

図 9 に示したように、バイアス電流  $I_{bias}$  が  $3 \times 10^3$  e<sup>-</sup>/sec. 以上の場合に、残像が 10% 以下と実用上問題ないレベルまで抑圧できることが分かる。このとき、(バイアス電流  $I_{bias} \times$  フレーム期間 (1/30 秒)) は飽和電荷量  $Q_{sat}$  の 1% となる。すなわち、(バイアス電流  $I_{bias} \times$  フレーム期間) が飽和電荷量  $Q_{sat}$  の 1% 以上の場合に、実用上問題ないレベルまで残像を抑圧できることが分かる。

#### 【0079】

尚、 $I_{bias}$  を大きくすると、この  $I_{bias}$  に応じたバイアス電荷が第一の電荷蓄積部 4 に蓄積され、取り扱い可能な電荷量  $Q_{sig}$  (実際に画像データを生成するための信号として利用することのできる電荷量) が減少してしまい、ダイナミックレンジの減少が起こる。ダイナミックレンジの減少を実用上問題ないレベルにするためには、ダイナミックレンジの減少を 3dB 以下にすること、つまり、取り扱い可能電荷量  $Q_{sig}$  が飽和電荷量  $Q_{sat}$  の 70% 以上でなければならない。すなわち、バイアス電荷が飽和電荷量  $Q_{sat}$  の 30% 以下であることが必要である。よって、( $I_{bias} \times$  フレーム期間) が飽和電荷量  $Q_{sat}$  の 30% 以下であることが必要である。

#### 【0080】

以上のように、本実施形態の撮像装置によれば、接続部 3 に流れ込んでくる電荷量が急激に少なくなった場合でも、バイアス電流発生回路 308 から供給されるバイアス電荷により、接続部 3 から第一の電荷蓄積部 4 に流出する電荷量が減少する。このため、接続部 3 に流れ込んでくる電荷量が急激に少なくなった直後のフレームにおける残像の発生を抑

制することができ、高画質の撮影が可能となる。

#### 【0081】

又、本実施形態の撮像装置によれば、各画素303に電荷注入トランジスタを追加するだけで、全ての画素303の接続部3にバイアス電荷を供給することが可能となる。したがって、画素サイズが小さくなった場合でも、接続部3にバイアス電流を供給する構成を容易に実現することができる。

#### 【0082】

又、本実施形態の撮像装置によれば、露光期間に発生した電荷を一時的に記憶しておく第一の電荷蓄積部4が設けられているため、図6の時刻T3と時刻T4の間の微小な時間間隔でサンプリングを実施することができ、撮像信号に含まれるリセットノイズに起因するノイズ信号を正確に除去することが可能となる。

10

#### 【0083】

又、本実施形態の固体撮像素子によれば、光電変換素子Pが基板1内ではなく基板1上方に設けられているため、第一の電荷蓄積部4を追加するだけの十分なスペースを基板1内に確保することができる。基板1内にフォトダイオードを形成する一般的な固体撮像素子の場合、第一の電荷蓄積部4を基板内に追加してしまうと、フォトダイオードのためのスペースを維持することが難しくなり、感度の低下が懸念されてしまう。又、感度を維持しようとするれば、画素数の低下やチップサイズの増大等が懸念されてしまう。本実施形態の固体撮像素子によればこのような懸念が生じることはない。

#### 【0084】

20

尚、バイアス電流発生回路308は、全画素303に対して1つ設けた構成としたが、画素303毎に独立に設けた構成であっても良い。

#### 【0085】

(第二実施形態)

図10は、第二実施形態の固体撮像素子の概略構成を示す平面模式図である。図10において図3と同じ構成には同一符号を付してある。

図10に示す固体撮像素子は、図3に示す固体撮像素子30に、バイアス電流ON/OFF制御回路309を追加した構成となっている。尚、この固体撮像素子を搭載する撮像装置の構成は図4に示したものと同一である。

#### 【0086】

30

バイアス電流ON/OFF制御回路309は、制御部307の指示により、バイアス電流発生回路308からのバイアス電流の供給を停止したり、バイアス電流発生回路308からのバイアス電流の供給を開始したりする制御を行う。バイアス電流ON/OFF制御回路309は、例えば、トランジスタ19のドレインと電源電圧VDDとの間に設けられたスイッチであり、このスイッチをオンオフすることで、バイアス電流の供給及び停止を制御する。このスイッチは制御部307によってオンオフ制御される。

#### 【0087】

以下、第二実施形態の撮像装置の動作について説明する。

図11は、第二実施形態の撮像装置の静止画撮影時の動作フローを示した図である。

システム制御部36は、静止画撮影モード設定中、撮影準備指示がなされると、自動露出制御(AE)や自動焦点調節(AF)のために固体撮像素子30によって仮撮像を実施し、その仮撮像によって各画素303から出力されてくる信号を取得する(ステップS1)。次に、システム制御部36は、信号が閾値以下の画素303があるか否かを判定する(ステップS2)。信号が閾値以下の画素303がなかった場合、システム制御部36は、制御部37に指示を出し、バイアス電流の各画素303への供給を停止させる(ステップS3)。信号が閾値以下の画素303があった場合、システム制御部36は、制御部37に指示を出し、バイアス電流の各画素303への供給を開始させる(ステップS4)。その後、撮影指示がなされた時点で固体撮像素子30により本撮像を実施し、撮像信号を取得する(ステップS5)。

40

#### 【0088】

50

残像が問題となるのは、被写体からの光量が小さい場合であり、被写体からの光量が多い場合にはバイアス電流を発生させなくても残像は問題にならない。したがって、本実施形態によれば、不要なバイアス電流を発生させることなく残像を抑制することができ、消費電力を小さくすることができる。

#### 【0089】

尚、カラー固体撮像素子の高感度化を目指すためには、光電変換層15の分光特性がブロードなものよりも、ある特定の波長領域の光のみを吸収し光電変換するタイプのものの方が有利である。なぜなら、分光特性がブロードなタイプは、カラー画像を取得する場合において色分解を行うためにカラーフィルタを用いる必要があるために、カラーフィルタを透過する光以外の光はフィルタに吸収され利用できないのに対し、ある特定の波長領域の光（例えば緑光）のみを吸収し光電変換するタイプのものは、その他の光（青光、赤光）を透過する為、例えば吸収光の異なる光電変換層を積層するなどの工夫を行えば、透過光を利用可能となり、光利用効率向上によって高感度化に有利となるからである。このため、第一実施形態及び第二実施形態で説明した光電変換層15は、有機材料によって構成することが、撮像素子の高感度化を図る上で望ましい。

#### 【0090】

又、有機材料で構成した光電変換層は、無機材料で構成した光電変換層に比べて電荷の輸送性能が低いため、その厚みを薄く（300nm程度）必要がある。その結果、光電変換層の容量が大きくなり、式1におけるC1が大きくなる。つまり、接続部3に付随する容量が大きくなるため、熱拡散による流出電荷量 $\Delta Q$ も相対的に大きくなる。故に、上述したバイアス電流の供給方式は、有機材料で構成された光電変換層を用いた場合に大きな効果を発揮する。

#### 【0091】

図12は、第一実施形態の固体撮像素子（光電変換層15として有機材料を用いたもの）の残像を計算によって求めた結果を示したグラフである。

光電変換層15+接続部3の容量 $C1=0.5$  fF、絶対温度 $T=300K$ 、電位障壁部7の電荷輸送能力 $I_0=3 \times 10^6$  e<sup>-</sup>/sec.、消灯時に接続部3に流れ込む暗時信号電流 $I_{dark}=I'_{dark}+I_{bias}=1 \times 10^4$  e<sup>-</sup>/sec.（このうち $I'_{dark}=30$  e<sup>-</sup>/sec）とし、点灯時に接続部3に流れ込む信号電流 $I_{sig}=3 \times 10^4$  e<sup>-</sup>/sec.と $1 \times 10^5$  e<sup>-</sup>/sec.の場合の残像の結果を実施例3、4として図示した。

又、実施例3、4の条件のうち、消灯時に接続部3に流れ込む暗時信号電流 $I_{dark}=I'_{dark}=30$  e<sup>-</sup>/sec.とした場合（即ち、 $I_{bias}=0$ とした場合）の残像の結果を比較例3、4として図示した。

#### 【0092】

0フレーム目の終了直後に消灯した場合、比較例3では、 $I_{sig}$ の56%が1フレーム目に残像として現れた。これに対し、実施例3では、 $I_{sig}$ の6%が1フレーム目に残像として現れており、 $I_{bias}$ を供給したことにより、残像が約1/9に抑制されたことが分かった。又、比較例4では、 $I_{sig}$ の20%が1フレーム目に残像として現れた。これに対し、実施例4では、 $I_{sig}$ の4%が1フレーム目に残像として現れており、 $I_{bias}$ を供給したことにより、残像が1/5に抑制されたことが分かった。

#### 【0093】

このように、光電変換層15に有機光電変換材料を用いた場合でも、残像を抑制することができ、高画質の画像を提供することが可能となる。

#### 【0094】

ここまで、信号出力回路がnMOSトランジスタ回路によって構成される場合を例に、ポテンシャル図を用いて駆動方法を説明してきたが、信号出力回路がpMOSトランジスタ回路であってもnMOSの場合と極性が逆になる以外は考え方は全く同じであるため、説明を省略する。ちなみに、光電変換層15からの電荷が電子である場合はnMOSにて信号読み出し回路を形成し、正孔である場合はpMOSにて信号読み出し回路を形成すれば良い。又、以上の説明では、取り扱い電荷を電子としたが、これを正孔とした場合には

、上記説明において、n型層とp型層を全て逆にすれば良い。

【0095】

又、ここまで、バリアゲート7aから基板1に電圧を印加しておくことで、基板1の一部を電位障壁部7として機能させるものとしたが、接続部3と第一の電荷蓄積部4との間の基板1中の不純物濃度を調整することにより電位障壁部7を形成する構成であっても同様の効果が得られる。

【図面の簡単な説明】

【0096】

【図1】本発明の第一実施形態である固体撮像素子の1画素分の断面模式図

【図2】図1に示す1画素分の等価回路を示した図

10

【図3】本発明の第一実施形態の固体撮像素子の平面模式図

【図4】第一実施形態の固体撮像素子を搭載する撮像装置の構成例を示した図

【図5】第一実施形態の固体撮像素子の1画素の基板1内の断面ポテンシャルを示した図

【図6】第一実施形態の固体撮像素子を搭載する撮像装置の露光を開始してから信号を読み出すまでの動作を示す図

【図7】第一の電荷蓄積部4の電圧変化と、第二の電荷蓄積部5の電圧変化と、リセットトランジスタのリセットタイミングと、第一の電荷蓄積部4から第二の電荷蓄積部5への電荷転送タイミングとの関係を示した図

【図8】第一実施形態の固体撮像素子の残像を計算により求めた結果を示したグラフ

【図9】第一実施形態の固体撮像素子の残像を計算により求めた結果を示したグラフ

20

【図10】第二実施形態の固体撮像素子の概略構成を示す平面模式図

【図11】第二実施形態の撮像装置の静止画撮影時の動作フローを示した図

【図12】第一実施形態の固体撮像素子（光電変換層15として有機材料を用いたもの）の残像を計算により求めた結果を示したグラフ

【図13】特許文献1に開示された固体撮像素子の動作を説明するための図

【図14】特許文献1に開示された固体撮像素子において電荷が接続部に残留する例を示した図

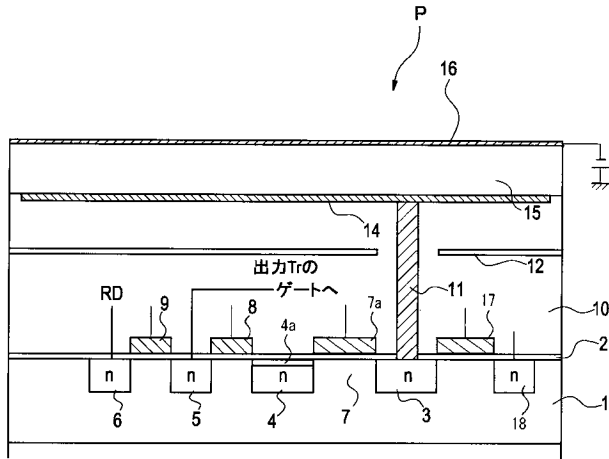
【符号の説明】

【0097】

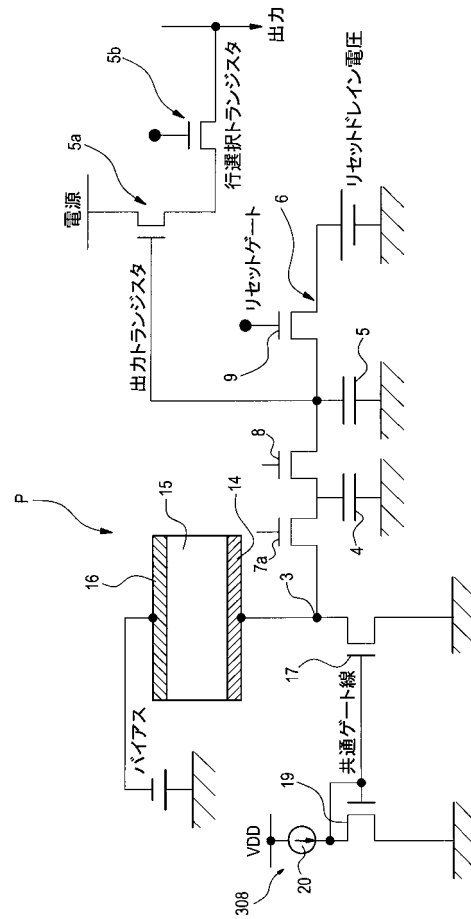
- 1 シリコン基板
- 3 接続部
- 4 第一の電荷蓄積部
- 7 電位障壁部
- 14 下部電極
- 15 光電変換層
- 16 上部電極
- P 光電変換素子
- 30 固体撮像素子

30

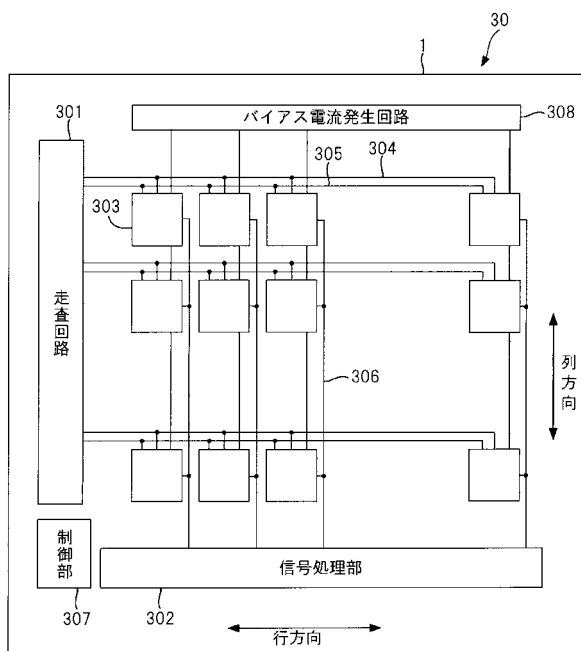
【図 1】



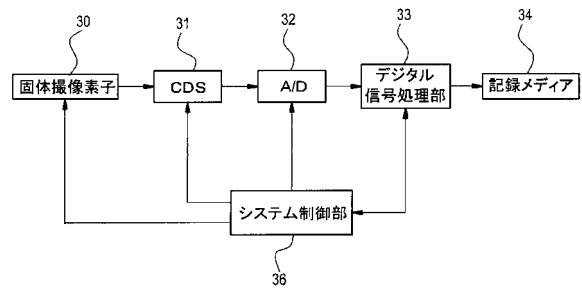
【図 2】



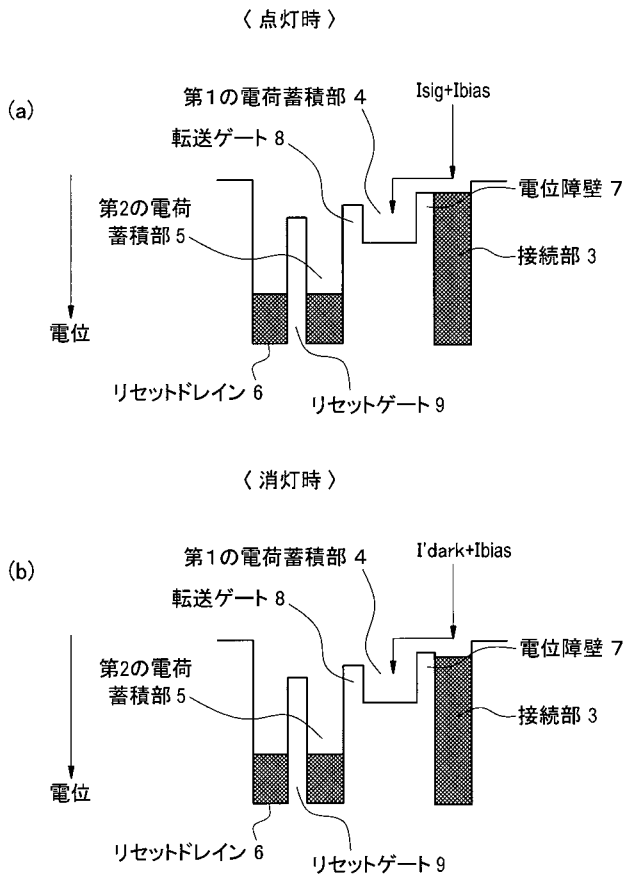
【図 3】



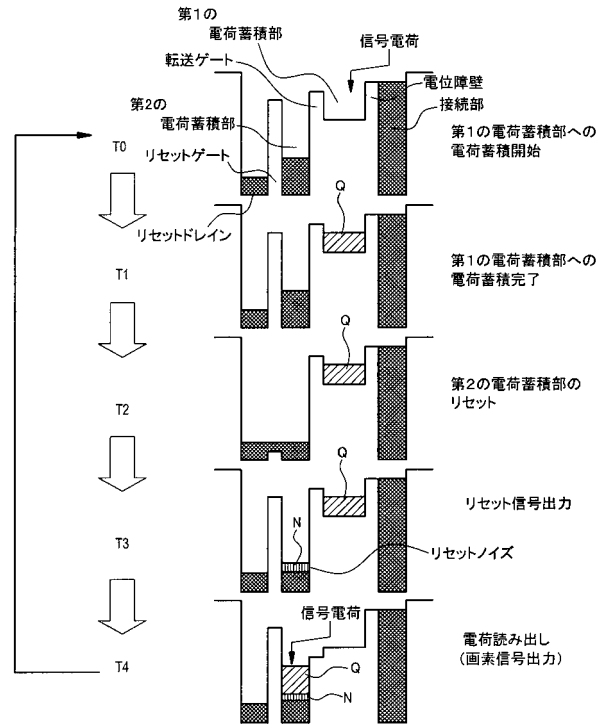
【図 4】



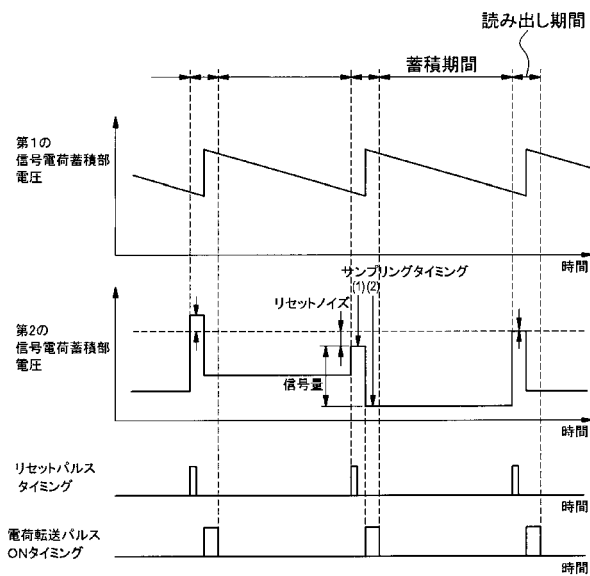
【図 5】



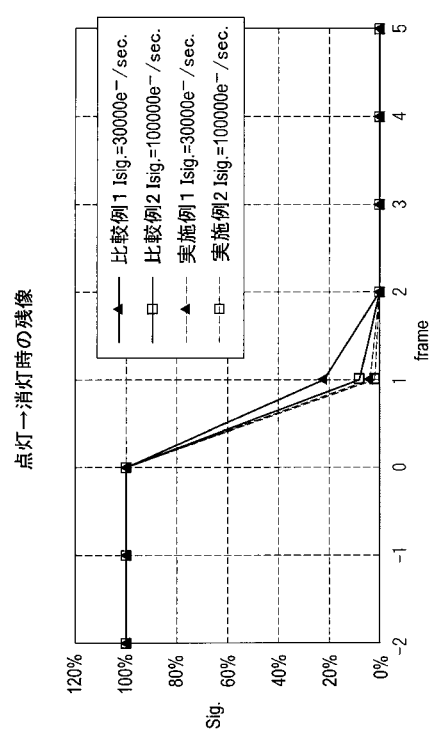
【図 6】



【図 7】

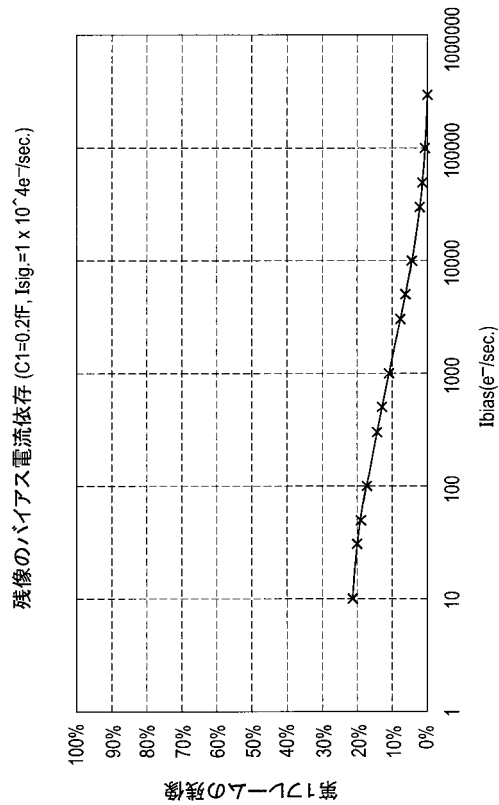


【図 8】

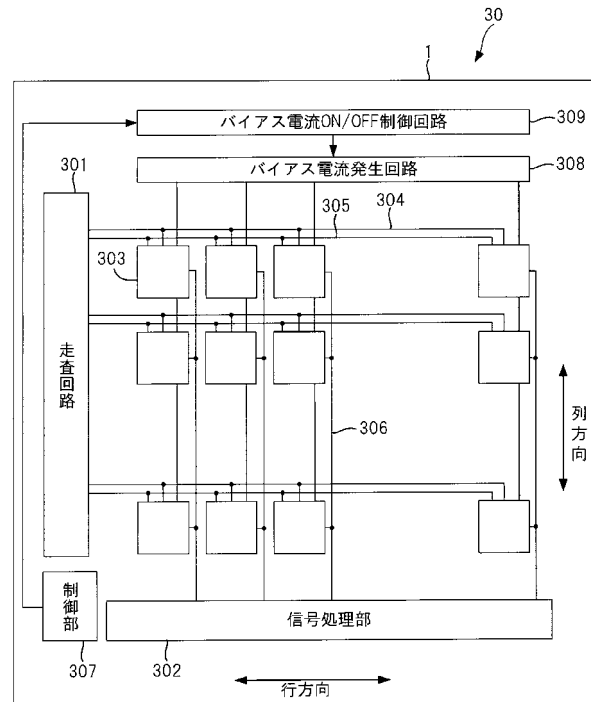




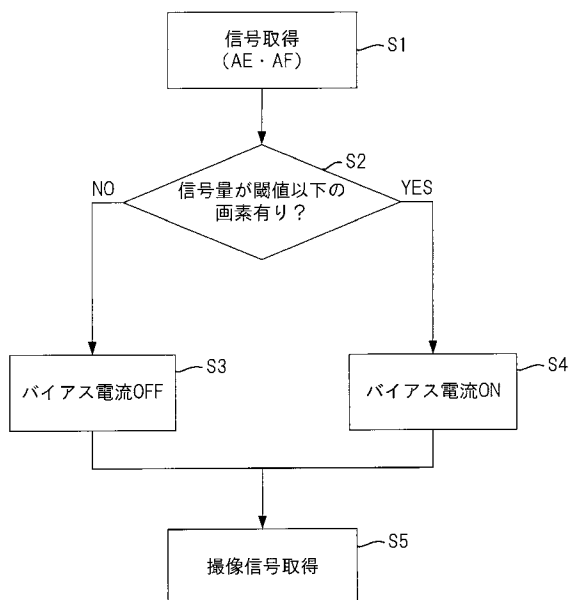
【図 9】



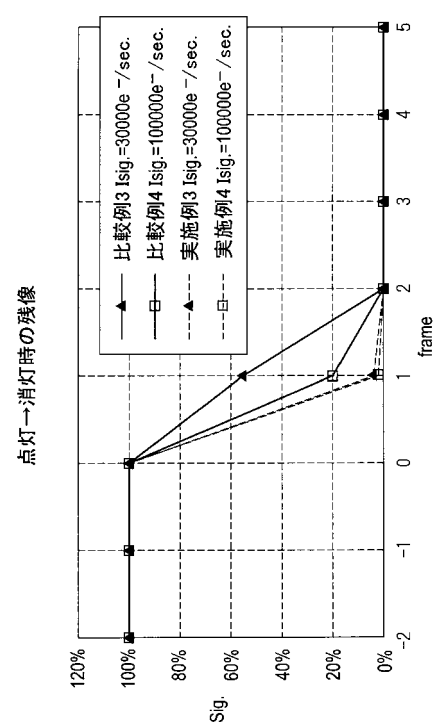
【図 10】



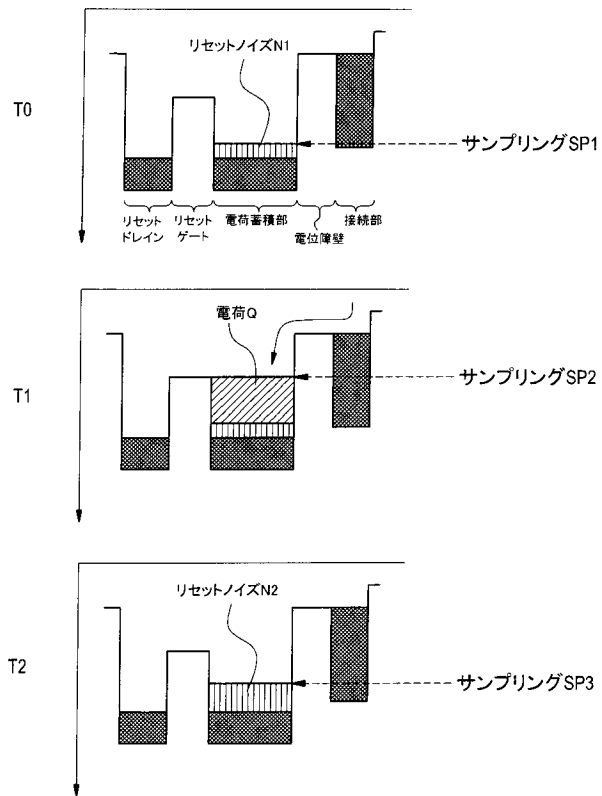
【図 11】



【図 12】



【図 1 3】



【図 1 4】

