



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0060089
(43) 공개일자 2013년06월07일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) H01L 21/8247 (2006.01)
(21) 출원번호 10-2011-0126388
(22) 출원일자 2011년11월29일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
김웅
서울특별시 동대문구 약령사로 25, 벽산 아파트 106동 1105호 (제기동)
주용찬
경기도 광명시 소하1동 동양2차 아파트 207동 1402호
김승욱
대구광역시 동구 경안로107길 2-1 (동호동)
(74) 대리인
김권석

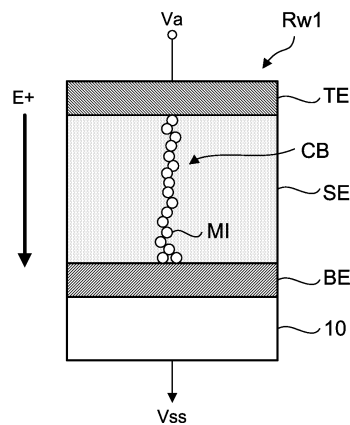
전체 청구항 수 : 총 35 항

(54) 발명의 명칭 가변 저항체, 이를 이용한 비휘발성 메모리 장치 및 이들의 제조 방법

(57) 요약

본 발명은 가변 저항체, 이를 이용한 비휘발성 메모리 장치 및 이들의 제조 방법에 관한 것이다. 본 발명의 일 실시예에 따르면, 애노드 전극 및 캐소드 전극; 상기 애노드 전극과 상기 캐소드 전극들 사이의 CdS 나노 스케일 입자들을 포함하는 가변 저항층; 및 상기 가변 저항층 내부의 초기 금속 원자 확산층을 포함하며, 상기 캐소드 전극에 대해 상기 애노드 전극에 상대적으로 양의 전압을 인가하는 것에 리셋 상태가 되고, 상대적으로 음의 전압을 인가하는 것에 의해 셋 상태가 되도록 양극성 스위칭 구동되는 가변 저항체가 제공된다.

대표도 - 도3a



특허청구의 범위

청구항 1

애노드 전극 및 캐소드 전극;

상기 애노드 전극과 상기 캐소드 전극들 사이의 CdS 나노 스케일 입자들을 포함하는 가변 저항층; 및

상기 가변 저항층 내부의 초기 금속 원자 확산층을 포함하며,

상기 캐소드 전극에 대해 상기 애노드 전극에 상대적으로 양의 전압을 인가하는 것에 리셋 상태가 되고, 상대적으로 음의 전압을 인가하는 것에 의해 셋 상태가 되도록 양극성 스위칭 구동되는 가변 저항체.

청구항 2

제 1 항에 있어서,

상기 초기 금속 원자 확산층은 상기 애노드 전극으로부터 상기 가변 저항층 내부로 열 확산된 금속 원소들을 포함하는 것을 특징으로 하는 가변 저항체.

청구항 3

애노드 전극 및 캐소드 전극;

상기 애노드 전극과 상기 캐소드 전극들 사이의 CdS 나노 스케일 입자들을 포함하는 가변 저항층; 및

상기 애노드 전극과 상기 가변 저항층 사이에 확산 장벽층을 포함하며,

상기 캐소드 전극에 대해 상기 애노드 전극에 상대적으로 양의 전압을 인가하는 것에 의해 셋 상태가 되고, 상대적으로 음의 전압을 인가하는 것에 의해 리셋 상태가 되도록 양극성 스위칭 구동되는 가변 저항체.

청구항 4

제 3 항에 있어서,

상기 확산 장벽층은 SiO_x , AlO_x , NbO_x , TiO_x , CrO_x , VO_x , TaO_x , CuO_x , MgO_x , WO_x , AlNO_x 또는 이들의 조합을 포함하는 것을 특징으로 하는 가변 저항체.

청구항 5

제 4 항에 있어서,

상기 확산 장벽층은 자연 산화막인 것을 특징으로 하는 가변 저항체.

청구항 6

제 4 항에 있어서,

상기 확산 장벽층의 두께는 3 nm 내지 10 nm의 범위 내인 것을 특징으로 하는 가변 저항체.

청구항 7

제 4 항에 있어서,

상기 가변 저항층의 두께에 대한 상기 확산 장벽층의 두께는 0.03 내지 0.1 의 범위 내인 것을 특징으로 하는 가변 저항체.

청구항 8

제 1 항 또는 제 3 항에 있어서,

상기 CdS 나노 스케일 입자들은 상기 가변 저항층 전체에 걸쳐 5 nm 내지 20 nm 사이의 평균 입경을 갖는 것을

특징으로 하는 가변 저항체.

청구항 9

제 1 항 또는 제 3 항에 있어서,

상기 CdS 나노 스케일 입자들의 평균 입경은 상기 가변 저항층 전체에 걸쳐 4 nm 이하의 표준 편차를 갖는 것을 특징으로 하는 가변 저항체.

청구항 10

제 1 항 또는 제 3 항에 있어서,

상기 CdS 나노 스케일 입자는 우르자이트(wurtzite) 구조 및 구조점아연형(zinc blend) 구조 중 어느 하나 또는 이들의 혼합 구조를 포함하는 것을 특징으로 하는 가변 저항체.

청구항 11

제 1 항 또는 제 3 항에 있어서,

상기 CdS 나노 스케일 입자들은 1 : 1의 화학양론을 만족하는 것을 특징으로 하는 가변 저항체.

청구항 12

제 1 항 또는 제 3 항에 있어서,

상기 애노드 전극은 은(Ag), 텔루륨(Te), 구리(Cu), 니켈(Ni) 및 아연(Zn) 중 어느 하나 또는 이들의 조합을 포함하는 것을 특징으로 하는 가변 저항체.

청구항 13

제 1 항 또는 제 3 항에 있어서,

상기 캐소드 전극은 텅스텐(W), 금(Au), 백금(Pt), 팔라듐(Pd), 로듐(Rh) 이리듐(Ir), 루테튬(Ru), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo), 크롬(Cr), 바나듐(V), 이들 금속의 질화물, 이들 금속의 규소화물 중 어느 하나 또는 이들의 조합을 포함하는 것을 특징으로 하는 가변 저항체.

청구항 14

제 1 항 또는 제 3 항에 있어서,

상기 애노드 전극은 금속 이온 공급층을 더 포함하는 것을 특징으로 하는 가변 저항체.

청구항 15

제 14 항에 있어서,

상기 금속 이온 공급층은 게르마늄셀레늄 화합물(Ge_mSe_n), 게르마늄황 화합물(Ge_mS_n), 구리황 화합물(Cu_mS_n) 및 은황 화합물(Ag_mS_n) 중 어느 하나 또는 이들의 조합을 포함하는 것을 특징으로 하는 가변 저항체.

청구항 16

제 1 항 또는 제 3 항에 있어서,

상기 가변 저항체는 가요성 기판 상에 형성되는 것을 특징으로 하는 가변 저항체.

청구항 17

제 1 항 또는 제 3 항 기재의 상기 가변 저항체를 포함하는 비휘발성 메모리 장치,

청구항 18

제 1 항 또는 제 3 항 기재의 상기 가변 저항체를 포함하는 퓨즈 장치,

청구항 19

제 1 항 또는 제 3 항 기재의 상기 가변 저항체를 스위칭 소자로서 이용하는 논리 회로,

청구항 20

애노드 전극 및 캐소드 전극 중 어느 하나인 제 1 전극 상에 CdS 나노 스케일 입자들의 분산 용액을 전달하는 단계;

상기 전달된 분산 용액을 소성하여 CdS 나노 스케일 입자들을 포함하는 가변 저항층을 형성하는 단계; 및

상기 가변 저항층 상에 상기 애노드 전극 및 캐소드 전극 중 다른 하나인 제 2 전극을 형성하는 단계를 포함하는 가변 저항체의 제조 방법.

청구항 21

제 20 항에 있어서,

상기 CdS 나노 스케일 입자들은,

제 1 용매에 카드뮴 전구체를 용해 및 분해시켜 얻어진 제 1 용액을 준비하는 단계;

상기 제 1 용매와 동일하거나 혼합될 수 있는 제 2 용매에 황 분말을 용해시켜 제 2 용액을 준비하는 단계;

상기 제 1 용액에 상기 제 2 용액을 주입하여, 혼합 용액을 형성하는 단계;

상기 혼합 용액을 가열 및 교반하여, 상기 CdS 나노 스케일 입자들을 형성하는 단계; 및

상기 혼합 용액으로부터 상기 CdS 입자들을 수득하는 단계를 포함하는 나노 입자 합성 단계로부터 얻어지는 것을 특징으로 하는 가변 저항체의 제조 방법.

청구항 22

제 22 항에 있어서,

상기 제 1 용매는 옥틸아민(octylamine), 트리옥틸아민(trioctylamine), 데실아민(decylamine), 도데실아민(dodecylamine), 테트라데실아민(tetradecylamine), 헥사데실아민(hexadecylamine), 올레일아민(oleylamine), 옥타데실아민(octadecylamine), 트리벤질아민(tribenzylamine), 트리페닐아민(triphenylamine), 또는 이들의 혼합물로부터 선택된 C8 내지 C24 아민계 계면 활성제를 포함하는 것을 특징으로 하는 가변 저항체의 제조 방법.

청구항 23

제 21 항에 있어서,

상기 카드뮴 전구체는 카드뮴 염화물을 포함하는 것을 특징으로 하는 가변 저항체의 제조 방법.

청구항 24

제 20 항에 있어서,

상기 분산 용액의 분산 용매는 클로로폼, N-메틸피롤리돈, 아세톤, 시클로펜탄온, 시클로헥산온, 메틸에틸케톤, 에틸셀로솔브아세테이트, 부틸아세테이트, 에틸렌글리콜, 크실렌, 테트라하이드로퓨란, 디메틸포름아미드, 클로로벤젠, 및 아세토니트릴로 구성되는 군에서 선택되는 용매를 단독으로 사용하거나 2종 이상을 임의의 비율로 혼합된 혼합 용매를 포함하는 것을 특징으로 하는 가변 저항체의 제조 방법.

청구항 25

제 20 항에 있어서,

상기 분산 용액을 전달하는 단계는 액적 도포하는 것에 의해 수행되는 것을 특징으로 하는 가변 저항체의 제조 방법.

청구항 26

제 25 항에 있어서,

상기 액적 도포는 드롭 캐스팅 또는 잉크젯 공정에 의해 수행되는 것을 특징으로 하는 가변 저항체의 제조 방법.

청구항 27

제 20 항에 있어서,

상기 전달된 분산 용액의 소성은 상온에서 자연 건조에 의해 수행되는 것을 특징으로 하는 가변 저항체의 제조 방법.

청구항 28

제 27 항에 있어서,

상기 가변 저항층을 형성하는 단계는, 상기 자연 건조 후, 열처리하는 단계를 더 포함하는 것을 특징으로 하는 가변 저항체의 제조 방법.

청구항 29

제 20 항에 있어서,

상기 제 1 전극은 캐소드 전극이고, 상기 제 2 전극은 애노드 전극이며, 상기 애노드 전극을 열처리하여 상기 가변 저항층 내에 상기 애노드 전극으로부터 상기 가변 저항층 내부로 확산된 금속 원소를 포함하는 초기 금속 원자 확산층을 형성하는 단계를 더 포함하는 가변 저항체의 제조 방법.

청구항 30

제 20 항에 있어서,

상기 제 1 전극은 캐소드 전극이고, 상기 제 2 전극은 애노드 전극이며, 상기 애노드 전극을 열처리하기 이전에 상기 가변 저항층 상에 확산 장벽층을 형성하는 단계를 더 포함하는 가변 저항체의 제조 방법.

청구항 31

제 30 항에 있어서,

상기 확산 장벽층은 SiO_x , AlO_x , NbO_x , TiO_x , CrO_x , VO_x , TaO_x , CuO_x , MgO_x , WO_x , AlNO_x 또는 이들의 조합을 포함하는 것을 특징으로 하는 가변 저항체의 제조 방법.

청구항 32

제 30 항에 있어서, 상기 확산 장벽층을 형성하는 단계는,

금속층을 형성하는 단계; 및

상기 금속층을 자연 산화시키는 단계를 포함하는 것을 특징으로 하는 가변 저항체의 제조 방법.

청구항 33

제 30 항에 있어서,

상기 확산 장벽층의 두께는 3 nm 내지 10 nm의 범위 내인 것을 특징으로 하는 가변 저항체의 제조 방법.

청구항 34

제 30 항에 있어서,

상기 가변 저항층의 두께에 대한 상기 확산 장벽층의 두께는 0.03 내지 0.1의 범위 내인 것을 특징으로 하는 가변 저항체의 제조 방법.

청구항 35

제 20 항 기재의 가변 저항체의 제조 방법을 포함하며, 상기 가변 저항체는 양극성 스위칭 구동되는 비휘발성 메모리 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은 반도체 기술에 관한 것으로서, 더욱 상세하게는, 가변 저항체, 이를 이용한 비휘발성 메모리 장치 및 이들의 제조 방법에 관한 것이다.

배경기술

[0002] 최근, 디지털 카메라, MP3 플레이어, PDA(personal digital assistants) 및 휴대폰과 같은 휴대용 디지털 응용 기기들의 수요가 증가하면서 비휘발성 메모리 시장은 급속도로 팽창하고 있다. 프로그래밍 가능한 비휘발성 메모리 장치인 플래시 메모리가 스케일링의 한계에 도달함에 따라, 이를 대체할 수 있는 비휘발성 메모리 장치로서 가역적으로 저항값이 변할 수 있는 가변 저항체를 이용한 상변화 메모리 장치(PcRAM) 또는 저항성 메모리 장치(ReRAM)와 같은 비휘발성 메모리 장치가 주목을 받고 있다. 이들 비휘발성 메모리 장치들은 상기 가변 저항체의 저항 값이라는 물리적 특성을 그 자체로 데이터 상태로서 이용할 수 있기 때문에, 셀 구성이 단순화되어, 메모리 장치의 미세화를 실현할 수 있다.

[0003] 상기 비휘발성 메모리 장치들 중 저항성 메모리 장치는 상변화 메모리 장치에 비하여 펄스 제어가 용이하고 낮은 구동 전류를 갖기 때문에 크기 유연성(scalability) 측면과 전력 소모 관점에서 더 유리하다. 상기 저항성 메모리 장치는 셋 전압과 리셋 전압이 동일한 극성에서 나타나는 단극성 또는 셋 전압과 리셋 전압이 서로 다른 극성에서 나타나는 양극성 스위칭 특성을 가질 수 있다. 일반적으로, 상기 양극성 스위칭 특성을 갖는 저항성 메모리 장치가 상기 단극성 스위칭 특성을 갖는 저항성 메모리 장치에 비하여, 안정된 저항성 스위칭 특성을 보이며, 상대적으로 저전류 구동이 가능한 점에서 에너지 소비 관점에서 양극성 스위칭 특성을 갖는 소자가 더 선호되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 이루고자 하는 기술적 과제는, 상기 양극성 스위칭 특성을 가지면서도 우수한 사이클 특성과 신뢰성을 갖는 가변 저항체를 제공하는 것이다.

[0005] 또한, 본 발명이 이루고자 하는 다른 기술적 과제는 전술한 이점을 갖는 가변 저항체를 이용한 비휘발성 메모리 장치를 제공하는 것이다.

[0006] 또한, 본 발명이 이루고자 하는 다른 기술적 과제는, 소자 전면적에 걸쳐 균일한 막 구조를 얻을 수 있어 재현성과 신뢰성 있는 성능을 제공할 수 있을 뿐만 아니라, 저비용으로 대면적화가 가능하여 우수한 경제성을 갖는 가변 저항체의 제조 방법을 제공하는 것이다.

[0007] 또한, 본 발명이 이루고자 하는 또 다른 기술적 과제는 전술한 이점을 갖는 비휘발성 메모리 장치의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0008] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따르면, 애노드 전극 및 캐소드 전극; 상기 애노드 전극과 상기 캐소드 전극들 사이의 CdS 나노 스케일 입자들을 포함하는 가변 저항층; 및 상기 가변 저항층 내부의 초기 금속 원자 확산층을 포함하며, 상기 캐소드 전극에 대해 상기 애노드 전극에 상대적으로 양의 전압을 인가하는 것에 리셋 상태가 되고, 상대적으로 음의 전압을 인가하는 것에 의해 셋 상태가 되도록 양극성 스위칭 구동되는 가변 저항체가 제공된다. 일부 실시예에서, 상기 초기 금속 원자 확산층은 상기 애노드 전극으로부터 상기 가변 저항층 내부로 열 확산된 금속 원소들을 포함할 수 있다.

- [0009] 다른 실시예에 따르면, 애노드 전극 및 캐소드 전극; 상기 애노드 전극과 상기 캐소드 전극들 사이의 CdS 나노 스케일 입자들을 포함하는 가변 저항층; 및 상기 애노드 전극과 상기 가변 저항층 사이에 확산 장벽층을 포함하며, 상기 캐소드 전극에 대해 상기 애노드 전극에 상대적으로 양의 전압을 인가하는 것에 의해 셋 상태가 되고, 상대적으로 음의 전압을 인가하는 것에 의해 리셋 상태가 되도록 양극성 스위칭 구동되는 가변 저항체가 제공될 수 있다.
- [0010] 일부 실시예에서, 상기 확산 장벽층은 SiO_x , AlO_x , NbO_x , TiO_x , CrO_x , VO_x , TaO_x , CuO_x , MgO_x , WO_x , AlNO_x 또는 이들의 조합을 포함할 수 있다. 또한, 상기 확산 장벽층은 자연 산화막을 포함할 수도 있다.
- [0011] 일부 실시예에서, 상기 확산 장벽층의 두께는 3 nm 내지 10 nm의 범위 내일 수 있다. 또한, 상기 가변 저항층의 두께에 대한 상기 확산 장벽층의 두께는 0.03 내지 0.1의 범위 내일 수 있다.
- [0012] 일부 실시예에서, 상기 CdS 나노 스케일 입자들은 상기 가변 저항층 전체에 걸쳐 5 nm 내지 20 nm 사이의 평균 입경을 가질 수 있다. 또한, 상기 CdS 나노 스케일 입자들의 평균 입경은 상기 가변 저항층 전체에 걸쳐 약 4 nm 이하의 표준 편차를 가질 수 있다.
- [0013] 상기 CdS 나노 스케일 입자는 우르자이트(wurtzite) 구조 및 구조점아연형(zinc blend) 구조 중 어느 하나 또는 이들의 혼합 구조를 포함할 수 있다. 상기 CdS 나노 스케일 입자들은 실질적으로 1: 1의 화학양론을 만족할 수 있다.
- [0014] 일부 실시예에서, 상기 애노드 전극은 은(Ag), 텔루륨(Te), 구리(Cu), 니켈(Ni) 및 아연(Zn) 중 어느 하나 또는 이들의 조합을 포함할 수 있다. 또한, 상기 캐소드 전극은 텅스텐(W), 금(Au), 백금(Pt), 팔라듐(Pd), 로듐(Rh) 이리듐(Ir), 루테튬(Ru), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo), 크롬(Cr), 바나듐(V), 이들 금속의 질화물, 이들 금속의 규소화물 중 어느 하나 또는 이들의 조합을 포함할 수 있다.
- [0015] 상기 애노드 전극은 금속 이온 공급층을 더 포함할 수 있다. 상기 금속 이온 공급층은 게르마늄셀레늄 화합물(Ge_mSe_n), 게르마늄황 화합물(Ge_mSe_n), 구리황 화합물(Cu_mS_n) 및 은황 화합물(Ag_mS_n) 중 어느 하나 또는 이들의 조합을 포함할 수 있다. 일부 실시예에서, 상기 가변 저항체는 가요성 기판 상에 형성될 수 있다.
- [0016] 본 발명의 다른 실시예에 따르면, 상기 가변 저항체를 포함하는 비휘발성 메모리 장치가 제공될 수 있다. 또한, 본 발명의 또 다른 실시예에 따르면, 상기 가변 저항체를 포함하는 퓨즈 장치가 제공될 수 있다. 또한, 본 발명의 또 다른 실시예에 따르면, 상기 가변 저항체를 스위칭 소자로서 이용하는 논리 회로가 제공될 수 있다.
- [0017] 본 발명의 또 다른 과제를 해결하기 위한 일 실시예에 따르면, 애노드 전극 및 캐소드 전극 중 어느 하나인 제 1 전극 상에 CdS 나노 스케일 입자들의 분산 용액을 전달하는 단계; 상기 전달된 분산 용액을 소성하여 CdS 나노 스케일 입자들을 포함하는 가변 저항층을 형성하는 단계; 및 상기 가변 저항층 상에 상기 애노드 전극 및 캐소드 전극 중 다른 하나인 제 2 전극을 형성하는 단계를 포함하는 가변 저항체의 제조 방법이 제공된다.
- [0018] 일부 실시예에서, 상기 CdS 나노 스케일 입자들은, 제 1 용매에 카드뮴 전구체를 용해 및 분해시켜 얻어진 제 1 용액을 준비하는 단계; 상기 제 1 용매와 동일하거나 혼합될 수 있는 제 2 용매에 황 분말을 용해시켜 제 2 용액을 준비하는 단계; 상기 제 1 용액에 상기 제 2 용액을 주입하여, 혼합 용액을 형성하는 단계; 상기 혼합 용액을 가열 및 교반하여, 상기 CdS 나노 스케일 입자들을 형성하는 단계; 및 상기 혼합 용액으로부터 상기 CdS 입자들을 수득하는 단계를 포함하는 나노 입자 합성 단계로부터 얻어질 수 있다.
- [0019] 일부 실시예에서, 상기 제 1 용매는 옥틸아민(octylamine), 트리옥틸아민(trioctylamine), 데실아민(decylamine), 도데실아민(dodecylamine), 테트라데실아민(tetradecylamine), 헥사데실아민(hexadecylamine), 올레일아민(oleylamine), 옥타데실아민(octadecylamine), 트리벤질아민(tribenzylamine), 트리페닐아민(triphenylamine), 또는 이들의 혼합물로부터 선택된 C8 내지 C24 아민계 계면 활성제를 포함할 수 있다.
- [0020] 상기 카드뮴 전구체는 카드뮴 염화물을 포함할 수 있다. 상기 분산 용액의 분산 용매는 클로로폼, N-메틸피롤리돈, 아세톤, 시클로헥산온, 시클로헥산온, 메틸에틸케톤, 에틸셀로솔브아세테이트, 부틸아세테이트, 에틸렌글리콜, 크실렌, 테트라하이드로퓨란, 디메틸포름아미드, 클로로벤젠, 및 아세토니트릴로 구성되는 군에서 선택되는 용매를 단독으로 사용하거나 2종 이상을 임의의 비율로 혼합된 혼합 용매를 포함할 수 있다.
- [0021] 일부 실시예에서, 상기 분산 용액을 전달하는 단계는 액적 도포하는 것에 의해 수행될 수 있다. 상기 액적 도

포는 드롭 캐스팅 또는 잉크젯 공정에 의해 수행될 수 있다.

- [0022] 상기 전달된 분산 용액의 조성은 상온에서 자연 건조에 의해 수행될 수 있다. 상기 가변 저항층을 형성하는 단계는, 상기 자연 건조 후, 열처리하는 단계를 더 포함할 수 있다.
- [0023] 일부 실시예에서, 상기 제 1 전극은 캐소드 전극이고, 상기 제 2 전극은 애노드 전극이며, 상기 애노드 전극을 열처리하여 상기 가변 저항층 내에 상기 애노드 전극으로부터 상기 가변 저항층 내부로 확산된 금속 원소를 포함하는 초기 금속 원자 확산층을 형성하는 단계가 더 수행될 수 있다. 다른 실시예에서, 상기 제 1 전극은 캐소드 전극이고, 상기 제 2 전극은 애노드 전극이며, 상기 애노드 전극을 열처리하기 이전에 상기 가변 저항층 상에 확산 장벽층을 형성하는 단계가 더 수행될 수도 있다.
- [0024] 상기 확산 장벽층은 SiO_x , AlO_x , NbO_x , TiO_x , CrO_x , VO_x , TaO_x , CuO_x , MgO_x , WO_x , AlNO_x 또는 이들의 조합을 포함할 수 있다. 상기 확산 장벽층을 형성하는 단계는, 금속층을 형성하는 단계; 및 상기 금속층을 자연 산화시키는 단계에 의해 수행될 수 있다.
- [0025] 일부 실시예에서, 상기 확산 장벽층의 두께는 3 nm 내지 10 nm의 범위 내일 수 있다. 또한, 상기 가변 저항층의 두께에 대한 상기 확산 장벽층의 두께는 0.03 내지 0.1의 범위 내일 수 있다.
- [0026] 또한, 본 발명의 또 다른 과제를 해결하기 위한 일 실시예에 따르면, 전술한 가변 저항체의 제조 방법을 이용한 비휘발성 메모리 장치의 제조 방법이 제공될 수 있다.

발명의 효과

- [0027] 본 발명의 실시예들에 따르면, CdS 나노 스케일 입자들을 포함하는 가변 저항층 내부에 초기 금속 원자 확산층을 제공함으로써, 양극성 스위칭 특성을 가지면서도 우수한 사이클 특성과 신뢰성을 갖는 가변 저항체가 제공될 수 있다. 또한, 본 발명의 다른 실시예들에 따르면, 애노드 전극과 상기 가변 저항층 사이에 확산 장벽층을 제공함으로써, 전술한 양극성 스위칭 특성의 극성이 반전된 가변 저항체가 제공될 수 있다.
- [0028] 또한, 본 발명의 다른 실시예들에 따르면, 전술한 가변 저항체의 사이클 특성을 이용하여, 재기록이 가능한 비휘발성 메모리 소자, 퓨즈 및 안티퓨즈와 같은 퓨즈 구조 및 논리 회로가 제공될 수 있다.
- [0029] 또한, 본 발명의 다른 실시예들에 따르면, 용액 내에서 CdS 나노 스케일 입자들을 합성하여, 화학양론을 만족하면서도 균일한 크기와 형상을 갖는 CdS 나노 스케일 입자들을 확보하고, 이를 분산 용액 상태로 기판 상에 액적 도포하여 소성시켜 가변 저항층을 형성함으로써, 종래의 기상 증착법과 달리 대면적 성막 공정이 가능하고, 상기 가변 저항층 전체에 걸쳐 균질한 특성을 갖는 가변 저항체가 제공될 수 있다.
- [0030] 또한, 본 발명의 다른 실시예에 따르면, 고가의 진공 장비 및 출발 물질을 사용하지 않고서도 고품질의 가변 저항체를 얻을 수 있으므로, 신뢰성 있고 경제적인 비휘발성 메모리 장치의 제조 방법이 제공될 수 있다.

도면의 간단한 설명

- [0031] 도 1a는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 복수의 메모리 셀들을 도시하는 단면도이며, 도 1b는 도 1a에 도시된 복수의 메모리 셀들의 등가 회로도이다.
- 도 2a는 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치의 복수의 메모리 셀들을 도시하는 단면도이며, 도 2b는 도 2a에 도시된 복수의 메모리 셀들의 등가 회로도이다.
- 도 3a 내지 도 3c는 본 발명의 다양한 실시예에 따른 가변 저항체들을 도시하는 단면도들이다.
- 도 4는 본 발명의 일 실시예에 따른 CdS 박막의 형성 방법을 설명하기 위한 순서도이다.
- 도 5a 내지 도 5d는 각각 합성된 CdS 나노 스케일 입자의 특성 분석을 위한 저배율 투과전자현미경(TEM) 이미지, 고배율 투과전자현미경(HR-TEM), 제한시야 전자회절(Selective Area Electron Diffraction; SAED) 패턴 이미지, 및 X선 회절(XRD) 패턴 이미지이다.
- 도 6은 상기 클로로폼을 이용한 CdS 입자의 분산 용액의 사진 이미지와 자외선-가시광선 흡광 스펙트럼이다.
- 도 7a 및 도 7b는 본 발명의 일 실시예들에 따른 가변 저항체의 단면 구조를 나타내는 주사전자현미경(SEM) 이미지이다.

도 8a 내지 도 8d는 각각 전술한 가변 저항체의 I-V 특성, 농도 분포, 내구성(endurance), 및 데이터 유지(retention) 특성들을 나타내는 그래프이다.

도 9는 확산 장벽층인 Al_2O_3 를 포함하는 가변 저항체(Pt/CdS/ Al_2O_3 /Ag)의 오제이 전자 현미경(Auger Electron Spectroscopy) 이미지이다.

도 10a 내지 도 10c는 각각 전술한 가변 저항체의 I-V 특성, 내구성(endurance) 데이터 및 데이터 유지(retention) 특성들을 나타내는 그래프이다.

도 11은 각각 캡톤 필름 상에 형성된 가변 저항체의 내구성 특성을 나타내는 그래프이다.

도 12는 본 발명의 일 실시예들에 따른 비휘발성 메모리 장치를 포함하는 전자 시스템을 도시하는 블록도이다.

도 13은 본 발명의 실시예들에 따른 비휘발성 메모리 장치를 포함하는 메모리 카드를 도시하는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0032] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

[0033] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.

[0034] 도면에서 동일 부호는 동일한 요소를 지칭한다. 또한, 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.

[0035] 본 명세서에서 사용된 용어는 실시예를 설명하기 위하여 사용되며, 본 발명의 범위를 제한하기 위한 것이 아니다. 또한, 본 명세서에서 단수로 기재되어 있다 하더라도, 문맥상 단수를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"이란 용어는 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.

[0036] 본 명세서에서 기관 또는 다른 층 "상에(on)" 형성된 층에 대한 언급은 상기 기관 또는 다른 층의 바로 위에 형성된 층을 지칭하거나, 상기 기관 또는 다른 층 상에 형성된 중간 층 또는 중간 층들 상에 형성된 층을 지칭할 수도 있다. 또한, 당해 기술 분야에서 숙련된 자들에게 있어서, 다른 형상에 "인접하여(adjacent)" 배치된 구조 또는 형상은 상기 인접하는 형상에 중첩되거나 하부에 배치되는 부분을 가질 수도 있다.

[0037] 본 명세서에서, "아래로(below)", "위로(above)", "상부의(upper)", "하부의(lower)", "수평의(horizontal)" 또는 "수직의(vertical)"와 같은 상대적 용어들은, 도면들 상에 도시된 바와 같이, 일 구성 부재, 층 또는 영역들이 다른 구성 부재, 층 또는 영역과 갖는 관계를 기술하기 위하여 사용될 수 있다. 이들 용어들은 도면들에 표시된 방향뿐만 아니라 소자의 다른 방향들도 포괄하는 것임을 이해하여야 한다.

[0038] 이하에서, 본 발명의 실시예들은 본 발명의 이상적인 실시예들(및 중간 구조들)을 개략적으로 도시하는 단면도들을 참조하여 설명될 것이다. 이들 도면들에 있어서, 예를 들면, 부재들의 크기와 형상은 설명의 편의와 명확성을 위하여 과장될 수 있으며, 실제 구현시, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 된다. 또한, 도면의 부재들의 참조 부호는 도면 전체에 걸쳐 동일한 부재를 지칭한다.

[0039] 도 1a는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치(100)의 복수의 메모리 셀들(MC1, MC2; MC)을 도시하는 단면도이며, 도 1b는 도 1a에 도시된 복수의 메모리 셀들(MC)의 등가 회로도이다.

[0040] 도 1a 및 도 1b를 참조하면, 일 실시예에 따른 메모리 셀(MC1, MC2; MC)은 정보 저장을 위한 가변 저항체(R_w) 및 셀 선택을 위한 트랜지스터(TR)를 포함할 수 있다. 가변 저항체(R_w)의 일단은 비트 라인(BL_n)에 연결되고, 타단은 트랜지스터(TR)의 소오스(S/D1)에 연결될 수 있다. 트랜지스터(TR)의 드레인(S/D2)은 접지(GND)되거나 기준 전압에 연결되고, 트랜지스터(TR)의 게이트(G)는 활성화 신호를 수신하기 위해 워드 라인(WL_n)에 연결될 수 있다.

- [0041] 기판(10)은 실리콘, 실리콘-온-절연체(SOI) 또는 실리콘-온-사파이어(SOS)과 같은 기저 구조체 또는 반도체가 아닌 다른 기저 구조체 상에 형성된 반도체 층, 도핑되거나 도핑되지 않은 반도체층 및 변형된 반도체 층일 수 있다. 또한, 상기 기저 구조체 및 반도체는 실리콘계 재료에 한정되지 않으며, 실리콘-게르마늄, 게르마늄 및 갈륨-비소계 화합물 재료와 같은 III-V족 반도체 재료, ZnS, ZnSe, 및 CdSe와 같은 II-VI족 반도체 재료, 혼합 반도체 재료, ZnO, MgO, MO₂와 같은 산화물 반도체 재료, 탄소 나노 결정과 같은 나노 스케일 재료 또는 이들의 복합 재료를 포함할 수 있다.
- [0042] 다른 실시예에서, 기판(10)은 플렉시블 메모리 장치를 구현하기 위해 가요성을 가질 수 있으며, 이 경우, 기판(10)은 수지계 재료로 형성될 수 있다. 상기 수지계 재료는, 예를 들면, 각종 셀룰로오스계 수지; 폴리에틸렌 테레프탈레이트(polyethyleneterephthalate; PET) 및 폴리에틸렌 나프탈레이트(polyethylene naphthalate; PEN)와 같은 폴리에스테르 수지; 폴리에틸렌 수지; 염화 폴리비닐 수지; 폴리카보네이트(PC); 폴리에테리 술폰(PES); 폴리에테르 에테르케톤(PEEK); 및 황화 폴리페닐렌(PPS) 중 어느 하나 또는 이들의 조합일 수 있다. 이들 재료들은 예시적일 뿐, 본 발명이 이에 제한되는 것은 아니다.
- [0043] 트랜지스터(TR)는 기판(10) 내 얇은 트렌치 분리막(shallow trench isolation; STI)과 같은 소자 분리막(field isolation region; 11)에 의해 정의된 액티브 영역에 형성될 수 있다. 트랜지스터(TR)는 상기 액티브 영역 상에 형성된 게이트 절연막(Gox) 및 게이트 전극(GE)으로 이루어진 게이트(G) 및 게이트(G)에 의해 서로 이격된 소오스/드레인들(S/D1, S/D2)을 갖는 전계효과 트랜지스터(FET)일 수 있다.
- [0044] 기판(10)이 전술한 투명 수지계 재료인 경우, 트랜지스터(TR)는, 박막 트랜지스터(thin film transistor; TFT)일 수 있으며, 이들 트랜지스터는 스테거드(staggered) 또는 리버스스태거드(reverse staggered)와 같은 전극 구성을 가질 수 있으며, 이는 예시적이며, 다른 변형 실시예들에 관하여는 공지 기술이 참작될 수 있다.
- [0045] 이들 트랜지스터(TR)에 있어서, 그 채널의 형태(예를 들면, 평면, 트렌치형 등) 또는 불순물 영역(S/D1, S/D2)의 형상 및 불순물 농도는, 집적도의 증가에 따른 단채널 효과 및 누설 전류와 같은 특성 개선을 위해 적절히 선택될 수 있다. 또한, 상기 스위칭 소자는, 비파괴적 읽기 동작(non destructive read mode)이 가능한 2 이상의 결합된 트랜지스터들로 구현되거나, 상기 전계효과 트랜지스터를 대체하여 가변 저항체(SE)에 액세스할 수 있는 그래핀(grapheme) 또는 나노 현상을 이용한 나노 스위칭 소자일 수도 있다. 또는, 집적도의 향상을 위해 선택 소자로서, 바이폴라 트랜지스터와 같은 수직형 소자가 적용될 수도 있다.
- [0046] 가변 저항체(Rw)는 순차적으로 제 1 전극(BE), 고체 전해질막(SE) 및 제 2 전극(TE)이 될 막들을 형성한 후, 적합한 포토리소그래피 공정과 식각 공정에 의해 패터닝을 하여 형성될 수 있다. 이들 막들은 연속적으로 한번에 식각되거나, 하지층을 패터닝한 이후에, 상부층을 성막하고 패터닝할 수도 있다. 제 1 전극(BE)은 애노드 전극일 수 있으며, 제 2 전극(TE)은 캐소드 전극일 수 있다. 또는, 그 반대일 수도 있으며, 이들 전극(TE, BE)에 관하여는 도 3a 내지 도 3b를 참조하여 후술하도록 한다.
- [0047] 이후, 가변 저항체(Rw) 상에 이들을 전기적으로 연결하기 위한 배선(BLn), 예를 들면, 비트 라인을 형성하여, 비휘발성 메모리 장치(100)가 완성될 수 있다. 기판(10) 상에 형성된 도전성 부재들, 즉, 트랜지스터(TR), 가변 저항체(Rw) 및 배선들(GND, BLn, WLn) 그리고 이들 사이의 연결을 위한 콘택 패드들(20) 및 비아 플러그들(30, 40)은 하나 이상의 절연막들(ID1, ID2, ID3)에 의해 전기적으로 절연될 수 있다. 도시하지는 않았지만, 제 2 전극(TE)은 단일 금속층으로 배선(BLn)과 일체로 형성될 수도 있다.
- [0048] 도 1a는 셀 어레이 영역(cell array area)에 대하여만 개시하고 있으며, 메모리 셀 어레이 영역에 인접하는 주변 영역(peripheral area)을 구성하는 회로 요소들, 예를 들면, 고전압 트랜지스터 및 저전압 트랜지스터들, 및 이들의 전기적 연결을 위한 배선에 관하여는 공지의 기술이 참작될 수 있다.
- [0049] 도 2a는 본 발명의 다른 실시예에 따른 비휘발성 메모리 장치(200)의 복수의 메모리 셀들(MC1, MC2; MC)을 도시하는 단면도이며, 도 2b는 도 2a에 도시된 복수의 메모리 셀들(MC)의 등가 회로도이다. 이들 도면들의 구성 요소들 중 도 1a 및 도 1b에 개시된 구성 요소들과 동일한 참조 부호를 갖는 구성 요소에 관한 설명은 모순되지 않는 한, 전술한 개시 사항을 참조할 수 있으며, 이하에서는 생략하기로 한다.
- [0050] 도 2a 및 도 2b를 참조하면, 메모리 셀(MC1, MC2; MC)은 가변 저항체(Rw) 및 셀 선택을 위한 다이오드(DI)를 포함할 수 있다. 가변 저항체(Rw)의 일단은 비트 라인(BLn)에 연결되고, 타단은 다이오드(DI)의 애노드에 연결될 수 있다. 다이오드(DI)의 캐소드는 워드 라인(WLn)에 연결될 수 있다.

- [0051] 기판(10) 상에 형성된 워드 라인(WLn)은 알루미늄, 구리, 이의 합금 또는 전도성 금속 산화물과 같은 금속을 포함하는 금속 배선 패턴층, 또는 n형 또는 p형 불순물 원소들을 포함하는 고농도 불순물층일 수 있다. 상기 금속 배선층은 기판(10) 상에 적합한 금속막을 형성하고 포토리소그래피 및 식각 공정에 의해 형성되거나, 다마신(damascene) 또는 듀얼 다마신 공정에 의해 형성될 수 있다. 상기 고농도 불순물층은, 기판(10)의 메모리 셀 어레이 영역의 활성 영역에 n형 또는 p형 불순물을 주입하여 형성될 수 있다.
- [0052] 이후, 워드 라인(WLn) 상에 실리콘 산화물 또는 실리콘 질화물과 같은 제 1 층간 절연막(ID1)을 형성하고, 다이오드(DI)를 형성하기 위한 홀들을 정의한다. 상기 홀들에 의해 워드 라인(WLn)의 일부 표면이 노출될 수 있다. 후속하여, 상기 홀들 내에 다이오드용 반도체층이 매립될 수 있다. 워드 라인(WLn)이 상기 고농도 불순물층인 경우, 상기 다이오드용 반도체층은 노출된 상기 고농도 불순물층 상에서 선택적 에피택시얼 성장법(SEG) 또는 고상 에피택시법(SPE)에 의해 형성될 수 있다.
- [0053] 다른 실시예에서, 워드 라인(WLn)이 금속 배선 패턴층인 경우, 상기 홀들 내에 폴리실리콘층을 매립함으로써, 상기 다이오드용 반도체층이 얻어질 수 있다. 상기 다이오드용 반도체층의 증착 동안에, 인시츄로, 또는 증착 이후에 이온주입을 수행하여, 상기 반도체층 내에 불순물 영역(P, N)을 형성할 수 있으며, 이후 적합한 열처리를 수행하여 다이오드층(DI)을 활성화할 수 있다.
- [0054] 도 2a에 도시된 다이오드(DI)는 pn 접합 다이오드이지만, 이는 예시적인 것만 본 발명이 이에 제한되는 것은 아니다. 예를 들면, 다이오드(DI)는, 워드 라인(WLn)과 비트 라인(BLn)의 전위 차에 따른 셀 선택성을 얻을 수 있다면 그 극성은 반전될 수도 있다. 또한, 메모리 장치의 고용량화, 온 전류의 향상, 또는, 멀티 비트 구동을 위하여, pn 접합 다이오드 이외에 정류 특성을 갖는 다른 다이오드, 예를 들면, 금속 배선과 반도체 층과의 접합으로 형성가능한 쇼트키 장벽 다이오드, 또는 양방향 정류 특성을 갖는 제너 다이오드, 진성(intrinsic) 반도체층이 결합된 p-i-n(p type semiconductor-intrinsic semiconductor-p type semiconductor) 접합 다이오드, 금속층과의 접합을 통한 pim(p type semiconductor-intrinsic semiconductor-metal) 구조의 다이오드가 전술한 메모리 셀(MC) 내에 다이오드와 함께 또는 이를 대체하여 적용될 수 있다.
- [0055] 가변 저항체(Rw)는, 도 1a에 도시된 가변 저항체(Rw)와 달리, 고체 전해질막(SE)이 제 2 층간 절연막(ID2) 내에 매립되는 구성을 갖는다. 이를 위하여, 제 2 층간 절연막(ID2)의 형성 후, 제 2 층간 절연막(ID2) 내에 홀들을 정의하고, 상기 홀들 내에 고체 전해질막(SE)이 채워지도록 제 2 층간 절연막(ID2) 상에 고체 전해질막(SE)을 형성한다. 이후, 제 2 층간 절연막(ID2)의 표면이 노출될 때까지 평탄화 공정을 수행하여, 제 2 층간 절연막(ID2)의 상기 홀들 내에 매립된 고체 전해질막(SE)이 형성될 수 있다. 다른 실시예에서는, 고체 전해질막(SE)의 일부를 리세스하여, 상기 홀들 내에 후술하는 제 2 전극(TE)의 적어도 일부가 매립될 수 있는 영역을 형성할 수도 있다.
- [0056] 이후, 제 2 전극(TE) 및 비트 라인(BLn)을 형성하며, 이들 사이의 절연은 제 3 층간 절연막(ID3) 및 제 4 층간 절연막(ID4)에 의해 달성될 수 있다. 다른 실시예에서, 제 2 전극(TE)과 비트 라인(BLn)은 동일 금속층으로 단일 구조로 제공될 수 있으며, 구리 또는 백금과 같이 난식각성 금속층으로 구현하는 경우, 다마신 또는 듀얼 다마신 공정에 의해 이를 형성될 수 있다.
- [0057] 전술한 실시예들에서, 비트 라인(BLn)은 복수의 비트 라인들 중 어느 하나이고, 워드 라인(WLn)은 복수의 워드 라인들 중 어느 하나일 수 있다. 이들 워드 라인들과 비트 라인들은 2 차원적 평면 구조뿐만 아니라 공간 내에서 3차원적 배열을 가질 수도 있다. 비트 라인(BLn)과 워드 라인들(WLn)은 서로 직교하는 다수의 스트라이프 패턴을 가지며, 이들 패턴들이 교차하는 격자점마다 메모리 셀(MCn1, MCn2)이 각각 배치되어, 메모리 셀들(MC)은 크로스 포인트(cross point) 어레이 구조를 형성할 수 있다.
- [0058] 비트 라인(BLn)과 워드 라인(WLn)의 선택에 의해 임의의 메모리 셀이 어드레싱될 수 있으며, 워드 라인을 소정의 전압 레벨로 바이어싱하여 프로그래밍하고, 비트 라인(BLn)을 통하여 전류값을 측정함으로써 해당 메모리 셀의 가변 저항체(Rw)의 저항값에 따른 정보가 판독될 수 있다.
- [0059] 도 3a 내지 도 3c는 본 발명의 다양한 실시예에 따른 가변 저항체들(Rw1, Rw2, Rw3)을 도시하는 단면도들이다. 이들 도면들에서 동일한 참조 번호를 갖는 구성 부재에 관하여는 모순되지 않는 한 상호 참조될 수 있다.
- [0060] 도 3a를 참조하면, 가변 저항체(Rw1)는 기판(10) 상에 형성된 서로 대향하는 제 1 전극(TE) 및 제 2 전극(BE), 그리고, 이들 전극들(TE, BE) 사이의 고체 전해질막(SE)을 포함한다. 기판(10)은, 전술한 바와 같이, 트랜지스

터 또는 다이오드와 같은 스위칭 소자 및 이의 전기적 연결을 위한 배선 구조를 포함하는 적합한 구동 회로를 포함할 수 있다.

- [0061] 고체 전해질막(40)은 CdS 나노 스케일 입자의 박막(이하, CdS 박막이라 함)을 포함한다. 상기 CdS 박막은, 후술하는 바와 같이 용액 내에서 합성된 CdS 나노 스케일의 입자들로 형성되고, 균일한 분산 용액 상태로 기관 상으로 전달되기 때문에 고체 전해질막(40) 전체에 걸쳐 물리적 및 화학적 성질이 실질적으로 균일하다. 상기 CdS 나노 스케일 입자들은 실질적으로 1 : 1의 화학양론을 만족하며, 균일한 크기와 형상을 갖는다. 이러한 특징과 이점들은 도 4를 참조하여 상세히 개시될 것이다.
- [0062] 제 1 전극(TE)과 제 2 전극(BE) 중 어느 하나는 애노드 전극이고 다른 하나는 캐소드 전극일 수 있다. 도 3a에 도시된 실시예에서는, 설명의 편의를 위하여, 제 1 전극(TE)이 애노드 전극이고, 제 2 전극(BE)이 캐소드 전극임을 가정한다. 상기 애노드 전극은, 전기화학적으로 활성인 금속, 예를 들면 산화 가능한 은(Ag), 텔루륨(Te), 구리(Cu), 니켈(Ni) 및 아연(Zn)과 같은 반응성 금속을 포함할 수 있다. 상기 캐소드 전극은 텅스텐(W), 금(Au), 백금(Pt), 팔라듐(Pd), 로듐(Rh) 이리듐(Ir), 루테튬(Ru), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo), 크롬(Cr), 바나듐(V), 이들 금속의 질화물(예를 들면, TiN), 이들 금속의 규소화물(예를 들면, TiSi), 또는 이들의 조합과 같은 상대적으로 비활성인 금속을 포함할 수 있다.
- [0063] 일부 실시예에서, 제 1 전극(TE) 및 제 2 전극(BE) 중 적어도 어느 하나는 2 이상의 금속 층들의 적층 구조를 포함할 수도 있다. 예를 들면, 애노드 전극인 제 1 전극(TE)은 고체 전해질막(SE) 측에 접촉하는 전술한 반응성 금속을 포함하는, 예를 들면, 구리 전극 또는 은 전극과 같은 반응성 전극, 및 상기 반응성 전극 상에 형성되고 외부 배선, 예를 들면, 콘택 플러그(도 1a의 40 참조) 또는 비트 라인(도 1a의 BLn 참조)에 연결되는 도전성 콘택 전극을 포함할 수 있다. 상기 도전성 콘택 전극은, 통상의 실리콘 기반 공정에 적합한 콘택 금속층일 수 있다. 일부 실시예에서, 상기 도전성 콘택 전극은 제 2 전극(BE)과 같은 전극일 수 있다.
- [0064] 다른 실시예에서, 제 1 전극(TE) 및 제 2 전극(BE) 중 적어도 하나는 투명 전극일 수 있다. 상기 투명 전극은, 예를 들면, 인듐-주석-산화물(Indium-Tin-Oxide; ITO), 불화 주석 산화물(Fluorinated tin Oxide; FTO), 인듐 산화물(indium oxide; IO) 및 주석 산화물(tin oxide; SnO₂)과 같은 투명한 금속 산화물, 폴리아세틸렌(polyacetylene)과 같은 투명한 도전성 수지 또는 도전성 금속 미립자를 함유하는 도전성 수지 중 어느 하나 또는 이들의 조합으로 형성될 수 있다.
- [0065] 도 3b를 참조하면, 애노드 전극(TE)은 고체 전해질막(SE)과 접하는 금속 이온 공급층(IP)을 더 포함할 수 있다. 금속 이온 공급층(IP)은 고체 전해질막(SE) 내에 도전성 브릿지(CB)를 형성할 수 있는 이온들(MI)의 소오스를 포함하는 층이다. 이온 공급층(IP)은 구리 또는 은을 포함하는 게르마늄셀레늄 화합물(GeSe) 재료와 같은 베이스 글래스 재료(base glass material)일 수 있다. 상기 GeSe 화합물로서, Ge₃Se₇, Ge₄Se₆ 또는 Ge₂Se₃가 적용될 수 있으며, 본 발명이 이에 제한되는 것은 아니다. 예를 들면, 상기 글래스 재료는 Ge 이외에, As, Sb, Ga과 같은 물질에 S, Se, Te과 같은 물질이 혼합된 재료일 수도 있으며, Ge₁S_{1-x} 일 수도 있다. 또한, 이온 공급층(IP)은 GeSe₂, Ag₂S, CuS, Cu₂S 재료들을 포함할 수도 있다.
- [0066] 도 3c를 참조하면, 가변 저항체(Rw3)는 애노드 전극(TE) 측에 확산 장벽층(BL)을 더 포함할 수도 있다. 확산 장벽층(BL)은 금속 산화막일 수 있다. 예를 들면, 상기 금속 산화막은, SiO_x, AlO_x, NbO_x, TiO_x, CrO_x, VO_x, TaO_x, CuO_x, MgO_x, WO_x, AlNO_x 또는 이들의 조합을 포함할 수 있다.
- [0067] 확산 장벽층(BL)의 두께는 3 nm 내지 10 nm일 수 있다. 3nm 미만에서는, 애노드 전극의 형성에 의한 고체 전해질막(SE) 내부로의 금속 이온의 도핑에 투명할 수 있으며, 10 nm 초과하는 경우에는, 애노드 전극(TE)과 캐소드 전극(BE) 사이의 이온 전도가 방해되어, 가변 저항 특성을 얻을 수 없거나 부도체가 된다. 따라서, 확산 장벽층(BL)의 두께는 이온 전도를 방해하지 않는 범위 내에서, 고체 전해질막(SE)의 금속 원자 확산층을 제어할 수도 있도록 전술한 두께 범위에서 적절히 선택될 수 있다. 예를 들면, 상기 가변 저항층의 두께에 대한 상기 확산 장벽층의 두께는 0.03 내지 0.1의 범위 내일 수 있다.
- [0068] 일부 실시예에서, 확산 장벽층(BL)은 전술한 금속의 자연 산화막일 수 있다. 예를 들면, 상기 자연 산화막은, 공기 중에서 쉽게 자연 산화되어 형성되는 AlO_x 일 수 있다. 상기 금속의 자연 산화막은 해당 금속막을 증착한 후, 공기 중에서 또는 산소 분위기에서 상기 금속막을 자연 산화시킴으로써 얻어질 수 있다. 상기 금속막은, 바람직하게는, 전자 빔 증착법, 레이저 용융법과 같이, 기상의 금속이 적은 운동에너지를 갖는 증착법에 의해

형성되는 것이 바람직하다.

- [0069] 상기 자연 산화막은, 확산 장벽층(BL) 형성 시 열 에너지의 부가가 없거나 최소화할 수 있어, 이의 형성을 위한 기판(10) 손상이나 고체 전해질막인 CdS 박막(SE)의 손상이 최소화되거나 방지될 수 있다. 도 9를 참조하여, 후술하는 바와 같이, 상기 알루미늄막 증착 후 자연 산화에 의해 얻어지는 알루미늄 산화막은 약 5 nm의 두께에 서로 우수한 확산 장벽층으로서의 효과를 가지며, 하지의 고체 전해질막(SE)인 CdS 박막의 손상이 최소화된다.
- [0070] 전술한 확산 장벽층(BL)에 의해, 후속하는 애노드 전극 형성시 고체 전해질막(SE)인 CdS 박막(SE) 내의 금속 원자 확산층의 존재 유무 및 그 기능이 제어될 수 있으며, 그에 따라, 가변 저항체(Rw3)는 정상 양극성(normal bipolar) 스위칭 또는 리버스 양극성(reverse bipolar) 스위칭 구동될 수 있다, 이에 관하여는 후술하도록 한다.
- [0071] 도시된 실시예들에 관한 특징들은 모순되지 않는 한 서로 조합되거나 대체되어 실시될 수 있다. 예를 들면, 변형된 가변 저항체는 도 3b를 참조하여 개시된 이온 공급층(IP)과 함께 도 3c를 참조하여 개시된 확산 장벽층(BL)을 더 포함할 수 있으며, 이 경우, 확산 장벽층(BL)은 이온 공급층(IP)과 CdS 박막(SE) 사이에 배치될 수 있을 것이다.
- [0072] 도 4는 본 발명의 일 실시예에 따른 CdS 박막의 형성 방법을 설명하기 위한 순서도이고, 도 5a 내지 도 5d는 각각 합성된 CdS 나노 스케일 입자의 특성 분석을 위한 저배율 투과전자현미경(TEM) 이미지, 고배율 투과전자현미경(HR-TEM), 제한시야 전자회절(Selective Area Electron Diffraction; SAED) 패턴 이미지, 및 X선 회절(XRD) 패턴 이미지이다.
- [0073] 도 4를 참조하면, 용액 내에서 CdS 나노 스케일 입자들(이하에서는, CdS 입자들이라고도 함)을 합성한다(S10). 이를 위하여, 카드뮴 전구체를 적합한 계면 활성제를 포함하는 제 1 용매에 용해시켜 제 1 용액을 준비한다. 상기 카드뮴 전구체는, 수 nm 에서 수 천 nm 의 크기를 갖고 우수한 용해도를 갖는 물질 중에서 선택될 수 있다. 상기 카드뮴 전구체는, 카드뮴 염화물(예를 들면, CdCl₂)과 같은 카드뮴염, 카드뮴 산화물(예를 들면, CdO), 카드뮴 질산화물(예를 들면, Cd(NO₃)₂)일 수 있다. 바람직하게는, 상기 카드뮴 전구체는 카드뮴 염화물일 수 있다. 실험으로부터, 카드뮴 산화물 또는 카드뮴 질산화물에 비하여, 상기 카드뮴 염화물은 후술하는 아민계 계면 활성제, 예를 들면, 올레일아민과 함께 사용되어, 카드뮴 전구체의 해리 온도 및 CdS 나노 스케일 입자의 합성 온도와 관련된 활성 활성화 에너지를 감소시켜 300 °C 미만의 온도에서도 쉽게 분해되고, CdS 나노 입자가 형성되는 이점이 있다. 일반적으로 높은 온도에서의 합성은 대량 합성시 오스왈드 라이프닝(Ostwald ripening)과 같은 성장 메커니즘이 발생되어 입자의 크기 제어가 용이하지 않을 뿐만 아니라, 입자의 크기 산포가 증가하는 문제점이 있다. 상기 카드뮴 염화물은, 후술하는 바와 같이 300 °C 미만의 온도, 예를 들면, 175 °C에서 저온 합성되기 때문에, 입자의 크기 제어가 용이할 뿐만 아니라, 균일한 크기를 갖는 나노 스케일의 입자를 얻을 수 있다.
- [0074] 상기 제 1 용매는 옥틸아민(octylamine), 트리옥틸아민(trioctylamine), 데실아민(decylamine), 도데실아민(dodecylamine), 테트라데실아민(tetradecylamine), 헥사데실아민(hexadecylamine), 올레일아민(oleylamine), 옥타데실아민(octadecylamine), 트리벤질아민(tribenzylamine), 트리페닐아민(triphenylamine), 또는 이들의 혼합물과 같은 C8 내지 C24 아민계 계면 활성제일 수 있다. 바람직하게는, 상기 제 1 용매는 올레일아민일 수 있다.
- [0075] 상기 아민계 계면 활성제는, 실험으로부터 옥탄산(octanoic acid), 데칸산(decanoic acid), 라우르산(lauric acid), 헥사데칸산(hexadecanoic acid), 올레산(oleic acid), 에루신산(erucic acid), 스테아르산(stearic acid), 벤조산(benzoic acid) 또는 바이페닐카르복시산(biphenylcarboxylic acid)과 같은 C8 내지 C22 카르복시산에 비하여, 용매로서 뿐만 아니라 배위제(coordinating agent)로서 기능하여, 해리된 Cd 이온 및 합성된 CdS 입자의 표면 안정성을 향상시킬 수 있다. 또한, 상기 아민계 계면 활성제는 다른 반응 물질의 첨가 없이도 온도, 전구체의 몰비, 및 반응 시간의 변경을 통하여 CdS 입자에 다양한 입체 구조, 예를 들면, 구형, 나노 로드, 테트라포드, 및 트리포드와 같은 형상을 부여할 수 있는 이점이 있다.
- [0076] 일부 실시예에서는, 필요에 따라, 제 1 용매 내에 적합한 양이온성 또는 음이온성 계면 활성제가 더 첨가될 수 있다. 이러한 계면 활성제는, 후에 합성되는 CdS 입자들의 성장에 방향성을 부여할 수 있으며, 예를 들면, 합성된 CdS 입자들은 장축 방향으로 우세하게 성장하여, 타원 또는 로드와 같은 형상을 가질 수 있다. 상기 양이

온성 계면 활성제의 예로는, 질소 원자에 4 개의 소수성 치환기가 결합된 4 급 암모늄염일 수 있으며, 상기 음이온성 계면 활성제는, 예를 들면, 소듐 도데실황화물(sodium dodecylsulfate), 소듐 옥틸황화물(sodium octylsulfate) 일 수 있다.

[0077] 이후, 상기 제 1 용액을 가열하면서 교반하여, 상기 카드뮴 전구체를 분해시킨다. 이러한 교반은 질소 분위기에서 수행될 수 있다. 또한, 상기 제 1 용매와 동일하거나, 제 1 용매와 잘 혼합될 수 있는 제 2 용매를 선택하고, 상기 제 2 용매에 황 분말을 용해시켜 제 2 용액을 준비한다.

[0078] 후속하여, 상기 카드뮴 전구체가 분해된 상기 제 1 용액의 반응계를 그대로 유지한 상태에서, 상기 제 1 용액에 상기 제 2 용액을 주입한 후, 상기 제 1 용액의 카드뮴과 상기 제 2 용액의 황 분말이 반응을 일으키도록 교반한다. 이에 의해, 혼합 용액 내에서 CdS 입자가 합성될 수 있다.

[0079] 이와 같이 CdS 입자의 합성이 완료되면, 상기 혼합 용액을 상온으로 냉각시킨다. 상기 혼합 용액의 냉각은 급속으로 또는 완속으로 수행될 수 있다. 일부 실시예에서는, 상기 혼합 용액 내에 에탄올과 같은 유기 용매를 더 첨가할 수 있다. 상기 유기 용매는, 상기 합성된 CdS 입자들을 세척하거나, 상기 혼합 용액을 급속으로 냉각시키는데 이용될 수 있다.

[0080] 이후, 상기 혼합 용액으로부터 상기 CdS 입자들을 수득한다. 예를 들면, 상기 혼합 용액을 감압하여, 용매를 제거하여 상기 CdS 입자를 수득할 수 있다. 다른 실시예에서는, 상기 혼합 용액을 원심 분리기를 이용하여, 상기 혼합 용액 내의 CdS 입자들을 침전시킬 수 있으며, 이후, 상기 CdS 입자들의 침전을 제외한 상층액을 분리하여 제거함으로써, 합성된 CdS 입자들을 수득할 수 있다.

[0081] 도 5a를 참조하면, 상기 합성된 CdS 입자들은 대체로 구형 또는 타원형이다. 그러나, 전술한 합성 단계(S10)에서 용매의 선택, 온도 및 교반 시간의 제어를 통하여, CdS 입자는 약 5 nm 내지 약 20 nm 내의 평균 크기를 갖도록 조절될 수 있다. 예를 들면, 교반 시간을 증가시키고 온도를 상승시켜, CdS 입자들의 크기를 증가시킬 수 있으며, 반대로 교반 시간과 온도를 감소시키면, 반응을 억제하여 더욱 작은 나노 스케일 입자가 제조될 수 있다. 또한, 전술한 바와 같이, 적합한 계면 활성제를 가침함으로써, 입자의 형태를 변형할 수도 있다.

[0082] 도 5b를 참조하면, 본 발명의 실시예에 따라 수득된 CdS 입자들은 [002] 방향의 격자 줄무늬(lattice fringe)를 나타내어, 양호한 격자면 배열을 갖는 것을 알 수 있다. 상기 (002) 면 사이의 측정된 면간 거리 값은 $d_{002} = 3.33 \text{ \AA}$ 이다.

[0083] 또한, 도 5c로부터, 결정면 (002), (110) 및 (112)을 확인할 수 있다. 도 5d를 참조하면, 상기 합성된 CdS 나노 스케일 입자는, (100), (002), (101), (110), (103) 및 (112) 면의 우르짜이트 결정상과, <111>, <220> 및 <331> 면의 구조섬아연형(zinc blend) 결정상을 포함한다.

[0084] 본 실시예에서 합성된 CdS 입자들은 용액 내에서 형성되어, 실질적으로 1 : 1의 화학양론을 만족하며, 균일한 크기와 형상을 갖는다. 이러한 CdS 입자들의 양호한 화학양론과 균일한 크기 및 형상은 후속하는 입자들의 전달 공정과 조합되어, 균일한 고체 전해질막을 형성하는 기초가 된다.

[0085] 상기 수득된 CdS 입자들은 적합한 유기 분산 용매, 예를 들면, 클로로폼(chloroform)에 재분산시켜, 상기 CdS 입자의 분산 용액을 준비한다(S20). 상기 유기 분산 용매는, 후속하는 성막 공정을 위한 캐리어 유체일 뿐만 아니라, CdS 나노 스케일 입자의 분산 안정성을 유지할 수 있는 용매로부터 선택될 수 있다. 이에 적합한 용매로서, 클로로폼, N-메틸피롤리돈, 아세톤, 시클로헥산온, 시클로헥산올, 메틸에틸케톤, 에틸셀로솔브아세테이트, 부틸아세테이트, 에틸렌글리콜, 크실렌, 테트라하이드로퓨란, 디메틸포름아미드, 클로로벤젠, 및 아세토니트릴로 구성되는 군에서 선택되는 용매를 단독으로 사용하거나 2종 이상을 임의의 비율로 혼합하여 사용할 수 있다. 그러나, 이는 예시적이며, 본 발명이 이에 제한되는 것은 아니다. 바람직하게는, 분산 용매는 클로로폼일 수 있다.

[0086] 도 6은 상기 클로로폼을 이용한 CdS 입자의 분산 용액(DS)의 사진 이미지와 자외선-가시광선 흡광 스펙트럼이다. 상기 클로로폼을 이용한 CdS 나노 스케일 입자의 분산 용액은, 황색을 띠며, 상기 CdS 입자는 약 일주일 이상 침전이 생기지 않는 우수한 분산 상태를 유지하였다. 이는 합성 과정에서 형성된 계면 활성제가 CdS 입자 주위에 잘 둘러싸여있기 때문인 것으로 추측된다. 흡광 스펙트럼을 참조하면, CdS 나노 입자의 흡수 피크인 약 475 nm 근처에서 흡수 특성이 나타난다.

[0087] 후속하여, 기판(도 1a 내지 2a의 10 참조) 상에 상기 CdS 입자의 분산 용액을 전달한다(S30). 도 1a를 참조하여 전술한 바와 같이, 상기 기판에는 캐소드 전극 또는 애노드 전극이 미리 형성될 수 있다. 캐소드 전극이 하

부 전극임을 가정하며, 이 경우, 백금 전극이 제 2 전극(BE) 상으로 상기 분산 용액이 전달된다.

[0088] 일부 실시예에서는, 상기 분산 용액의 전달 이전에 기판(10)에 대한 세정 공정이 수행될 수 있다. 상기 세정 공정은 아세톤 세정 또는 이소프로필알콜(IPA)을 이용한 습식 세정, 플라즈마 세정, 엑시머(eximer) 세정, 또는 이들을 조합하여 수행될 수 있다. 상기 습식 세정의 경우, 필요에 따라, 세정 동안 초음파를 인가할 수도 있다.

[0089] 상기 분산 용액의 전달은 액적 도포가 가능한 드롭 캐스팅 또는 잉크젯 방식으로 수행될 수 있다. 필요에 따라 대면적화되는 경우, 스핀 코팅(spin coating), 블레이드 코팅(blade coating), 딥 코팅(dip coating), 분무 코팅(spray coating), 스크린 인쇄(screen printing) 또는 흐름 코팅(flow coating)에 의해 전달될 수도 있다.

[0090] 바람직하게는, 액적 도포가 가능한 드롭 캐스팅 또는 잉크젯 공정이 적용될 수 있다. 이 경우, 액적 도포를 위해, 마이크로 피펫 또는 마이크로 노즐이 이용될 수 있다. 상기 드롭 캐스팅법 또는 잉크젯 방식은 전술한 다른 습식 성막 공정에 비하여, 폐액량이 적으면서도 대면적 성막이 가능한 이점이 있다. 통상적으로 기판, 또는 웨이퍼가 대면적화될 수록, 성막을 위한 기구도 대형화되며, 균일한 성막을 위한 제어도 어려워져, 전술한 성막 장치는 고가화된다. 그러나, 본 실시예에 따르면, CdS 입자들을 분산 용액 상태로 준비하고, 이를 액적 도포가 가능한 드롭 캐스팅 또는 잉크젯 방식으로 기판 상에 전달하므로, 최소의 원료 소모량으로 대형화된 기판 상에 균일한 CdS 나노 스케일 입자의 성막이 가능하다. 따라서, 본 발명의 실시예에 따르면, 비용대비효과적인 전달 공정이 확립될 수 있다.

[0091] 상기 분산 용액을 기판(10) 상으로 전달한 후, 소성 과정을 통하여, 고체 전해질막인 CdS 박막이 형성될 수 있다(S40). 상기 소성 공정은 사용하는 용매에 따라 자연 건조 또는 베이킹 공정을 통하여 수행될 수 있다. 바람직하게는, 상기 분산 용매를 상온에서 자연 건조시킴으로써 소성 공정이 수행될 수 있다. 상기 소성 공정 동안, 상기 분산 용매가 제거되는 것만으로 CdS 입자 사이의 인력과 화학적 상호 작용에 의해 고체 전해질막(SE)의 치밀화가 진행될 수 있다. 가수 분해에 의해 겔 상태를 유도하여 성막하는 대표적인 습식 성막 방법인 졸-겔 합성법과 달리, 본 발명의 소성 공정은 상기 졸-겔 합성법에서 나타나는 분산 용매의 트랩이 나타나지 않아, 상기 용매가 고체 전해질막(SE) 내에 잔류하는 문제점이 방지될 수 있다.

[0092] 일부 실시예에서는, 상기 소성된 CdS 박막에 대한 열처리가 더 수행될 수 있다. 상기 열처리는 150 °C 내지 350 °C에서 수분 동안 어닐링되거나 급속 어닐링될 수 있다. 상기 열처리는 Ar과 같은 비활성 가스를 사용하거나 N₂ 와 같은 환원성 분위기에서 수행될 수 있다.

[0093] 상기 소성된 CdS 박막 상에, 애노드 전극인 제 1 전극(도 1a 및 도 1b의 TE)을 형성한다. 상기 제 1 전극은 스퍼터링, 화학기상증착법, 전자빔 증착법, 레이저 용발법과 같은 공지의 박막 제조 공정을 통하여 형성될 수 있다. 일부 실시예에서는, 상기 제 1 전극의 형성 이전에, 도 3b 및 도 3c에 개시된 바와 같이, 이온 공급층(IP) 및/또는 확산 장벽층(BL)이 더 형성될 수 있다. 후속하여, 적합한 층간 절연막을 형성하고, 상부 배선, 예를 들면, 비트 라인(BLn)을 형성하여, 비휘발성 메모리 장치가 완성될 수 있다.

[0094] 전술한 실시예에 따르면, 용액 내에서 CdS 입자를 합성하여, 화학양론을 만족하고 균일한 크기와 형상을 갖는 CdS 입자를 확보하고, 이를 분산 용액 상태로 기판 상에 전달함으로써, 종래의 기상 증착법과 달리 대면적 성막 공정이 가능하고, CdS 박막 전체에 걸쳐 균질한 막을 얻을 수 있을 뿐만 아니라 진공 장비와 고가의 출발 물질을 사용하지 않고서도 고품질의 CdS 나노 스케일 입자의 고체 전해질막을 얻을 수 있어, 신뢰성있고 경제적인 PMC 셀을 포함하는 비휘발성 메모리 장치 및 그 제조 방법이 제공될 수 있다.

[0095] 이하에서는 실시예를 들어, 본 발명에 관하여 더욱 상세하게 설명할 것이다. 하기의 개시 사항은 단지 설명을 목적으로 하는 것일 뿐 본 발명이 이에 제한되는 것으로 해석되어서는 아니 된다.

[0096] 실시예 1

[0097] 상기 CdS 박막은 전술한 일 실시예에 따라 다음과 같이 제조되었다. 우선, 카드뮴 전구체인 카드뮴 염화물(cadmium chloride) 183.3 mg 을 제 1 용매인 10 mL의 올레일아민에 용해시켜 제 1 용액인 올레일아민-카드뮴 염화물 용액을 제조하였다. 상기 올레일아민-카드뮴 염화물 용액을 N₂ 분위기에서 175 °C에서 35 분간 가열하여 카드뮴 염화물을 해리시킨다. 또한, 제 2 용매로서 5 mL의 올레일아민 용매에 192.6 mg의 황 분말을 용해시

켜 제 2 용액인 황 용액을 제조하였다.

- [0098] 이후, 상기 올레일아민-카드뮴 염화물 용액에 상기 황 용액을 주입 후, 약 175 °C에서 3시간 동안 교반하면서 CdS 입자의 합성 반응을 유도하였다. 반응이 끝난 용액을 상온으로 천천히 냉각시킨 후, 70 mL의 에탄올을 추가하고, 원심분리기를 이용하여 4000 rpm에서 상기 합성된 CdS 입자를 침전시켰다. 위의 과정을 3번 반복 후, 침전물을 분산 용매인 클로로폼에 재분산시켜, CdS 입자의 분산 용액을 준비하였다.
- [0099] 표면에 SiO₂가 형성된 Si 기판 상에, 약 10 nm의 Ti(부착층임)를 증착하고, 그 위에 캐소드 전극인 백금 전극을 100 nm의 두께로 전자빔 증발법에 의해 증착하였다. 이후, 백금 전극이 형성된 기판을 세정하고, 준비된 CdS 입자의 분산 용액으로부터 마이크로 피펫을 이용하여 얻어진 약 7.5 μ L의 액적을 상기 기판 상에 적하한 후, 약 3 분간 상온에서 건조시켜 소성 공정을 수행하였다. 이후, 상기 CdS 박막이 코팅된 기판을 Ar 분위기에서 10분간 300 °C로 열처리하였다.
- [0100] 후속하여, 애노드 전극인 Ag 전극을 전자 빔 증발법으로 상기 CdS 박막 상에 형성하고, 다시 Ar 분위기 내에서 5 분간 150 °C로 열처리를 수행하였다. 제조된 가변 저항체는, 도 7a 및 도 7b에 도시된 바와 같이, Si 기판(Si)/백금 캐소드 전극(Pt)/CdS 박막(CdS)/은 애노드 전극(Ag)(약, 100nm 두께를 가짐, 미도시) 구조를 가질 수 있다. 제조된 CdS 박막은 각각 약 100 nm 및 240 nm 두께를 갖는다. 약 100 nm의 두께를 갖는 CdS 박막은 4.3 mM 농도의 CdS 입자들의 분산 용액으로 제조된 것이며, 240 nm 두께를 갖는 CdS 박막은 9 mM 농도의 CdS 입자들의 분산 용액으로 제조된 것이다. 이와 같이 분산 용액의 농도를 조절함으로써, 제조된 CdS 박막의 두께를 제어할 수 있다. 도시된 이미지들에서와 같이, 상기 고체 전해질막은 두께 변화에 상관없이 균일한 입자 크기를 갖는 것을 알 수 있다.
- [0101] 이들 가변 저항체에 대하여 메모리 특성들이 평가되었다. 도 8a 내지 도 8d는 각각 전술한 가변 저항체의 I-V 특성, 농도 분포, 내구성(endurance), 및 데이터 유지(retention) 특성들을 나타내는 그래프이다.
- [0102] 상기 가변 저항체의 전기적 특성은 상온에서 DC 전압 스위치를 통하여 평가되었다. 상기 가변 저항체는 도 8a에 도시된 바와 같이, 상온에서 0 V → 0.5 V → 0 V → -0.33 V → 0 V의 전압 스위치 바이폴라 스위칭 특성을 나타낸다. 이러한 바이폴라 스위칭 특성은 별도의 포밍 공정이 없이 나타났다.
- [0103] Pt 전극을 접지하고, Ag 전극에 + 전압이 인가되면, 약 0.16 V에서 전류가 급격히 감소하여, 가변 저항체는 고저항 상태(High Resistance State; HRS)로 스위칭되며, 가변 저항체는 리셋(reset) 상태가 된다. 반대로, Ag 전극에 - 전압이 인가되면, 약 -0.05 V에서 급격히 전류가 상승하여 저저항 상태(Low Resistance State; LRS)가 되며, 가변 저항체는 셋(Set) 상태가 된다.
- [0104] 일반적인 Redox-mechanism에서는 애노드 전극, 즉 Ag 전극에 양 전압이 인가되면 Ag 양이온에 의한 도전성 브릿지가 양 전극들 사이에 형성되어 셋 상태가 되고, 반대로 음전압이 인가되면, Ag가 환원되면서 상기 도전성 브릿지가 소멸되어 리셋 상태가 되어야 한다. 그러나, 본 실시예에 따르면, Pt/CdS/Ag 구조의 가변 저항체는, 일반적으로 알려져 있는 Redox-mechanism과 반대의 리버스 바이폴라 스위칭 특성을 갖는 것을 주목할 필요가 있다.
- [0105] 도 8b를 참조하면, CdS 박막 상에 애노드 전극(Ag)을 증착 후 150 °C로 열처리한 이후의 가변 저항체(Pt/CdS/Ag)의 오제이 전자 현미경(Auger Electron Spectroscopy) 분석 결과에서, Ag의 열처리에 의해 CdS 박막 내부에 Ag의 열 확산에 의한 금속 원자 확산층이 존재하는 것을 확인할 수 있다. 본 명세서에서는, 상기 금속 원자 확산층이 가변 저항체의 구동에 따른 CdS 박막 내의 금속 이온 분포 이전에 존재하는 것이어서 이를 초기 금속 원자 확산층이라 한다. 초기 금속 원자 확산층은 도 8b에 도시된 바와 같이 전형적인 열 확산 분포 프로파일을 가질 수 있다.
- [0106] 상기 가변 저항체가 별도의 포밍 공정 없이도 바이폴라 스위칭 특성을 나타내는 것은 금속 원자 확산층에 의한 것으로 추측된다. 상기 금속 원자 확산층은 상기 CdS 박막 내부에서 기형성된 필라멘트(pre-existing filament) 또는 초기 도전성 브릿지로서 기능할 수 있다. 따라서, 상기 가변 저항체에서는, 애노드 전극에 양 전압 인가시 도전성 브릿지 자체가 산화하고, 캐소드 전극에서 금속 이온이 환원됨으로써 리셋 동작이 일어날 수 있다. 반대로, 애노드 전극에 음 전압 인가시, 캐소드 전극의 금속 이온이 초기 도전성 브릿지에서 환원됨으로써 다시 도전성 브릿지가 완성될 수 있으며, 이에 의해 셋 동작이 일어날 수 있다. 이와 같이, CdS 박막 내에 의도적으로 애노드측으로부터 CdS 박막 내부로 열 확산에 의해 형성되는 금속 원자 확산층을 형성함으로써, 리버스 바이폴라 스위칭 특성을 갖는 가변 저항체가 제공될 수 있다. 실험적으로, 약 20 % 이상

의 금속 이온이 CdS 박막 내부로 확산되면, 리버스 바이폴라 스위칭 구동 특성이 나타나는 것으로 여겨진다.

[0107] 상기 가변 저항체의 내구성 평가를 위해 독출 전압으로서 0.01 V 인가하여 전류 값을 측정하였다. 도 8c를 참조하면, R_{off}/R_{on} 비는 약 20 내지 50으로 실제 비휘발성 메모리 장치로서의 응용에 적합한 특성을 갖는다. 이러한 특성은 반복적으로 측정되었고, 상기 LRS와 HRS는 각각 $-0.05 V_{set}$, 및 $0.16 V_{reset}$ 에서 얻었다. 이러한 사이클 특성으로부터, 상기 초기 금속 원자 확산층은 구동 중에 CdS 박막 내에서 어느 정도 초기 원자 분포 프로파일을 유지하는 것으로 추측된다. 또한, 도 8d를 참조하면, 가변 저항체는, LRS 및 HRS 상태에서 모두 10^4 s까지 안정한 상태를 유지할 수 있다.

[0108] 실시예 2

[0109] 전술한 실시예 1과 달리, 애노드 전극을 형성하기 이전에 CdS 박막 상에 확산 장벽층을 형성하였다. 상기 확산 장벽층은, 약 5nm 두께의 Al_2O_3 막이다. 따라서, 실시예 2의 가변 저항체는, 애노드 전극(Ag)과 CdS 박막 사이에 확산 장벽층(도 3c의 BL 참조)을 더 포함한다.

[0110] 상기 Al_2O_3 의 확산 장벽층을 형성하기 위하여, 상기 CdS 박막 상에 5 nm의 두께로 알루미늄 박막을 전자빔 증발 방법으로 증착하였다. 이후, 진공 상태를 해제시킨 후, 약 5분간 그 상태를 유지시켜, 상기 알루미늄 박막을 산화시킴으로써 Al_2O_3 박막을 형성하였다.

[0111] 도 9는 확산 장벽층인 Al_2O_3 를 포함하는 가변 저항체(Pt/CdS/ Al_2O_3 /Ag)의 오제이 전자 현미경(Auger Electron Spectroscopy) 이미지이다. 도 9를 참조하면, 상기 Al_2O_3 박막에 의해 Ag 전극의 형성 및/또는 이의 열처리 동안 일어날 수 있는 Ag의 CdS 박막으로의 확산이 효과적으로 억제될 수 있다. 그 결과, 상기 CdS 박막 내의 Ag의 원자 농도(atomic concentration)는, 도 9에서와 같이, 0.8 % 이하로 유지될 수 있다.

[0112] 상기 실시예에 따른 가변 저항체(Pt/CdS/ Al_2O_3 /Ag)에 대하여 메모리 특성들이 평가되었다. 도 10a 내지 도 10c는 각각 전술한 가변 저항체의 I-V 특성, 내구성(endurance) 및 데이터 유지(retention) 특성들을 나타내는 그래프이다.

[0113] 도 10a를 참조하면, 상기 가변 저항체(Pt/CdS/ Al_2O_3 /Ag)도 바이폴라 스위칭 특성을 나타낸다. 다만, 도 8a에 도시된 확산 장벽층이 없는 가변 저항체의 스위칭 특성과 반대로, 본 실시예에서는 + 전압에서 Set 상태가 되고, - 전압에서 Reset이 된다. 이와 같은 스위칭 특성의 극성 반전은 Al_2O_3 확산 장벽층이 Ag 전극으로부터 CdS 박막 내로 Ag가 미리 확산하여, 상기 CdS 박막 내에 도전성 브릿지를 형성하는 것을 방지하기 때문이다. 그에 따라, 본 실시예에 따른 가변 저항체의 구동 특성은 종래의 Redox 메커니즘과 일치하게 된다.

[0114] 도 10b를 참조하면, 상기 가변 저항체는 0.02. V의 독출 전압에서 10^3 의 스위칭 사이클(Switching Cycle)까지 내구성을 가지며, R_{off}/R_{on} 비는 평균적으로 50 이상이다. 도 10c를 참조하면, 상기 가변 저항체는 10^3 초까지 열화없이 데이터 유지 특성을 유지한다.

[0115] 실시예 3

[0116] 전술한 실시예 1과 달리, 전술한 가변 저항체를 가요성 기판인 캡톤 필름(Kapton film) 상에 형성하였다. 굽힘 거리(bending distance)는 10 mm로 고정하고, 40회 및 100회 굽힘을 실시 후, 굽힘을 하기 전(또는 비굽힘이라 함)과의 상태와 전류-전압 특성을 평가하였다.

[0117] 도 11은 각각 캡톤 필름 상에 형성된 가변 저항체의 내구성 특성을 나타내는 그래프이다. 도 11을 참조하면, 가요성 기판 상의 가변 저항체는 굽힘 이전의 상태와 큰 차이없이 양호한 내구성을 보인다. 종래에 플렉시블 메모리 장치의 구현을 위해 저항값의 쌍안정성(bistability)을 갖는 전도성 고분자 재료를 이용한 시도가 있어 왔다. 본 발명의 실시예에 따르면, CdS 입자가 용액 내에서 합성되고 분산 용액으로 전달되어 CdS 박막이 형성되었기 때문에, 고체 전해질막 전체에 걸쳐 물리적 및 화학적 특성의 균일성을 확보할 수 있으며, 이로 인하여 상기 고분자 재료와 동일한 수준의 굽힘 내구성을 얻을 수 있는 것으로 추측된다.

- [0118] 또한, 종래의 기상 증착 공정에 의해 형성된 막이 기본적으로 조밀한 고밀도 매트릭스 구조를 가지며, 이러한 고밀도 매트릭스 구조는 고체 전해질막의 스위칭시 요구되는 금속성 이온들의 속도를 향상시키는 데에 한계가 될 수 있다. 그러나, 본 발명의 실시예에 따르면, CdS 박막이 용액 합성법에 의해 형성되어 기상 증착 공정에 비하여 완화된 매트릭스 구조를 가지면서도 균일하여, 속도 향상뿐만 아니라 곁힘 내구성을 확보할 수 있다.
- [0119] 따라서, 본 발명의 실시예에 따르면, 우수한 내구성을 갖는 플렉시블 메모리 장치가 제공될 수 있다. 상기 플렉시블 메모리 장치는 형상 변화가 자유로워, 전자 제품의 형태에 구속되지 않고, 다양하게 제조될 수 있다. 또한, 퓨즈, 안티 퓨즈와 같은 퓨즈 구조나 논리 소자로서 응용될 수도 있다.
- [0120] 본 명세서에 첨부된 도면들을 참조하여 개시된 다양한 비휘발성 메모리 장치는 단일 메모리 장치로 구현되거나, 하나의 웨이퍼 칩 내에서 다른 이종 장치들, 예를 들면, 논리 프로세서, 이미지 센서, RF 소자와 같은 다른 장치들과 함께 SOC(system on chip)의 형태로 구현될 수도 있을 것이다. 또한, 비휘발성 메모리 장치가 형성된 웨이퍼 칩과 이종 장치가 형성된 다른 웨이퍼 칩을 접착제, 솔더링 또는 웨이퍼 본딩 기술을 이용하여 접합함으로써 하나의 칩 형태로 구현될 수도 있을 것이다.
- [0121] 또한, 전술한 실시예들에 따른 비휘발성 메모리 장치들은 다양한 형태들의 반도체 패키지(semiconductor package)로 구현될 수 있다. 예를 들면, 본 발명의 실시예들에 따른 비휘발성 메모리 장치들은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer FoSM, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP) 또는 Wafer-Level Processed Stack Package(WSP) 등의 방식으로 패키징될 수 있다. 본 발명의 실시예들에 따른 비휘발성 메모리 장치가 실장된 패키지는 이를 제어하는 컨트롤러 및/또는 논리 소자들을 더 포함할 수도 있다.
- [0122] 도 12는 본 발명의 일 실시예들에 따른 비휘발성 메모리 장치를 포함하는 전자 시스템(1000)을 도시하는 블록도이다.
- [0123] 도 12를 참조하면, 본 발명의 실시예에 따른 전자 시스템(1000)은 컨트롤러(1010), 입출력 장치(I/O; 1020), 기억 장치(storage device; 1030), 인터페이스(1040) 및 버스(bus; 1050)를 포함할 수 있다. 컨트롤러(1010), 입출력 장치(1020), 기억 장치(1030) 및/또는 인터페이스(1040)는 버스(1050)를 통하여 서로 결합될 수 있다.
- [0124] 컨트롤러(1010)는 마이크로프로세서, 디지털 신호 프로세스, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 입출력 장치(1020)는 키패드(keypad), 키보드 또는 디스플레이 장치를 포함할 수 있다. 기억 장치(1030)는 데이터 및/또는 명령어를 저장할 수 있으며, 기억 장치(1030)는 본 명세서에 개시된 3차원 비휘발성 메모리 장치를 포함할 수 있다.
- [0125] 일부 실시예에서, 기억 장치(1030)는 다른 형태의 반도체 메모리 장치(예를 들면, 디램 장치 및/또는 에스램 장치 등)를 더 포함하는 혼성 구조를 가질 수도 있다. 인터페이스(1040)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 인터페이스(1040)는 유선 또는 무선 형태일 수 있다. 이를 위하여, 인터페이스(1040)는 안테나 또는 유무선 트랜시버를 포함할 수 있다. 도시하지 않았지만, 전자 시스템(1000)은 컨트롤러(1010)의 동작을 향상시키기 위한 동작 메모리로서, 고속의 디램 및/또는 에스램을 더 포함할 수도 있다.
- [0126] 전자 시스템(1000)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 태블릿 피씨(tablet PC), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.
- [0127] 도 13은 본 발명의 실시예들에 따른 비휘발성 메모리 장치를 포함하는 메모리 카드(1100)를 도시하는 블록도이다.

[0128] 도 13을 참조하면, 본 발명의 일 실시예에 따른 메모리 카드(1100)는 기억 장치(1110)를 포함한다. 기억 장치(1110)는 본 발명에 따른 비휘발성 메모리 장치들 중에서 적어도 하나를 포함할 수 있다. 또한, 기억 장치(1110)는 다른 형태의 반도체 메모리 장치(예를 들면, 디램 장치 및/또는 에스램 장치)를 더 포함할 수도 있다. 메모리 카드(1100)는 호스트(Host)와 기억 장치(1110) 간의 데이터 교환을 제어하는 메모리 컨트롤러(1120)를 포함할 수 있다.

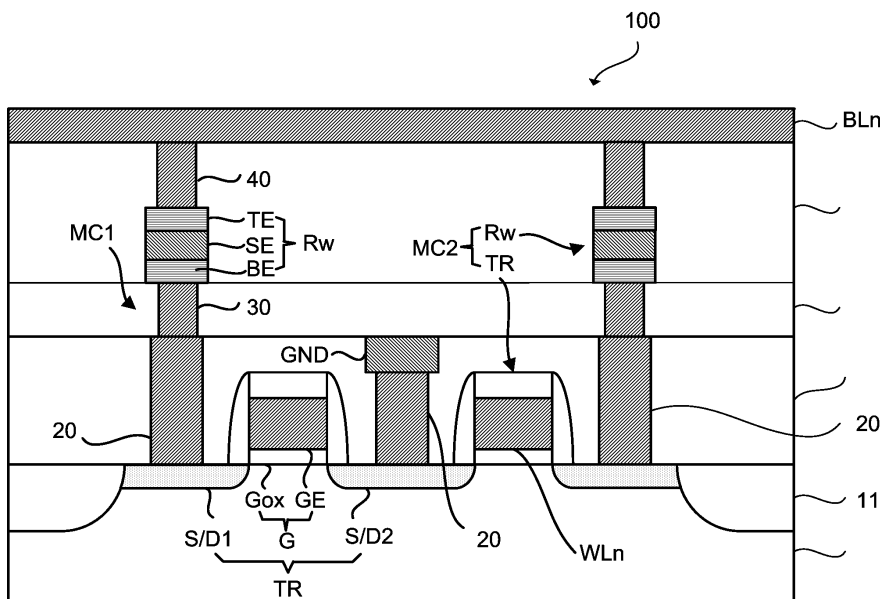
[0129] 메모리 컨트롤러(1120)는 메모리 카드(1100)의 전반적인 동작을 제어하는 중앙 프로세싱 유닛(CPU; 1122)을 포함할 수 있다. 메모리 컨트롤러(1120)는 중앙 프로세싱 유닛(1122)의 동작 메모리로서 사용되는 에스램(SRAM; 1121)을 포함할 수도 있다. 이에 더하여, 메모리 컨트롤러(1120)는 호스트 인터페이스(1123) 및 메모리 인터페이스(1125)를 더 포함할 수 있다. 호스트 인터페이스(1123)는 메모리 카드(1100)와 호스트(Host) 사이의 데이터 교환 프로토콜을 구비할 수 있다. 메모리 인터페이스(1125)는 메모리 컨트롤러(1120)와 기억 장치(1110)를 서로 접속시킬 수 있다. 또한, 메모리 컨트롤러(1120)는 에러 정정 블록(ECC; 1124)을 더 포함할 수 있다. 에러 정정 블록(1124)은 기억 장치(1110)로부터 독출된 데이터의 에러를 검출 및 정정할 수 있다. 도시하지 않았지만, 메모리 카드(1100)는 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 롬 장치(ROM device)를 더 포함할 수도 있다. 메모리 카드(1100)는 휴대용 데이터 저장 카드로 사용될 수 있다. 이러한 메모리 카드(1100)는 비휘발성 메모리 장치를 포함하며, 컴퓨터 시스템의 하드디스크를 대체할 수 있는 고상 디스크(SSD, Solid State Disk)로도 구현될 수 있다. 이 경우, 본 발명의 실시예에 따른 비휘발성 메모리 장치는 페타스케일(petascale)의 컴퓨팅 성능을 제공할 수 있으며, 고속의 자료 입출력이 가능하도록 한다.

[0130] 전술한 실시예들은 주로 메모리 장치에 관하여 개시하고 있지만, 이는 예시적이며, 당업자라면, 본 발명의 실시예에 따른 가변 저항체는 퓨즈 및 안티퓨즈, 또는 FPGA와 같은 논리 회로의 온/오프 스위칭 소자로도 응용될 수 있음을 이해할 수 있을 것이다.

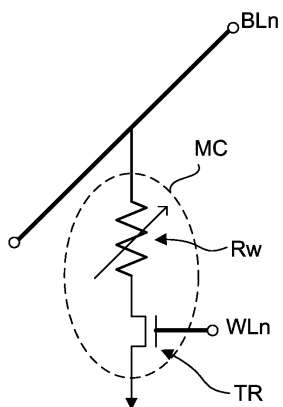
[0131] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면

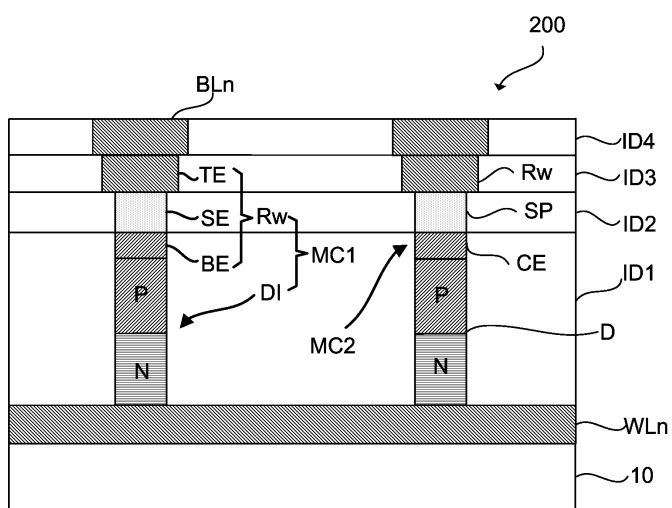
도면1a



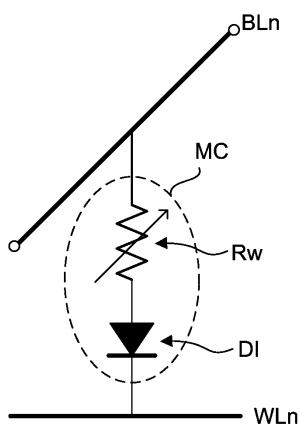
도면1b



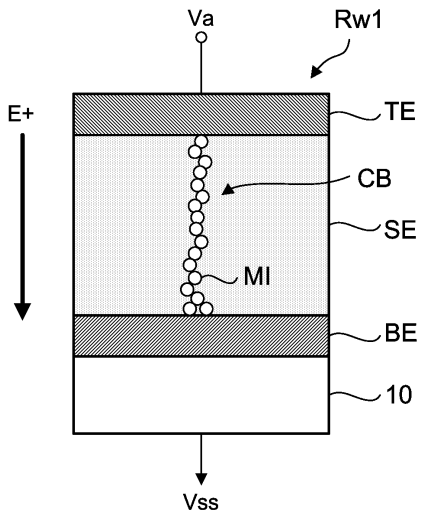
도면2a



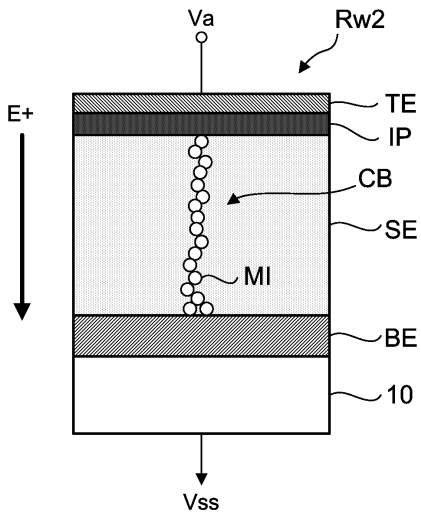
도면2b



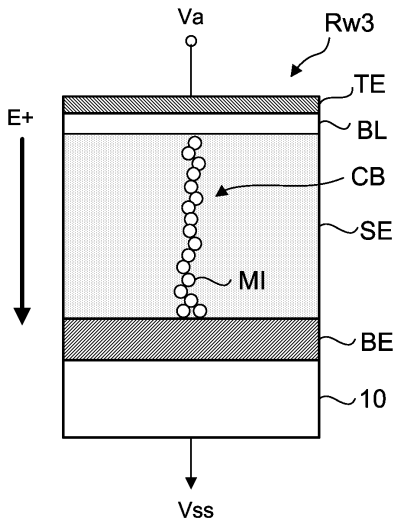
도면3a



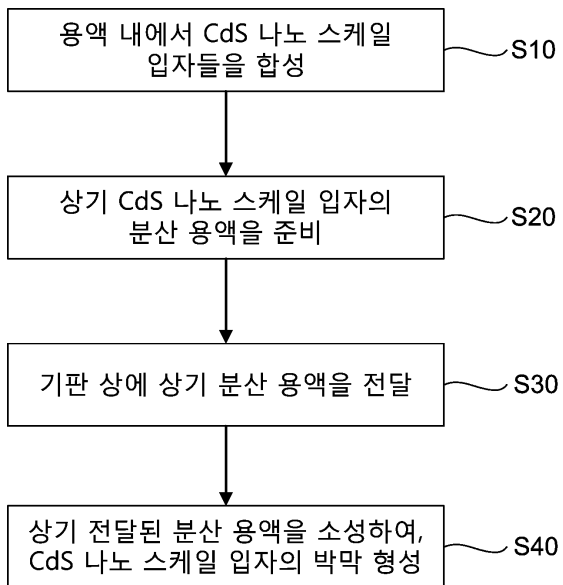
도면3b



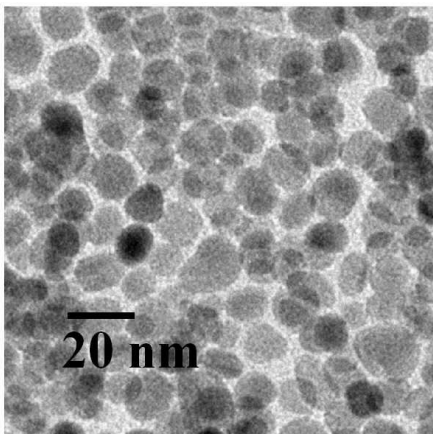
도면3c



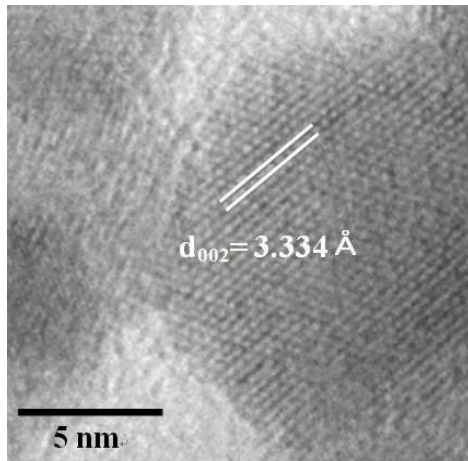
도면4



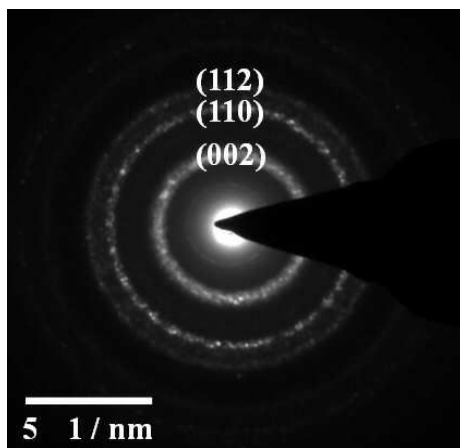
도면5a



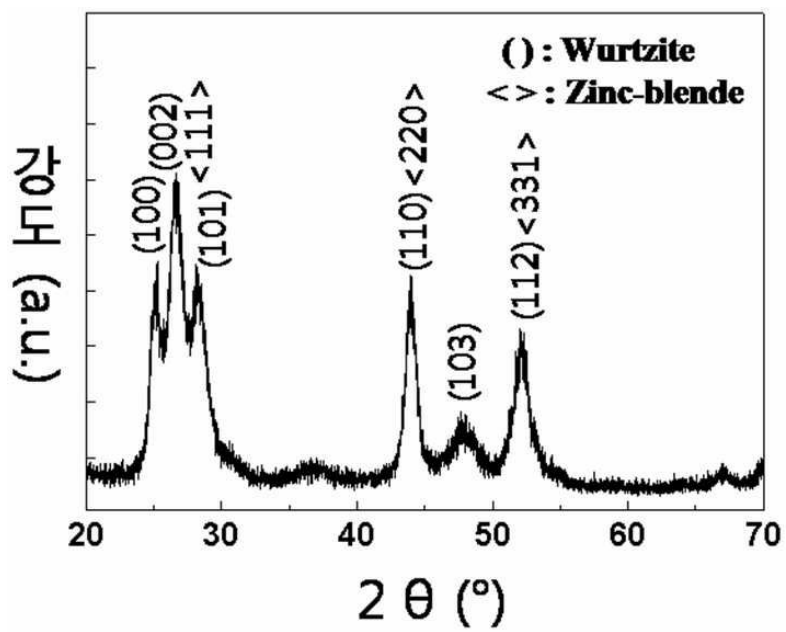
도면5b



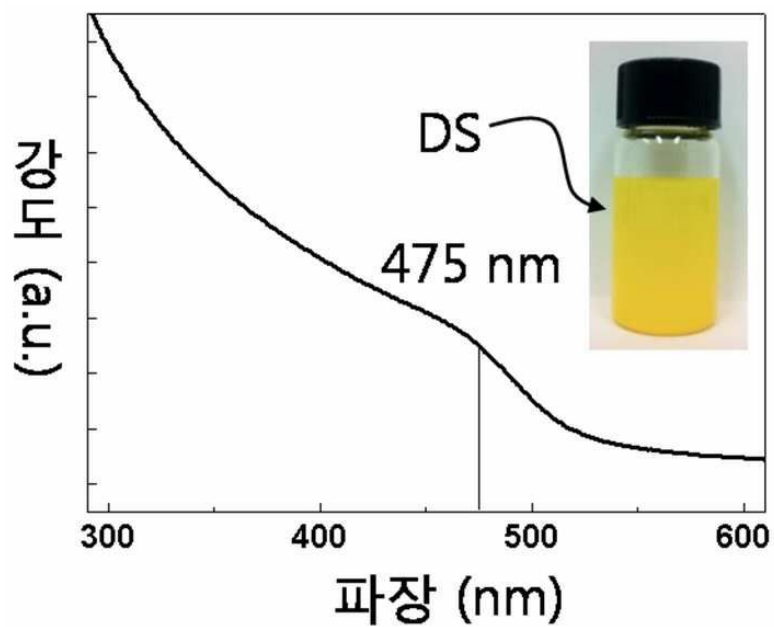
도면5c



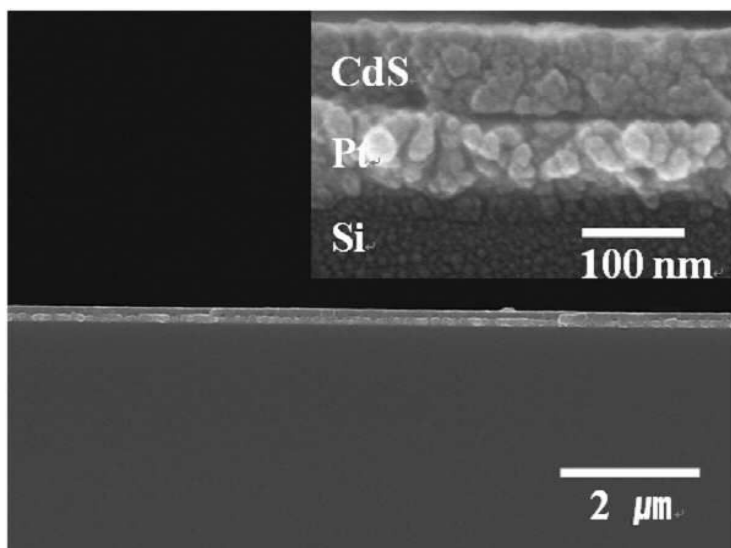
도면5d



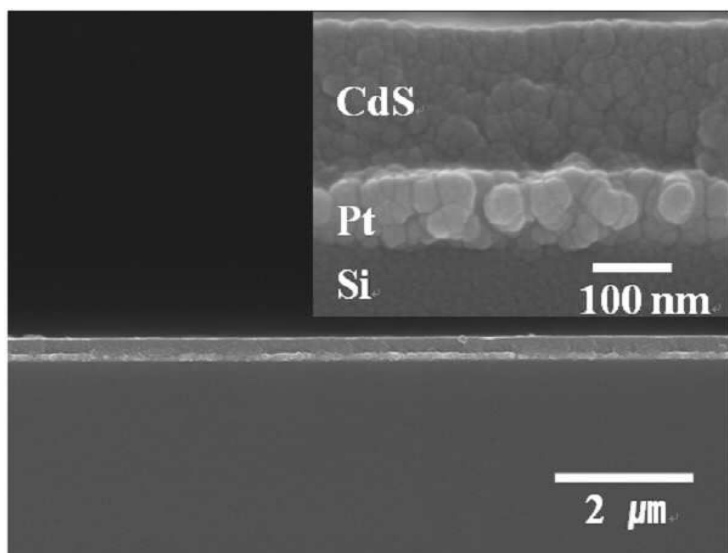
도면6



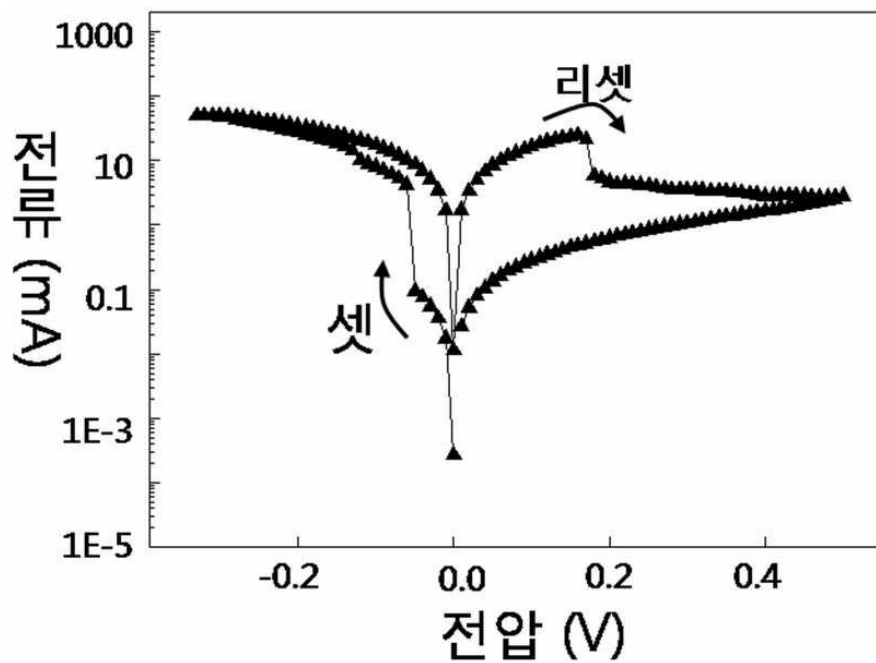
도면7a



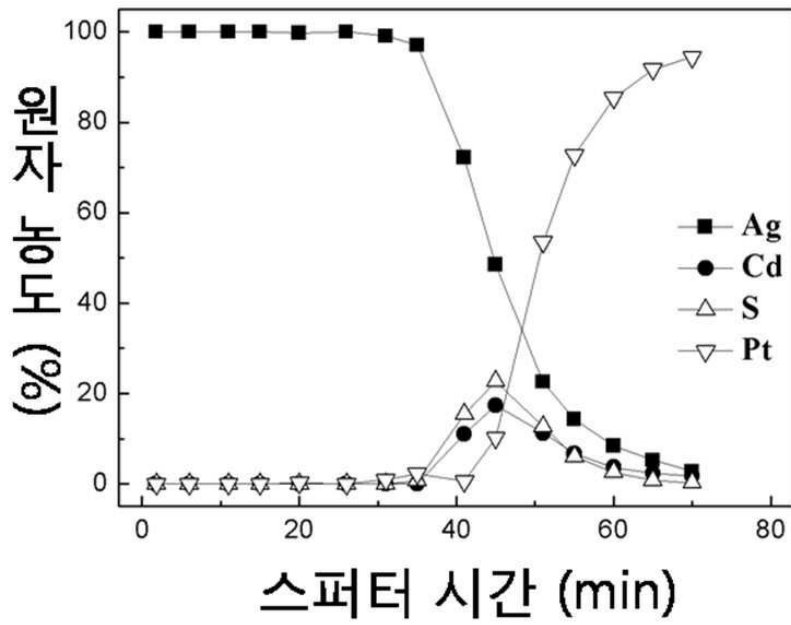
도면7b



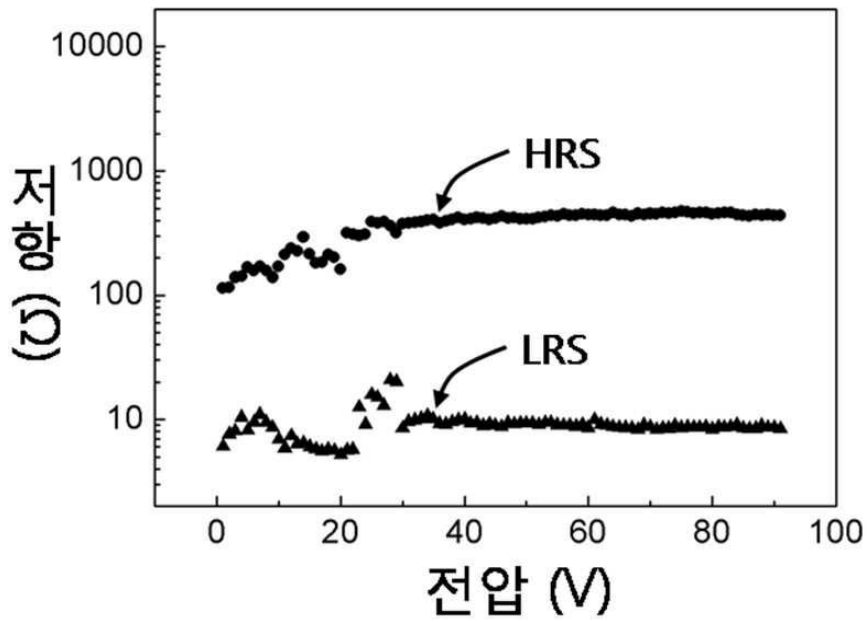
도면8a



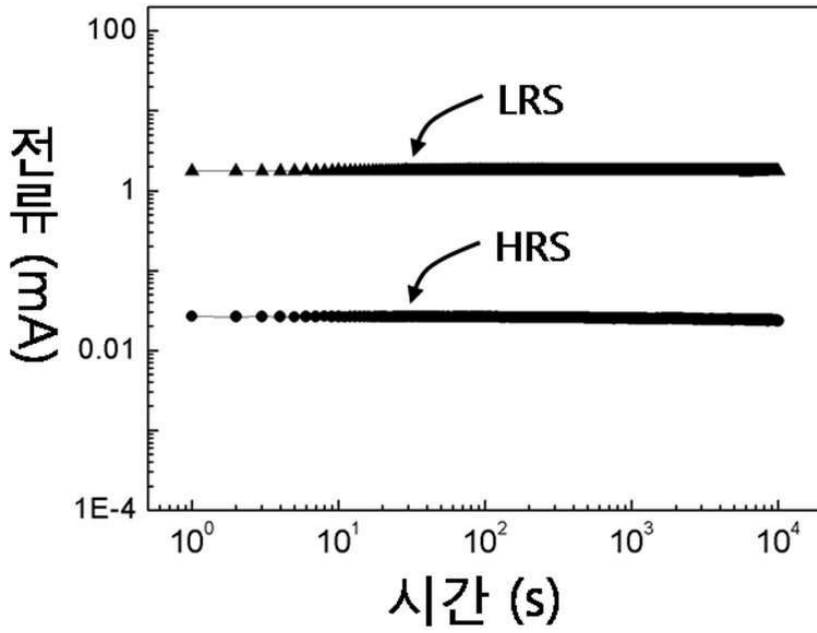
도면8b



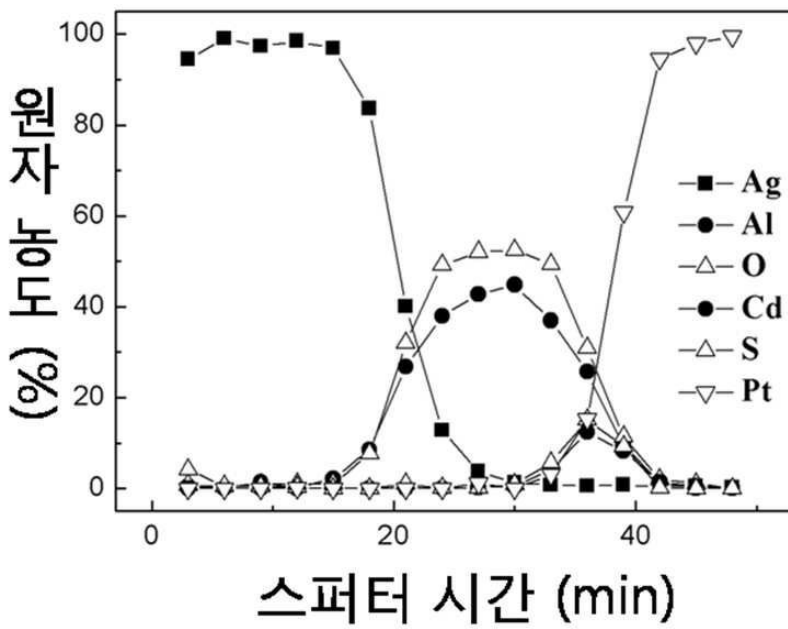
도면8c



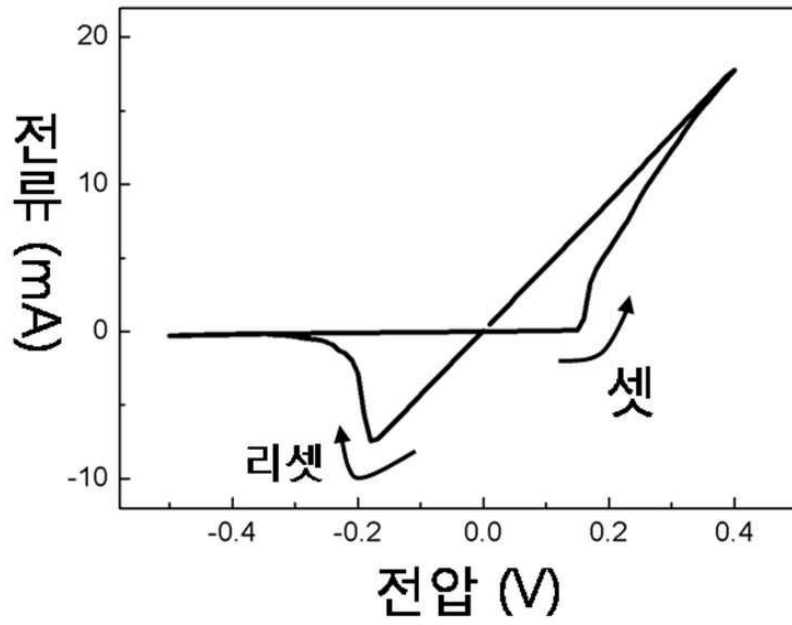
도면8d



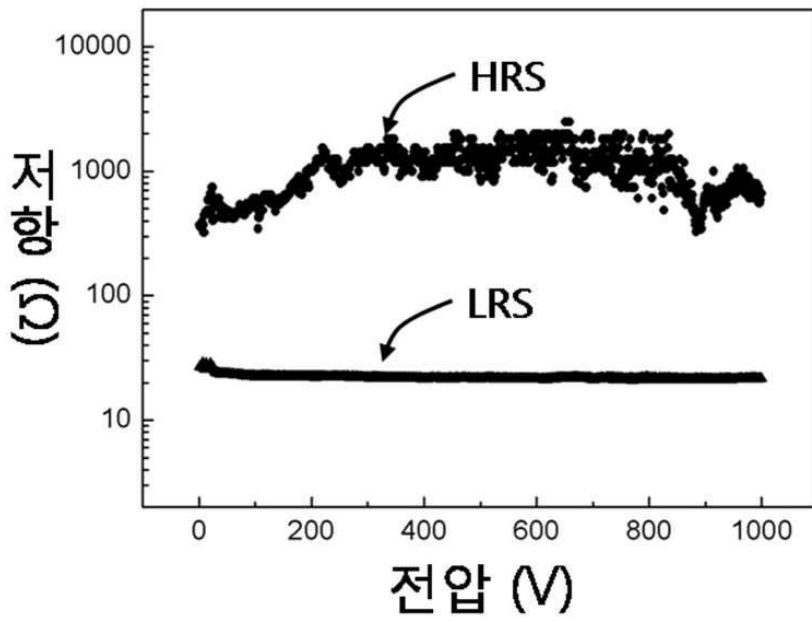
도면9



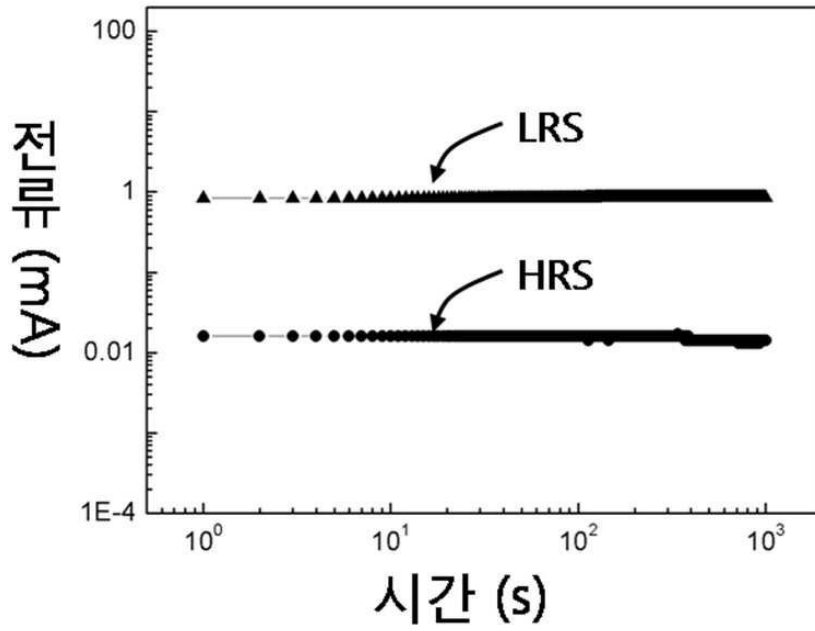
도면10a



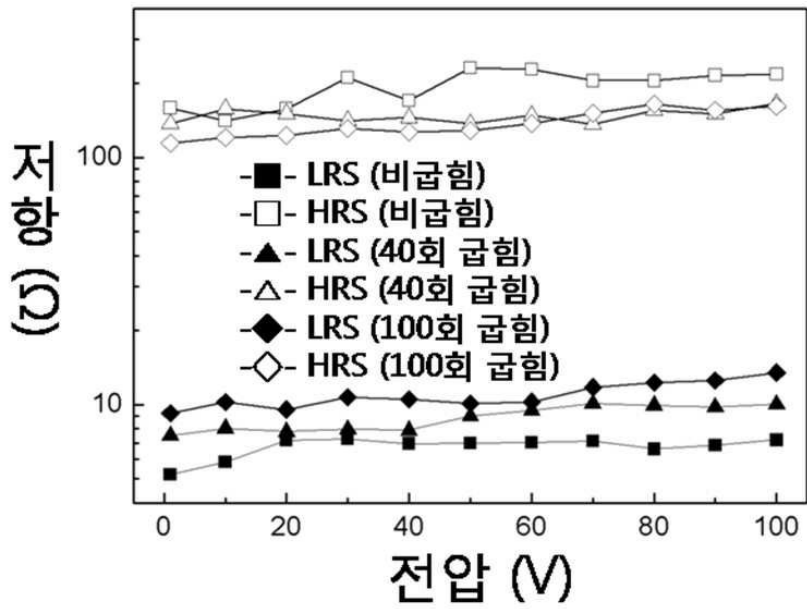
도면10b



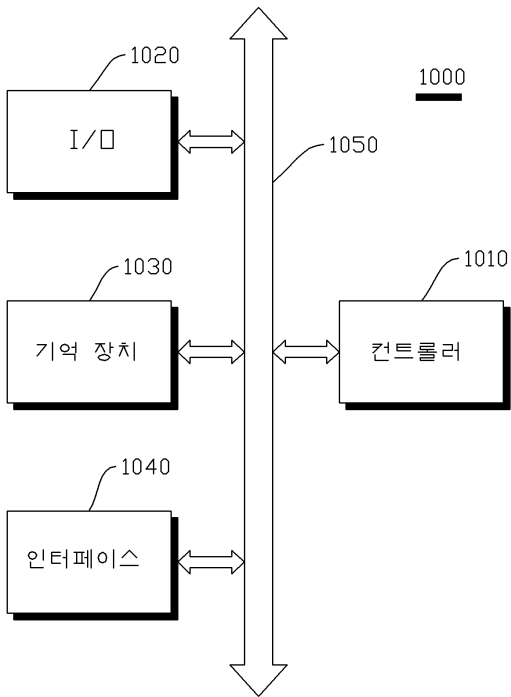
도면10c



도면11



도면12



도면13

