Всесоюзная патентно-техническая библиотека

Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 746945

(61) Дополнительное к авт. свид-ву –

(22) Заявлено 27.03.78 (21) 2594753/18-21

с присоединением заявки № –

(23) Приоритет –

Опубликовано 07.07.80. Бюллетень № 25

Дата опубликования описания 07.07.80

(51) М. Кл.[2] H 03 K 23/02

(53) УДК 621.374.22(088.8)

(72) Авторы изобретения В. А. Грехнев и В. Н. Гиленок

(71) Заявитель –

(54) ДЕЛИТЕЛЬ ЧАСТОТЫ СЛЕДОВАНИЯ ИМПУЛЬСОВ НА 5,5

1

Изобретение относится к автоматике и вычислительной технике, может быть использовано в устройствах, где необходимо деление последовательности импульсов на дробное число 5,5.

Известны делители частоты следования импульсов, содержащие счетные разряды, состоящие из триггеров памяти и коммутационных триггеров, причем нулевые выходы первых коммутационных триггеров данного разряда соединены с обоими входами вторых коммутационных триггеров следующего старшего разряда [1].

Недостатком описанного устройства является невозможность получения дробного коэффициента деления.

Наиболее близким по технической сущности к изобретению является делитель частоты следования импульсов, содержащий четыре разряда, первые три из которых состоят из триггера памяти и двух коммутационных триггеров, а четвертый – из триггера памяти, коммутационного триггера и элемента И–НЕ, а в первых трех разрядах единичный выход триггера памяти соединен с единичным входом второго коммутационного триггера, нулевой выход которого соединен с единичным входом триггера памяти, а единичный выход – с нулевым входом первого коммутационного триггера; единичный выход первого коммутационного триггера соединен с нулевыми входами триггера памяти и второго коммутационного триггера; нулевой выход первого коммутационного триггера первого разряда соединен с обоими входами второго коммутационного триггера второго разряда и со входом первого дополнительного элемента И–НЕ; нулевой выход первого коммутационного триггера второго разряда соединен с нулевым входом второго коммутационного триггера третьего разряда; нулевой выход первого коммутационного триггера третьего разряда соединен со входом элемента И–НЕ четвертого разряда, выход которого соединен со входом триггера памяти и со входом второго дополнительного элемента И–НЕ; единичные выходы триггеров памяти третьего и четвертого разрядов соединены со входами первого дополнительного элемента И–НЕ, выход которого соеди-

2

нен со входом второго дополнительного элемента И–НЕ и с единичным входом первого коммутационного триггера первого разряда; единичный выход коммутационного триггера четвертого разряда соединен с нулевым входом триггера памяти этого разряда и с единичным входом первого коммутационного триггера первого разряда [2].

Недостатком данного устройства является низкая надежность.

Цель изобретения – повышение надежности устройства.

Эта цель достигается тем, что в делителе частоты следования импульсов на 5,5,состоящем из четырех разрядов, в первых трех из которых, содержащих триггер памяти и два коммутационных триггера, единичный выход триггера памяти соединен с единичным входом второго коммутационного триггера, нулевой выход которого соединен с единичным входом триггера памяти, а единичный выход – с нулевым входом первого коммутационного триггера, единичный выход которого соединен с нулевыми входами триггера памяти и второго коммутационного триггера, в четвертом – триггер памяти, коммутационный триггер и элемент И–НЕ, и двух дополнительных элементов И–НЕ, вход первого из которых соединен со входами второго коммутационного триггера второго разряда и с нулевым выходом первого коммутационного триггера первого разряда; нулевой выход первого коммутационного триггера второго разряда соединен с нулевым входом второго коммутационного триггера третьего разряда; нулевой выход первого коммутационного триггера третьего разряда соединен со входом элемента И–НЕ четвертого разряда, выход которого соединен со входом триггера памяти этого разряда и со входом второго дополнительного элемента И–НЕ; единичные выходы триггеров памяти третьего и четвертого разрядов соединены со входами первого дополнительного элемента И–НЕ, выход которого соединен со входом второго дополнительного элемента И–НЕ и с единичным входом первого коммутационного триггера первого разряда; единичный выход коммутационного триггера четвертого разряда соединен с нулевым входом триггера памяти этого разряда и с единичным входом первого коммутационного триггера первого разряда; нулевой выход первого коммутационного триггера второго разряда соединен с единичным входом первого коммутационного триггера третьего разряда и со входом элемента И–НЕ четвертого разряда, выход которого соединен с единичным входом коммутационного триггера этого разряда; единичный выход этого триггера соединен с нулевыми входами триггера памяти и первого коммутационного триггера третьего разряда; нулевые выходы первых коммутационных триггеров первого и третьего разрядов соединены с единичными входами коммутационного триггера четвертого разряда, а нулевой выход триггера памяти четвертого разряда соединен с нулевым входом коммутационного триггера этого разряда.

На чертеже изображена структурная электрическая схема делителя частоты следования импульсов на 5,5.

Схема содержит элементы И–НЕ 1–4, попарно образующие первый и второй коммутационные триггеры первого разряда, элементы И–НЕ 5–6, попарно образующие триггер памяти этого разряда, элементы И–НЕ 7–10, образующие аналогично коммутационные триггеры, элементы И–НЕ 11, 12, образующие триггер памяти второго разряда, элементы И–НЕ 13–18, образующие триггеры третьего разряда, элементы И–НЕ 19, 20, образующие коммутационный триггер четвертого разряда, элемент И–НЕ 21 этого разряда, элементы И–НЕ 22, 23, образующие триггер памяти четвертого разряда, элемент И–НЕ 24 первый дополнительный элемент И–НЕ 25 второй дополнительный, шину 26 тактирующего сигнала, выходную шину 27.

Устройство работает следующим образом.

В исходном состоянии триггеры памяти первых двух разрядов находятся в единичном состоянии, триггеры памяти третьего и четвертого разрядов – в нулевом состоянии.

Под действием тактирующего сигнала в делителе происходит обычный пересчет поступающих импульсов в двоичном коде. При этом осуществляется следующая последовательность смены состояний триггеров памяти делителя:

0	0011
1	0100
2	0101
3	0110
4	0111
5	1000
6	1001
7	1010
8	1011
9	1100
10	1101
11	0011

Видно, что с приходом пятого по счету тактирующего сигнала на выходе элемента 21 появляется сигнал, равный логическому нулю, который устанавливает триггер памяти четвертого разряда в единичное состояние и который через шину 26 поступает на выходную шину устройства. Далее происходит обычный пересчет поступающих импульсов, и с

приходом десятого импульса в делителе устанавливается код 1101. После окончания действия десятого импульса на выходе элемента 1 появляется сигнал, равный логической единице. При этом элемент открывается, и на его выходе появляется сигнал, равный логическому нулю, который через элемент 25 поступает на выходную шину 27. Одновременно сигнал, равный логическому нулю, с выхода элемента 24 поступает на вход элемента И–НЕ 2.

С приходом одиннадцатого по счету тактирующего импульса открываются элементы 9 и 20. На выходе этих элементов появляются сигналы, равные логическому нулю, которые устанавливают триггер памяти второго разряда в единичное состояние, а триггеры памяти третьего и четвертого разрядов – в нулевое, элемент 24 закрывается, и прекращается формирование выходного сигнала. Триггер памяти первого разряда свое состояние не изменяет , поскольку элемент 2 остается закрытым сначала сигналом, равным логическому нулю, с выхода элемента 24, а затем сигналом с выхода элемента 20.

После окончания действия тактирующего сигнала устройство возвращается в исходное состояние 0011.

Таким образом, на 11 входных импульсов делитель частоты следования импульсов на 5,5 выдает два выходных, т.е. происходит деление частоты на 5,5, причем выходные сигналы формируются через равные интервалы времени.

В данном устройстве за счет новых связей сокращено количество элементов И–НЕ, что позволило повысить надежность работы делителя частоты следования импульсов на 5,5.

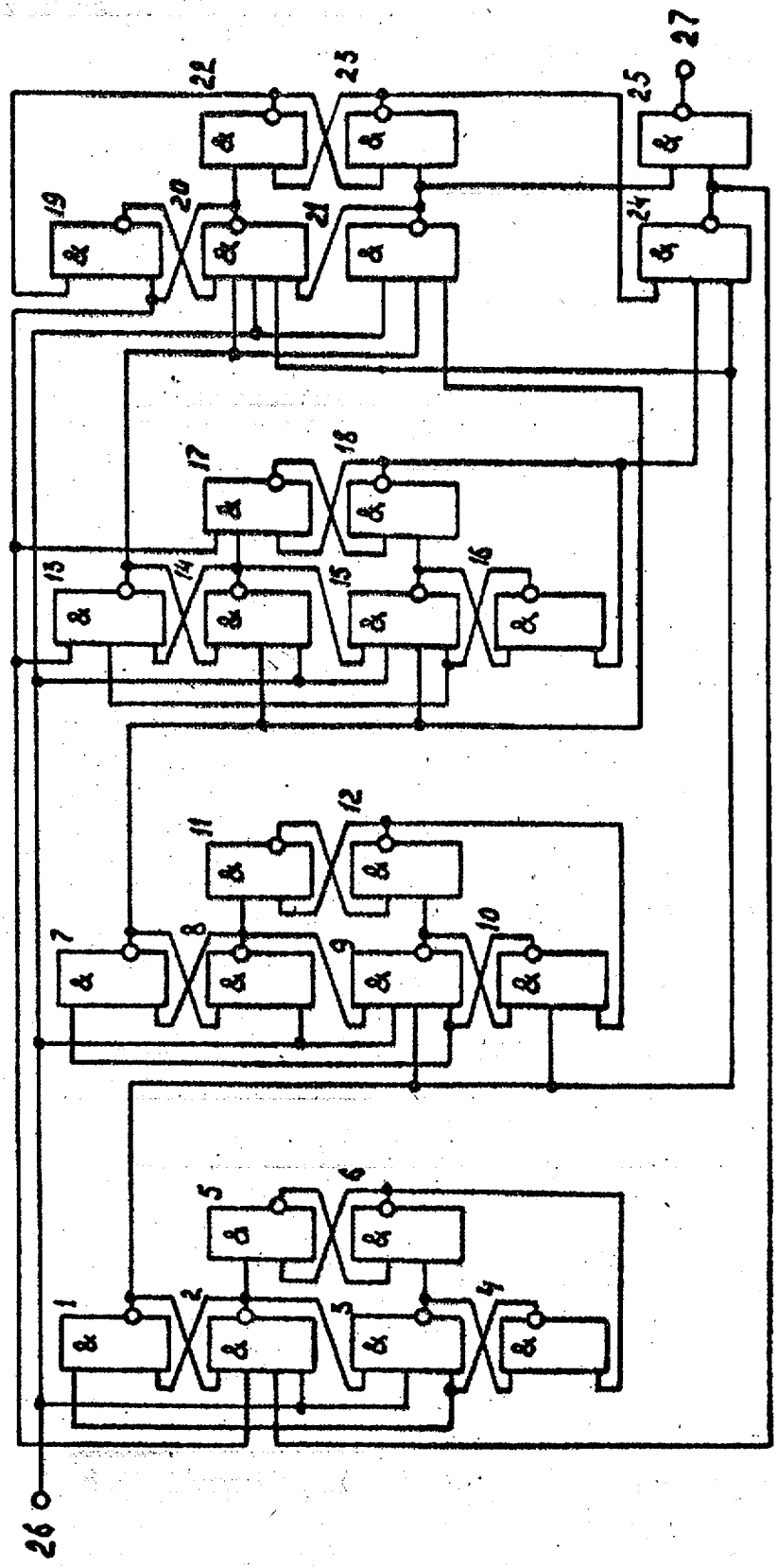
Формула изобретения

Делитель частоты следования импульсов на 5,5, состоящий из четырех разрядов, в первых трех из которых, содержащих триггер памяти и два коммутационных триггера, единичный выход триггера памяти соединен с единичным входом второго коммутационного триггера, нулевой выход которого соединен с единичным входом триггера памяти, а единичный выход – с нулевым входом первого коммутационного триггера, единичный выход которого соединен с нулевыми входами триггера памяти и второго коммутационного триггера, в четвертом – триггер памяти, коммутационный триггер и элемент И–НЕ, и двух дополнительных элементов И–НЕ, вход первого из которых соединен со входами второго коммутационного триггера второго разряда и с нулевым выходом первого коммутационного триггера первого разряда, нулевой выход первого коммутационного триггера второго разряда соединен с нулевым входом второго коммутационного триггера третьего разряда, нулевой выход первого коммутационного триггера третьего разряда соединен со входом элемента И–НЕ четвертого разряда, выход которого соединен со входом триггера памяти этого разряда и со входом второго дополнительного элемента И–НЕ, единичные выходы триггеров памяти третьего и четвертого разрядов соединены со входами первого дополнительного элемента И–НЕ, выход которого соединен со входом второго дополнительного элемента И–НЕ и с единичным входом первого коммутационного триггера первого разряда, единичный выход коммутационного триггера четвертого разряда соединен с нулевым входом триггера памяти этого разряда и с единичным входом первого коммутационного триггера первого разряда, отличающийся тем, что, с целью повышения надежности работы устройства, нулевой выход первого коммутационного триггера второго разряда соединен с единичным входом первого коммутационного триггера третьего разряда и со входом элемента И–НЕ четвертого разряда, выход которого соединен с единичным входом коммутационного триггера этого разряда, единичный выход этого триггера соединен с нулевыми входами триггера памяти и первого коммутационного триггера третьего разряда, нулевые выходы первых коммутационных триггеров первого и третьего разрядов соединены с единичными входами коммутационного триггера четвертого разряда, а нулевой выход триггера памяти четвертого разряда соединен с нулевым входом коммутационного триггера этого разряда.

Источники информации,
принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 444330, кл. Н 03 К 23/02, 18.03.71.

2. Авторское свидетельство СССР по заявке № 2471724/18-21, кл. Н 03 К 23/02 (прототип).



ЦНИИПИ Заказ 3975/53 Тираж 995 Подписное

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4