PCT WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro

INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation 6 :		(11) Internationale Veröffentlichungsnummer: WO 97/09740
H01L 21/66, 21/60	A1	(43) Internationales Veröffentlichungsdatum: 13. März 1997 (13.03.97)

(21) Internationales Aktenzeichen: PCT/DE96/01387

(22) Internationales Anmeldedatum: 19. Juli 1996 (19.07.96)

(30) Prioritätsdaten:

195 33 170.2	8. September 1995 (08.09.95)	DE
196 00 994.4	12. Januar 1996 (12.01.96)	DE

(71) Anmelder: FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER ANGEWANDTEN FORSCHUNG E.V. [DE/DE]; Leonrodstrasse 54, D-80636 München (DE).

(72) Erfinder: ZAKEL, Elke; Buggestrasse 5, D-12163 Berlin (DE). ANSORGE, Frank; Markelstrasse 8, D-12163 Berlin (DE). KASULKE, Paul; Waldstrasse 45, D-10551 Berlin (DE). OSTMANN, Andreas; Krumme Strasse 6, D-10585 Berlin (DE). ASCHENBRENNER, Rolf; Schudomastrasse 26, D-12055 Berlin (DE). DIETRICH, Lothar; Klinnerweg 18, D-13509 Berlin (DE).

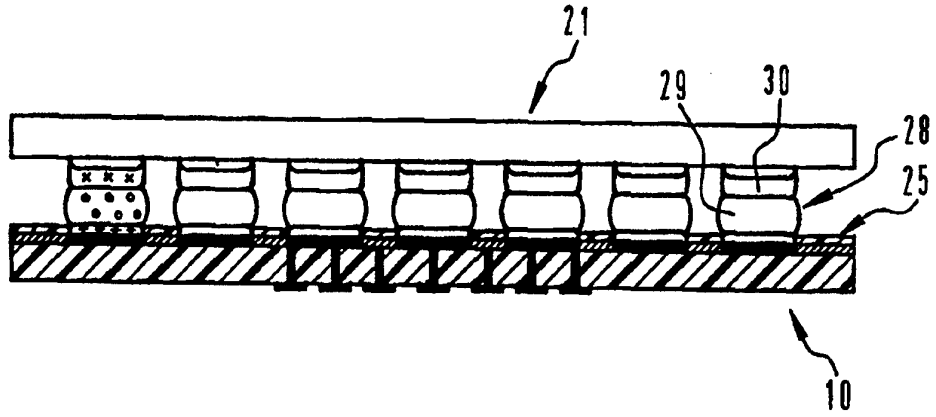
(74) Anwalt: TAPPE, Hartmut; Jaeger, Böck & Köster, Egloffsteinstrasse 7, D-97072 Würzburg (DE).

(81) Bestimmungsstaaten: CA, KR, europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Veröffentlicht
Mit internationalem Recherchenbericht.

(54) Title: PROCESS AND DEVICE FOR TESTING A CHIP

(54) Bezeichnung: VERFAHREN UND VORRICHTUNG ZUM TESTEN EINES CHIPS



(57) Abstract

A process and device for testing substrates with a printed circuit structure, especially chips (21). An electrical check on the printed circuit structure of the substrate (21) is made during the transfer of the solder deposits (28) by means of a solder deposit substrate (25) having a structured electrically conductive coating (12) with terminal surfaces (17) for the arrangement of solder deposits (28) and their transfer to correspondingly arranged terminal surfaces (22) of a substrate (21).

(57) Zusammenfassung

Verfahren und Vorrichtung zum Testen von mit einer Leiterbahnstruktur versehenen Substraten, insbesondere Chips (21), wobei mittels eines Lotdepotträgers (25), der mit einer strukturierten, elektrisch leitfähigen Beschichtung (12) mit Anschlußflächen (17) zur Anordnung von Lotdepots (28) und deren Übertragung auf entsprechend angeordnete Anschlußflächen (22) eines Substrats (21) versehen ist, während der Übertragung der Lotdepots (28) eine elektrische Überprüfung der Leiterbahnstruktur des Substrats (21) erfolgt.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AM	Armenien	**GB**	Vereinigtes Königreich	**MX**	Mexiko
AT	Österreich	**GE**	Georgien	**NE**	Niger
AU	Australien	**GN**	Guinea	**NL**	Niederlande
BB	Barbados	**GR**	Griechenland	**NO**	Norwegen
BE	Belgien	**HU**	Ungarn	**NZ**	Neuseeland
BF	Burkina Faso	**IE**	Irland	**PL**	Polen
BG	Bulgarien	**IT**	Italien	**PT**	Portugal
BJ	Benin	**JP**	Japan	**RO**	Rumänien
BR	Brasilien	**KE**	Kenya	**RU**	Russische Föderation
BY	Belarus	**KG**	Kirgisistan	**SD**	Sudan
CA	Kanada	**KP**	Demokratische Volksrepublik Korea	**SE**	Schweden
CF	Zentrale Afrikanische Republik	**KR**	Republik Korea	**SG**	Singapur
CG	Kongo	**KZ**	Kasachstan	**SI**	Slowenien
CH	Schweiz	**LI**	Liechtenstein	**SK**	Slowakei
CI	Côte d'Ivoire	**LK**	Sri Lanka	**SN**	Senegal
CM	Kamerun	**LR**	Liberia	**SZ**	Swasiland
CN	China	**LK**	Litauen	**TD**	Tschad
CS	Tschechoslowakei	**LU**	Luxemburg	**TG**	Togo
CZ	Tschechische Republik	**LV**	Lettland	**TJ**	Tadschikistan
DE	Deutschland	**MC**	Monaco	**TT**	Trinidad und Tobago
DK	Dänemark	**MD**	Republik Moldau	**UA**	Ukraine
EE	Estland	**MG**	Madagaskar	**UG**	Uganda
ES	Spanien	**ML**	Mali	**US**	Vereinigte Staaten von Amerika
FI	Finnland	**MN**	Mongolei	**UZ**	Usbekistan
FR	Frankreich	**MR**	Mauretanien	**VN**	Vietnam
GA	Gabon	**MW**	Malawi		

VERFAHREN UND VORRICHTUNG ZUM TESTEN EINES CHIPS

Die vorliegende Erfindung betrifft ein Verfahren zum Testen eines mit einer Leiterbahnstruktur versehenen Substrats, insbesondere eines Chips nach dem Oberbegriff des Anspruchs 1, einen hierzu verwendbaren Lotdepotträger nach dem Oberbegriff des Anspruchs 11 und ein auf dem Lotdepotträger verwendbares Lotdepot nach dem Oberbegriff des Anspruchs 19.

Die Herstellung eines montagefähigen IC's, wie er beispielsweise in elektronischen Geräten der EDV-Technik verwendet wird, gliedert sich, ausgehend von einem Wafer bis hin zu einem gehäusten, montagefähigen Chip, in eine Vielzahl von Fertigungsschritte.

Abgesehen von den Kosten, die durch die Herstellung des Wafers verursacht werden, werden die Kosten für die Herstellung eines montagefähigen, gehäusten Chips im wesentlichen durch die nachfolgenden Herstellungsschritte begründet. Diese sind im wesentlichen das Erzeugen von sogenannten Bumps auf den Anschlußflächen der durch Vereinzelung aus dem Wafer entstehenden Chips und das aufwendige Einhäusen der Chips. Zur Qualitätskontrolle der Chips erfolgt in der Regel eine elektrische Überprüfung der Leiterbahnstruktur des Chips nach dessen Einhäusung. Vielfach liegen jedoch die Ursachen für eine Fehlfunktion eines Chips in einem der Einhäusung des Chips vorhergehenden Fertigungsschritt begründet, so daß unnötigerweise fehlerhafte Chips, die bereits vor der Einhäusung Ausschuß darstellen, gehäust werden. Hierdurch werden die ohnehin mit dem Ausschuß verbundenen Kosten noch weiter erhöht.

Auch in der sogenannten "Flip-Chip-Technologie", bei der Chips mittels auf den Chip-Anschlußflächen aufgebrachten, erhöhten Kontaktmetallisierungen unmittelbar mit einem Substrat verbunden werden, erfolgt eine Qualitätskontrolle der Chips oder auch kompletter Wafer, die im Flip-Chip-Verfahren appliziert werden, erst nach der Verbindungsherstellung. Die Verarbeitung von Chips oder kompletten Wafern im Flip-Chip-Verfahren führt insgesamt zu komplexen Strukturen, die eine vollständige Testbarkeit einzelner Chips oder kompletter Wafer unter definierten Testbedingungen, wie sie zum Beispiel für einen Burn-In-Test vorgeschrieben sind, mit den bekannten Testverfahren nicht ohne Risiko für die gesamte Struktur zulassen.

Zwar ist es bekannt, einzelne Chips oder auch komplette Wafer vor Durchführung einer nachfolgenden Verbindungstechnik mit entsprechenden Testvorrichtungen zu überprüfen, jedoch ist eine derartige Qualitätskontrolle immer nur mit besonderem Aufwand durchführbar, der zur Durchführung der an sich schon komplexen Verbindungstechnik noch hinzukommt.

Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren bzw. eine Vorrichtung vorzuschlagen, mit dem bzw. der es bereits vor dem Herstellungsstadium des Einhäusens eines Chips bzw. vor Durchführung der Verbindungstechnik möglich ist, auf kostengünstige Art und Weise eine Qualitätsprüfung durchzuführen.

Diese Aufgabe wird durch ein Verfahren mit den Merkmalen des Anspruchs 1 bzw. eine Vorrichtung mit den Merkmalen des Anspruchs 11 bzw. 19 gelöst.

Bei dem erfindungsgemäßen Verfahren erfolgt mittels eines Lotdepotträgers, der mit einer strukturierten, elektrisch leitfähigen Beschichtung mit Anschlußflächen zur Anordnung von Lotdepots und deren Übertragung auf entsprechend angeordnete Anschlußflächen eines Substrats versehen ist, während der Übertragung der Lotdepots eine elektrische Überprüfung der Leiterbahnstruktur des Substrats.

Somit kann das Substrat, das etwa als eine Leiterplatte mit

einer mehr oder weniger komplexen Leiterbahnstruktur oder als ein Chip ausgebildet sein kann, durch eine individuelle Kontaktierung seiner Anschlußflächen über den Lotdepotträger auf seine Funktionsfähigkeit hin überprüft werden.

Hierdurch wird deutlich, daß die elektrische Überprüfung der Leiterbahnstruktur des Substrats während dessen Herstellungsverfahrens mit keinem zusätzlichen Verfahrensschritt verbunden ist. Vielmehr wird durch das erfindungsgemäße Verfahren quasi eine inhärente Qualitätsprüfung während eines ohnehin notwendigen Herstellungsschritts ermöglicht. Zudem findet die elektrische Überprüfung der Leiterbahnstruktur des Substrats vor dessen Fertigstellung durch eine abschließende Einhäusung bzw. vor Herstellung einer endgültigen Kontaktierung im Flip-Chip-Verfahren statt, so daß die Weiterverarbeitung von Substraten mit fehlerhaften Leiterbahnstrukturen vermieden wird.

Wenn vor Anordnung der Lotdepots auf der strukturierten, elektrisch leitfähigen Beschichtung eine Übertragungsmaske mit die Anschlußflächen freigebenden Maskenöffnungen auf die Beschichtung aufgebracht wird, lassen sich auch andere Verfahren als eine Applikation von stückigem Lotmaterial zur Ausbildung der Lotdepots auf dem Lotdepotträger verwenden. Neben einer chemischen Abscheidung von Lotmaterial zur Ausbildung der Lotdepots in den Maskenöffnungen eignet sich in besonderer Weise, wegen der ohnehin zur Durchführung des Tests notwendigen elektrisch leitfähigen Beschichtung eine galvanische Abscheidung von Lotmaterial zur Ausbildung der Lotdepots auf den Anschlußflächen. Dabei wird die Form der Lotdepots im wesentlichen durch die Ausgestaltung der Maskenöffnungen bestimmt. Darüber hinaus ist es auch möglich, das Lotmaterial in Form von Lotpaste aufzubringen.

Eine besonders sichere Kontaktierung zwischen dem als Prüfkontaktanordnung dienenden Lotdepotträger und den Anschlußflächen des Substrats ergibt sich, wenn nach Herstellung eines Berührungskontakts zwischen den Lotdepots des Lotdepotträgers und den Anschlußflächen des Substrats ein zumindest partielles Aufschmelzen der Lotdepots zur Herstellung einer Lotverbindung

zwischen dem Lotdepotträger und dem Substrat erfolgt. Diese Lotverbindung kann durch eine Benetzung der Anschlußflächen des Substrats, also quasi durch einen anschmiegenden Formschluß zwischen den Lotdepots und den Anschlußflächen oder bedingt durch eine nachfolgende Erstarrung der Lotdepots als stoffschlüssige Verbindung zwischen den Lotdepots und den Anschlußflächen bewirkt werden. In jedem Fall sichert die Lotverbindung während der elektrischen Überprüfung der Leiterbahnstruktur des Substrats einen guten Kontakt mit geringstmöglichem Kontaktwiderstand.

Wenn bei einem partiellen Aufschmelzen der Lotdepots zunächst ein Aufschmelzen eines benachbart der Anschlußfläche des Substrats angeordneten Kontaktteils und anschließend ein Aufschmelzen eines an den Kontaktteil angrenzenden Basisteils erfolgt, besteht die Möglichkeit, das zur Übertragung der Lotdepots notwendige Aufschmelzen in zwei Phasen, nämlich einer Kontaktschmelzung und einer Übertragungsschmelzung, die durch unterschiedliche Temperaturen gekennzeichnet sind, durchzuführen, um somit unabhängig von der Lotmaterialzusammensetzung des Basisteils eine hinsichtlich ihres Schmelzpunkts auf die zur Durchführung des Tests vorgegebene Testtemperatur ausgelegte Lotmaterialzusammensetzung des Kontaktteils wählen zu können.

Der vorstehenden Vorgehensweise liegt der Gedanke zugrunde, die zur Durchführung des Tests besonders vorteilhafte, durch einen möglichst geringen Übergangswiderstand gekennzeichnete formschlüssige Lotverbindung unabhängig von der die elektrischen Eigenschaften des Lotdepots im wesentlichen bestimmenden Materialzusammensetzung des Basisteils festlegen zu können.

Insbesondere in energetischer Hinsicht ist es besonders vorteilhaft, wenn sich während der elektrischen Überprüfung der Leiterbahnstruktur des Substrats der Kontaktteil im schmelzflüssigen Zustand und der Basisteil im festen Zustand befinden. Die Überprüfung kann jedoch auch im festen Zustand des Kontaktteils und des Basisteils erfolgen.

Wenn bei Übertragung des insgesamt schmelzflüssigen Lotdepots

eine Mitübertragung einer auf den Anschlußflächen der elektrisch leitfähigen Beschichtung des Lotdepotträgers angeordneten Anschlußflächenmetallisierung erfolgt, wird sicher ausgeschlossen, daß Lotmaterial des Lotdepots bei der Übertragung auf den Anschlußflächen des Lotdepotträgers zurückbleiben kann und nur eine unvollständige Übertragung des Lotdepots erfolgt.

Als vorteilhaft erweist es sich auch, wenn die zum Aufschmelzen der Lotdepots benötigte Energie, zumindest anteilig über die elektrisch leitfähige Beschichtung des Lotdepotträgers in die Lotdepots eingebracht wird. Hierdurch ist es möglich, auch während des Tests der Leiterbahnstruktur eine Wärmeverteilung einzustellen, wie sie zumindest annähernd dem tatsächlichen Betriebsfall entspricht, bei dem im Bereich der Anschlußflächen Temperaturspitzen auftreten.

Weiterhin erweist es sich als vorteilhaft, wenn während des Bestehens der Verbindung zwischen dem Lotdepotträger und dem Substrat über die elektrisch leitfähige Beschichtung des Lotdepotträgers eine Temperierung des Substrats erfolgt. Hierdurch kann die ohnehin mit dem Aufschmelzen der Lotdepots verbundene Wärmebeaufschlagung des Substrats gleichzeitig zur Einstellung von Testbedingungen genutzt werden, wie sie beispielsweise bei sogenannten Burn-In-Tests, einer Kombination von Hochtemperaturumgebung und elektrischem Betrieb, vorliegen.

Wenn zur Übertragung der Lotdepots vom Lotdepotträger auf die Anschlußflächen des Substrats das Substrat mit seinen Anschlußflächen in einer Überdeckungslage mit den Lotdepots von oben auf den Lotdepotträger abgesenkt und nachfolgend zusammen mit den an den Anschlußflächen des Substrats haftenden Lotdepots nach oben abgehoben wird, läßt sich die Übertragung der Lotdepots mit gleichzeitiger Testung der Leiterbahnstruktur des Substrats während einer üblichen Flip-Chip-Handhabung des Substrats durchführen. Ein besonderer Vorteil dieser Handhabung des Substrats liegt darin, daß nachfolgend eine Flip-Chip-Kontaktierung des Substrats zur Anordnung auf einem weiteren Substrat erfolgen kann, ohne daß die Handhabungseinrich-

tung gewechselt werden müßte. Somit ist beispielsweise eine kontinuierliche Weiterverarbeitung der gemäß dem erfindungsgemäßen Verfahren überprüften Chips zum Aufbau eines Multi-Chip-Moduls leicht möglich. Darüber hinaus können das Substrat und der Lotdepotträger bei der Übertragung auch umgekehrt angeordnet sein.

Wenn das zumindest partielle Aufschmelzen der Lotdepots und/oder deren Übertragung vom Lotdepotträger auf das Substrat in einem gasförmigen oder flüssigen reduzierenden oder inerten Medium erfolgt, läßt sich sicherstellen, daß die Lotdepots von schädlichen Umgebungseinflüssen während des Aufschmelzens und Übertragens der Lotdepots weitestgehend abgeschirmt werden. Das dabei verwendete Medium kann aus einem Schutzgas oder auch einem flüssigen Medium bestehen. Als flüssiges Medium eignen sich besonders Polyalkohole, wie Glycerin, Tetraethylenglykol und Polyethylenglykol, und Stearine.

Aus der US-PS 5,217,597 ist eine Vorrichtung zur Übertragung von Lotdepots auf Anschlußflächen eines mit einer Leiterbahnstruktur versehenen Substrats bekannt, wobei ein Lotdepotträger eine Trägerschicht mit einer elektrisch leitfähigen Beschichtung mit Anschlußflächen zur Anordnung von Lotdepots und deren Übertragung auf entsprechend angeordnete Anschlußflächen des Substrats aufweist. Bei der erfindungsgemäßen Vorrichtung weist die elektrisch leitfähige Beschichtung des Lotdepotträgers eine Leiterbahnstruktur auf.

Somit ermöglicht der zur Übertragung von Lotdepots auf Anschlußflächen eines Substrats verwendete Lotdepotträger erfindungsgemäß eine gleichzeitige elektrische Überprüfung der Leiterbahnstruktur durch eine individuelle Kontaktierung der Anschlüsse des Substrats.

Wenn die Anschlußflächen zur Anordnung der Lotdepots durch Maskenöffnungen einer auf der Beschichtung angeordneten Übertragungsmaske definiert sind, lassen sich nicht nur Verfahren zur Applikation der Lotdepots in im wesentlichen fester Form, sondern auch Verfahren zur Applikation der Lotdepots mittels chemischer oder galvanischer Abscheidung einsetzen, bei denen

also das Lotmaterial nicht in fester, sondern in fluider Form vorliegt.

Wenn die Anschlußflächen des Lotdepotträgers eine kleinere Benetzungsfläche als die Anschlußflächen des Substrats aufweisen, ist ein Aufschmelzen und eine nachfolgende Übergabe der aufgeschmolzenen Lotdepots aufgrund der größeren Haftkräfte zwischen den aufgeschmolzenen Lotdepots und den Anschlußflächen des Substrats durch einfaches Abheben des Substrats vom Lotdepotträger möglich, ohne daß die Anschlußflächen des Lotdepotträgers eine benetzungsunfähige Anschlußflächenmetallisierung aufweisen müßten. Hierdurch wird eine Ausbildung der elektrisch leitfähigen Beschichtung des Lotdepotträgers als einfache, strukturierte Metallisierung möglich.

Wenn die Anschlußflächen des Lotdepotträgers mit einer benetzungshemmenden oder benetzungsunfähigen Anschlußflächenmetallisierung versehen sind, ist es möglich, die Anschlußflächen des Lotdepotträgers in ihrer Flächengröße übereinstimmend mit den Anschlußflächen des Substrats auszubilden.

Zur Ausbildung einer benetzungsunfähigen oder nichtbenetzbaren Anschlußflächenmetallisierung hat es sich als vorteilhaft herausgestellt, wenn diese eine Wolfram/Titan-Legierung oder eine Legierung aus Wolfram und einem Titanoxid aufweist.

Abgesehen von den vorgenannten Zweistoff-Legierungen können auch Mehrstoff-Legierungen zur Ausbildung einer benetzungsunfähigen oder nichtbenetzbaren Anschlußflächenmetallisierung verwendet werden. Je nach Lotmaterialauswahl für die Lotdepots eignen sich auch besonders gut Einstoff-Metallisierungen, wie Wolfram, Titan, Chrom, Tantal oder Molybdän oder auch deren Oxide.

Grundsätzlich weist eine nichtbenetzbare Anschlußflächenmetallisierung den Vorteil auf, daß eine Haftung zwischen der Anschlußflächenmetallisierung und dem Lotdepot nur im festen, erstarrten Zustand des Lotdepotmaterials möglich ist. Während des Aufschmelzens des Lotdepots findet eine Entnetzung und Ablösung des Lotdepotmaterials von der nichtbenetzbar ausgebil-

deten Anschlußflächenmetallisierung statt, so daß keine weitere Haftung mehr erfolgt und eine einfache, im wesentlichen rückstandsfreie Übertragung des Lotmaterials vom Lotdepotträger auf das Substrat erfolgen kann, ohne daß hierzu besondere Trennkräfte notwendig wären.

Eine weitere Möglichkeit, eine im wesentlichen rückstandsfreie Übertragung des Lotmaterials vom Lotdepotträger auf das Substrat zu ermöglichen, besteht darin, die Anschlußflächen des Lotdepotträgers mit einer benetzbaren, im Lotmaterial des Lotdepots löslichen Anschlußflächenmetallisierung zu versehen. Bei einer derartigen Auswahl des Materials für die Anschlußflächenmetallisierung erfolgt nämlich eine Mitübertragung der Anschlußflächenmetallisierung zusammen mit dem Lotmaterial des Lotdepots. Als besonders vorteilhaft erweist es sich in diesem Zusammenhang, wenn bei einer benetzbar ausgebildeten Anschlußflächenmetallisierung die darunterliegend angeordnete, elektrisch leitfähige Beschichtung nichtbenetzbar ausgebildet ist, um zu erreichen, daß bei der Mitübertragung der Anschlußflächenmetallisierung die strukturierte, elektrisch leitfähige Beschichtung des Lotdepotträgers im wesentlichen unversehrt erhalten bleibt, so daß die erneute Verwendung des Lotdepotträgers sichergestellt ist.

Als vorteilhaft für die Ausbildung einer benetzbaren Anschlußflächenmetallisierung hat es sich herausgestellt, wenn diese eine Gold- oder eine Palladiumlegierung aufweist.

Um das vorstehend bei der Übertragung der Lotdepots vom Lotdepotträger auf das Substrat als vorteilhaft beschriebene partielle Aufschmelzen zu ermöglichen, hat sich die Verwendung eines Lotdepots mit den Merkmalen des Anspruchs 17 als besonders vorteilhaft erwiesen. Aber auch unabhängig von der Übertragung von Lotdepots ausgehend von einem Lotdepotträger auf ein Substrat hat sich das Lotdepot mit den Merkmalen des Anspruchs 17 als vorteilhaft bei der Prüfung von elektronischen Bauteilen oder Bauelementen herausgestellt.

Die Ausbildung eines Lotdepots mit einem Kontaktteil und einem Basisteil, wobei die Schmelztemperatur des Kontaktteils klei-

ner ist als die Schmelztemperatur des Basisteils, ermöglicht nämlich eine besonders widerstandsarme Kontaktierung zu Prüfzwecken, wie beispielsweise einen "Burn-In-Test", ohne daß hierzu ein Aufschmelzen des gesamten Lotdepots mit der entsprechend hohen Temperaturbelastung des Substrats erforderlich ist. Der Lotdepotträger übernimmt dabei die Funktion einer Prüfplatine oder eines Prüfsubstrats, und bei den Lotdepots kann es sich um die bereits auf den Anschlußflächen eines Substrats applizierten, mit dem Fachwort "Bumps" bezeichneten, erhöhten Kontaktmetallisierungen handeln.

Als besonders vorteilhaft erweist es sich, wenn die Schmelztemperatur des Kontaktteils im wesentlichen gleich der für eine elektrische Überprüfung der Leiterbahnstruktur des Substrats vorgegebenen Prüftemperatur ist, da somit im wesentlichen nur soviel Energie zum Aufschmelzen des Kontaktteils aufgebracht werden muß, wie zur Erreichung der Prüftemperatur notwendig ist.

Wenn der Basisteil und der Kontaktteil dieselben Legierungskomponenten aufweisen und der Kontaktteil abweichend vom Basisteil eine eutektische Zusammensetzung aufweist, sind die vorstehend erläuterten Vorteile des Lotdepots aus einem Basisteil und einem Kontaktteil mit insgesamt nur zwei Legierungskomponenten bei einer möglichst niedrigen Schmelztemperatur des Kontaktteils möglich.

Nachfolgend wird das erfindungsgemäße Verfahren bzw. die erfindungsgemäße Vorrichtung anhand in den Zeichnungen dargestellter Ausführungsbeispiele näher erläutert. Es zeigen:

Fig. 1 eine Schnittdarstellung eines Lotdepotträgers;

Fig. 2 eine perspektivische Darstellung des in **Fig. 1** gezeigten Lotdepotträgers;

Fig. 3 eine strukturierte Metallisierung des Lotdepotträgers;

Fig. 4 eine Schnittdarstellung des Lotdepotträgers entsprechend der Darstellung in **Fig. 1** mit auf Anschlußflä-

chen des Lotdepotträgers angeordneten Lotdepots;

Fig. 5 einen in Überdeckungslage oberhalb des in **Fig. 4** dargestellten Lotdepotträgers angeordneten Chip zur nachfolgenden Übertragung der Lotdepots auf die Anschlußflächen des Chips im Flip-Chip-Verfahren;

Fig. 6 den in **Fig. 5** dargestellten, mit seinen Anschlußflächen auf die aufgeschmolzenen Lotdepots abgesenkten Chip zur Ausbildung einer Übertragungs-/Testkonfiguration;

Fig. 7 den in **Fig. 6** dargestellten, zusammen mit den Lotdepots vom Lotdepotträger abgenommenen Chip;

Fig. 8 eine Schnittdarstellung eines weiteren Lotdepotträgers mit auf Anschlußflächen des Lotdepotträgers angeordneten Lotdepots mit einem Basisteil und einem Kontaktteil;

Fig. 9 einen in Überdeckungslage oberhalb des in **Fig. 8** dargestellten Lotdepotträgers angeordneten Chip zur nachfolgenden Übertragung der Lotdepots auf die Anschlußflächen des Chips im Flip-Chip-Verfahren;

Fig. 10 den in **Fig. 9** dargestellten, mit seinen Anschlußflächen auf den aufgeschmolzenen Kontaktteil der Lotdepots abgesenkten Chip zur Ausbildung einer Testkonfiguration;

Fig. 11 die in **Fig. 10** dargestellte Chip/Lotdepotträger-Konfiguration, wobei neben dem Kontaktteil der Lotdepots auch der Basisteil der Lotdepots zur Ausbildung einer Übertragungskonfiguration aufgeschmolzen ist;

Fig. 12 den in **Fig. 11** dargestellten, zusammen mit den Lotdepots und den Anschlußflächenmetallisierungen vom Lotdepotträger abgenommenen Chip.

Fig. 1 zeigt einen Lotdepotträger 10 mit einer Trägerschicht 11 und einer auf der Trägerschicht 11 aufgebrachten elektrisch

leitfähigen Beschichtung, die hier als eine strukturierte Metallisierung in Form einer Leiterbahnstruktur 12 ausgebildet ist. Auf der Leiterbahnstruktur 12 befindet sich eine fotosensitive Polymerschicht 13, die über ein an sich bekanntes, fotolithographisches Verfahren in der dargestellten Art und Weise zur Ausbildung einer Übertragungsmaske 14 strukturiert ist und Maskenöffnungen 15 aufweist.

Fig. 2 zeigt die Übertragungsmaske 14 mit den Maskenöffnungen 15 in einer Draufsicht. Neben den mit durchgezogenen Linien parallel zum Umfang des Lotdepotträgers 10 angeordneten Maskenöffnungen 15, die in ihrer Anordnung einer konventionellen Input-/Output-Anschlußflächenanordnung eines Chips entsprechen, sind bei dem in **Fig. 2** dargestellten Ausführungsbeispiel gleichmäßig über den Innenbereich der Polymerschicht 13 verteilt weitere mit gestricheltem Linienverlauf dargestellte Maskenöffnungen 15 eingezeichnet, die verdeutlichen sollen, daß der Lotdepotträger 10 ebensogut mit einer Übertragungsmaske 14 versehen werden kann, die hinsichtlich ihrer Anordnung von Maskenöffnungen 15 einem sogenannten "Ball-Grid-Array" entspricht.

Für die Input-/Output-Anschlußflächenanordnung der Maskenöffnungen 15 ist in **Fig. 3** die Leiterbahnstruktur 12 dargestellt. Wie aus einem Vergleich der **Fig. 2** und **3** deutlich wird, befinden sich dabei an den Enden einzelner Leiterbahnen 16 der Leiterbahnstruktur 12 angeordnete Anschlußflächen 17 unterhalb der zugeordneten Maskenöffnungen 15, so daß über die Übertragungsmaske 14 eine äußere Kontaktierung der Anschlußflächen 17 möglich ist.

Fig. 4 zeigt den Lotdepotträger 10 mit auf den Maskenöffnungen 15 angeordneten Lotdepots 19. Die Anordnung der Lotdepots 19 auf den Maskenöffnungen 15 kann über eine galvanische Lotabscheidung erfolgen, bei der die Leiterbahnen 16 der Leiterbahnstruktur 12 miteinander kurzgeschlossen werden und somit die Leiterbahnstruktur 12 insgesamt als Elektrode dient, auf deren durch die Übertragungsmaske 14 freigegebenen Anschlußflächen 17 die Abscheidung von Lotmaterial in Form der Lotde-

pots 19 erfolgt. Dabei wird eine Ablagerung von Lotmaterial auf den übrigen Bereichen der Übertragungsmaske 14 durch deren Ausbildung als benetzungsunfähige, nicht leitende Polymerschicht 13, etwa aus Polyimid oder BCB, verhindert. Eine benetzungsunfähige, nicht leitende Oberfläche der Übertragungsmaske 14 läßt sich auch durch Verwendung einer Oxid- oder Nitridschicht erzielen.

Bei entsprechender Ausbildung der Übertragungsmaske, insbesondere bei größerer Dimensionierung der Maskenöffnungen 15 ist es auch möglich, statt einer, wie vorstehend geschildert, galvanischen Abscheidung von Lotmaterial zur Ausbildung von Lotdepots 19, die Lotdepots in fester Form in den Maskenöffnungen 15 zu plazieren.

Unabhängig von der Art und Weise der Anordnung bzw. Ausbildung der Lotdepots 19 auf den Anschlußflächen 17 der Leiterbahnstruktur 12 wird, wie in **Fig. 5** dargestellt, nachfolgend ein hier als Chip 21 ausgebildetes Substrat mit seinen Anschlußflächen bildenden, erhöhten Kontaktmetallisierungen, die nachfolgend fachsprachlich als Bumps 22 bezeichnet werden, in Überdeckung mit den Lotdepots 19 des Lotdepotträgers 10 gebracht und zur Ausbildung eines Berührungskontakts zwischen den Bumps 22 und den Lotdepots 19 auf diese abgesenkt.

Danach erfolgt, wie in **Fig. 6** dargestellt, ein Aufschmelzen der Lotdepots 19, so daß sich die in **Fig. 6** dargestellte Benetzung der Bumps 22 durch die aufgeschmolzenen Lotdepots 19 ergibt. Um sicherzustellen, daß sich infolge des Aufschmelzens der Lotdepots 19 und der damit verbundenen Erwärmung des Lotdepotträgers 10 und des Chips 21 keine Abweichungen von der in **Fig. 6** dargestellten Überdeckungslage zwischen den Bumps 22 und den Lotdepots 19 ergeben, sollten sowohl die Trägerschicht 11 des Lotdepotträgers 10 als auch das Material des Chips 21 einen im wesentlichen übereinstimmenden Ausdehnungskoeffizienten aufweisen. Geringfügige Abweichungen zwischen den Ausdehnungskoeffizienten können durch mögliche Verlagerungen der aufgeschmolzenen Lotdepots 19 ausgeglichen werden. Bei dem hier dargestellten Ausführungsbeispiel wird für die Träger-

schicht 11 des Lotdepotträgers 10 übereinstimmend mit dem Material des Chips 21 Silizium gewählt.

Aufgrund einer gegenüber einer Benetzungsfläche 23 der Bumps 22 um ein mehrfaches kleineren Benetzungsfläche 24 der Maskenöffnungen 15 bildet sich die in **Fig. 6** dargestellte Form der aufgeschmolzenen Lotdepots 19 aus, die es, wie in **Fig. 7** dargestellt, ermöglicht, den Chip 21 bei fortwährender Benetzung der Bumps 22 durch die Lotdepots 19 zusammen mit diesen vom Lotdepotträger 10 abzuheben. Dabei verbleiben, wie in **Fig. 7** schematisch dargestellt, lediglich geringe Anteile von Lotmaterial auf der Übertragungsmaske 14, die bei wiederholter Verwendung der Übertragungsmaske 14 zur Übertragung von Lotdepots 19 auf einem weiteren Chip 21 leicht, etwa auf naßchemischem Wege, entfernt werden können.

Aufgrund der in **Fig. 3** dargestellten, strukturierten Metallisierung zur Ausbildung der Leiterbahnstruktur 12 mit elektrisch voneinander unabhängigen Leiterbahnen 16 ist es möglich, während des in **Fig. 6** dargestellten Kontakts zwischen dem Chip 21 und dem Lotdepotträger 10 zur nachfolgenden Übertragung der Lotdepots 19 auf die Bumps 22 des Chips 21 über die Lotdepots 19 eine elektrische Überprüfung der hier nicht näher dargestellten Leiterbahnstruktur des Chips 21 durchzuführen. Dazu kann die Leiterbahnstruktur des Chips 21 durch gezielte Beaufschlagung von auf der Rückseite des Lotdepotträgers 10 angeordneten Prüfkontakten 20, die über Durchkontaktierungen 18 (**Fig. 3**) mit den Leiterbahnen 16 verbunden sind, mit einer Prüfspannung getestet werden.

Zur Herstellung einer festen Verbindung zwischen den Anschlußflächen 17 des Lotdepotträgers 10 und den Bumps 22 erfolgt eine Abkühlung der aufgeschmolzenen Lotdepots 19. Im Falle der Verwendung einer eutektischen Blei/Zinn-Legierung für das Lotmaterial der Lotdepots 19 und mit Gold beschichteter, naßchemisch erzeugter Bumps 22 aus Nickel des Chips 21 muß hierzu die Temperatur der Lotdepots nach dem Aufschmelzen auf unter 180° C abgesenkt werden.

Nach Durchführung der elektrischen Überprüfung der Leiterbahn-

struktur des Chips 21 erfolgt dann wieder eine Erwärmung der Lotdepots 19 auf eine Temperatur oberhalb 180° C, um diese aufzuschmelzen und dann, wie vorstehend beschrieben, den Chip 21 zusammen mit den an den Bumps 22 haftenden Lotdepots 19 vom Lotdepotträger 10 abzuheben.

Grundsätzlich ist die vorstehend beschriebene elektrische Überprüfung der Leiterbahnstruktur des Chips 21 mittels des Lotdepotträgers 10 auch während des schmelzflüssigen Zustands der Lotdepots 19 möglich; wesentlich ist, daß während der elektrischen Überprüfung ein sicherer Kontakt zwischen den Bumps 22 des Chips 21 und den Anschlußflächen 17 des Lotdepotträgers 10 besteht. Dies ist auch dann der Fall, wenn eine entsprechende Benetzung der Anschlußflächen 17 bzw. der Bumps 22 gegeben ist. Um jedoch beispielsweise einen hinsichtlich seiner Randbedingungen definierten Burn-In-Test durchführen zu können, etwa bei einer Temperatur von 150° C über eine Zeit von 125 Stunden, müssen die Lotdepots 19 bei dem hier beispielhaft verwendeten Lotmaterial aus einer Blei/Zinn-Legierung in den festen Zustand überführt werden.

Bei dem anhand der vorstehend erläuterten Figuren beschriebenen Ausführungsbeispiel wird die Übertragung der Lotdepots 19 vom Lotdepotträger 10 auf den Chip 21 im wesentlichen durch die unterschiedlich groß gestalteten Benetzungsflächen 23, 24 der Anschlußflächen 17 des Lotdepotträgers 10 bzw. der Bumps 22 des Chips 21 ermöglicht. Die sich daraus ergebenden unterschiedlich großen Haftkräfte zwischen den aufgeschmolzenen Lotdepots 19 und den Anschlußflächen 17 bzw. den Bumps 22 lassen sich jedoch auch auf anderem Wege erreichen. So ist es beispielsweise möglich, unabhängig von Größenunterschieden zwischen den Benetzungsflächen 23 und 24 die notwendigen unterschiedlich großen Haftkräfte dadurch zu erzeugen, daß auf die Anschlußflächen 17 des Lotdepotträgers eine benetzungshemmende oder benetzungsunfähige Sperrschicht aufgebracht wird.

Fig. 8 zeigt in Abwandlung von dem in **Fig. 4** dargestellten Lotdepotträger 10 einen Lotdepotträger 25, der bei dem hier dargestellten Ausführungsbeispiel über keine Übertragungsmaske

verfügt. Ansonsten weist der Lotdepotträger 25 dieselben, mit identischen Bezugszeichen versehenen Elemente auf wie der Lotdepotträger 10.

Die Anschlußflächen 17 des Lotdepotträgers 25 sind mit einer Anschlußflächenmetallisierung 26 versehen, wohingegen die übrige Oberfläche der Leiterbahnstruktur 12 mit einer Passivierung 27 abgedeckt ist. Auf die Anschlußflächenmetallisierung 26 aufgebracht befinden sich Lotdepots 28, die jeweils aus einem an die Anschlußflächenmetallisierung 26 unmittelbar angrenzenden Basisteil 29 und einem auf den Basisteil 29 aufgebrachten Kontaktteil 30 bestehen.

Bei dem hier dargestellten Ausführungsbeispiel sind die Lotdepots 28 stückig durch Preßschweißung auf die im Vergleich zu den Lotdepots 28, insbesondere zu dem Basisteil 29 der Lotdepots 28 dünnen Anschlußflächenmetallisierungen 26 aufgebracht. Dabei werden die Lotdepots 28 in zwei Phasen aufgebaut, wobei zunächst eine Verbindung des Basisteils 29 mit der Anschlußflächenmetallisierung 26 und anschließend ein "Aufstocken" des Basisteils 29 um den Kontaktteil 30 zur Ausbildung des vollständigen Lotdepots 28 erfolgt. Derartige mehrlagig aufgebaute Lotdepots können auch abweichend von der vorstehend beschriebenen Art und Weise hergestellt werden, beispielsweise durch schichtweises Abscheiden von Lotmaterialien. Bei dem Aufbau der Lotdepots aus fluiden Materialien erweist sich dann wieder die Verwendung einer ihrer Art nach in **Fig. 4** dargestellten Übertragungsmaske als vorteilhaft.

Bei den in **Fig. 8** dargestellten Lotdepots 28 besteht sowohl der Basisteil 29 als auch der Kontaktteil 30 aus einer Blei/Zinn-Legierung, wobei für den Basisteil 29 eine hoch bleihaltige Legierung, beispielsweise PbSn 90/10 oder PbSn 95/5 und für den Kontaktteil 30 eine eutektische Blei/Zinn-Legierung gewählt ist.

Entsprechend der Darstellung gemäß **Fig. 5** wird, wie **Fig. 9** zeigt, zur Herstellung einer Test- bzw. Übertragungskonfiguration der Chip 21 mit seinen Bumps 22 in Überdeckung mit den Lotdepots 28 des Lotdepotträgers 25 gebracht und zur Ausbil-

dung eines Berührungskontakts zwischen den Bumps 22 und den Lotdepots 28 auf diese abgesenkt.

Danach erfolgt, wie in **Fig. 10** dargestellt, ein Aufschmelzen des Kontaktteils 30 der Lotdepots 28, wodurch sich eine entsprechende Benetzung der benetzbaren Bumps 22 des Chips 21, verbunden mit der Ausbildung eines entsprechend guten elektrischen Kontakts ergibt.

In der in **Fig. 10** dargestellten reinen Testkonfiguration befindet sich der Basisteil 29 der Lotdepots 28 nach wie vor im erstarrten Zustand. Durch den aufgeschmolzenen Kontaktteil 30 wird ein formschlüssiger Brückenkontakt zwischen dem Lotdepotträger 25 und dem Chip 21 geschaffen, so daß die vorstehend im Zusammenhang mit dem Lotdepotträger 10 bereits ausführlich beschriebene elektrische Überprüfung der Leiterbahnstruktur des Chips 21 erfolgen kann.

Die Aufschmelztemperatur des Kontaktteils 30 beträgt bei Verwendung einer eutektischen Blei/Zinn-Legierung für den Kontaktteil 30 etwa 180° C und liegt somit im Bereich einer bei einem Burn-In-Test üblichen Prüftemperatur. Demgegenüber beträgt die Schmelztemperatur des hoch bleihaltigen Basisteils über 200° C. Bei ganzheitlicher Ausbildung des Lotdepots aus einer hoch bleihaltigen Legierung wäre somit eine wesentlich höhere Temperatur erforderlich, um ein Aufschmelzen des Lotdepots zu bewirken und den damit beabsichtigten, formschlüssigen Kontakt zwischen den Lotdepots und den Bumps des Chips für eine elektrische Überprüfung herzustellen.

Erst wenn durch Aufschmelzen lediglich des Kontaktteils 30 der Lotdepots 28 in der in **Fig. 10** dargestellten Testkonfiguration der Chip 21 bei der elektrischen Überprüfung für gut befunden wurde, erfolgt gemäß der in **Fig. 11** dargestellten Übertragungskonfiguration eine Erhöhung der Temperatur, mit der Folge, daß nunmehr auch der höher schmelzende Basisteil 29 der Lotdepots 28 aufschmilzt.

Je nach Ausbildung der Anschlußflächenmetallisierung 26 des Lotdepotträgers 25 kann bei der nachfolgenden Übertragung oder

Übergabe der Lotdepots 28 auf die Bumps 22 des Chips 21, die hier durch Haftung der Lotdepots 28 an den benetzten Bumps 22 des Chips 21 und Ablösung der Lotdepots 28 vom Lotdepotträger 25 durch Abheben des Chips 21 bewirkt wird, unter Mitübertragung der Anschlußflächenmetallisierung 26 erfolgen.

Bei dem hier dargestellten Ausführungsbeispiel ist die Anschlußflächenmetallisierung 26 benetzbar und im Lotmaterial des Lotdepots 28 löslich ausgebildet, wohingegen das Material der Leiterbahnstruktur 12 so gewählt ist, daß diese nichtbenetzbar ist und eine Haftung zwischen der Anschlußflächenmetallisierung 26 und der Leiterbahnstruktur 12 nur im festen Zustand möglich ist. Eine derartige Ausbildung der Anschlußflächenmetallisierung 26 bzw. der Leiterbahnstruktur 12 hat zur Folge, daß, wie in **Fig. 12** dargestellt, die Anschlußflächenmetallisierung 26 beim Abheben des Chips 21 mitübertragen wird, so daß eine rückstandsfreie Gesamtübertragung der Lotdepots 28 garantiert ist.

Im Fall einer nichtbenetzbar ausgebildeten Anschlußflächenmetallisierung 26 ist ebenfalls eine rückstandsfreie Übertragung der Lotdepots 28 vom Lotdepotträger 25 auf die Bumps 22 des Chips 21 gewährleistet, da in diesem Fall zwischen den Lotdepots 28 und der Anschlußflächenmetallisierung 26 nur im festen Zustand der Lotdepots Haftkräfte ausgebildet sind, die einer Übertragung der Lotdepots entgegenwirken.

In jedem Fall kann es sich als vorteilhaft erweisen, wenn das Aufschmelzen der Lotdepots 28 in einer inerten oder reduzierenden Atmosphäre erfolgt.

PATENTANSPRÜCHE

1. Verfahren zum Testen von mit einer Leiterbahnstruktur versehenen Substraten, insbesondere Chips, dadurch g e k e n n z e i c h n e t, daß mittels eines Lotdepotträgers (10, 25), der mit einer strukturierten, elektrisch leitfähigen Beschichtung (12) mit Anschlußflächen (17) zur Anordnung von Lotdepots (19, 28) und deren Übertragung auf entsprechend angeordnete Anschlußflächen (22) eines Substrats (21) versehen ist, während der Übertragung der Lotdepots (19, 28) eine elektrische Überprüfung der Leiterbahnstruktur des Substrats (21) erfolgt.

2. Verfahren nach Anspruch 1, dadurch g e k e n n z e i c h n e t, daß vor Anordnung der Lotdepots (19) eine Übertragungsmaske (14) mit die Anschlußflächen (17) freigebenden Maskenöffnungen (15) auf die Beschichtung (12) aufgebracht wird.

3. Verfahren nach Anspruch 1 oder 2, dadurch g e k e n n z e i c h n e t, daß nach Herstellung eines Berührungskontaktes zwischen den Lotdepots (19, 28) des Lotdepotträgers (10, 25) und den Anschlußflächen (22) des Substrats (21) ein zumindest partielles Aufschmelzen der Lotdepots (19, 28) zur Herstellung einer Lotverbindung zwischen dem Lotdepotträger (10, 25) und dem Substrat (21) erfolgt.

4. Verfahren nach Anspruch 3,

dadurch g e k e n n z e i c h n e t,
daß bei einem partiellen Aufschmelzen der Lotdepots (28) zunächst ein Aufschmelzen eines benachbart der Anschlußfläche (22) des Substrats (21) angeordneten Kontaktteils (30) und anschließend ein Aufschmelzen eines an den Kontaktteil (30) angrenzenden Basisteils (29) erfolgt.

5. Verfahren nach Anspruch 4,
dadurch g e k e n n z e i c h n e t,
daß sich während der elektrischen Überprüfung der Leiterbahnstruktur (12) des Substrats (21) der Kontaktteil (30) im schmelzflüssigen Zustand und der Basisteil (29) im festen Zustand befindet.

6. Verfahren nach einem oder mehreren der vorangehenden Ansprüche,
dadurch g e k e n n z e i c h n e t,
daß bei Übertragung des insgesamt schmelzflüssigen Lotdepots (28) eine Mitübertragung einer auf den Anschlußflächen (17) der elektrisch leitfähigen Beschichtung (12) des Lotdepotträgers (25) angeordneten Anschlußflächenmetallisierung (26) erfolgt.

7. Verfahren nach Anspruch 3,
dadurch g e k e n n z e i c h n e t,
daß die zum Aufschmelzen der Lotdepots (19, 28) benötigte Energie zumindest anteilig über die elektrisch leitfähige Beschichtung (12) des Lotdepotträgers (10, 25) in die Lotdepots (19, 28) eingebracht wird.

8. Verfahren nach einem oder mehreren der vorangehenden Ansprüche,
dadurch g e k e n n z e i c h n e t,
daß während des Bestehens der Verbindung zwischen dem Lotdepotträger (10, 25) und dem Substrat (21) über die elektrisch leitfähige Beschichtung (12) des Lotdepotträgers (10, 25) eine Temperierung des Substrats (21) erfolgt.

9. Verfahren nach einem oder mehreren der vorangehenden An-

sprüche,
dadurch g e k e n n z e i c h n e t,
daß zur Übertragung der Lotdepots (19, 28) vom Lotdepotträger (10, 25) auf die Anschlußflächen (22) des Substrats (21) das Substrat (21) mit seinen Anschlußflächen (22) in einer Überdeckungslage mit den Lotdepots (19, 28) von oben auf den Lotdepotträger (10, 25) abgesenkt und nachfolgend zusammen mit den an den Anschlußflächen (22) des Substrats (21) haftenden Lotdepots (19, 28) nach oben abgehoben wird.

10. Verfahren nach einem oder mehreren der vorangehenden Ansprüche,
dadurch g e k e n n z e i c h n e t,
daß das zumindest partielle Aufschmelzen der Lotdepots und/oder deren Übertragung vom Lotdepotträger auf das Substrat in einem gasförmigen oder flüssigen reduzierenden oder inerten Medium erfolgt.

11. Lotdepotträger zur Übertragung von Lotdepots auf Anschlußflächen eines mit einer Leiterbahnstruktur versehenen Substrats, aufweisend eine Trägerschicht mit einer elektrisch leitfähigen Beschichtung mit Anschlußflächen zur Anordnung von Lotdepots und deren Übertragung auf entsprechend angeordnete Anschlußflächen des Substrats,
dadurch g e k e n n z e i c h n e t,
daß die elektrisch leitfähige Beschichtung eine Leiterbahnstruktur (12) aufweist.

12. Lotdepotträger nach Anspruch 11,
dadurch g e k e n n z e i c h n e t,
daß die Anschlußflächen (17) zur Anordnung der Lotdepots (19, 28) durch Maskenöffnungen (15) einer auf der Beschichtung (12) angeordneten Übertragungsmaske (14) definiert sind.

13. Lotdepotträger nach Anspruch 11,
dadurch g e k e n n z e i c h n e t,
daß die Anschlußflächen (17) des Lotdepotträgers (10) eine kleinere Benetzungsfläche (24) als die Anschlußflä-

chen (25) des Substrats (21) aufweisen.

14. Lotdepotträger nach einem der Ansprüche 11 bis 13, dadurch g e k e n n z e i c h n e t, daß die Anschlußflächen (17) des Lotdepotträgers (10, 25) mit einer benetzungshemmenden oder benetzungsunfähigen Anschlußflächenmetallisierung (26) versehen sind.

15. Lotdepotträger nach Anspruch 14, dadurch g e k e n n z e i c h n e t, daß die Anschlußflächenmetallisierung (26) eine Wolfram/Titan-Legierung oder eine Wolfram/Titanoxid-Legierung aufweist.

16. Lotdepotträger nach Anspruch 14, dadurch g e k e n n z e i c h n e t, daß die Anschlußflächenmetallisierung (26) aus Wolfram, Titan, Chrom, Tantal oder Molybdän oder deren Oxiden besteht.

17. Lotdepotträger nach einem der Ansprüche 11 bis 13, dadurch g e k e n n z e i c h n e t, daß die Anschlußflächen (17) des Lotdepotträgers (25) mit einer benetzbaren Anschlußflächenmetallisierung (26) auf einer vorzugsweise nichtbenetzbaren elektrisch leitfähigen Beschichtung (12) versehen sind.

18. Lotdepotträger nach Anspruch 17, dadurch g e k e n n z e i c h n e t, daß die Anschlußflächenmetallisierung (26) eine Gold-Legierung oder eine Palladium-Legierung aufweist.

19. Lotdepot zur Übertragung von Anschlußflächen eines mit einer strukturierten, elektrisch leitfähigen Beschichtung versehenen Lotdepotträgers auf Anschlußflächen eines Substrats, g e k e n n z e i c h n e t durch einen mehrteiligen Aufbau mit einem Basisteil (29) zur Anordnung auf einer Anschlußflächenmetallisierung (26) des Lotdepotträgers (25) und einem Kontaktteil (30) zur

Kontaktierung einer Anschlußflächenmetallisierung (22) des Substrats (21), wobei die Schmelztemperatur des Kontaktteils (30) kleiner ist als die Schmelztemperatur des Basisteils (29).

20. Lotdepot nach Anspruch 19,
dadurch g e k e n n z e i c h n e t,
daß die Schmelztemperatur des Kontaktteils (30) im wesentlichen gleich der für eine elektrische Überprüfung der Leitbahnstruktur (12) des Substrats (21) vorgegebenen Prüftemperatur ist.

21. Lotdepot nach Anspruch 19 oder 20,
dadurch g e k e n n z e i c h n e t,
daß der Basisteil (29) und der Kontaktteil (30) dieselben Legierungskomponenten aufweisen und der Kontaktteil abweichend vom Basisteil eine eutektische Materialzusammensetzung aufweist.

FIG 1

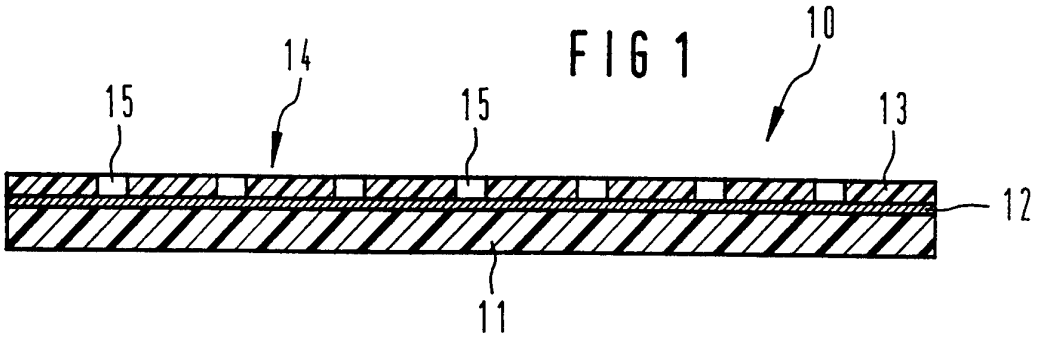


FIG 2

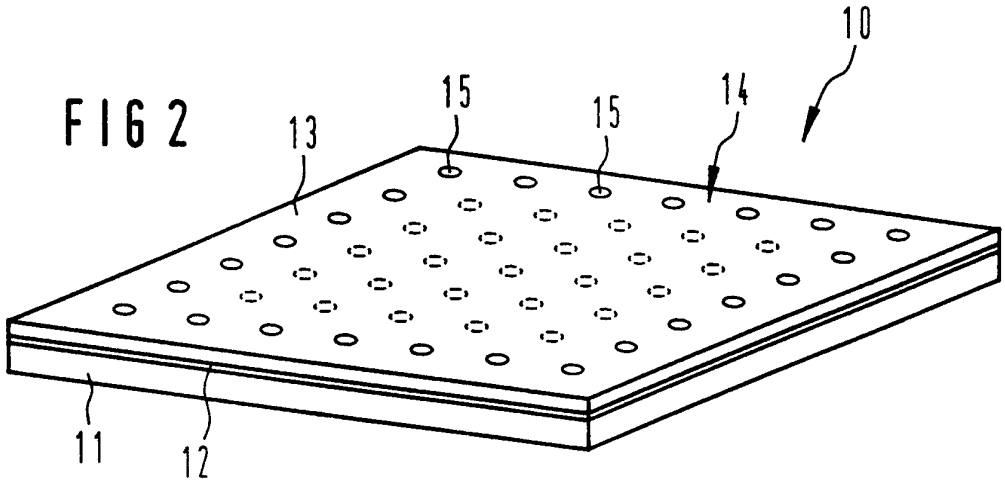


FIG 3

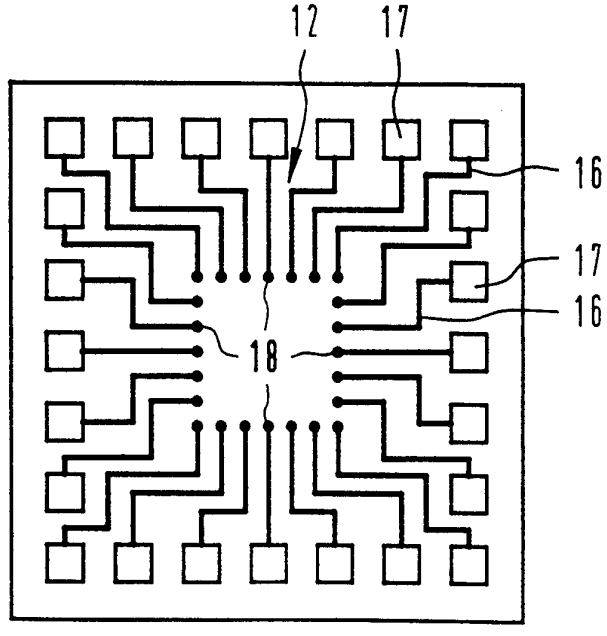


FIG 4

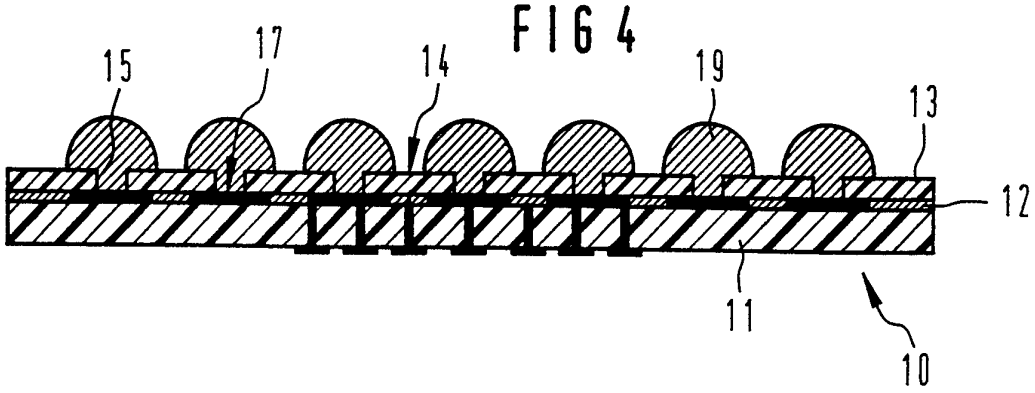


FIG 5

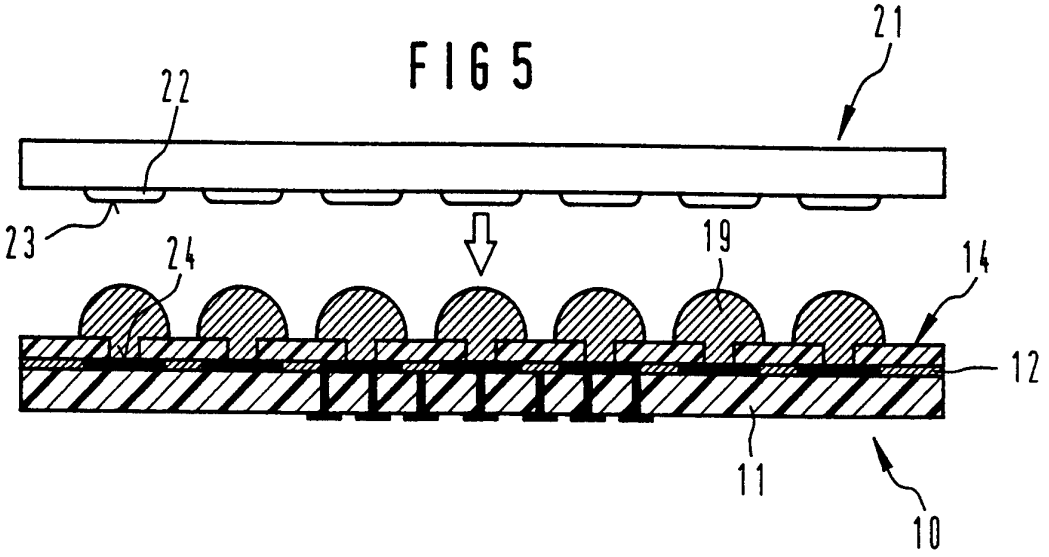


FIG 6

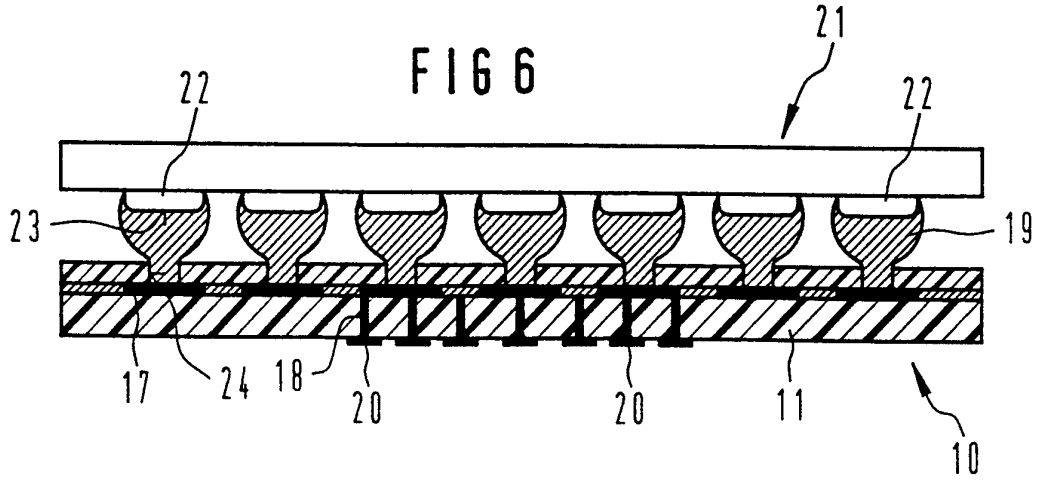


FIG 7

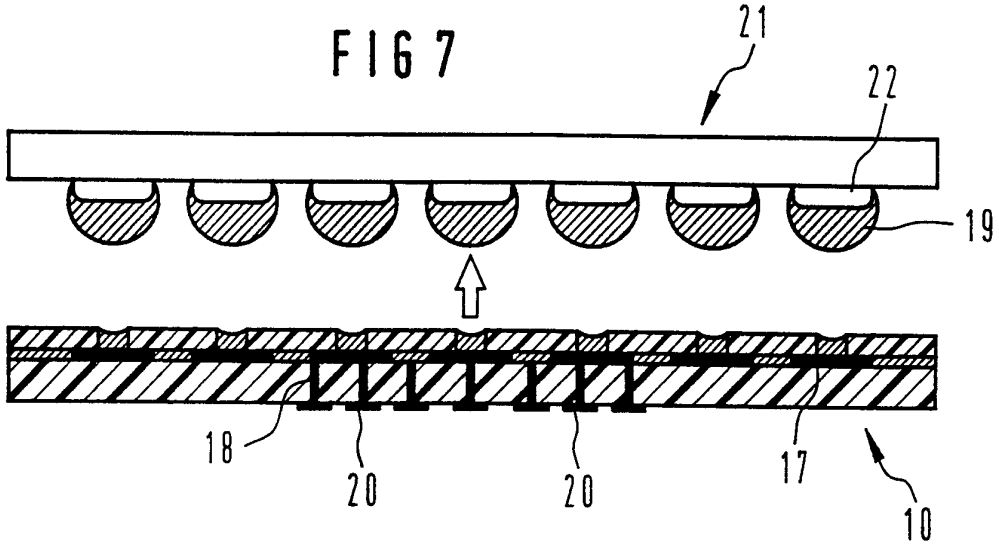


FIG 8

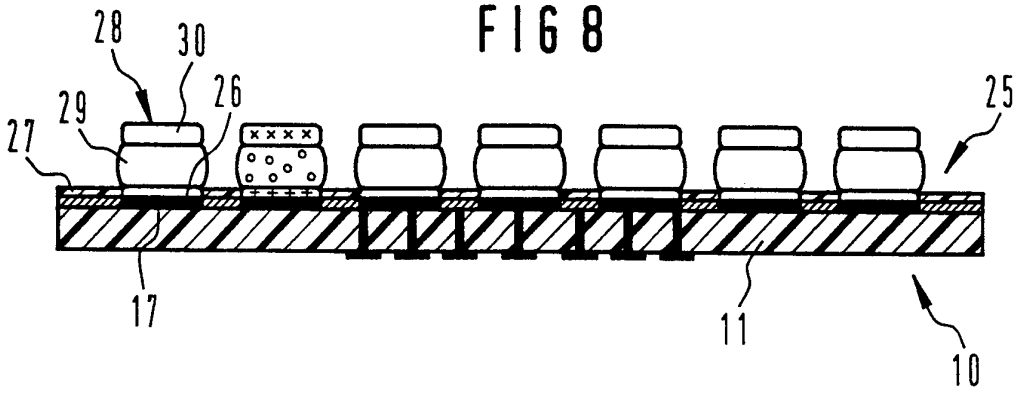


FIG 9

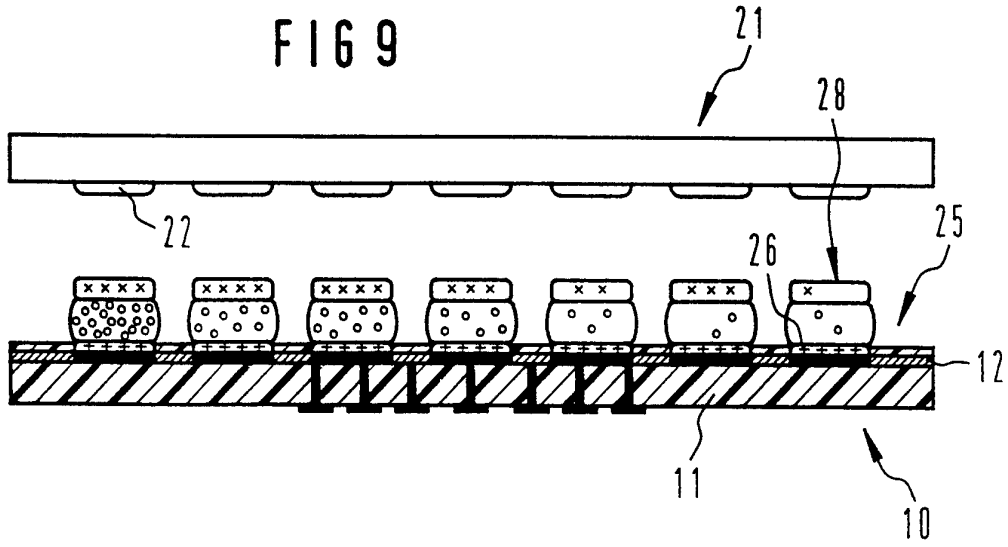


FIG 10

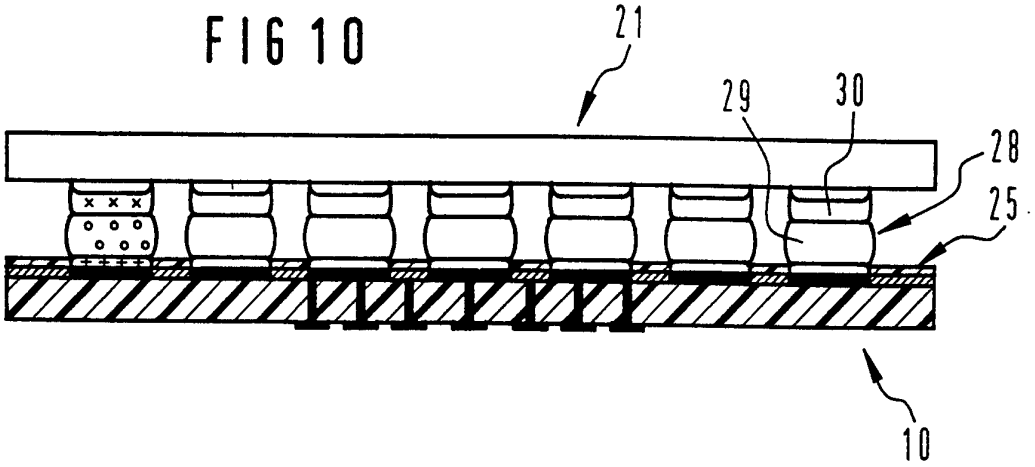


FIG 11

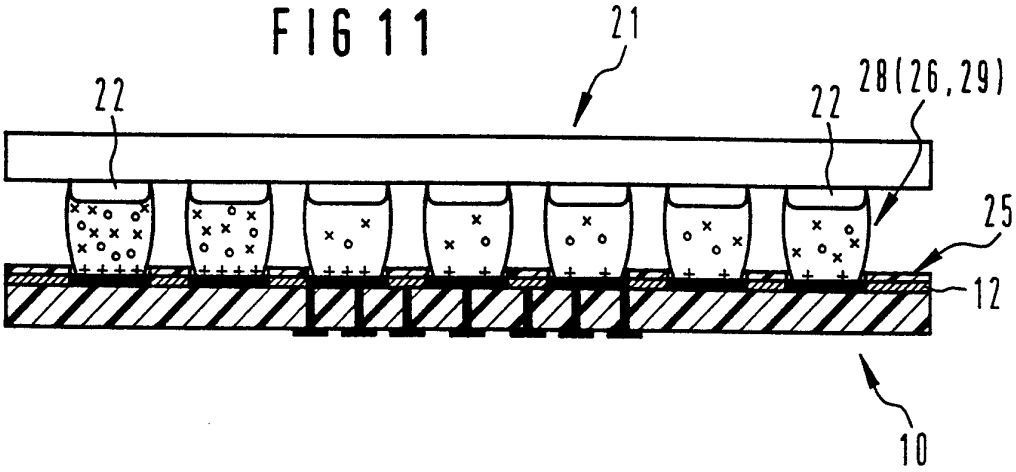
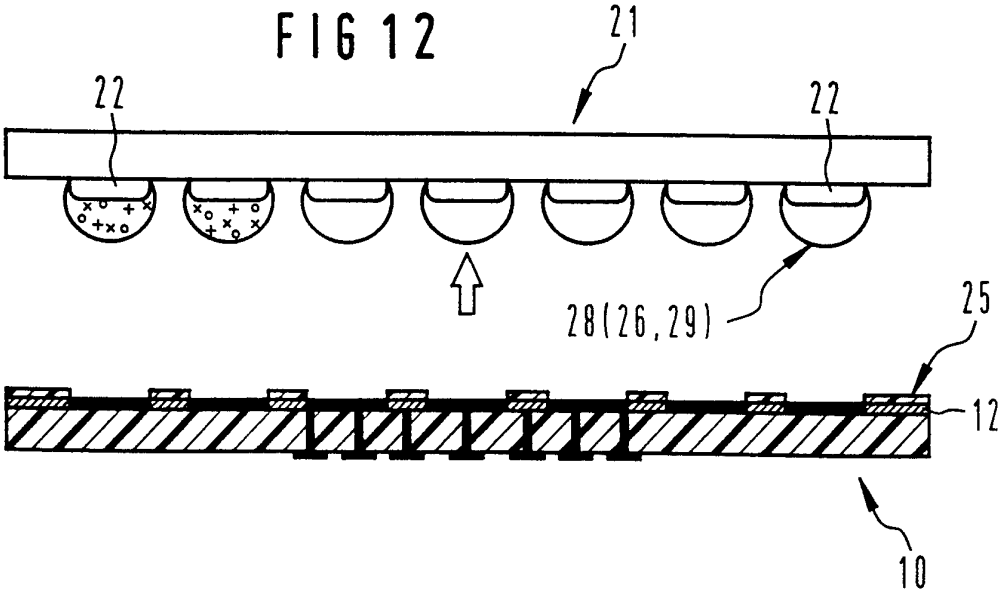


FIG 12



INTERNATIONAL SEARCH REPORT

Inter onal Application No
PCT/DE 96/01387

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01L21/66 H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US,A,5 447 264 (KOOPMAN NICHOLAS G ET AL) 5 September 1995 see column 14, line 12 - line 24; figures 8A-8D	1-3,9
Y	see column 8, line 59-65; figures 1A,1B	4,5, 11-14, 16-19,21
A		7,8,10, 15,20

Y	JP,A,06 326 111 (GOLDSTAR ELECTRON CO LTD) 25 November 1994 & US,A,5 449 108 (PARK JOON S) 12 September 1995 see column 3, line 65 - column 4, line 24; figure 6	4,5

	-/--	

[X] Further documents are listed in the continuation of box C.

[X] Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 November 1996	20. 12. 96

Name and mailing address of the ISA	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Kirkwood, J

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Inter nal Application No
PCT/DE 96/01387

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US,A,5 217 597 (MOORE KEVIN D ET AL) 8 June 1993 cited in the application see column 2, line 17 - line 29	4,5
A		14

Y	MOTOROLA TECHNICAL DEVELOPMENTS, vol. 25, 1 July 1995, pages 74-77, XP000524348 HUBACHER E: "KNOWN GOOD DIE TEST FOR C4 (OR OTHER) BUMPED DIE" see page 74, right-hand column; figure 2	4,5,19, 21

Y	US,A,5 289 631 (KOOPMAN NICHOLAS G ET AL) 1 March 1994 see column 6, line 7 - column 7, line 5; figure 1A	11-14, 16-18
A		15

Y	PATENT ABSTRACTS OF JAPAN vol. 009, no. 004 (E-288), 10 January 1985 & JP,A,59 154035 (NIPPON DENSO KK), 3 September 1984, see abstract; figures	11

A	US,A,5 290 710 (HAJ-ALI-AHMADI JAVAD ET AL) 1 March 1994 see the whole document	

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

Inter nal Application No
PCT/DE 96/01387

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US-A-5447264	05-09-95	NONE		
JP-A-06326111	25-11-94	KR-B-	9604092	26-03-96
		US-A-	5449108	12-09-95
US-A-5217597	08-06-93	NONE		
US-A-5289631	01-03-94	JP-A-	6013442	21-01-94
		US-A-	5374893	20-12-94
		US-A-	5381946	17-01-95
US-A-5290710	01-03-94	US-A-	5148003	15-09-92
		JP-B-	2522872	07-08-96
		JP-A-	4268468	24-09-92

INTERNATIONALER RECHERCHENBERICHT

Internales Aktenzeichen
PCT/DE 96/01387

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 H01L21/66 H01L21/60

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US,A,5 447 264 (KOOPMAN NICHOLAS G ET AL) 5.September 1995 siehe Spalte 14, Zeile 12 - Zeile 24; Abbildungen 8A-8D	1-3,9
Y	siehe Spalte 8, Zeile 59-65; Abbildungen 1A,1B	4,5, 11-14, 16-19,21
A		7,8,10, 15,20

Y	JP,A,06 326 111 (GOLDSTAR ELECTRON CO LTD) 25.November 1994 & US,A,5 449 108 (PARK JOON S) 12.September 1995 siehe Spalte 3, Zeile 65 - Spalte 4, Zeile 24; Abbildung 6	4,5

	-/--	

[X] Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

[X] Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zumVerständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
27.November 1996	20. 12. 96

Name und Postanschrift der Internationale Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016	Kirkwood, J

Formblatt PCT/ISA/210 (Blatt 2) (Juli 1992)

INTERNATIONALER RECHERCHENBERICHT

Internales Aktenzeichen
PCT/DE 96/01387

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US,A,5 217 597 (MOORE KEVIN D ET AL) 8.Juni 1993 in der Anmeldung erwähnt siehe Spalte 2, Zeile 17 - Zeile 29	4,5
A	---	14
Y	MOTOROLA TECHNICAL DEVELOPMENTS, Bd. 25, 1.Juli 1995, Seiten 74-77, XP000524348 HUBACHER E: "KNOWN GOOD DIE TEST FOR C4 (OR OTHER) BUMPED DIE" siehe Seite 74, rechte Spalte; Abbildung 2	4,5,19, 21
Y	--- US,A,5 289 631 (KOOPMAN NICHOLAS G ET AL) 1.März 1994 siehe Spalte 6, Zeile 7 - Spalte 7, Zeile 5; Abbildung 1A	11-14, 16-18
A	---	15
Y	PATENT ABSTRACTS OF JAPAN vol. 009, no. 004 (E-288), 10.Januar 1985 & JP,A,59 154035 (NIPPON DENSO KK), 3.September 1984, siehe Zusammenfassung; Abbildungen	11
A	--- US,A,5 290 710 (HAJ-ALI-AHMADI JAVAD ET AL) 1.März 1994 siehe das ganze Dokument	

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internales Aktenzeichen
PCT/DE 96/01387

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US-A-5447264	05-09-95	KEINE		
JP-A-06326111	25-11-94	KR-B-	9604092	26-03-96
		US-A-	5449108	12-09-95
US-A-5217597	08-06-93	KEINE		
US-A-5289631	01-03-94	JP-A-	6013442	21-01-94
		US-A-	5374893	20-12-94
		US-A-	5381946	17-01-95
US-A-5290710	01-03-94	US-A-	5148003	15-09-92
		JP-B-	2522872	07-08-96
		JP-A-	4268468	24-09-92