

# (19) 대한민국특허청(KR)

## (12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H03M 1/12

(45) 공고일자 1999년04월 15일

(11) 등록번호 특0186679

(24) 등록일자 1998년 12월 29일

(21) 출원번호	특1996-035500	(65) 공개번호	특1997-013784
(22) 출원일자	1996년08월26일	(43) 공개일자	1997년03월29일
(30) 우선권주장	95-219015	1995년08월28일	일본(JP)
(73) 특허권자	가부시기가이샤 도시바 니시무로 타이조		
(72) 발명자	일본 가나가와켄 가와사키시 사이와이쿠 호리가와 초오 72 후지이 가즈히토		
(74) 대리인	일본 가나가와켄 가와사키시 사이와이쿠 호리가와 초오 580-1 가부시기가이샤 도시바 반도체 시스템 공학 센터 내 기타가와 노부타카 일본 가나가와켄 가와사키시 사이와이쿠 호리가와 초오 580-1 가부시기가이샤 도시바 반도체 시스템 공학 센터 내 나영환, 이상섭		

심사관 : 김중화

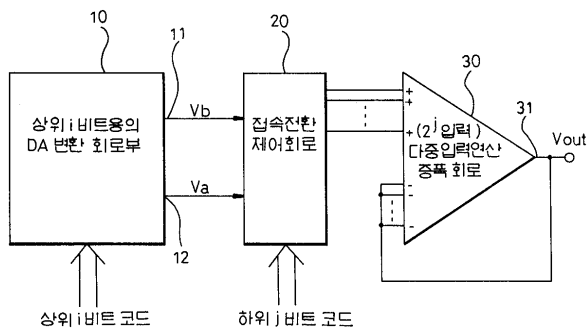
### (54) 디지털-아날로그 변환회로

#### 요약

변환 비트수가 많은 경우에도 소정의 아날로그 전압을 고정밀도로 출력할 수 있으며, 작은 패턴 면적으로 구현할 수 있는 DA 변환회로를 제공한다.

디지털 입력 코드의 상위 비트 신호를 DA 변환한 전압  $V_a$ 를 제 2 출력 노드(12)에 출력하고, 이 출력보다 소정치 높은 전압  $V_b$ 를 제 1 출력 노드(11)에 출력하는 DA 변환회로부(10)와, 이 2개의 출력 노드의 전압과 함께 디지털 입력 코드의 하위 비트 신호를 디코딩한 결과에 따라서 복수개의 출력 노드중의 일부에 제 1 출력 노드의 전압을 선택하여 출력하고, 나머지 출력 노드에 제 2 출력 노드의 전압을 선택하여 출력하는 접속 전환 제어 회로(20)와, 이 복수개의 출력 노드의 전압이 복수개의 정 입력 단자(+)에 대응하여 입력되고 복수개의 부 입력 단자(-)와 1개의 출력 단자(31)가 공통으로 접속되어 있는 다중입력 연산 증폭 회로(30)를 구비하는 것을 특징으로 한다.

#### 대표도



#### 명세서

##### 도면의 간단한 설명

도 1은 본 발명의 DA 변환회로의 기본 구성의 일예를 도시하는 블록도.

도 2는 도 1 중의 DA 변환회로부의 동작의 일예를 설명하기 위해서, n 비트의 디지털 입력 코드중 상위 비트와 DA 변환회로부의 2개의 출력 노드의 전압과의 관계 및 하위 비트와 접속 전환 제어 회로의 출력 노드의 전압과의 관계를 도시하는 도면.

도 3a 내지 도 3d는 도 1의 구성을 가지는 10 비트 DA 변환회로를 실현한 경우의 절대정밀도 특성 및 단조증가성 특성을 평가한 일예를 도시하는 도면.

도 4는 도 1 중의 다중입력용 연산 증폭회로의 일예를 도시하는 회로도.

도 5는 도 1 중의 다중입력 연산 증폭회로의 다른 예를 도시하는 회로도.

도 6은 도 1 중의 다중입력 연산 증폭회로의 또 다른 예를 도시하는 회로도.

도 7은 도 1의 접속 전환 제어 회로에 입력되는 3 비트의 내용에 따라서 8-입력용 연산 증폭회로의 8개의 정입력 단자에 전압 Va 또는 전압 Vb가 공급되는 상태를 도시하는 도면.

도 8은 본 발명의 DA 변환회로의 제 1 실시의 형태에 관한 7 비트용 DA 변환회로에서 사용되는 상위 5 비트용의 스트링 저항 방식 DA 변환회로의 일예를 도시하는 회로도.

도 9는 본 발명의 제 1 실시의 형태에 관한 7 비트용 DA 변환회로에서 사용되는 하위 2 비트용의 접속 전환 제어 회로와 4 입력용의 연산 증폭회로를 도시하는 회로도.

도 10은 본 발명의 제 2 실시의 형태에 관한 7 비트용 DA 변환회로를 도시하는 블록도.

도 11은 종래의 6 비트용 러더 저항 방식 DA 변환회로의 일예를 도시하는 회로도.

도 12는 종래의 러더 저항 방식 DA 변환회로의 단조증가성을 보장 가능한 범위내에서의 저항 소자의 저항치 2R의 오차와 디지털 코드 입력의 비트 수 n과의 관계를 도시하는 특성도.

도 13은 종래의 10 비트용 스트링 저항 방식 DA 변환회로의 일예를 도시하는 회로도.

\* 도면의 주요부분에 대한 부호의 설명

10, 10a : 상위 i 비트용 DA 변환회로부	11 : 제 1 출력 노드
12 : 제 2 출력 노드	20, 20a : 접속 전환 제어 회로
30, 30a : 다중입력 연산 증폭회로	(+) : 정입력 단자
(-) : 부입력 단자	31 : 출력 단자
50, 60 : N 탑형 연산 증폭회로	51, 61 : P 탑형 연산 증폭회로
53 : 출력단 증폭회로	71, 72, 73 : 디코더 회로
Va : 제 2 출력 노드의 출력 전압	Vb : 제 1 출력 노드의 출력 전압
R : 저항 소자	SW, SW1~SW8 : 아날로그 스위치 회로

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 집적 회로에 형성되는 디지털·아날로그(DA) 변환회로에 관한 것으로서, 특히 스트링 저항 방식 DA 변환회로부와 러더 저항 방식 DA 변환회로부를 이용한 복합형의 DA 변환회로에 관한 것으로, 예컨대 CMOS 구조의 1 칩 마이크로 컴퓨터/컨트롤러(이하, 마이크로 컴퓨터라고 함)에 이용된다.

일반적으로, 마이크로 컴퓨터 내부에서 여러가지의 디지털 신호를 처리한 후에 아날로그량으로 변환하기 위해서는 DA 변환회로가 사용된다. 마이크로 컴퓨터에 내장되는 DA 변환회로에는 주로, R-2R 러더 저항 방식과 스트링 저항 방식이 있다. 마이크로 컴퓨터에 내장되는 DA 변환회로에 요구되는 것은 높은 변환정밀도, 작은 패턴 면적(저비용), 그리고 노이즈 강도등이고, 최근은 변환 비트수가 많은 다중비트 구성의 DA 변환에 대한 요구가 강하다.

변환 비트수가 적은 DA 변환회로로서는 어떤 방식도 유효하지만, 변환 비트수가 많은 DA 변환회로를 구성하는 경우에는, 고정밀도로 실현하기가 곤란하며 패턴 면적이 증대되는 문제가 있다. 예컨대 8 비트 이상의 DA 변환회로를 구성할 때, 러더 저항 방식은 스트링 저항 방식과 비교하여, 단조증가성(單調 增加性)은 뒤떨어지지만 패턴 면적(칩상의 점유 면적)은 작다는 이점이 있고, 성능과 패턴 면적과는 트레이드 오프(trade off)의 관계가 있다.

또, DA 변환회로의 성능으로서는 주로, 분해능력, 절대정밀도, 단조증가성의 3 요소가 중요하며 이들에 관해서 간단히 설명한다.

DA 변환회로의 분해능력이란, 디지털 입력의 2진 코드 비트수가 n인 경우에, 디지털 입력의 모든 영역( $2^0 \sim 2^n$ )에서 아날로그 출력을 공급할 수 있는 능력을 나타낸다.

DA 변환회로의 절대정밀도란 변환 출력의 실제값과 이상값으로부터의 오차이고, 주로 사용 환경이나 제조시의 저항값의 변동에 의해 생긴다. 이 절대정밀도는 디지털 입력값이 i인 경우의 아날로그 출력 전압을 V(i)라 하고, 아날로그 출력 전압의 하한치를 VREFL라 하고, 아날로그 출력 전압의 상한치를 VREFH라 하며, 디지털 코드 입력의 비트수를 n으로 표시하면, VREFL=0일 때에는 수학적 1, VREFL=0이 아닌 때에는 수학적 2로 표시된다.

[수학적 1]

$$V(i) - \{VREFH/2^n\} \times i$$

[수학적 2]

$$V(i) - [VREFL + \{(VREFH - VREFL)/2^n\} \times i]$$

DA 변환회로의 단조증가성이란 디지털 입력의 모든 영역에서 디지털 입력의 값이  $i$  인 경우의 아날로그 출력 전압  $V(i)$ 와 디지털 입력의 값이  $(i+1)$ 인 경우의 아날로그 출력 전압  $V(i+1)$ 과의 관계가 수학적 3을 충족시킬 수 있는 능력을 나타낸다.

[수학적 3]

$$V(i) \leq V(i+1)$$

상술한 분해능력, 절대정밀도, 단조증가성의 3요소 중 어느 것이 가장 중요한가는 DA 변환회로의 용도에 의존한다. 예컨대 컬러 액정 표시 장치의 표시 제어에 사용되는 RGB 성분의 여러 비트에 대한 각각의 디지털 신호를 아날로그량으로 변환하고 컬러 액정 표시 구동 회로에 출력하여 다채로운 색을 표시하는 경우에는, 단조증가성이 가장 중요하다. 즉, RGB 성분의 각 디지털 신호의 값을 서서히 크게해 가는 경우, DA 변환회로의 단조증가성이 양호하면 표시 화면상의 색은 서서히 밝아지지만, DA 변환회로의 단조증가성이 손상되어 있으면 표시 화면상의 색은 일시적으로 어두워진다는 부적합함이 생긴다.

다음에, 상기 러더 저항 방식과 스트링 저항 방식에 관해서 간단히 설명한다.

도 11은 예컨대 6 비트용의 러더 저항 방식 DA 변환회로의 일예를 도시한다. 여기서, 80은 CMOS 인버터 회로, 81은 저항치  $R$ 를 가지는 저항 소자, 82는 저항치  $2R$ 를 가지는 저항 소자, B0-B5는 디지털 입력이다.

다음에, 상기 러더 저항형 DA 변환회로의 패턴 면적에 관해서 간단히 설명한다. 디지털 입력의 2진 코드의 비트수가  $n$ , 오프셋 입력의 비트수가 1인 경우에 CMOS 인버터 회로(80)의 필요수는  $2(n+1)$ 개이고, 저항치  $R$ 를 갖는 저항 소자 81로 환산한 경우의 저항 소자의 필요수는  $n+2(n+1)=(3n+1)$ 개이다.

또한, 디지털 코드 입력이 1비트 증가할 때마다, 항상, CMOS 인버터 회로(80)의 필요수가 2개 증가하고, 저항 소자 81로 환산한 경우의 필요수가 3개 증가한다.

이것으로부터, 러더 저항 방식 DA 변환회로는 패턴 면적이 작고, 변환 비트수의 증가에 대한 패턴 면적의 증가는 적은 것을 알 수 있다.

또, 러더 저항 방식 DA 변환회로의 특성으로서, 단조증가성을 유지하기 위해서는 저항 소자(81 및 82)의 저항치의 비율을 엄밀하게 1:2로 유지할 필요가 있다. 그러나, 실제로는 저항 소자(82)에는 저항치  $2R$  이외에 CMOS 인버터 회로(80) 중의 MOS 트랜지스터의 온저항치가 가산되고, 저항치  $2R$ 에 오차가 포함되며, 또한 저항 자신의 불균형에 의해 변환오차가 생긴다. 또한, 상기 트랜지스터의 온저항치의 영향은 변환 비트수가 많아질수록 커진다.

도 12는 러더 저항 방식 DA 변환회로의 단조증가성을 보장 가능한 범위내에서의 저항 소자 82의 저항치  $2R$ 의 오차와 디지털 코드 입력의 비트수  $n$ 과의 관계를 나타낸다. 이 그래프로부터 디지털 코드 입력의 비트수  $n$ 이 예컨대 10정도가 된다고 하면, 저항치  $R$ 과  $2R$  각각의 상대 오차가 0.2%이내의 범위가 아니면 단조증가성을 보장할 수 없는 것을 알 수 있다.

이 경우, 저항치  $2R$ 의 오차에 관련된 MOS 트랜지스터의 온저항치는 마이크로 컴퓨터의 사용 조건(주위 온도나 전원 전압등)에 의해 변동하기 때문에, 러더 저항 방식 DA 변환회로를 다중비트 구성으로 실현하는 것은 부적합하다. 만약, 러더 저항 방식 DA 변환회로를 다중비트 구성으로 실현하기 위해서는 상기 MOS 트랜지스터의 온저항치의 변동과, 저항 자신의 불균형의 상대 오차를 어떤 허용 범위 이내로 억제할 필요가 있으며, 그것을 실현하기 위해서는 상기 MOS 트랜지스터를 병렬 접속구성으로 하여 그 온저항치를 내릴 필요가 있지만, 이것에 의해서 패턴 면적이 증가해 버린다. 또한, 저항 자신의 불균형에 의해, 다중비트 구성인 경우 단조증가성이 나빠진다.

즉, 러더 저항형 DA 변환회로는 디지털 코드 입력의 비트수  $n$ 이 적은 경우에는 패턴 면적이 작지만, 비트수  $n$ 이 많은 경우에는 단조증가성 또는 패턴 면적의 관점에서 사용하기가 곤란하다.

한편, 도 13은 예컨대 10 비트용 스트링 저항 방식 DA 변환회로의 일예를 도시한다. 여기서, 100은 각각 10 비트 입력용 부정 논리곱 회로로 이루어지는 디코더회로, 101은 각각 CMOS 인버터 회로, 102는 각각 CMOS 트랜스퍼 게이트 회로, Rstr는 각각 저항치  $R$ 를 가지는 저항 소자이다. 상기 저항 소자 Rstr은 아날로그 출력 전압의 상한치  $VREFH$ 가 인가되는 제 1 전압 노드와 아날로그 출력 전압의 하한치  $VREFL$ 이 인가되는 제 2 전압 노드와의 사이에 직렬로 접속되어 저항 스트링을 구성하고 있다.

상기 스트링 저항 방식 DA 변환회로는 저항 스트링에 의해 복수로 분할된 전압을 선택적으로 취출하기 때문에, 정밀도는 높고 단조증가성이 우수하다.

다음에, 상기 스트링 저항 방식 DA 변환회로의 패턴 면적에 관해서 간단히 설명한다. CMOS 트랜스퍼 게이트 회로(102)의 MOS 트랜지스터를 CMOS 인버터 회로(101)의 1개분, 10 비트 입력용의 부정 논리곱 회로(100)를 CMOS 인버터 회로(101)의 10개분으로 하여 환산하면, 디지털 입력의 2진 코드의 비트수가  $n$ 인 경우에, CMOS 인버터 회로(101)에 환산한 경우의 필요수는  $(n+2) \times 2^n$ 개이고, 저항 소자 Rstr의 필요수는  $2^n$ 개인 것을 알 수 있다.

따라서, 10 비트용 스트링 저항 방식 DA 변환회로의 경우에는, CMOS 인버터 회로(101)에 환산한 경우의 필요수=12288, 저항 소자 Rstr의 필요수=1024이다.

또한, 11비트용 스트링 저항 방식 DA 변환회로의 경우에는, CMOS 인버터회로(101)에 환산한 경우의 필요수=24576, 저항 소자 Rstr의 필요수=2048이고, 디지털 코드 입력이 1비트 증가할 때마다, CMOS 인버터 회로, 저항소자의 필요수가 각각 2배로 증가한다.

상기 기술한 바와 같이 스트링 저항 방식 DA 변환회로는 디지털 코드 입력의 비트수  $n$ 이 많은 경우에는 사용 소자수가 대폭 증가하고, 이것에 의해서 배선도 대폭 증가하며, 패턴 면적이 현저히 증대한다. 또한, 상기 배선에 존재하는 저항 성분의 변동에 따라서 오차가 증가한다. 즉, 스트링 저항 방식 DA 변환

회로는 디지털 코드 입력의 비트수  $n$ 이 적은 경우에는 정밀도가 높지만, 디지털 코드 입력의 비트수  $n$ 이 많은 경우에는 패턴 면적 및 정밀도의 관점에서 사용하는 것이 곤란하다.

### 발명이 이루고자 하는 기술적 과제

상기 기술한 바와 같이 종래의 스트링 저항 방식 또는 러더 저항 방식의 DA 변환회로는 변환 비트수가 적은 경우에는 정밀도 및 패턴 면적의 문제는 적지만, 변환 비트수가 많은 경우에는 패턴 면적 및 정밀도의 관점에서 사용하는 것이 곤란하다는 문제가 있었다.

본 발명은 상기의 문제점을 해결하도록 이루어진 것으로, 변환 비트수가 많은 경우에도 소정의 아날로그 전압을 고정밀도로 출력할 수 있으며, 작은 패턴 면적으로 실현할 수 있는 DA 변환회로를 제공하는 것을 목적으로 한다.

### 발명의 구성 및 작용

본 발명의 DA 변환회로는  $n$  비트의 디지털 입력 코드중 상위 일부의 비트 신호가 입력되어, 이것을 DA 변환한 전압을 제 1 출력 노드에 출력하며, 상기 DA 변환 전압보다도 소정치 높은 전압을 제 2 출력 노드에 출력하는 DA 변환회로부와, 상기 DA 변환회로부의 제 1 출력 노드의 전압 및 제 2 출력 노드의 전압이 입력되는 동시에 상기  $n$  비트의 디지털 입력 코드중 하위 비트를 포함하는 일부의 비트 신호가 입력되어, 이것을 디코딩한 결과에 따라서 복수개의 출력 노드중의 일부에 상기 DA 변환회로부의 제 1 출력 노드의 전압을 선택하여 출력하고, 상기 복수개의 출력 노드중 나머지에 상기 DA 변환회로부의 제 2 출력 노드의 전압을 선택하여 출력하는 접속 전환 제어회로와, 상기 접속 전환 제어회로의 복수개의 출력 노드에 각각 대응하는 복수개의 정입력 단자와 부입력 단자를 가지는 동시에 1개의 출력 단자를 가지고, 상기 복수개의 정입력 단자에는 대응하는 상기 접속 전환 제어회로의 복수개의 출력 노드의 전압이 입력되어, 복수개의 부입력 단자는 상기 1개의 출력 단자에 공통으로 접속되어 있는 다중입력 연산 증폭회로를 구비하는 것을 특징으로 한다.

또한, 본 발명의 DA 변환회로는  $n$  비트의 디지털 입력 코드 중 상위  $i$  ( $i < n$ ) 비트가 입력되고, 이것을 DA 변환하여 상기  $i$  비트의 내용에 따라서 결정되는 DA 변환 전압을 제 1 출력 노드에 출력하며, 상기 DA 변환 전압보다도 상기  $i$  비트 입력중의 최하위 비트의 웨이트에 대응하는 크기만 높은 전압을 제 2 출력 노드에 출력하는 DA 변환회로부와, 상기 DA 변환회로부의 제 1 출력 노드의 전압 및 제 2 출력 노드의 전압이 입력되는 동시에 상기  $n$  비트의 디지털 입력 코드중 나머지의 하위  $j$  ( $j < n$ ,  $j = n - i$ ) 비트가 입력되며, 상기  $j$  비트의 코드를 디코딩하여,  $2^j$ 개의 출력 노드중의 디코딩내용에 따른 일부에 상기 DA 변환회로부의 제 1 출력 노드의 전압을 선택하여 출력하고, 상기  $2^j$ 개의 출력 노드중 나머지에 상기 DA 변환회로부의 제 2 출력 노드의 전압을 선택하여 출력하는 접속 전환 제어회로와, 상기 접속 전환 제어회로의 출력 노드에 대응하는  $2^j$ 개의 정입력 단자와  $2^j$ 개의 부입력 단자를 갖는 동시에 1개의 출력 단자를 포함하고, 상기  $2^j$ 개의 정입력 단자에는 대응하는 상기 접속 전환 제어회로의  $2^j$ 개의 출력 노드의 전압이 입력되고,  $2^j$ 개의 부입력 단자는 상기 1개의 출력 단자에 공통으로 접속되어 있는 다중입력 연산 증폭회로를 구비하는 것을 특징으로 한다.

또한, 본 발명의 DA 변환회로는  $n$  비트의 디지털 입력 코드중 상위  $i$  ( $i < n$ ) 비트가 입력되고, 이것을 DA 변환하여 상기  $i$  비트의 내용에 따라서 결정되는 DA 변환 전압을 제 1 출력 노드에 출력하고, 상기 DA 변환 전압보다도 상기  $i$  비트 입력중의 최하위 비트로부터 1개 상위 비트의 웨이트에 대응하는 크기만 높은 전압을 제 2 출력 노드에 출력하는 DA 변환회로부와, 상기 DA 변환회로부의 제 1 출력 노드의 전압 및 제 2 출력 노드의 전압을 입력하는 동시에 상기  $n$  비트의 디지털 입력 코드중 나머지의 하위  $j$  ( $j < n$ ,  $j = n - i$ ) 비트와 상기  $i$  비트 입력중의 최하위 비트가 입력되고, 상기  $(j+1)$  비트의 코드를 디코딩하여,  $2^{(j+1)}$ 개의 출력 노드중의 디코딩 내용에 따른 일부에 상기 DA 변환회로부의 제 1 출력 노드의 전압을 선택하여 출력하고, 상기  $2^{(j+1)}$ 개의 출력 노드중 나머지에 상기 DA 변환회로부의 제 2 출력 노드의 전압을 선택하여 출력하는 접속 전환 제어회로와, 상기 접속 전환 제어회로의 출력 노드에 대응하는  $2^{(j+1)}$ 개의 정입력 단자와  $2^{(j+1)}$ 개의 부입력 단자를 갖는 동시에 1개의 출력 단자를 포함하며, 상기  $2^{(j+1)}$ 개의 정입력 단자에는 대응하는 상기 접속 전환 제어회로의  $2^{(j+1)}$ 개의 출력 노드의 전압이 입력되며,  $2^{(j+1)}$ 개의 부입력 단자는 상기 1개의 출력 단자에 공통으로 접속되어 있는 다중입력 연산 증폭회로를 구비하는 것을 특징으로 한다.

본 발명의 DA 변환회로에 있어서, DA 변환회로부는  $n$  비트의 디지털 입력 코드중 상위 일부의 비트( $i$  비트)의 신호를 DA 변환한 전압을 제 1 출력 노드에 출력하고, 이것보다도 소정치 높은 전압을 제 2 출력 노드에 출력한다. 여기서, 제 1 출력 노드와 제 2 출력 노드와의 사이의 전압차로서,  $i$  비트 입력중의 예컨대 최하위 비트의 웨이트에 대응하는 크기로 한다.

접속 전환 제어회로는 상기  $n$  비트의 디지털 입력 코드중 하위 비트를 포함하는 일부의 비트 신호( $j$ 비트,  $j = n - i$ )의 디코딩 내용에 따라서  $2^j$ 개의 출력 노드에 DA 변환회로부의 2종류의 출력 전압을 출력한다.

다중입력 연산 증폭회로는 접속 전환 제어 회로의  $2^j$ 개의 출력 노드의 전압이  $2^j$ 개의 정입력 단자에 대응하여 입력하고,  $2^j$ 개의 부입력 단자는 1개의 출력 단자에 공통으로 접속되어 있다.

이하, 도면을 참조하여 본 발명의 실시의 형태를 상세히 설명한다.

도 1은 본 발명의 DA 변환회로의 기본 구성의 일예를 도시하는 블록도이다.

도 1에 도시하는 DA 변환회로는  $n$  비트(본예에서는  $n=5$ )의 디지털 입력 코드를 DA 변환하여 출력 전압 Vout를 생성하는 것이고, 상위  $i$  비트용의 DA 변환회로부(10)와, 접속 전환 제어회로(20)와, 다중입력 연

산 증폭회로(30)를 구비한다.

상기 DA 변환회로부(10)는 상기 디지털 입력 코드중의 상위  $i$  ( $1 \leq i < n$ , 본예에서는  $i=3$ ) 비트가 입력되고, 이것을 DA 변환하여 DA 변환 전압을 제 1 출력 노드(11) 및 제 2 출력 노드(12)에 출력한다. 이 경우, 상기  $i$  비트의 내용에 따라서 결정되는 DA 변환 전압  $V_a$ 를 제 2 출력 노드(12)에 출력하여, 상기 DA 변환 전압보다도 상기  $i$  비트 입력중 최하위 비트의 웨이트에 대응하는 크기만 높은 전압  $V_b$ 를 제 1 출력 노드(11)에 출력한다.

상기 접속 전환 제어회로(20)는 상기 DA 변환회로부(10)의 제 1 출력 노드(11)의 전압  $V_b$  및 제 2 출력 노드(12)의 전압  $V_a$ 가 입력되는 동시에 상기 디지털 입력 코드중 나머지의 하위  $j$  ( $1 \leq j < n$ ,  $j=n-i$ , 본예에서는  $j=2$ ) 비트가 입력되고,  $j$  비트의 코드를 디코딩한다. 그리고,  $2^j$ 개의 노드중의 디코딩 내용에 따른 일부에 DA 변환회로부(10)의 제 1 출력 노드(11)의 전압  $V_b$ 를 선택하여 출력하고, 상기  $2^j$ 개의 출력 노드중 나머지에 DA 변환회로부(10)의 제 2 출력 노드(12)의 전압  $V_a$ 를 선택하여 출력한다.

또, 상기 접속 전환 제어회로(20)의 일예는 상기  $j$  비트의 코드를 디코딩하는 디코더 회로와, 상기 디코더 회로의 디코딩 출력에 의해 제어되고, DA 변환회로부의 제 1 출력 노드(11)의 전압  $V_b$  또는 제 2 출력 노드(12)의 전압  $V_a$ 를 선택하여  $2^j$ 개의 출력 노드에 출력하는 복수개의 아날로그 스위치 회로로 이루어진다.

상기 다중입력 연산 증폭회로(30)는 상기 접속 전환 제어회로(20)의  $2^j$ 개의 출력 노드에 대응하는  $2^j$ 개의 정입력 단자(+)와  $2^j$ 개의 부입력 단자(-)를 가지는 동시에 1개의 출력 단자 31를 가진다. 그리고, 상기  $2^j$ 개의 정입력단자(+)에는 대응하는 상기 접속 전환 제어회로(20)의  $2^j$ 개의 출력 노드의 전압이 입력되고,  $2^j$ 개의 부입력 단자(-)는 상기 1개의 출력 단자 31에 공통으로 접속(전압 폴로어 접속)되어 있다.

상기 구성의 DA 변환회로에서 DA 변환회로부(30)의 제 2 출력 노드(12)의 DA 변환 출력  $V_a$ 는 상기  $i$  비트의 내용에 따라서 전압 레벨이 결정되고, 제 1 출력 노드(11)의 전압  $V_b$ 는 항상 제 2 출력 노드(12)의 DA 변환출력  $V_a$ 보다 높아져서, 그 전위차는 상기  $i$  비트 입력중 최하위 비트의 웨이트에 대응하는 크기가 된다. 즉, DA 변환회로부(10)의 전원 전압  $V_{cc}$ 가 상기  $i$  비트 입력에 따라서  $2^i$ 등분된 중의 1개분의 크기의 전위차가 생긴다.

그리고, 다중입력 연산 증폭회로(30)는 DA 변환회로부(10)의 제 1 출력 노드(11)의 전압  $V_b$ 와 제 2 출력 노드(12)의 전압  $V_a$ 와의 사이를  $2j$  분할한 전압 중에서,  $2^j$ 개의 정입력 단자(+)의 입력 전압에 따른 전압을 출력한다.

도 2는 도 1중의 DA 변환회로부의 전원 전압  $V_{cc}$ 가 예컨대 5V, 디지털 입력 코드가 예컨대(10111)의 경우에 있어서, 상위 3비트(101)에 대응하여 DA 변환회로부(10)의 제 2 출력 노드(12)의 전압  $V_a$ 와 제 1 출력 노드(11)의 전압  $V_b$ 가 결정되고, 하위 2비트(11)에 따라서 접속 전환 제어 회로(20)의  $2^j$ 개의 출력 노드의 전압, 즉, 다중입력 연산 증폭회로(30)의  $2^j$ 개의 정입력 단자(+)의 전압이 결정되고, 디지털 입력 코드의 내용(10111)에 대응하는 DA 변환 전압  $V_{out}$ 이 출력하는 관계를 나타내고 있다.

즉, 도 1의 DA 변환회로에 의하면,  $n$  비트의 디지털 입력 코드중 상위  $i$  비트의 DA 변환을 DA 변환회로부(10)가 담당하고, 하위  $j$  비트의 DA 변환을 접속 전환 제어 회로(20)와 다중입력 연산 증폭회로(30)가 담당하게 되어, 다중입력 연산 증폭회로의 출력 단자 31에는  $n$  비트 코드의 내용에 대응하는 DA 변환 전압  $V_{out}$ 를 얻을 수 있다.

따라서, DA 변환회로부(10)를  $n$  비트 입력에 비하여 변환 비트수가 적은  $i$  비트에 대응하도록 구성할 수 있게 되기 때문에, 정밀도 및 패턴 면적의 문제가 생기기 어렵다. 결과로서, 변환 비트수가 많은 DA 변환회로를 실현하는 경우에, 러더 저항 방식 DA 변환회로 단체 또는 스트링 저항 방식 DA 변환회로 단체로 구성하는 경우와 비교하여 소정의 아날로그 전압을 고정밀도로 출력할 수 있으며, 작은 패턴 면적으로 실현하는 것이 가능하게 된다.

또, 상기 DA 변환회로부(10)로서 예컨대 스트링 저항 방식을 이용함으로써, 고정밀도, 특히 단조증가성이 뛰어난 DA 변환회로를 작은 패턴 면적으로 용이하게 실현하는 것이 가능하게 된다.

도 3(a) 내지 (d)는 도 1의 구성을 가지는 10 비트 DA 변환회로를 실현한 경우의 절대정밀도 특성 및 단조증가성 특성에 관해서 전원 전압  $V_{cc}$ 가 5V 또는 3V, 무부하의 조건으로 평가한 일예를 나타내고 있다.

이 특성으로부터, 절대정밀도는 약간 변동하고 있지만, 단조증가성은 거의 1LSB에서 인정하고 있는 것을 알 수 있다.

여기서, 도 1의 DA 변환회로부를 실현하는데 필요한 패턴 면적에 관해서 검토한다.

$i$  비트용 스트링 저항 방식의 DA 변환회로를 실현하는 경우에는, 2개의 노드 사이에 각각의 저항치가 같은  $2^i$ 개의 저항 소자가 직렬로 접속된 저항스트링과, 상기 저항 스트링의 각 전압 분할 노드, 그 양단의 노드의 전압을 선택적으로 취출하기 위한  $2^i$ 개의 아날로그 스위치 회로와,  $i$  비트의 디지털 신호 입력을 디코딩하여, 디코딩 출력에 의해 상기 아날로그 스위치회로를 제어하기 위한  $i$  비트용의 디코더 회로(인버터 회로에 환산하여  $i \times 2^i$ 개분)을 필요로 한다.

또한, 도 1중의  $j$  비트용의 접속 전환 제어회로(20)로서,  $j$  비트용의 디코더 회로(인버터 회로에 환산하여  $j \times 2^j$ 개분)과  $2^j$ 개의 아날로그 스위치 회로를 필요로 한다.

결국, 도 1에 도시한  $n(i+j)$  비트용의 DA 변환회로의 전체로서는,  $2^i$ 개의 저항 소자와,  $(i \times 2^i + j \times 2^j)$ 개분의 인버터 회로와,  $(2^i + 2^j)$ 개의 아날로그 스위치회로와,  $2^j$ 입력용의 연산 증폭회로를 필요로 한다.

예로서,  $n=10$ ,  $i=7$ ,  $j=3$ 인 경우에는,  $128(=2^7)$ 개의 저항 소자와,  $920(=7 \times 2^7 + 3 \times 2^3)$ 개분의 인버터 회로와,  $1024(=2^7 + 2^3)$ 개의 아날로그 스위치 회로와,  $8(=2^3)$  입력용의 연산 증폭회로를 필요로 한다.

이것에 대하여, 종래의  $n$  비트용의 스트링 저항 방식의 DA 변환회로를 실현하는 경우에는,  $2^n$ 개의 저항 소자와,  $n \times 2^n$ 개분의 인버터 회로와,  $2^n$ 개의 아날로그 스위치 회로와, 통상은 출력 임피던스를 내리기 위해서 최종단에 접속되는 버퍼용의 연산 증폭회로를 필요로 한다.

예로서,  $n=10$ 인 경우에는,  $1024(=2^{10})$ 개의 저항 소자와,  $10240(=10 \times 2^{10})$ 개분의 인버터회로와,  $1024(=2^{10})$ 개의 아날로그 스위치 회로와, 버퍼용의 연산증폭회로를 필요로 한다.

즉, 상기 실시의 형태의  $n$  비트용의 DA 변환회로는 종래의  $n$  비트용의 스트링 저항방식의 DA 변환회로와 비교하여, 연산 증폭회로를 제외하면 약 1/10의 패턴 면적으로 실현하는 것이 가능하다.

바꾸어 말하면, 도 1에 도시하는 DA 변환회로와 같이, 상위  $i$  비트용의 스트링 저항 방식의 DA 변환회로(10)와, 하위  $j$  비트용의 접속 전환 제어 회로(20)와,  $2^j$  입력용의 연산 증폭회로(30)를 조합함으로써,  $n(i+j)$  비트용의 DA 변환회로를 작은 패턴 면적으로 실현하는 것이 가능하게 된다.

이 경우, 상위  $i$  비트의 DA 변환은 스트링 저항 방식의 DA 변환회로를 이용함으로써 특히 단조증가성이 뛰어난 고정밀도로 실현할 수 있으며, 하위  $j$  비트의 DA 변환은  $2^j$  입력용의 연산 증폭회로(30)의 정밀도로 지배된다.

또, 도 1의 다중입력용의 연산 증폭회로(30)로서, MOS 트랜지스터를 이용하여 구성하는 경우, 일반적으로는 예컨대 도 4에 도시된 바와 같이, 연산증폭회로의 입력용 MOS 트랜지스터를 필요 입력수만 병렬 접속함으로써 간단히 실현가능하다.

도 4는 도 1 중의 다중입력용의 연산 증폭회로의 일례로서, 입력 전압이 NMOS 트랜지스터의 게이트에 입력하는 N 탑(top)형 회로의 일례를 도시하고 있다.

이 N 탑형 연산 증폭회로(40)는 전류원 회로(41)와 이 전류원 회로(41)에 각각의 소오스가 공통으로 접속되고, 각각의 드레인이 공통으로 접속되며, 각각의 게이트에 대응하여  $2^j$ 개의 부입력 단자(-)의 입력 전압  $IN(-)$ 이 대응하여 인가되는  $2^j$ 개의 제 1 NMOS 트랜지스터 N1과, 상기 전류원 회로(41)에 각각의 소오스가 공통으로 접속되고, 각각의 드레인이 공통으로 접속되며, 각각의 게이트에 대응하여  $2^j$ 개의 정입력 단자(+)의 입력 전압  $IN(+)$ 이 대응하여 인가되는  $2^j$ 개의 제 2 NMOS 트랜지스터 N2와, 이것들의 제 1, 제 2 NMOS 트랜지스터의 부하로서 접속된 NMOS 커런트미러회로(42)와, 상기 제 2 NMOS 트랜지스터 N2의 드레인 공통 접속점의 출력이 입력되는 PMOS 출력단 증폭회로(43)로 이루어진다.

상기 PMOS 출력단 증폭회로(43)  $V_{cc}$  노드와  $V_{out}$  출력 노드와의 사이에 소오스·드레인·소오스 사이가 삼입 접속되고, 게이트에 상기 N 탑형 연산 증폭회로(40)의 반전 출력 노드가 접속된 PMOS 트랜지스터 P5와, 상기  $V_{out}$  출력 노드와  $V_{ss}$  노드와의 사이에 드레인 및 소오스 사이가 삼입 접속된 전류원 회로(44)와, 상기  $V_{out}$  출력 노드와 상기 PMOS 트랜지스터 P5의 게이트와의 사이에 접속된 위상 보상용의 용량 C를 가진다.

그런데, 다중입력용의 연산 증폭회로의 연산 정밀도를 높이기 위해서, 입력전압이 PMOS 트랜지스터의 게이트에 입력하는 회로 형식(P 탑형)의 연산 증폭회로와 N 탑형 연산 증폭회로를 조합한 레일·투·레일(Rail-to-Rail)형의 연산 증폭회로를 이용하는 경우에는, 예컨대 도 5 또는 도 6에 도시된 바와 같이, 연산 증폭회로의 입력용의 PMOS 트랜지스터 및 NMOS 트랜지스터를 각각 필요 입력수만 병렬 접속함으로써 실현 가능하다.

또, 이와 같이 입력용 MOS 트랜지스터로서 PMOS 트랜지스터 및 NMOS 트랜지스터의 양쪽을 구비한 레일·투·레일형의 연산 증폭회로는 입력 전압이  $V_{ss}$  부근에서  $V_{cc}$  부근까지의 범위로 동작가능하다.

도 5는 도 1중의 다중입력 연산 증폭회로의 다른 예로서, 레일·투·레일형회로의 일례를 나타내고 있다.

여기서, 50은 입력단의 N 탑형 연산 증폭회로, 51은 입력단의 P 탑형 연산 증폭회로, 53은 상기 N 탑형 연산 증폭회로(50)의 반전 출력 및 P 탑형 연산 증폭회로(51)의 비반전 출력을 입력하는 출력단 증폭회로이고, 그 출력이 레일·투·레일형연산 증폭회로의 출력이 된다.

상기 N 탑형 연산 증폭회로(50)는 도 4를 참조하여 전술한 바와 같은 N 탑형 연산 증폭회로(40)로부터 PMOS 인버터 회로(43)가 생략된 것이다.

또한, 상기 P 탑형 연산 증폭회로(51)는 상기 N 탑형 연산 증폭회로(50)에 준하여 구성되어 있으며, 전류원 회로(41)와, 이 전류원 회로(41)에 각각의 소오스가 공통으로 접속되고, 각각의 드레인이 공통으로 접속되며, 각각의 게이트에 대응하여  $2^j$ 개의 부입력 단자(-)의 입력 전압  $IN(-)$ 이 대응하여 인가되는  $2^j$ 개의 제 1 PMOS 트랜지스터 P1과, 상기 전류원 회로(41)에 각각의 소오스가 공통으로 접속되고, 각각의 드레인이 공통으로 접속되며, 각각의 게이트에 대응하고  $2^j$ 개의 정입력 단자(+)의 입력 전압  $IN(+)$ 이 대응하여 인가되는  $2^j$ 개의 제 2 PMOS 트랜지스터 P2와, 이것들의 제 1, 제 2 PMOS 트랜지스터의 부하로서 접속된 PMOS 커런트미러 회로(52)로 이루어진다.

출력단 증폭회로(53)는  $V_{cc}$  노드와  $V_{out}$  출력 노드와의 사이에 소오스·드레인·소오스 사이가 삼입 접속

되고, 게이트에 상기 N 타입 연산 증폭회로(50)의 반전 출력 노드가 접속된 PMOS 트랜지스터 P5와, 상기 Vout 출력 노드와 Vss 노드와의 사이에 드레인·소오스 사이가 삽입 접속되어, 게이트에 상기 P 타입 연산 증폭회로(51)의 비반전 출력 노드가 접속된 NMOS 트랜지스터 N5와, 상기 Vout 출력 노드와 상기 PMOS 트랜지스터 P5의 게이트 및 NMOS 트랜지스터 N5의 게이트와의 사이에 각각 접속된 위상 보상용의 용량 C를 가진다.

도 6은 도 1중의 다중입력 연산 증폭회로의 또 다른 예로서, 레일·투·레일형 회로의 다른 예를 나타내고 있다.

여기서, 60은 입력단의 N 타입 연산 증폭회로, 61은 입력단의 P 타입 연산 증폭회로, 53은 도 5를 참조하여 전술한 바와 같은 출력단 증폭회로이며, 그 출력이 레일·투·레일형 연산 증폭회로의 출력이 된다.

상기 N 타입 연산 증폭회로(60)는 도 5를 참조하여 전술한 바와 같은 N 타입 연산 증폭회로(50)에 대하여, 제 1 NMOS 트랜지스터 N1에 병렬로 접속되고, 상기 P 타입 연산 증폭회로(61)의 비반전 출력이 입력되는 제 3 NMOS 트랜지스터 N3과, 상기 제 2 NMOS 트랜지스터 N2에 병렬로 접속되고, 상기 P 타입 연산 증폭회로(61)의 반전출력이 입력되는 제 4 NMOS 트랜지스터 N4가 부가된 것이다.

또한, 상기 P 타입 연산 증폭회로(61)는 도 5를 참조하여 전술한 바와 같은 P 타입 연산 증폭회로(51)에 대하여, 제 1 PMOS 트랜지스터 P1에 병렬로 접속되고, 상기 N 타입 연산 증폭회로(60)의 비반전 출력이 입력되는 제 3 PMOS 트랜지스터 P3와, 상기 제 2 PMOS 트랜지스터 P2에 병렬로 접속되고, 상기 N 타입 연산 증폭회로(60)의 반전 출력이 입력되는 제 4 PMOS 트랜지스터 P4가 부가된 것이다.

상기 구성의 레일·투·레일형 연산 증폭회로에서, 입력 신호 전압이 레벨이  $V_{ss} \sim V_{ss} + V_{thn}$  ( $V_{thn}$ 은 N 채널 트랜지스터의 임계치 전압)의 범위내인 경우(N 타입 연산 증폭회로의 동작 범위내가 아니지만 P 타입 연산 증폭회로의 동작 범위내인 경우)에는 N 타입 연산 증폭회로(60)의 NMOS 트랜지스터 N1, N2는 오프가 되지만, P 타입 연산 증폭회로(61)는 입력 신호전압의 레벨이 동작 범위내이기 때문에 동작하고, 이 P 타입 연산 증폭회로(61)로부터의 입력에 의해 N 타입 연산 증폭회로(60)의 NMOS 트랜지스터 N3, N4가 동작하기 때문에, N 타입 연산 증폭회로(60)도 동작한다.

이것에 의해, N 타입 연산 증폭회로(60)의 비반전 출력 노드의 전압이 안정(일의)하게 정해지고, 출력단 증폭회로(53)의 동작점이 안정하게 정해지며, 그 전류가 일의로 정해지기 때문에, 출력 전류의 크기를 적정하게 설정하는 것이 가능하게 된다.

이것에 대하여, 입력 신호 전압의 레벨이  $V_{cc} \sim V_{cc} - |V_{thp}|$  ( $V_{thp}$ 는 p 채널 트랜지스터의 임계치 전압)의 범위내인 경우(P 타입 연산 증폭회로의 동작 범위내가 아니지만 N 타입 연산 증폭회로의 동작 범위내인 경우)에는 P 타입 연산 증폭회로(61)의 PMOS 트랜지스터, P1, P2는 오프가 되지만, N 타입 연산 증폭회로(60)는 입력 신호 전압의 레벨이 동작 범위내이기 때문에 동작하고, 이 N 타입 연산 증폭회로(60)로부터의 입력에 의해 P 타입 연산 증폭회로(61)의 PMOS 트랜지스터 P3, P4가 동작하기 때문에, P 타입 연산 증폭회로(61)도 동작한다.

이것에 의해, P 타입 연산 증폭회로(61)의 반전 출력 노드의 전압이 안정(일의)하게 정해지고, 출력단 증폭회로(53)의 동작점이 안정하게 정해지고, 그 전류가 임의로 정해지기 때문에, 출력 크기를 적정하게 설정하는 것이 가능하게 된다.

그리고, 입력 신호 전압의 레벨이  $(V_{ss} + V_{thn}) \sim (V_{cc} - |V_{thp}|)$ 의 범위내인 경우(N 타입 연산 증폭회로의 동작 범위내인 동시에 P 타입 연산 증폭회로의 동작범위내인 경우)에는 N 타입 연산 증폭회로(60) 및 P 타입 연산 증폭회로(61)가 각각 입력 신호 전압에 대하여 동작한다.

이 경우, N 타입 연산 증폭회로(60)의 NMOS 트랜지스터 N3, N4는 N 타입연산 증폭회로(60)의 비반전 출력 노드의 전압을 정하도록 동작하고, P 타입 연산 증폭회로(61)의 PMOS 트랜지스터 P3, P4는 P타입 연산 증폭회로(61)의 반전 출력 노드의 전압을 정하도록 동작한다.

또한, 다중입력용의 연산 증폭회로의 입력용 MOS 트랜지스터의 임계치의 격차등의 영향을 경감하기 위해서,  $2^j$ 개의 정입력 단자(+)에 대하여 하위 j 비트용의 접속 전환 제어 회로(20)로부터 전압 Va 또는 전압 Vb를 공급하는 방법을 연구하는 것이 바람직하다.

도 7은 도 1의 접속 전환 제어회로(20)에 입력되는 3 비트의 내용에 따라서 8 입력용의 연산 증폭회로(30)의 8개 배열되도록 형성된 정입력 단자(No.1~No.8)에 전압 Va 또는 전압 Vb가 공급되는 상태를 나타내고 있다.

즉, 전압 Va가 공급되는 정입력 단자(+)의 그룹의 배치와 전압 Vb가 공급되는 정입력 단자(+)의 그룹의 배치가 2분되어 있다. 즉, 동일 그룹내의 인접하는 정입력 단자(+)에는 같은 전압 Va 또는 전압 Vb가 공급되어 있다.

바꾸어 말하면, 접속 전환 제어회로(20)로서, 전압 Va를 공급하고자 하는 정입력 단자(+)가 복수 있는 경우에는 인접하는 정입력 단자(+)에 같은 전압 Va를 공급하고, 전압 Vb를 공급하고자 하는 정입력 단자가 복수 있는 경우에는 인접하는 정입력 단자(+)에 같은 전압 Vb를 공급하도록 구성하는 것이 바람직하다.

도 8은, 본 발명의 제 1 실시의 형태에 관한 7비트용의 DA 변환회로에서 사용되는 상위 5비트용의 스트링 저항 방식 DA 변환회로부(10)의 일예를 도시하고 있다.

도 9는 상기 제 1 실시의 형태에 관한 7비트용의 DA 변환회로에서 사용되는 하위 2 비트용의 접속 전환 제어 회로와 4 입력용의 연산 증폭회로의 일예를 도시하고 있다.

도 8에 도시하는 상위 5비트용의 스트링 저항 방식 DA 변환회로부는 제 1 기준 전압  $V_{refh}$ 가 인가되는 고레벨측 노드와 제 2 기준 전압  $V_{refl}$  ( $V_{refh}$ )가 인가되는 저 레벨측 노드와의 사이의 전압이 32개의 저항 소자 R에 의해 분할된다. 그리고, 고 레벨측 노드의 전압  $V_{refh}$ 와 31개의 분할 전압과 저 레벨측 노드의 전압  $refl$ 이 제 1~제 8의 그룹으로 나누어진다. 이 경우, 제 1 그룹은 고레벨측 노드와 분할 노드의 상위

측의 1번째에서 4번째까지의 5개의 전압을 포함하고, 제 2 그룹은 분할 전압의 4번째에서 8번째까지의 5개의 전압을 포함하며, 제 3 그룹은 분할 노드의 8번째에서 12번째까지의 5개의 분할전압을 포함하고, 제 4 그룹은 분할 노드의 12번째에서 16번째까지의 5개의 분할 전압을 포함하며, 제 5 그룹은, 분할노드의 16번째에서 20번째까지의 5개의 분할 전압을 포함하고, 제 6 그룹은 분할 노드의 20번째에서 24번째까지의 5개의 분할 전압을 포함하며, 제 7 그룹은 분할 노드의 24번째에서 28번째까지의 5개의 분할을 포함하고, 제 8 그룹은 분할 노드의 28번째에서 31번째까지와 저레벨측 노드와의 5개의 전압을 포함한다.

이 8개 그룹의 전압은 상기한 상위 5비트중의 상위 3비트용의 디코더 회로(71)의 디코딩 출력에 의해 제어되는 아날로그 스위치 회로 SW에 의해 선택된다.

그리고, 상기한 바와 같이 선택된 그룹내의 5개의 전압 중에 전위가 인접하는 2개의 전압이 상기한 상위 5비트 중의 하위 2비트용의 디코더 회로(72)의 디코딩 출력에 의해 제어되는 아날로그 스위치 회로 SW1~SW8에 의해 선택되고, 상기 Va, Vb(Va로부터 상위 5비트 중의 최하위 비트 1개분의 웨이트만 크다)로서 출력한다.

이 경우, 선택된 그룹내의 5개의 전압 중, 최고 전위의 전압은 제 1 아날로그 스위치 회로 SW1에 입력하고, 2번째로 높은 전위의 전압은 제 2 아날로그 스위치 회로 SW2 및 제 3 아날로그 스위치 회로 SW3에 입력하며, 3번째로 높은 전위의 전압은 제 4 아날로그 스위치 회로 SW4 및 제 5 아날로그 스위치 회로 SW5에 입력하며, 4번째로 높은 전위의 전압은 제 6 아날로그 스위치 회로 SW6 및 제 7 아날로그 스위치 회로 SW7에 입력하고, 최저 전위의 전압은 제 8 아날로그 스위치 회로 SW8에 입력한다.

그리고, 상기 제 3 아날로그 스위치회로 SW3, 제 5 아날로그 스위치회로 SW5, 제 7 아날로그 스위치회로 SW7 및 제 8 아날로그 스위치회로 SW8의 출력은 Va 출력용의 제 2 노드(12)에 접속되고, 상기 제 1 아날로그 스위치회로 SW1, 제 2 아날로그 스위치회로 SW2, 제 4 아날로그 스위치회로 SW4 및 제 6 아날로그 스위치회로 SW6의 출력은 Vb 출력용의 제 1 노드(11)에 접속되어 있다.

그리고, 상기 제 1 아날로그 스위치회로 SW1 및 제 3 아날로그 스위치회로 SW3은 상기 하위 2비트용의 디코더 회로(72)의 같은 디코딩 출력에 의해 같은 스위치 상태로 제어되고, 제 2 아날로그 스위치회로 SW2 및 제 5 아날로그 스위치회로 SW5는 상기 하위 2비트용의 디코더 회로(72)의 같은 디코딩 출력에 의해 같은 스위치 상태로 제어되며, 제 4 아날로그 스위치회로 SW4 및 제 7 아날로그 스위치회로 SW7은 상기 하위 2비트용의 디코더 회로 72의 같은 디코딩 출력에 의해 같은 스위치 상태로 제어되고, 제 6 아날로그 스위치회로 SW6 및 제 8 아날로그 스위치회로 SW8은 상기 하위 2비트용의 디코더 회로(72)의 같은 디코딩 출력에 의해 같은 스위치 상태로 제어된다.

또, 상기 각 아날로그 스위치회로 SW, SW1~SW8은, 예컨대 도 13중에 도시한 바와 같은 CMOS 트랜지스터 게이트 회로와 그것을 제어하기 위한 상보 신호를 생성하는 인버터 회로로 이루어진다.

도 9에 도시하는 하위 2 비트용의 접속 전환 제어회로는 도 8에 도시한 Va 출력용 제 2 노드(12)와 4 입력용의 연산 증폭회로(30)의 4개의 정입력단자(+)와의 사이에 각각 대응하여 접속된 제 1군을 이루는 4개의 아날로그 스위치 회로 SW와, 도 8중에 도시한 Vb 출력용의 제 1 노드(11)와 상기 4개의 정입력 단자(+)와의 사이에 각각 대응하여 접속된 제 2군을 이루는 4개의 아날로그 스위치 회로 SW와, 하위 2비트의 신호를 디코딩하여, 디코딩 출력에 따라서 상기 4개의 정입력 단자(+)에 Va 또는 Vb를 선택적으로 입력시키도록 상기 아날로그 스위치 회로군 SW를 스위치 제어하는 하위 2비트용의 디코더 회로(73)를 구비한다.

또, 상기 제 1군 및 제 2군의 아날로그 스위치 회로 SW 중에서 상기 4개의 정입력 단자(+) 중의 1개의 공통으로 접속되어 있는 2개의 아날로그 스위치 회로 SW는 항상 Va를 선택하도록 고정 레벨이 부여되어 있다.

이것에 의해, 하위 2비트의 신호가 예컨대 (11)의 경우에는 상기 4개의 정입력 단자(+) 중에서 항상 Va가 입력되어 있는 1개 이외의 나머지 3개의 Vb가 입력되고, 하위 2비트의 신호가 예컨대 (00)의 경우에는 상기 나머지 3개의 정입력 단자(+)에 Va가 입력된다.

또, 도 8, 도 9중에 도시한 각 아날로그 스위치 회로 SW 및 SW1~SW8은 예컨대 도 13중에 도시한 바와 같은 CMOS 트랜지스터 게이트 회로와 그것을 제어하기 위한 상보 신호를 생성하는 인버터 회로로 이루어진다.

또한, 상기 제 1 실시의 형태는 DA 변환회로부의 제 1 출력 노드(11)와 제 2 출력 노드(12)와의 사이의 전압차로서 i 비트 입력중의 최하위 비트의 웨이트에 대응하는 크기로 한 경우를 나타내지만, 본 발명은 상기예에 한하지 않고, 상기 전압차로서 i 비트 입력중 최하위 비트보다도 상위 비트의 웨이트에 대응하는 크기를 출력시키도록 하여, 이것에 대응하여 상기 전압차를 상기 n 비트 입력중의 j 비트를 포함하는 비트 신호의 내용에 따라서 분압한 값의 DA 변환 전압을 출력하도록 접속전환 제어회로(20) 및 다중입력 연산 증폭회로(30)를 변경하여도 좋다.

예컨대 DA 변환회로부의 제 1 출력 노드(11)와 제 2 출력 노드(12)와의 사이의 전압차로서, i 비트 입력중 최하위 비트보다도 1개 상위의 비트의 웨이트에 대응하는 크기를 출력시키는 경우에는 접속 전환 제어회로(20) 및 다중입력 연산 증폭회로(30)를 다음과 같이 변경해도 된다.

즉, 도 10에 도시된 바와 같이, 접속 전환 제어 회로(20a)는 상기 j 비트와 상기 i 비트 입력중 최하위 비트로 이루어진 (j+i) 비트의 코드를 디코딩하고,  $2^{(j+i)}$  개의 출력 노드중의 디코딩 내용에 따른 일부에 DA 변환회로부(10a)의 제 2 출력 노드(12)의 전압 Va를 선택하여 출력하고, 나머지 출력 노드에 DA 변환회로부(10a)의 제 1 출력 노드(11)의 전압 Vc(=2Vb)를 선택하여 출력하면 된다.

또한, 다중입력 연산 증폭회로(30a)는 접속 전환 제어 회로(20a)의 출력 노드에 대응하는  $2^{(j+i)}$  개의 정입력 단자(+)와  $2^{(j+i)}$  개의 부입력 단자(-)를 가지며,  $2^{(j+i)}$  개의 정입력 단자(+)에는 대응하고 접속 전환 제어회로(20a)의  $2^{(j+i)}$  개의 출력 노드의 전압을 입력시켜서,  $2^{(j+i)}$  개의 부입력 단자(-)를 출력 단자(31)에 공통



으로 접속해도 된다.

또 본원의 특허청구 범위의 각 구성요건에 병기한 도면 참조 부호는 본원 발명의 이해를 용이하게 하기 위한 것이고, 본원 발명의 기술적 범위를 도면에 도시한 실시예로 한정하는 의도로 병기한 것은 아니다.

### 발명의 효과

상술한 바와 같이 본 발명의 DA 변환회로에 의하면, 변환 비트수가 많은 경우에도 소정의 아날로그 전압을 고정밀도로 출력할 수 있으며, 작은 패턴 면적으로 실현할 수 있다.

### (57) 청구의 범위

#### 청구항 1

n 비트의 디지털 입력 코드중의 상위 일부의 비트 신호가 입력되고, 입력된 비트 신호를 DA 변환한 전압을 제 1 출력 노드(12)에 출력하고, 상기 DA 변환 전압보다 소정치 높은 전압을 제 2 출력 노드(11)에 출력하는 DA 변환회로부(10)와,

상기 DA 변환회로부의 제 1 출력 노드의 전압 및 제 2 출력 노드의 전압이 입력되는 동시에 상기 n 비트의 디지털 입력 코드중 하위 비트를 포함하는 일부의 비트 신호가 입력되고, 이것을 디코딩한 결과에 따라서 복수개의 출력 노드중 일부에 상기 DA 변환회로부의 제 1 출력 노드의 전압을 선택하여 출력하며, 상기 복수개의 출력 노드중 나머지에 상기 DA 변환회로부의 제 2 출력 노드의 전압을 선택하여 출력하는 접속 전환 제어회로(20)와,

상기 접속 전환 제어회로의 복수개의 출력 노드에 각각 대응하는 복수개의 정입력 단자와 부입력 단자를 가지는 동시에 1개의 출력 단자(31)를 가지며, 상기 복수개의 정입력 단자에는 대응하고 상기 접속 전환 제어회로의 복수개의 출력 노드의 전압이 입력되며, 복수개의 부입력 단자는 상기 1개의 출력 단자에 공통으로 접속되어 있는 다중입력 연산 증폭회로(30)를 구비하는 것을 특징으로 하는 디지털·아날로그 변환회로.

#### 청구항 2

n 비트의 디지털 입력 코드중 상위  $i(i < n)$  비트가 입력되고, 이것을 DA 변환하여 상기 i 비트의 내용에 따라서 결정되는 DA 변환 전압을 제 1 출력 노드(12)에 출력하고, 상기 DA 변환 전압보다도 상기 i 비트 입력중 최하위 비트의 웨이트에 대응하는 크기만 높은 전압을 제 2 출력 노드(11)에 출력하는 DA 변환회로부(10)와,

상기 DA 변환회로부의 제 1 출력 노드의 전압 및 제 2 출력 노드의 전압이 입력되는 동시에 상기 n 비트의 디지털 입력 코드중 나머지의 하위  $j(j < n, j = n - i)$  비트가 입력되어, 상기 j 비트의 코드를 디코딩하여,  $2^j$ 개의 출력 노드중 디코딩 내용에 따른 일부에 상기 DA 변환회로부의 제 1 출력 노드의 전압을 선택하여 출력하며, 상기  $2^j$ 개의 출력 노드중 나머지에 상기 DA 변환회로부의 제 2 출력 노드의 전압을 선택하여 출력하는 접속 전환 제어 회로(20)와,

상기 접속 전환 제어 회로의  $2^j$ 개의 출력 노드에 각각 대응하는 수의 정입력 단자와 부입력 단자를 가지는 동시에 1개의 출력 단자(31)를 가지며, 상기  $2^j$ 개의 정입력 단자에는 대응하고 상기 접속 전환 제어 회로의  $2^j$ 개의 출력 노드의 전압이 입력되어  $2^j$ 개의 부입력 단자는 상기 1개의 출력 단자에 공통으로 접속되어 있는 다중입력 연산 증폭회로(30)를 구비하는 것을 특징으로 하는 디지털·아날로그 변환회로.

#### 청구항 3

n 비트의 디지털 입력 코드중 상위  $i(i < n)$  비트가 입력되고, 이것을 DA 변환하여 상기 i 비트의 내용에 따라서 결정되는 DA 변환 전압을 제 1 출력 노드(12)에 출력하여, 상기 DA 변환 전압보다도 상기 i 비트 입력중 최하위 비트로부터 1개 상위의 비트의 웨이트에 대응하는 크기만 높은 전압을 제 2 출력 노드(11)에 출력하는 DA 변환회로부(10)와,

상기 DA 변환회로부의 제 1 출력 노드의 전압 및 제 2 출력 노드의 전압이 입력되는 동시에 상기 n 비트의 디지털 입력 코드중 나머지의 하위  $j(j < n, j = n - i)$  비트와 상기 i 비트 입력중 최하위 비트가 입력되고, 상기  $(j+i)$  비트의 코드를 디코딩하여,  $2^{(j+i)}$ 개의 출력 노드중 디코딩 내용에 따른 일부에 상기 DA 변환회로부의 제 1 출력 노드의 전압을 선택하여 출력하고, 상기  $2^{(j+i)}$ 개의 출력 노드중 나머지에 상기 DA 변환회로부의 제 2 출력 노드의 전압을 선택하여 출력하는 접속 전환 제어 회로(20)와,

상기 접속 전환 제어 회로의 출력 노드에 대응하는  $2^{(j+i)}$ 개의 정입력 단자와  $2^{(j+i)}$ 개의 부입력 단자를 가지는 동시에 1개의 출력 단자(31)를 가지며, 상기  $2^{(j+i)}$ 개의 정입력 단자에는 대응하고 상기 접속 전환 제어 회로의  $2^{(j+i)}$ 개의 출력 노드의 전압이 입력되며,  $2^{(j+i)}$ 개의 부입력 단자는 상기 1개의 출력 단자에 공통으로 접속되어 있는 다중입력 연산 증폭회로(30)를 구비하는 것을 특징으로 하는 디지털·아날로그 변환회로.

#### 청구항 4

제 1항에 있어서, 상기 DA 변환회로부에서 상기 DA 변환회로부는 스트링 저항 방식 DA 변환회로부가 사용되는 것을 특징으로 하는 디지털·아날로그 변환회로.

#### 청구항 5

제 4항에 있어서, 상기 다중입력 연산 증폭회로에서 상기 다중입력 연산 증폭회로는 P 탑형 연산 증폭회로와 N 탑형 연산 증폭회로가 조합되어 이루어진 레일·투·레일형의 다중입력 연산 증폭회로가 사용되는 것을 특징으로 하는 디지털·아날로그 변환회로.

#### 청구항 6

제 2항에 있어서, 상기 DA 변환회로는 스트링 저항 방식 DA 변환회로부가 사용되는 것을 특징으로 하는 디지털·아날로그 변환회로.

#### 청구항 7

제 6항에 있어서, 상기 다중입력 연산 증폭회로는 P 탑형 연산 증폭회로와 N 탑형 연산 증폭회로가 조합되어 이루어진 레일·투·레일형의 다중입력 연산 증폭회로가 사용되는 것을 특징으로 하는 디지털·아날로그 변환회로.

#### 청구항 8

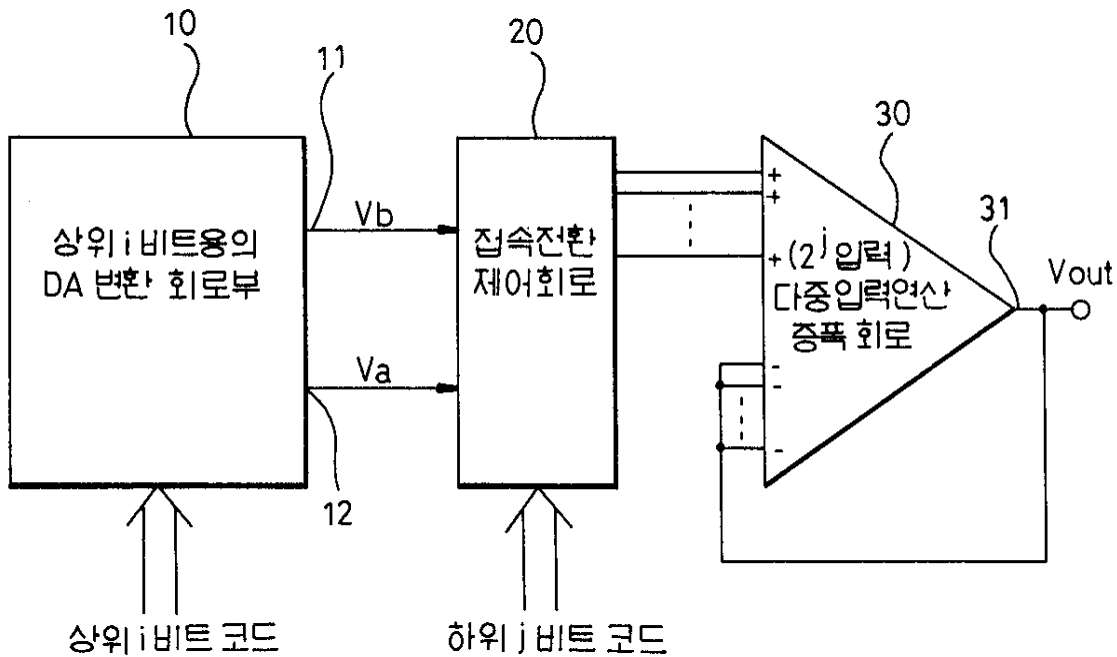
제 3항에 있어서, 상기 DA 변환회로부는 스트링 저항 방식 DA 변환회로부가 사용되는 것을 특징으로 하는 디지털·아날로그 변환회로.

#### 청구항 9

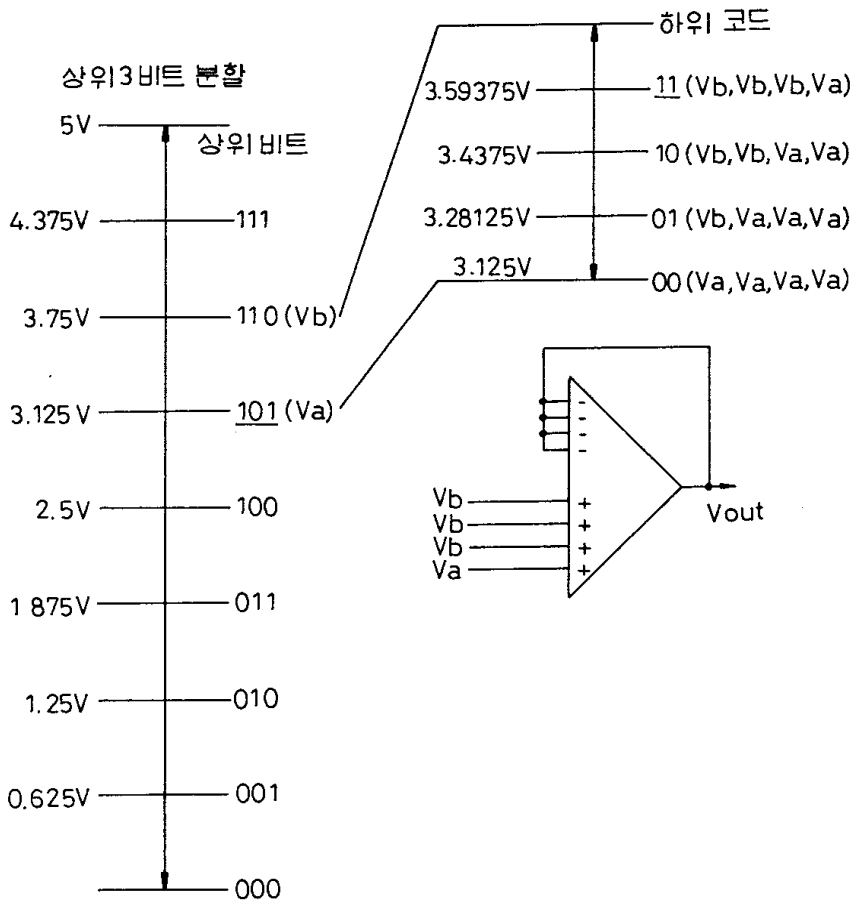
제 8항에 있어서, 상기 다중입력 연산 증폭회로는 P 탑형 연산 증폭회로와 N 탑형 연산 증폭회로가 조합되어 이루어진 레일·투·레일형의 다중입력 연산 증폭회로가 사용되는 것을 특징으로 하는 디지털·아날로그 변환회로.

### 도면

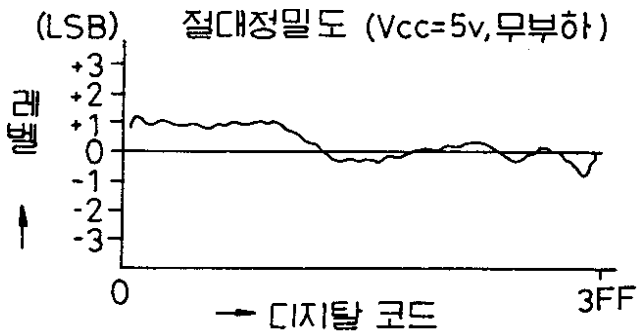
#### 도면1



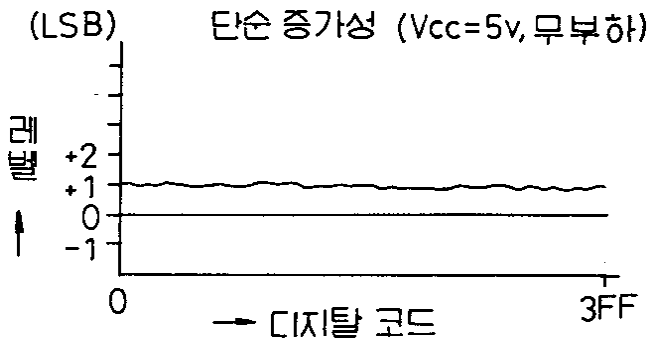
도면2



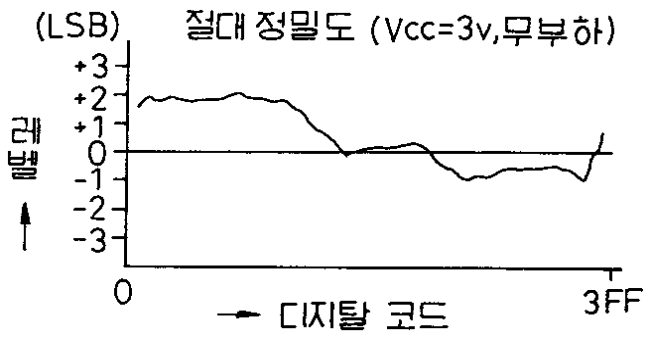
도면3a



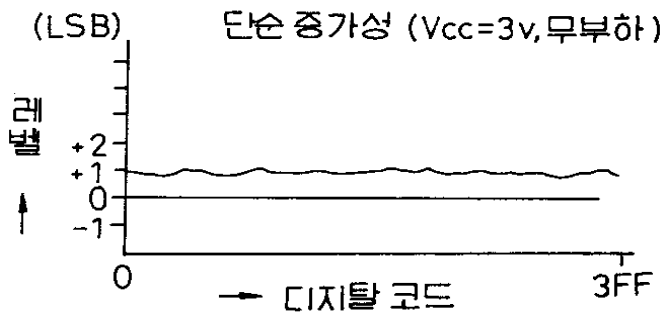
도면3b



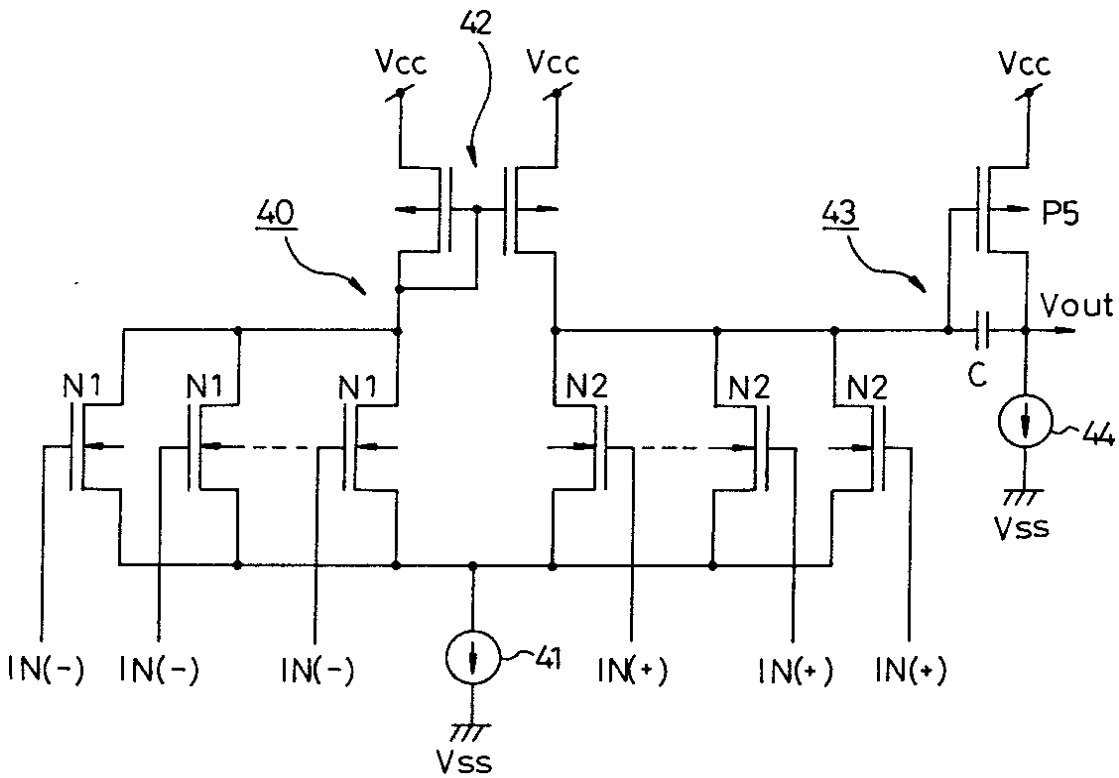
도면3c



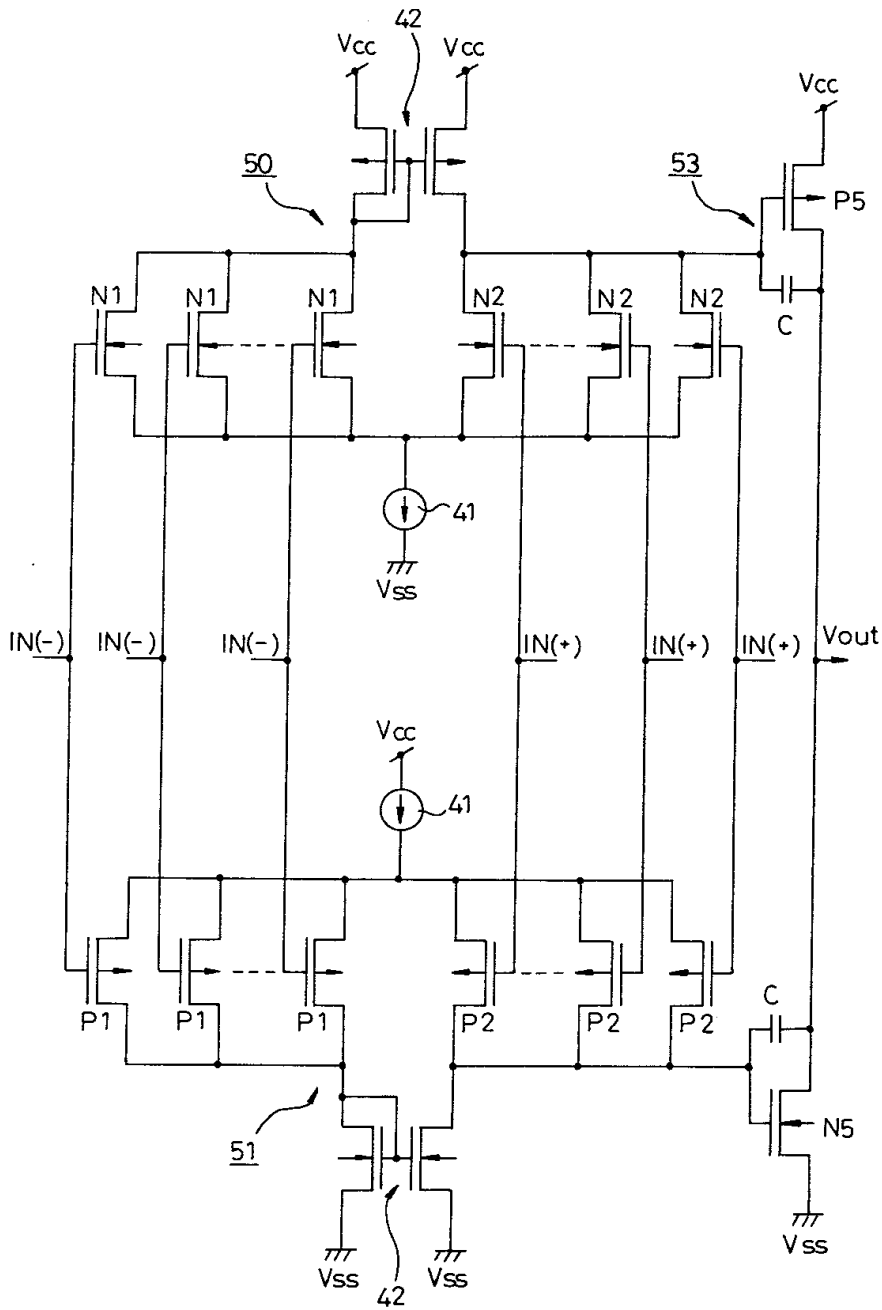
도면3d



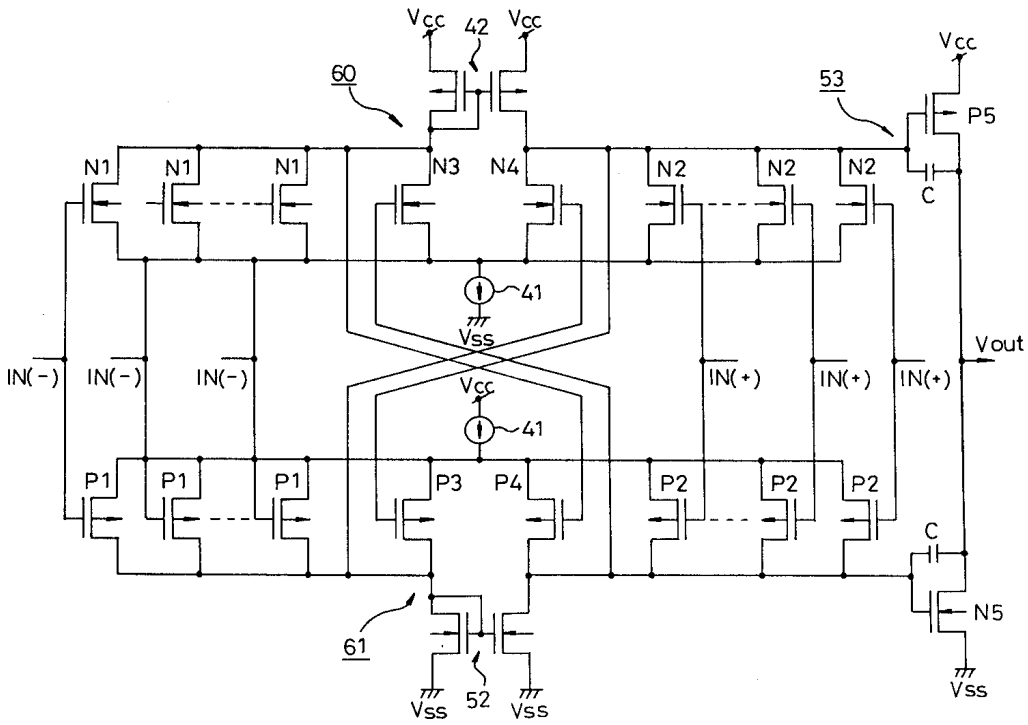
도면4



도면5



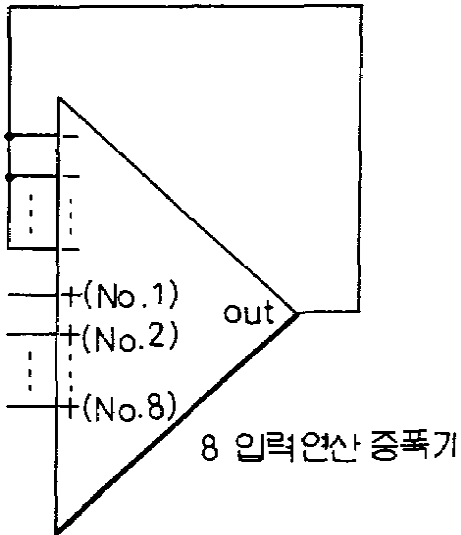
도면6



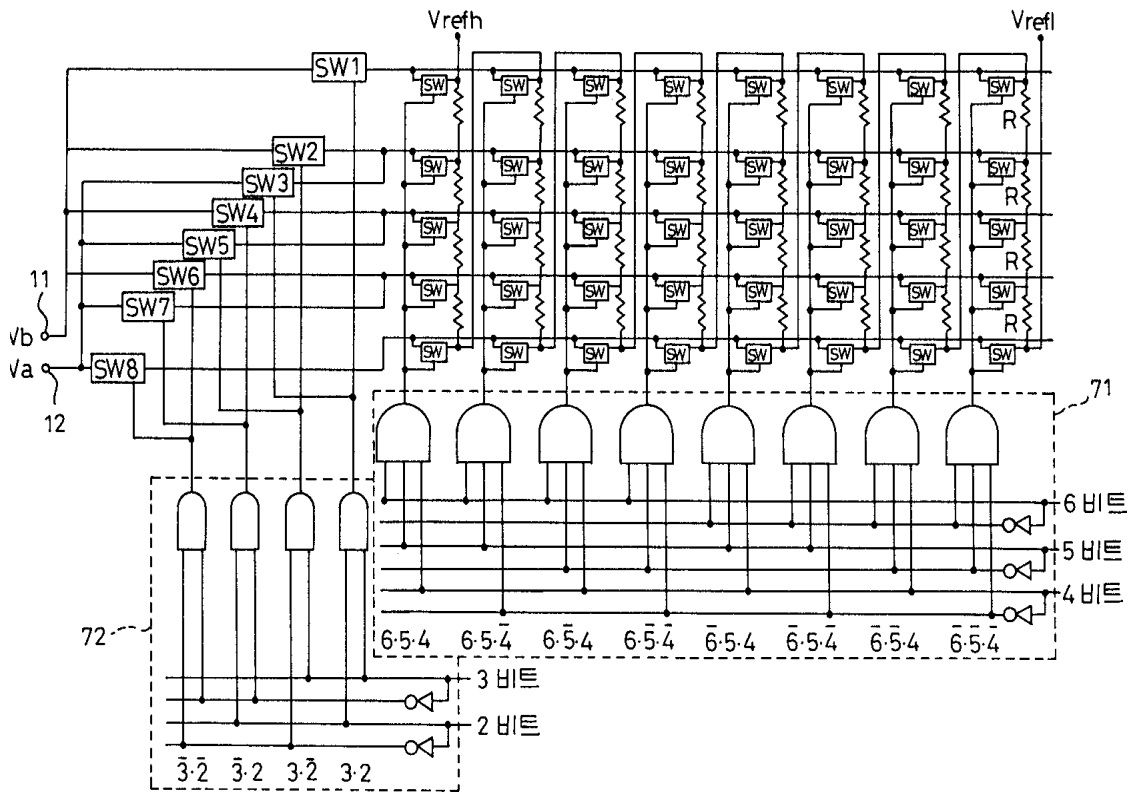
도면7a

2 <sup>3</sup> 입력 연산 증폭기의 정입력 단자(+)								
3비트 코드	No.1	No.2	No.3	No.4	No.5	No.6	No.7	No.8
0 0 0	Va	Va	Va	Va	Va	Va	Va	Va
0 0 1	Vb	Va	Va	Va	Va	Va	Va	Va
0 1 0	Vb	Vb	Va	Va	Va	Va	Va	Va
0 1 1	Vb	Vb	Vb	Va	Va	Va	Va	Va
1 0 0	Vb	Vb	Vb	Vb	Va	Va	Va	Va
1 0 1	Vb	Vb	Vb	Vb	Vb	Va	Va	Va
1 1 0	Vb	Vb	Vb	Vb	Vb	Vb	Va	Va
1 1 1	Vb	Vb	Vb	Vb	Vb	Vb	Vb	Va

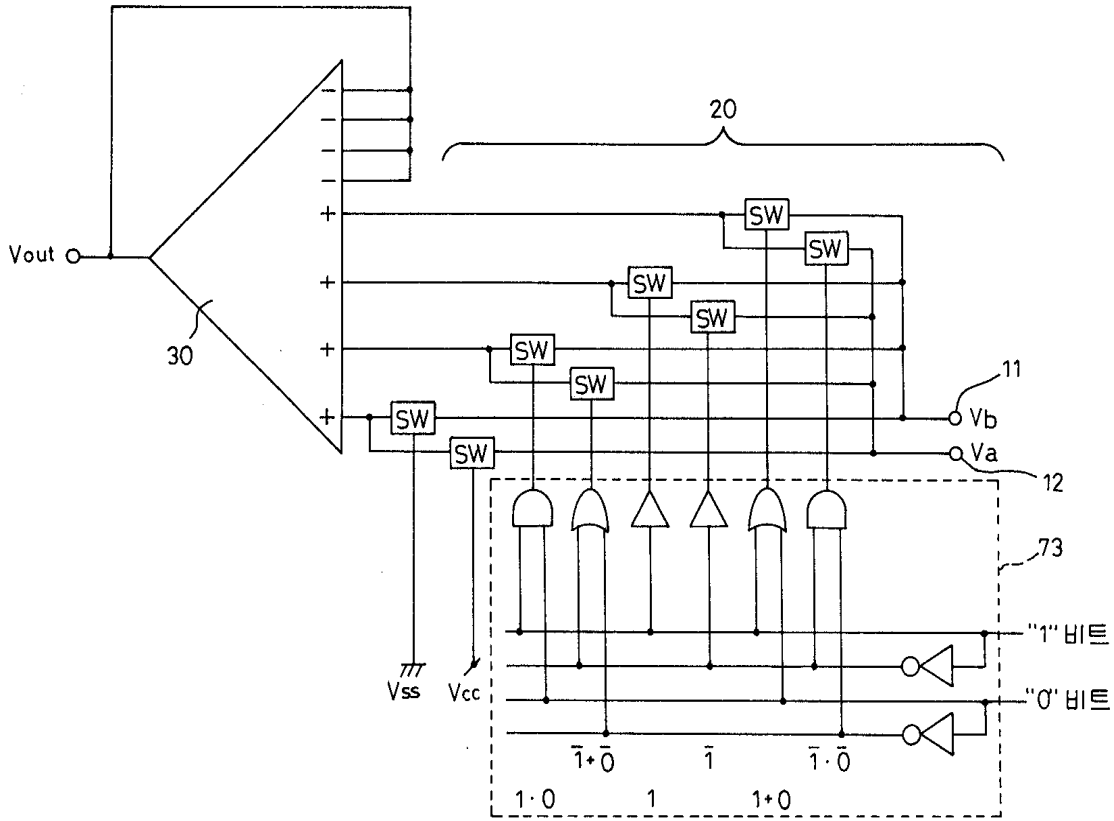
도면7b



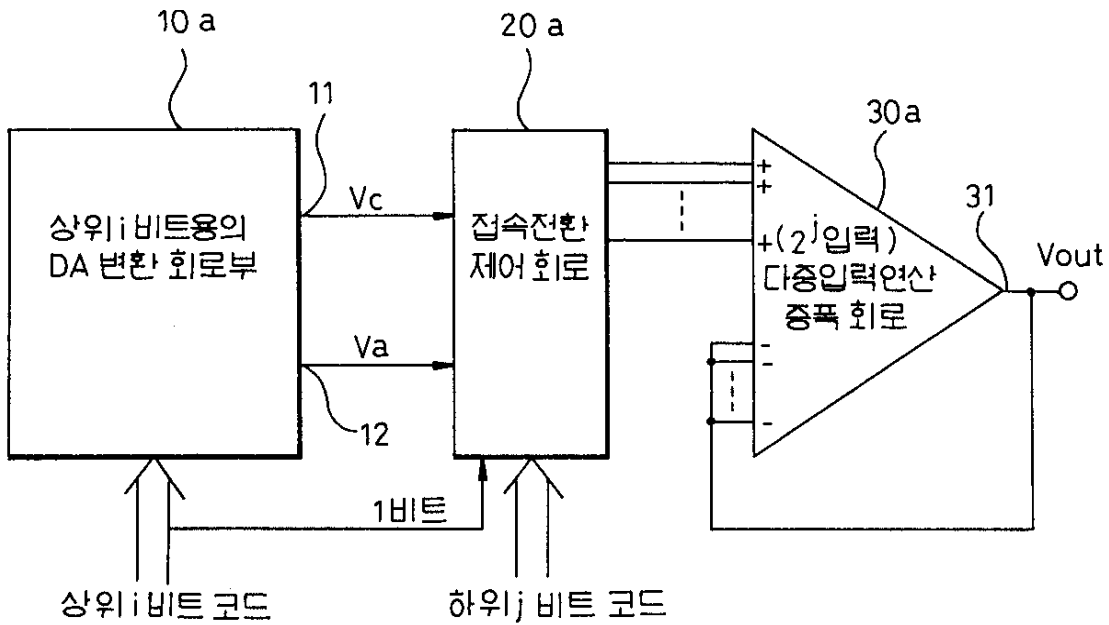
도면8



도면9

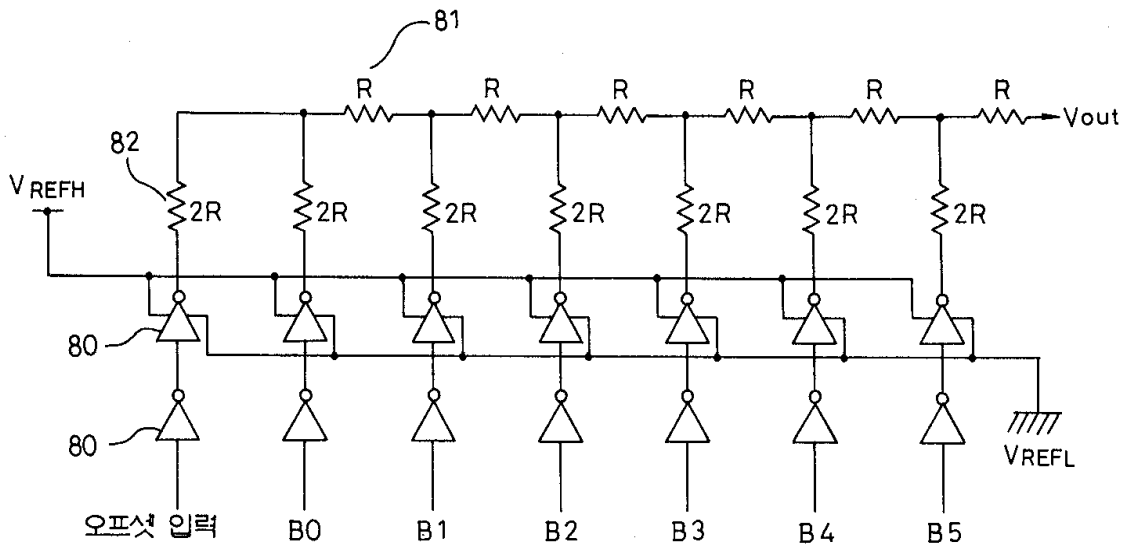


도면10

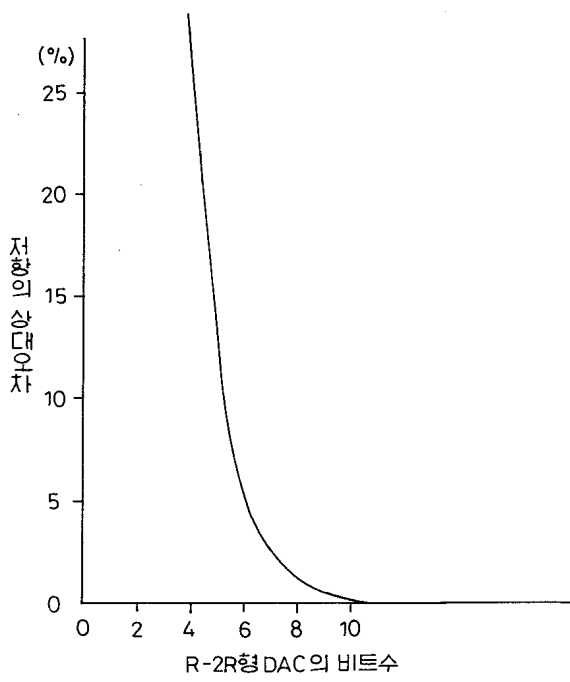




도면11



도면12



도면 13

