

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/10

H01L 27/04



[12] 发明专利申请公开说明书

[21] 申请号 02149893.8

[43] 公开日 2003 年 4 月 16 日

[11] 公开号 CN 1411072A

[22] 申请日 2002.9.4 [21] 申请号 02149893.8

[30] 优先权

[32] 2001.9.4 [33] JP [31] 266933/2001

[71] 申请人 日本电气株式会社

地址 日本东京都

[72] 发明人 奈仓健 三轮达

[74] 专利代理机构 中科专利商标代理有限责任公司

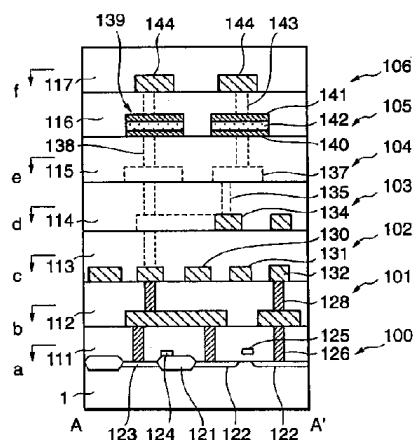
代理人 陈瑞丰

权利要求书 2 页 说明书 14 页 附图 18 页

[54] 发明名称 包含影像随机存取存储器的半导体存储设备

[57] 摘要

一种用以防止影像 RAM 单元面积增加的半导体存储设备，它包括部分 SRAM 存储单元和与所述部分 SRAM 存储单元之存储节点相连的铁电电容器，得到存储电容器的高性能结构。所述影像 RAM 在与存储节点对应的布线层和铁电电容器下电极之间设有中继布线层；与存储节点对应的布线通过在第一间隔处布置的第一和第二开口端与中继布线相连；铁电电容器下电极通过布置在比第一间隔要窄的第二间隔处的第三和第四开口端与中继布线相连。



ISSN 1008-4274

1. 一种半导体存储设备，其中，包括：
 - 5 包含SRAM存储单元的SRAM存储器；以及
包含铁电电容器和SRAM存储单元的影像RAM；
其中，所述影像RAM的单元面积实际上等于所述SRAM存储器的单元面积。
2. 根据权利要求1的半导体存储设备，其中，构成所述影像RAM的部分
10 SRAM存储单元的布线层数比构成所述SRAM的SRAM存储单元的布线层数多。
3. 根据权利要求1的半导体存储设备，其中，在构成所述影像RAM的部分SRAM存储单元的布线层和构成其部分铁电容器的布线层之间设有中继布线层。
- 15 4. 一种半导体存储设备，其中，包括：
影像RAM，它包含部分SRAM存储单元和铁电电容器，所述铁电电容器与所述SRAM存储单元所述部分的存储节点相连；
其中所述影像RAM在相应于存储节点的布线和铁电电容器下电极之间设有中继布线层；
20 其中与所述存储节点对应的布线通过在第一间隔中沿第一方向布置的第一和第二开口端与所述中继布线层的中继布线相连；
其中所述下电极通过在比所述第一间隔短的第二间隔处沿所述第一方向布置的第三和第四开口端与所述中继布线相连。
5. 根据权利要求4的半导体存储设备，其中，所述中继布线层是与相应于
25 影像RAM之一对位线的布线层不同的布线层。
6. 根据权利要求4的半导体存储设备，其中，所述第三和第四开口端都布置在与所述一对位线相应的布线之间。
7. 根据权利要求4的半导体存储设备，其中，形成所述中继布线的形状使所述第一和第二开口端以及所述第三和第四开口端被布置在不同的位置。
- 30 8. 根据权利要求4的半导体存储设备，其中，由所述下电极、在所述下电

极上形成的铁电绝缘薄膜以及在所述铁电绝缘薄膜上形成的上电极构成所述铁电电容器；由与连接到所述上电极上的极板布线层相同的布线层构成所述上电极。

9. 根据权利要求4的半导体存储设备，其中，所述半导体存储设备还包含
5 SRAM存储单元；所述影像RAM的存储单元面积和所述SRAM存储单元面积实际上彼此相同。

10. 一种半导体存储设备，其中，包括：

SRAM存储单元的一部分；

影像RAM，它包含与所述部分SRAM存储单元存储节点相连的铁电电
10 容器；

其中所述影像RAM包含：

第一布线层，它包含与所述部分SRAM存储单元的单元晶体管和栅控
晶体管相连的字线；

第二布线层，它包含存储节点布线，用以连接所述单元晶体管和栅控
15 晶体管，还包含第一中继布线，用以将所述栅控晶体管与位线相连；

第三布线层，它包含与所述存储节点布线相连的第二中继布线和与第
一中继布线相连的第三中继布线；

第四中继布线层，它包含与所述第二中继布线相连的第四中继布线和
与所述第三中继布线相连的所述位线；

20 第五布线层，它包含与所述第四中继布线相连的所述铁电电容器；

第六布线层，它包含与所述铁电电容器上电极相连的极板线；

其中用以连接所述第二中继布线和存储节点之第一开口端和用以连接
所述第二中继布线和第四中继布线之第二开口端被布置在不同位置。

11. 根据权利要求10的半导体存储设备，其中，

25 所述第二布线层包含第五中继布线，用作与所述单元晶体管相连的电
源布线；以及

其中在所述第二布线层和第三布线层之间设置第七布线层；所述第七
布线层还包括电源布线，它与所述第五中继布线相连；第六中继布线，用
于将存储节点的布线与第二中继布线相连；以及第七中继布线，用于将所
30 述第一中继布线和所述第三中继布线相连。

包含影像随机存取存储器的半导体存储设备

5

技术领域

本发明涉及静态随机存取存储器(SRAM)，特别涉及一种影像RAM，它具有通过在SRAM中加入铁电电容器形成的存储器单元，在对其供电时，用于对SRAM单元进行高速读取和写入，当不供给电源时，在铁电电容器中保持非易失性的存储。

10

背景技术

传统的静态随机存取存储器(SRAM)包含由两个CMOS反相器构成的触发器，如图1A的电路图所示。此外，使组成触发器的NMOS晶体管Q0和Q1的漏极构成存储节点N0和N1。两个存储节点N0和N1通过作为传输门的NMOS晶体管Q4和Q5分别与负位线BLN和正位线BLT相连。构成传输门的NMOS晶体管Q4和Q5的栅极与公共的字线WL相连。负位线BLN和正位线BLT成为一对，在它们之间连接一个未示出的传感放大器，用于比较并放大两个位线的电压。

15

同时，通过在上述静态随机存取存储器(下称SRAM)的存储节点N0和N1中加入铁电电容器来构成所述影像RAM。图1B是在日本未审专利No.2000-293989中描述的影像存储器实例的电路图。与图1A所示SRAM相同的部分用相同的符号来表示，这里略去对它们的介绍。按照所述影像RAM，在铁电电容器F0和F1一侧的相应终端分别与两个存储节点N0和N1相连，铁电电容器F0和F1另一侧的两个终端分别与极板线PL相连。极板线PL与附图之外的极板线驱动电路相连。

20

25

在加给电源时，将影像RAM设定在电源电压Vcc的1/2，即Vcc/2，以与传统之通用SRAM相同的方式实现在供电情况下执行的读取数据和写入数据。在切断电源时，进行存储转换操作，即将触发器存储的数据转变为铁电电容器F0和F1的极化方向。在存储期间，通过将极板线PL变为Vcc/2、Vcc

30

甚至0V，将存储的数据被存储成铁电电容器F0和F1的剩余极化方向，而保持字线W处于未被激活状态。此外，当启动电源时，实行再调用的切换操作，将铁电电容器所保持的数据转移给触发器。在再调用期间，通过启动触发器的电源，将作为剩余极化的铁电电容器存储的数据复制到触发器中，而保持字线WL和极板线PL处于未被激活状态。按照这种方式，可将所述影像RAM作为非易失性的存储器，即使在遇到断电或者重新启动电源时，也可以触发器存储的数据得以被保持，同时可按与传统SRAM相似的方式实现读取数据和写入数据。

为了在半导体极板(硅衬底)上形成这样的影像RAM，需要在尽可能的上层中形成所述铁电电容器。因为在铁电电容器中，通常使用一个很薄的陶瓷层作为下电极和上电极之间不导电的绝缘薄膜，并且由于铁电薄膜是由氧化物组成的，所以，在把铁电薄膜置于脱氧环境中时，就产生氧不足的问题，电阻会下降，在电极之间的漏电电流增加，并产生铁电极化数目下降、介电常数下降以及其它电学性能的恶化等。因此，将所述铁电电容器布置在多层布线结构中的最上层，使得能够在布线层的各种金属形成后形成它，这样铁电电磁铁就不会处于脱氧的环境中。

图10的剖视图示出沿着图11A中的AA'线所取的断面，而附图11A、11B、11C以及图12A、12B分别是沿所述剖视图的a至e线观察的视图。图10中建立一种结构，其中在硅衬底1上提供与MOS晶体管一起形成的晶体管层300，在晶体管层300上，设置多层布线层，由第一中间层绝缘薄膜311、第一布线层301、第二中间层绝缘薄膜312、第二布线层302、第三中间层绝缘薄膜313、第三布线层303、第四中间层绝缘薄膜314、铁电电容器层(第四布线层)304、第五中间层绝缘薄膜315、第五布线层305及钝化薄膜316依次层叠而形成。

图11A示出晶体管层300，它包含在硅衬底1上形成的N型扩散层321和P型扩散层322以及栅极323和字线(WL)324的多晶硅布线。图11B示出第一布线层301，它包含通过第一插塞325与晶体管层300相应的扩散层321和322相连的第一中继布线326。此外，通过向在中间层绝缘薄膜中形成的触点填充导电材料插塞，使上层326与低层321及322彼此相连。图11C示出第二布线层302，它包括通过第二插塞327与第一布线层301相连的电源线(Vcc)328、

GND线329、为减小字线的总电阻而与晶体管层300的字线324并联的第二字线(WL)330, 以及与第一中继布线326相连的第二中继布线331。

图12A示出第三布线层303, 它包含通过第三插塞332与第二布线层302相连的位线(BLN、BLT)333、与第二中继布线331相连第三中继布线334。

5 图12B示出第四布线层304, 它包含通过第四插塞335与第三中继布线334相连的铁电电容器336; 还包括第五布线层305, 它包含通过其上的第五插塞340连接的上层底板线(PL)341。铁电电容器336由下电极337、铁电绝缘薄膜338和上电极339层叠而成, 下电极337与第三中继布线334相连, 上电极334与极板线341相连。

10 在这种方式下, 按照上述影像RAM(下称传统类型的影像RAM), 为使铁电电容器336与分别构成反相器的NMOS晶体管Q0和Q1的存储节点N0、N1相连, 要形成一种结构, 这种结构中的晶体管层300通过第一至第四中间层绝缘薄膜311至334与铁电电容器336下电极337相连。也就是说, 分别形成带有第一至第三中继布线326、331和334的第一至第三布线层301至303, 15 分别形成带有插塞325、327、332和335的第一至第四中间层绝缘薄膜311至314。

在这种方式下, 按照所述的影像RAM, 对于第一至第三布线层301至303而言需要一个空间, 除了布置构成SRAM所需的布线外, 还要用来布置相应的中继布线326、331和334, 增大了单一存储器单元MC所需的单元面积 20 。结果, 在获得影像RAM存储电容器高容量的结构方面构成危害。

参照图13至15B, 解释图1A所示的SRAM结构, 用作对比。图13是其纵向剖面图, 图14A和14B以及图15A和15B是沿其中a至d线方向观察的布局图, 并且构成四层结构的SRAM。图13中构成一种结构, 其中在硅衬底1上设置带有MOS晶体管的晶体管层400, 在晶体管层400上设置多层布线层 25 , 这由第一中间层绝缘薄膜411、第一布线层401、第二中间层绝缘薄膜412、第二中间层402、第三中间层绝缘薄膜413、第三布线层403以及钝化薄膜414的依序层叠而成。

图14A示出晶体管层400, 它具有在硅衬底1上形成的N型扩散层421与P型扩散层422以及栅极423和字线424的多晶硅布线。图14B示出第一布线层 30 401, 它包含通过第一插塞425与晶体管层400相应的扩散层421和422相连的

第一中继布线426。图15A示出第二布线层402，它包含通过第二插塞427与第一中继布线426相连的电源线(Vcc)428和GND线429，与晶体管层400的工作线424并联用以减小工作线总电阻的第二字线(2WL)430，以及第二中继布线431。图15B是第三布线层403，它包含通过第三插塞432与第二中继布
5 线431相连的位线(BLN, BLT)433。

在将四层结构的SRAM与传统类型影像RAM相应的层进行对比时，如所周知，传统类型的影像RAM中，除电源线328、GND线329和第二字线330之外，还需要第二中继布线331，作为图13所示SRAM的第二布线层402中众多布线的外加布线，而在第三布线层303中除了位线333之外，还需要第三中继布线334，作为SRAM中第三布线层303众多布线的外加布线。设计
10 中，可以通过布置与第二中继布线和第三中继布线相应的布线，分别作为第二布线层和第三布线层中所需的外加布线，以构成所述影像RAM，而不用改变第四层结构的SRAM布局。然而，在邻近的布线之间的间隔是很狭窄的，并且在光刻录技术中没有提供形成布线层的裕度，因此造成了邻近
15 布线之间的短路。特别是在第三布线层中，虽然在SRAM中两条位线是呈一条直线布置的，但是在传统类型的影像RAM中，拟以电子方式与比较上层之铁电电容器相连的第三中继布线334被布置成是沿着两条成对的位线333进行连接，所以要在所述位线之间将间隔增加相应的宽度。因此，按照增加位线间隔的要求，就要改变所有布线层，包括最下层晶体管层在内的
20 布局，考虑到沿着字线延伸方向上的长度LW、沿着位线延伸方向上的长度LB，影像RAM在字线延伸方向上的长度LW比SRAM存储单元的长度要长，与SRAM的相比，在半导体衬底上的存储单元的单元面积要增加。此外，由于存储单元的单元面积的增加，就须改变存储单元的外围电路，诸如解码器、传感放大器等，这使得设计中变化的尺度增大了，设计步骤的数
25 目增加了。

此外，如图16A、16B和16C所示，提出三层布线结构的SRAM，以减少层数。在三层布线结构的SRAM情况下面，尽管与图13至15C所示的SRAM单元面积相比，其存储单元的单元面积或多或少地增加了，但是布线层的数目减少了。图16A、16B、16C所示的各层布局图中，各部分的符号采用
30 与图13至15C中所示SRAM中相同的符号。图16A示出晶体管层400，它具

有在硅衬底1上形成的相应的N型和P型扩散层421和422，以及栅极423和字线424的多晶硅布线。图16B示出第一布线层401，它包含电源线428、第二字线430、通过第一插塞425与晶体管层400之相应扩散层421相连的第一中继布线426。图16C示出第三布线层403，它包含通过第一中继布线426连接的GND线429和位线433。

图17A和17B以及图18A和18B示出与三层结构的SRAM相反的影像RAM的布局图。另外，对相同的部件采用与图10至12B相同的符号。图17A示出晶体管层300，它包含在硅衬底1上形成的相应的N型扩散层321和P型扩散层322，以及栅极323和字线324的多晶硅布线。图17B示出第一布线层301，它包括通过第一插塞325与晶体管层300之扩散层321和322相连的电源线(Vcc)328和GND线329、第二字线(2WL)330以及第一中继布线326。图18A示出第二布线层302，它包含通过第二插塞327与第一中继布线326相连的位线(BLN,BLT)333和第二中继布线334。图18B示出第三布线层303，它包含通过第三插塞332与第二中继布线334相连的铁电电容器336，以及在其上形成的第四布线层304，它包含通过第四插塞340与铁电电容器336相连的极板线(PL)341。尽管图中未予示出，铁电电容器336由下电极、铁电绝缘薄膜和上电极的层叠结构组成，所述下电极与第二中继布线334相连，上电极与极板线341相连。

在利用三层布线结构之SRAM构成传统类型的影像RAM时，在第一布线层301中，尽管在SRAM中不出现GND线，但在传统类型的影像RAM中，沿着电源线328和第二字线330布置GND线329。这是因为在第二布线层302中提供要与铁电电容器相连的中继布线334。因此，构成一种存储器单元MC的布局，沿位线延伸的方向的尺寸LB比三层布线结构之SRAM的该尺寸要大，存储单元MC的单元面积也增加了。在获得与上述传统类型影像RAM类似之存储电容器的高容量结构方面也造成障碍。

发明内容

本发明的目的在于提供一种半导体存储设备，用于防止影像RAM之存储单元的单元面积增加，同时获得存储电容器的高容量结构。

此外，本发明的目的还在于提供一种半导体存储器设备，能够利用适

用于普遍使用之传统SRAM的晶体管布线层设计数据来设计影像RAM。

此外，本发明的目的还在于提供一种半导体存储设备，可以降低影像RAM的许多设计步骤，缩短设计周期，并具有很大的存储容量。

本发明的半导体存储设备，它包括SRAM存储单元和影像RAM存储单元。所述影像RAM存储单元在SRAM存储器单元中带有铁电电容器，并
5 按照如下方式构造，使所述影像RAM的存储器单元的面积等于所述SRAM的存储器单元的面积。

此外，本发明的半导体存储设备，在所述SRAM存储单元中至少包含具有铁电容器的影像RAM，该影像RAM包括中继布线层，并且部分SRAM
10 存储单元的两个存储节点通过所述中继布线层的中继布线以及开口端分别与低电电容器相连。相应的存储节点和中继布线层的中继布线通过第一和第二开口端连在一起，而且所述中继布线和铁电电容器下电极通过第三和第四开口端连在一起。设置中继布线，使第三和第四开口端之间的距离比第一和第二开口端之间的距离窄。

也就是说，设置所述中继布线层，形成带有中继布线的中继布线层，
15 用来以任意的图案形状连接上层布线层和下层布线层，并且把用以连接与中继布线相连之上层布线层的开口端位置和用以连接下层布线的开口断位置设定为不同的任意位置。从而，可使所述铁电电容器相应的节点和下电极相接，而不会改变适用于广泛使用之传统SRAM的布线层几乎所有的数
20 据。

此外,本发明的特征在于用来驱动SRAM和影像RAM的外围电路是公用的。在这种情况下，构成一种结构，其中存在SRAM和影像RAM，以便在存储单元区域中混合。此外，保证在位线方向或者字线方向上由影像RAM构成的存储单元区域和由SRAM构成的存储单元区域的尺寸相同。

按照本发明，布线层的数目比传统类型影像RAM的布线层的数目要增多，在所增加的布线层中，用来连接上层布线层和下层布线层的中继布线形成任意形状；可将用以连接下层布线层和用以连接上层布线层的连接结构设定在不同的任意位置。于是，即使在传统类型影像RAM的上层布线层布局和下层线层布局保持与SRAM的存储单元的相应布线层的布局相同，
25 也可以实现影像RAM，而且，本发明的影像RAM能够被实现而保持其尺寸
30

接下去，参照附图解释本发明的实施例。图2A至4C示出将本发明应用于传统技术所述四层结构之SRAM中的例子。另外，图2A和2B的剖视图是沿着图3A至4C中的AA'和BB'线所取的剖面图，图3A至图4C相应的布局图
5 示出沿图2A和2B中的a至f线方向的投影布局。如图2A和2B所示，在硅衬底1上，通过第一至第六中间层绝缘薄膜111至116层叠有晶体管层100、第一布线层101、第二布线层102、第三布线层103、第四布线层104、第五布线层105和第六布线层106。最上层是钝化薄膜117。

图3A是表示晶体管层100的视图，在硅衬底1的一个存储单元MC区域内，采用LOCOS方法选择形成部件隔离绝缘薄膜121的方式形成晶体管区域。这之后，在晶体管的部分区域内，采用N型砷杂质或者磷杂质等形成N
10 型扩散层122，采用诸如硼等P型杂质形成带有P型扩散层123的其它区域。此外，在硅衬底1的表面形成栅氧化膜和多晶硅薄膜，然后通过光刻步骤，按照事先确定的方式形成多晶硅薄膜和栅氧化膜，从而形成栅极124和字线(WL)125。从而，形成晶体管层100，它带有通过P型扩散层123形成其源极
15 和漏极的PMOS晶体管Q2和Q3，通过N型扩散层122形成其源极和漏极的NMOS晶体管Q0和Q1，以及构成栅控晶体管(传输门)的NMOS晶体管Q4和Q5。

图3B是表示第一布线层101的视图，在晶体管层100上形成硅氧化物的第一中间层绝缘薄膜111。此外，第一中间层绝缘薄膜111在其位于N型扩散
20 层122和P型扩散层123上方的区域设有开口，将钨等导电材料嵌入开口中，形成第一插塞126。接着，在第一中间层绝缘薄膜111中形成铝薄膜或者铝合金薄膜，通过光刻步骤形成所需图案形状，从而形成第一布线层101。形成第一布线层101，作为第一中继布线127，并通过第一插塞126，使相应的第一中继布线117与晶体管层100的N型扩散层122和P型扩散层123相连。

25 图3C是表示第二布线层102的视图，在第一布线层101上形成硅氧化物的第二中间层绝缘薄膜112。此外，第二中间层绝缘薄膜112在第一中继布线上方的区域设有开口，将钨等导电材料嵌入到开口中，形成第二插塞128。接着，在第二中间层绝缘薄膜112中形成铝薄膜或者铝合金薄膜，通过光刻步骤形成所需的图案形状，从而形成第二布线层102。形成第二布线层102
30 ，用以构成电源线(Vcc)129、GND线130、第二字线(2WL)131以及第二中

和SRAM的存储单元的尺寸相同。此外，借助共同使用外围电路，可以很容易地通过将传统SRAM的存储单元替代为影像RAM的方式来设计半导体存储设备。

5 附图说明

以下参照附图将使本发明的上述以及其它目的、优点和特征成为显见的，其中：

图1A和图1B是SRAM和影像RAM的电路图；

图2A和2B是本发明第一实施例影像RAM的纵向剖面图；

10 图3A、3B和3C分别是沿图2A和2B中a、b和c线的各层布局视图；

图4A至4C分别是沿图2A和2B中d、e和f线的各层布局视图；

图5A和5B是表示第一实施例各相应布线层布线分配的表格；

图6A和6B是本发明第二实施例影像RAM的纵向剖面图；

图7A至7C分别是沿图6A和6B中a、b和c线的各层布局视图；

15 图8A和8B分别是沿图6A和6B中d和e线的各层布局视图；

图9A和9B是表示本发明第二实施例各布线层中布线分配的表格；

图10是沿着传统影像RAM之位线延伸方向的纵向剖面图；

图11A至11C分别是沿图10中a、b和c线的各层布局视图；

图12A和12B分别是沿图10中d和e线的各层布局视图；

20 图13是沿着传统SRAM的位线方向的纵向剖面图；

图14A和14B分别是沿图13中a和b线的各层布局视图；

图15A和15B分别是沿图13中c和d线的各层布局视图；

图16A至16C分别是穿过不同的传统SRAM第二布线层的晶体管层布局视图；

25 图17A和17B是不同的传统影像RAM的晶体管层和第一布线层的布局图；

图18A和18B是不同的传统影像RAM的第二布线层和第三布线层的布局图。

30 具体实施方式

继布线132，它们分别通过第二插塞128与第一中继布线127相连。此外，按与多晶硅层100的字线125平行的方式形成所述第二字线131，还在附图之外的区域使这些字线彼此电连接，从而实现整个字线的低电阻结构。

图4A是表示第三布线层103的视图，在第二布线层102上形成硅氧化物薄膜的第三中间层绝缘薄膜113。此外，第三中间层绝缘薄膜113在第二中继布线132上方的区域设有开口，将钨等导电材料嵌入到开口中，形成第三插塞133。接着，在第三中间层绝缘薄膜113中形成铝薄膜或者铝合金薄膜以及钛或者钛氮化物层叠的薄膜，通过光刻步骤形成所需的图案形状，从而形成第三布线层103。所形成的第三布线层103用以构成第三中继布线134，并通过第三插塞133与第二中继布线132相连。第三中继布线134形成L型图案形状，使得后面述及的上层中与第四布线层104相连的第四插塞135沿字线延伸方向的间隔比下层中用于与第二布线层102(即主要的布线)相连的第三插塞133之间的间隔要窄。换句话说，按照能够在第四布线层104中形成的布线之间布置的形状形成所述第三中间布线134。

图4B是说明第四布线层104的视图，在第三布线层103上形成硅氧化物的第四中间层绝缘薄膜114。另外，所述第四中间层绝缘薄膜114在第三中继布线134上方的区域设有开口，将钨等导电材料嵌入到开口中，形成第四插塞135。接着，在第四中间层绝缘薄膜114中形成铝薄膜或者铝合金薄膜，通过光刻步骤形成所需的图案形状，从而形成第四布线层104。所形成的第四布线层104组成位线(BLN,BLT)136和第三中继布线137，它们通过第四插塞135与第三中继布线134相连。

图4C是简要地表示第五布线层105和第六布线层106的视图，在第四布线层104上形成硅氧化膜的第五中间层绝缘薄膜115。此外，第五中间层绝缘薄膜115在第四中继布线137之上的区域形成一个开口，在开口中嵌入导电材料，从而形成第五插塞138。接着，在第五中间层绝缘薄膜115上形成第五布线层105。所形成的第五布线层105用于形成铁电电容器139。特别地，所述铁电电容器139形成层叠结构，其中下电极140和上电极141在同一个平面上互相重叠，在下电极140和上电极141之间插入陶瓷等铁电绝缘薄膜142。按照制造铁电电容器139的步骤，形成包含Pt、Ir、Ru等贵金属，或者 IrO_2 、 RuO_2 等导电氧化物的薄膜。接着，在其上形成一个PZT[$\text{Pb}(\text{Zr,Ti})\text{O}_3$]

、SBT[(SrBi₂Ta₂O₉)]、BST[(Ba,Sr)TiO₃]等铁电绝缘薄膜，在其上形成由与下电极类似的材料构成的薄膜，从而形成层叠结构。按照所需的图案形状形成这种层叠结构，从而形成铁电电容器139。下电极140通过第五插塞138与第四中继布线137相连。此外，在其上形成第六中间层绝缘薄膜116，在上电极141之上设有开口，在开口中嵌入导电材料，从而形成第六插塞143。接着在第六中间层绝缘薄膜116上形成铝薄膜或者铝合金薄膜，并通过光刻步骤形成所需的图案形状，从而形成极板线(PL)116，构成第六布线层116。所述极板线与上电极相连。此外，在极板线144上形成钝化薄膜117。

当按照这种方式形成实施例的影像RAM与图10至图12B所示传统类型的影像RAM进行对比时，传统类型影像RAM的第二布线层302和第三布线层303分别相应于本实施例的第二布线层102和第四布线层104，在传统类型影像RAM的第二布线层302和第三布线层303之间插入一个布线层，所插入的布线层构成本实施例的第三布线层103。形成本实施例第三布线层103，以构成第三中继布线134，并提供使下层的第二中继布线132与上层的第四中继布线137及位线136相连。此外，有如本实施例中的L型图案形状形成第三布线层103的第三中继布线134，可以相对于第三插塞133任意改变第四插塞135在平面上的位置。因此，在本发明的第四布线层104中，可以将用来与铁电电容器139电连接的第四中继布线137布置在两条成对的位线136之间，并且可以通过增大存储单元MC区域内位线136之间的间隙来安排。因而，与图10至12B中存储器单元的传统类型影像RAM相比，可使沿字线延伸方向的尺寸LW得以被减小。结果，可以实现本实施例的影像RAM，同时保持沿字线延伸方向的尺寸LW和沿位线延伸方向的尺寸LB与普通SRAM存储单元的这些尺寸相同，而在普通的SRAM中没有提供图13至15B所示的铁电电容器。

图5A表示一个图表，用以比较构成本实施例目的的相应字线、位线、电源线、GND线和SRAM铁电电容器、传统类型RAM和本实施例影像RAM中最终连接布线层。此外，可以按图5B所示的结构来构造本实施例的影像RAM，作为与字线、位线、电源线和GND线和铁电电容器相连的布线层结构。根据这个例子，作为第一改进的举例，位线布置在第三布线层处，第四布线层布置有中继线，用以改变与上层和下层布线层，诸如电源线、

GND线及引线等相连的插塞位置。此外，作为第二改进的举例，第三布线层布置有比如电源线、GND线和引线等中继线，第四布线层布置有位线。即使在这种结构中，类似于本实施例，可以提供不会增加存储单元之单元面积的影像RAM。通常，通过对附图所示之外的布线层的组合可以对相应的
5 的布线进行布置。

接下去，将解释本发明的第二实施例。图6A至图8C所示第二实施例是将本发明用于传统技术所述的三层布线结构SRAM中的实施例。此外，图6A和6B是沿图7A至8B中的AA'和BB'线各部分的剖面图，图7A至图8B对应的布局图示出沿图6A和图6B中的a至e线的布局。如图6A和6B所示，在硅衬底1上，通过第一至第五中间层绝缘薄膜211至215层叠有晶体管层200、第一布线层201、第二布线层202、第三布线层203、第四布线层204和第五布线层205。最顶层是钝化层216。
10

图7A是表示晶体管层200的视图，该晶体管层基本上与第一实施例的相同，但扩散层的图案形状、栅极和字线有一部分与之不同。采用LOCOS方法在硅衬底1的一个存储单元MC区域中选择地形成部件隔离绝缘薄膜211，从而形成晶体管区域。这之后，采用N型砷杂质或者磷杂质等在晶体管的部分区域中形成N型扩散层222，通过采用诸如硼等P型杂质形成带有P型扩散层223的其它区域。此外，在硅衬底1的表面形成栅极氧化物膜和多晶硅薄膜，然后通过光刻步骤按照事先确定的方式形成多晶硅薄膜和栅极氧化物膜，从而形成栅极224和字线(WL)225。因而，形成晶体管层200，它带有通过P型扩散层223构成其源极和漏极，进而形成负载晶体管的PMOS晶体管Q2和Q3，通过N型扩散层222构成其源极和漏极，进而形成单元晶体管的NMOS晶体管Q0和Q1，以及构成栅控晶体管的NMOS晶体管Q4和Q5。
20

图7B是表示第一布线层201的视图，在晶体管层200上形成硅氧化物的第一中间层绝缘薄膜211。此外，第一中间层绝缘薄膜211在其位于N型扩散层222和P型扩散层223上方的区域设有开口，将钨等导电材料嵌入到开口中，形成第一插塞226。接着，在第一中间层绝缘薄膜211中形成铝薄膜或者铝合金薄膜，通过光刻步骤形成所需的图案形状，从而形成第一布线层201。形成第一布线层201，以便构成电源线(Vcc)228、第二字线(2WL)229和第一中继布线230；通过第一插塞226，使所述电源线228与P型扩散层223相
30

连，以及使第二字线229与晶体管层200的字线225相连，第一中继布线230分别与N型扩散层222、P型扩散层223和栅极224相连。

图7C是表示第二布线层202的视图，在第一布线层201上形成硅氧化膜的第二中间层绝缘薄膜212。另外，第二中间层绝缘薄膜212在第一中继布线230上方的区域设有开口，将钨等导电材料嵌入到开口中，从而形成第二插塞231。接着，在第二中间层绝缘薄膜212中形成铝薄膜或者铝合金薄膜，通过光刻步骤形成所需的图案形状，从而形成第二布线层202。形成第二布线层202，以便构成GND线232和第二中继布线233，它们分别由第二插塞231与第一中继布线230相连。特别地，第二中继布线233形成L型图案形状，使得与后述平面上的上层布线层相连的第三插塞234的位置和与作为引线布线层的下层布线层相连的第二插塞231的位置有很大的不同。也就是说，按照这样的形状形成第二中继布线233，使得可将第三插塞234布置在第三布线层203处是形成的各布线235之间的空间。

图8A是表示第三布线层230的视图，在第二布线层202上形成硅氧化物薄膜的第三中间层绝缘薄膜213。另外，第三中间层绝缘薄膜213在第二中继布线上方的区域设有开口，将钨等导电材料嵌入到开口中，从而形成第三插塞234。接着，在第三中间层绝缘薄膜213中形成铝薄膜或者铝合金薄膜，通过光刻步骤形成所需的图案形状，从而形成第三布线层203。形成第三布线层203，用以组成位线(BLN,BLT)235和第三中继布线236，第三中继布线236通过第三插塞234与第二中继布线233相连。

图8B是简要地表示第四布线层204和第五布线层205的视图，在第三布线层203上形成硅氧化膜的第四中间层绝缘薄膜214。另外，第四中间层绝缘薄膜214在第三中继布线236之上的区域设有一个开口，在开口中嵌入导电材料，从而形成第四插塞237。接着，依序层叠地形成导电薄膜、铁电绝缘薄膜和导电薄膜；还在第四中间层绝缘薄膜214上按照光刻步骤形成所需的图案形状，从而形成铁电电容器238，它包含下电极239和上电极240以及在两个电极之间的铁电绝缘薄膜241。此外，在其上形成第五中间层绝缘薄膜215，在铁电电容器238的上方区域设有一个开口，在开口中嵌入导电材料，因而形成第五插塞242。接着，在第五中间层绝缘薄膜215上形成导电薄膜，并根据光刻步骤按照所需的图案形状形成极板线243，这个极板线构

成与铁电电容器238上电极241相连的第五布线层205。此外，在极板线243上形成钝化薄膜216。

在按这种方式构成的本实施例影像RAM与图17A至18B所示的传统类型影像RAM进行对比时，本实施例的影像RAM是按照这样的结构构成的，
5 它相当于将传统类型影像RAM之第一布线层301的布线分解为本实施例影像RAM中的第一布线层201和第二布线层202。形成本实施例的第一布线层201，以便构成电源线228、第二字线229和第一中继布线230；形成第二布线层202，以便构成GND线232和第二中继布线233。特别地，通过将第一中继布线230和第二中继线233形成曲柄形状和L型形状，可以相对于要与晶体管层200相连的第一插塞226任意改变要与平面上第二布线层202相连的第二插塞231的位置。因此，按照本实施例的第二布线层202，在GND线232之间允许有一个空间，用以可将与上层铁电电容器238电连接的第二中继布线233布置在各GND线之间。因而，与传统类型的影像RAM的存储单元相比，使沿位线延伸方向的尺寸LB得以被减小，结果可以使用与普通SRAM存储单元相同的尺寸实现本实施例的影像RAM，而在普通的SRAM中不提供图16A、16B和16C所示的铁电电容器。
15

图9A是一个视图，用来比较构成本实施例目的的SRAM、本实施例的传统类型RAM和本实施例影像RAM中相应的字线、位线、电源线、GND线和铁电电容器最终连接的布线层。此外，可以通过图9B所示的结构构成本实施例的影像RAM，作为与字线、位线、电源线、GND线和铁电电容器
20 相连的布线层结构。根据这个例子，作为第一改进的举例，第一布线层布置有中继布线，作为引线，用来改变与上布线层和下布线层相连的插塞的位置；第二布线层布置有位线，第三布线层布置有电源线和GND线。此外，作为第二改进的举例，第二布线层布置有比如电源线、GEND线和构成引线的中继线，第三布线层布置有位线。即使在这种结构中，类似于本实施例，可以提供不会增加存储单元的单元面积的影像RAM。通常，通过对附图所示之外的布线层的组合，可以对相应的布线进行布置。
25

这里，可以与极板线集成在一体地的构成铁电电容器的上电极，在这种情况下，与极板线在同一个布线层构成所述铁电电容器。由此，在第一
30 和第二实施例中，简要地说明了具有极板线的最顶层布线层和具有铁电电

容器在其正下方之布线层。在构成这样的结构时，形成铁电电容器和上电极的步骤变得或多或少有点复杂，不过，可以省略第一实施例中的第六中间层绝缘薄膜216和第六插塞143以及第二实施例中的第五中间层绝缘薄膜和第五插塞242，由于取消了本发明影像RAM相对于传统影像RAM在布线层数目上所增加的层数，因此就可限制所述结构的复杂化。

第一和第二实施例的晶体管层和相应布线层的布局示出本发明影像RAM的代表性实施例；可以适当地改变MOS晶体管的布置和连接到其上的相应布线的图案形状。

如前所述，本发明使传统类型影像RAM的存储单元尺寸与SRAM的存储器尺寸相同，因此，即使在传统型影像RAM的上布线层和下布线层布局保持与相应的SRAM存储单元布线层的布局相同，也可以实现影像RAM，并且可以与SRAM存储单元相同的尺寸实现本发明的影像RAM。从而，通过使用目前适用于传统通用SRAM中晶体管层的设计数据，可以设计影像RAM，而且还增加了设计的自由度，减少了许多设计步骤，缩短了设计周期，并实现了具有高存储容量的存储器设备。

很显然本发明并不限于上述的实施例，在不偏离本发明的范围和精神的前提下可以对其进行改进。

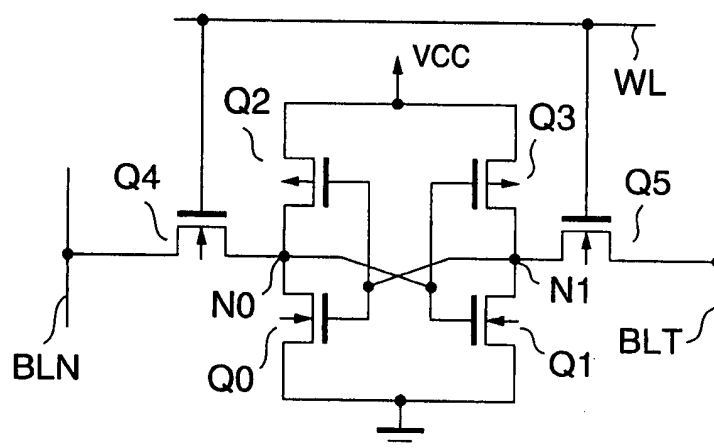


图 1A

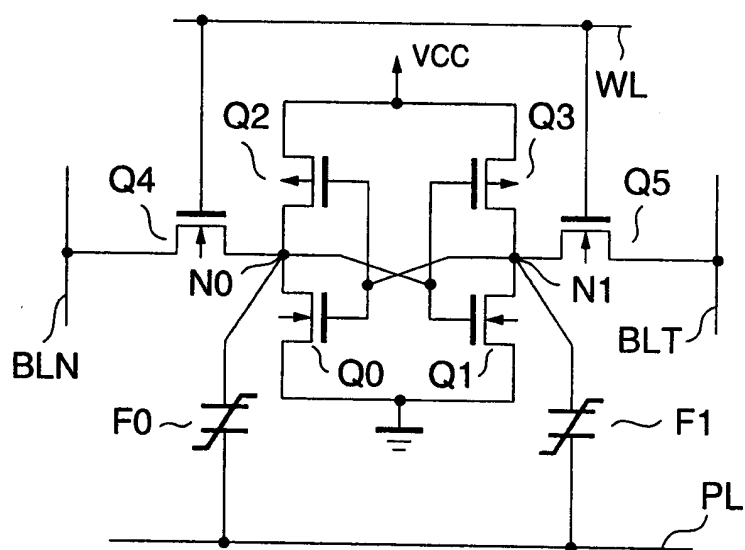


图 1B

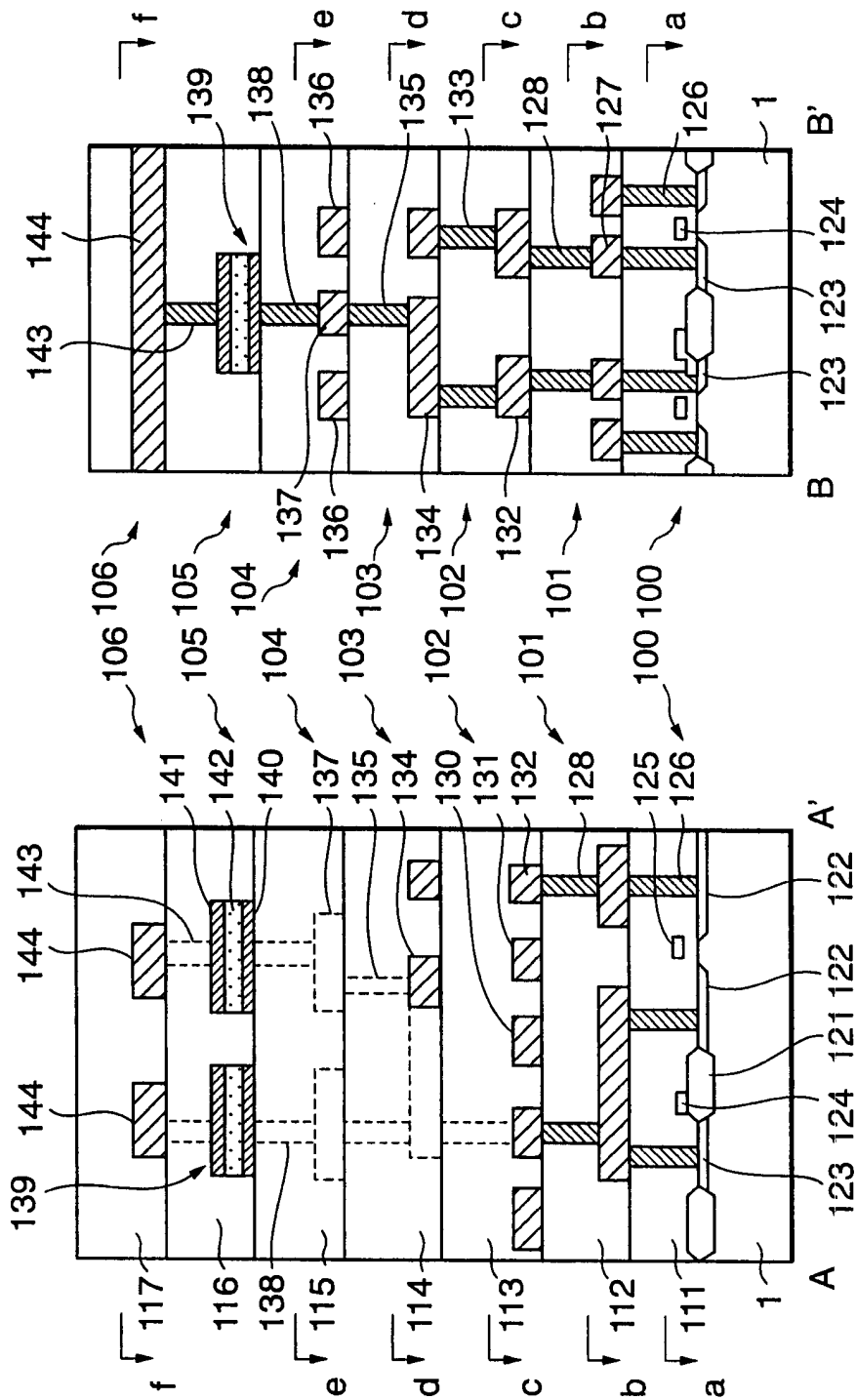


图 2B

图 2A

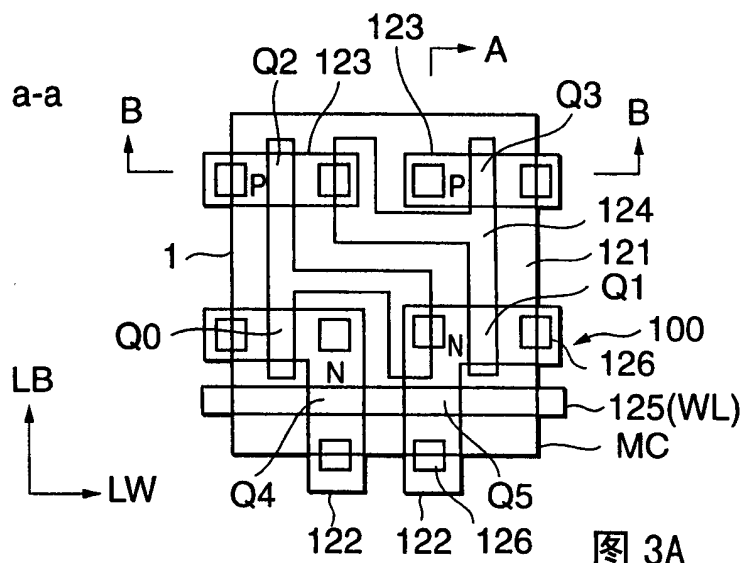


图 3A

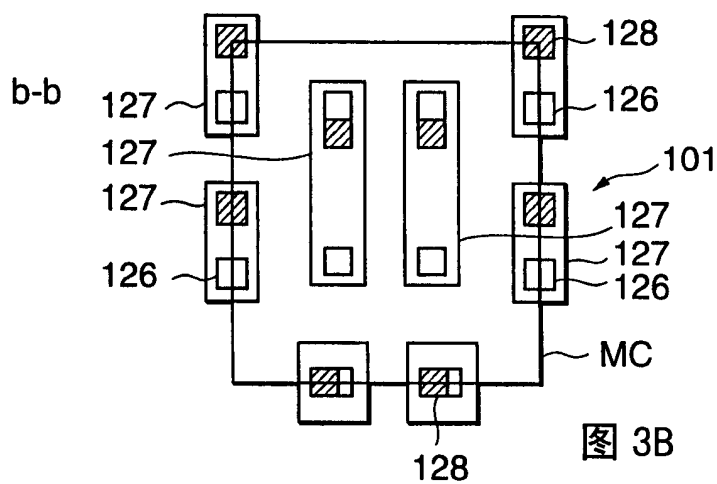


图 3B

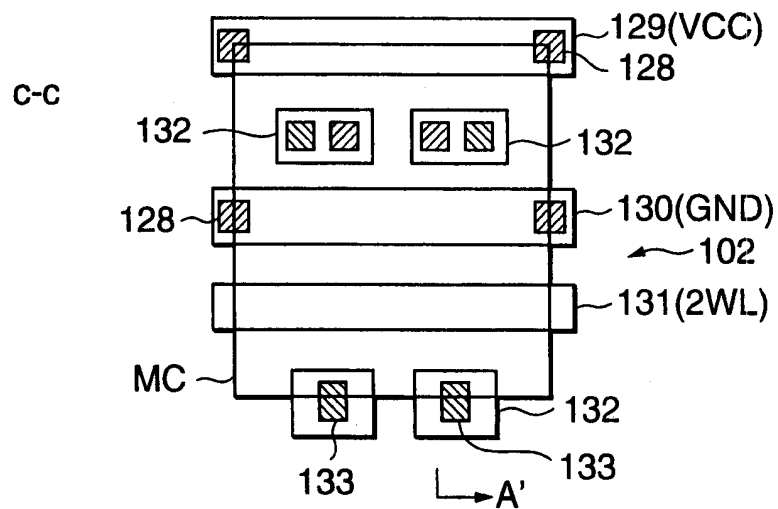
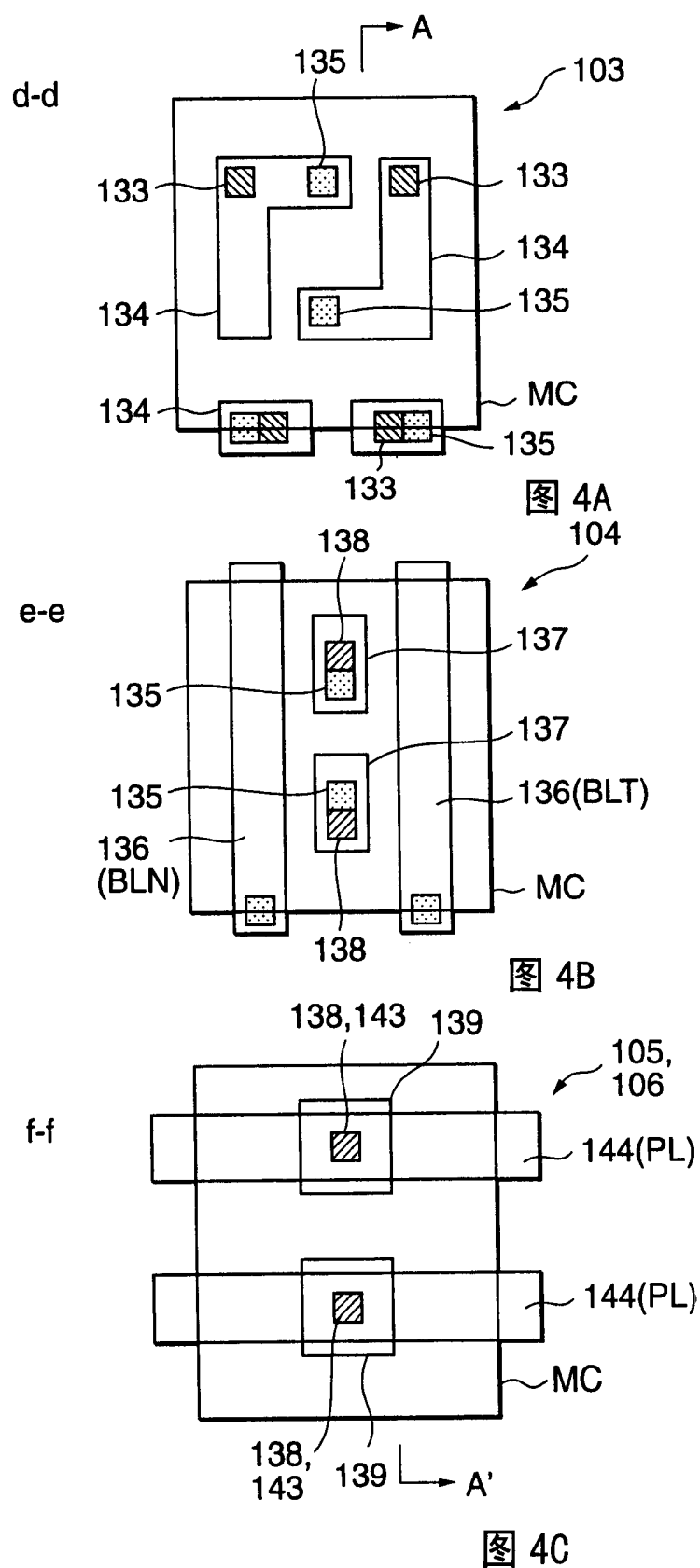


图 3C



相应布线的分配

	字线	位线	电源线	GND 线	电容引线
静态 RAM	多晶硅 / 第二布线层	第三布线层	第二布线层	第二布线层	-
传统类型影像 RAM	多晶硅 / 第二布线层	第三布线层	第二布线层	第二布线层	第三布线层
所发明的影像 RAM	多晶硅 / 第二布线层	第四布线层	第二布线层	第二布线层	第三布线层

图 5A

相应布线的其它分配举例

字线	位线	电源线	GND 线	电容引线
多晶硅 / 第二布线层	第三布线层	第四布线层	第四布线层	第四布线层
多晶硅 / 第二布线层	第四布线层	第三布线层	第三布线层	第三布线层

图 5B

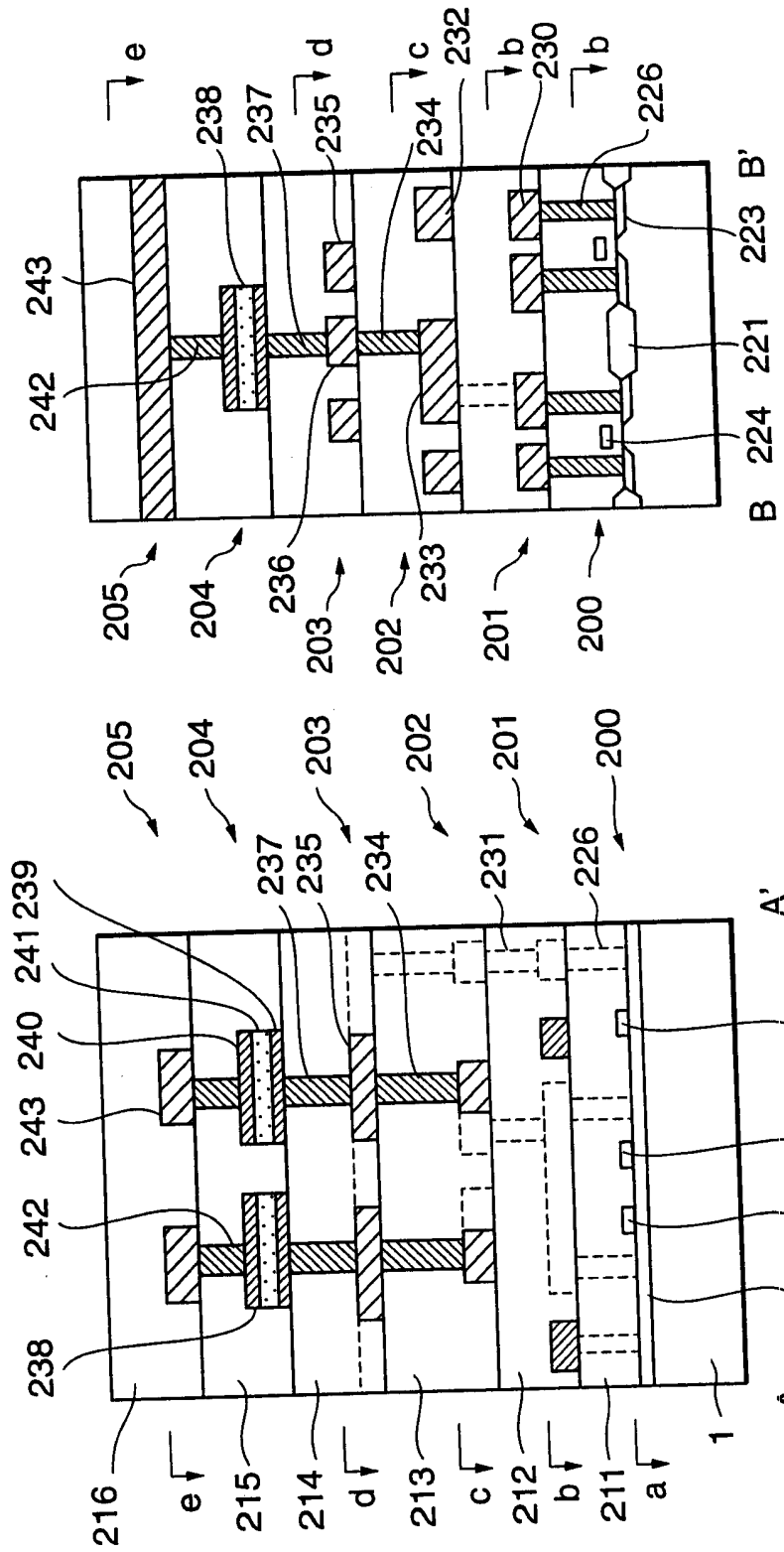


图 6B

图 6A

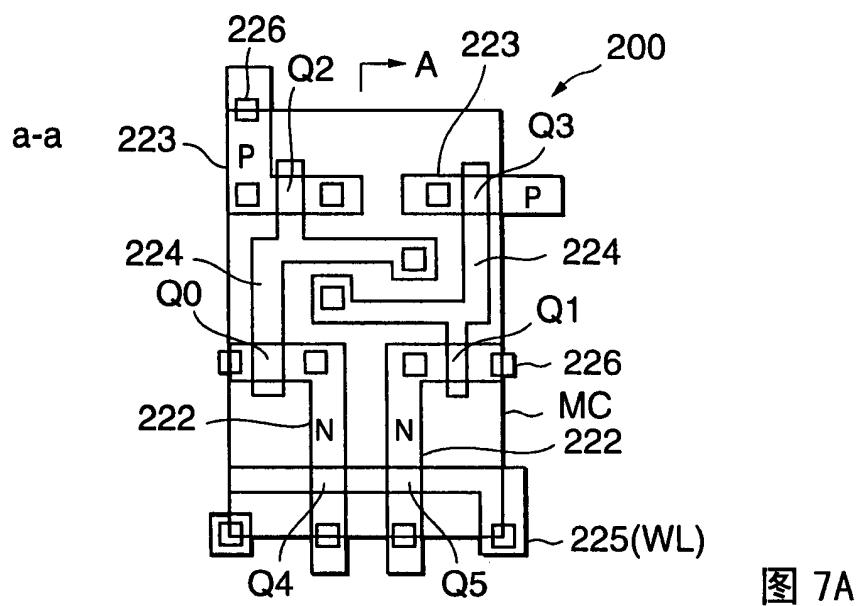


图 7A

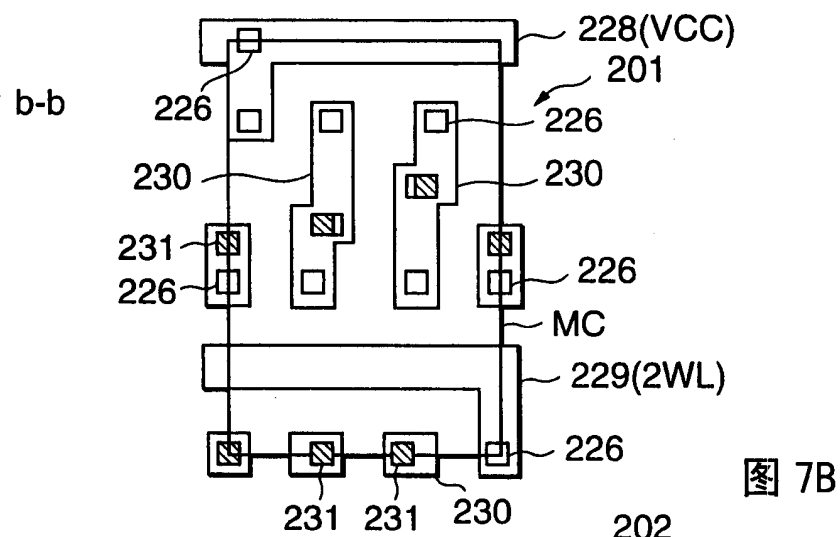


图 7B

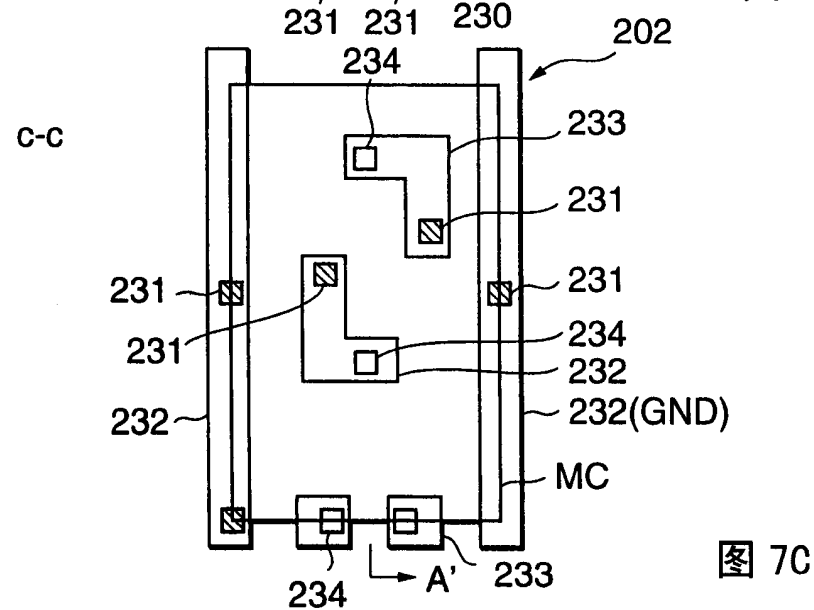
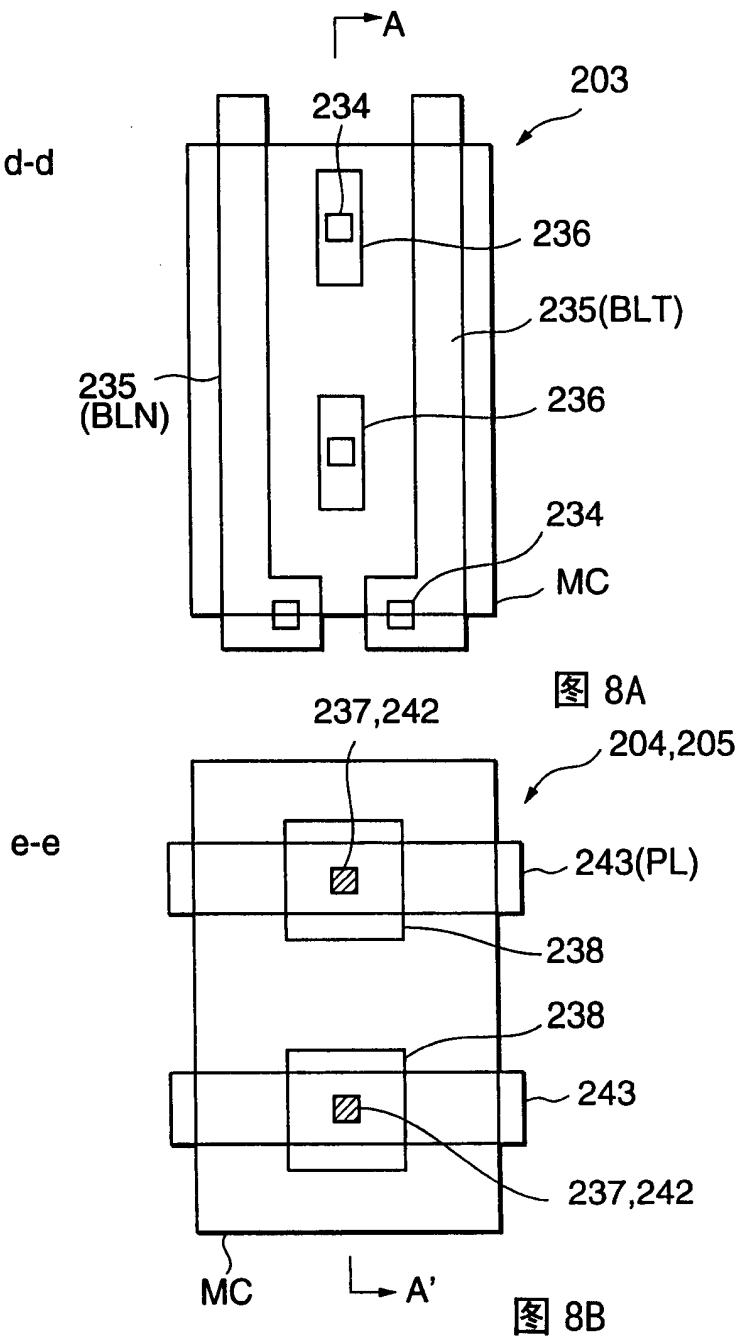


图 7C



相应布线的分配

	字线	位线	电源线	GND 线	电容引线
静态 RAM	多晶硅 / 第一布线层	第二布线层	第一布线层	第二布线层	-
传统类型的影像 RAM	多晶硅 / 第一布线层	第二布线层	第一布线层	第一布线层	第一布线层
所发明的影像 RAM	多晶硅 / 第一布线层	第三布线层	第一布线层	第二布线层	第二布线层

图 9A

相应布线的其它分配举例

字线	位线	电源线	GND 线	电容引线
多晶硅 / 第一布线层	第二布线层	第三布线层	第三布线层	第一布线层
多晶硅 / 第一布线层	第三布线层	第二布线层	第二布线层	第二布线层

图 9B

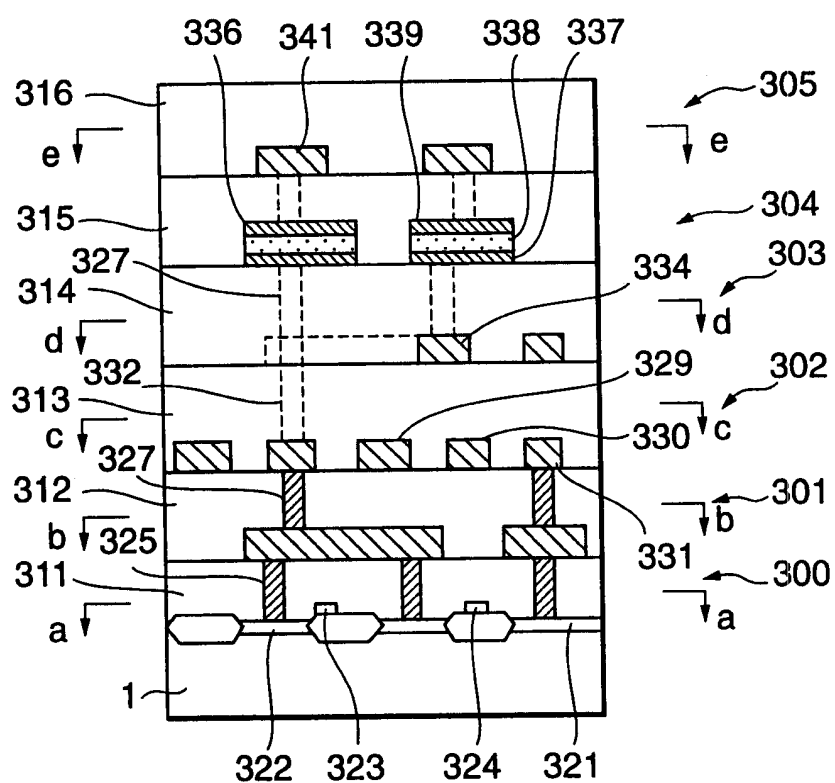


图 10

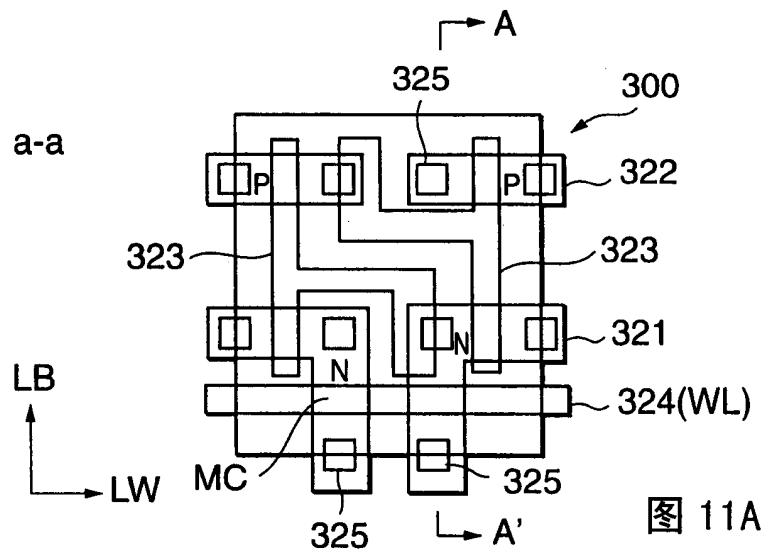


图 11A

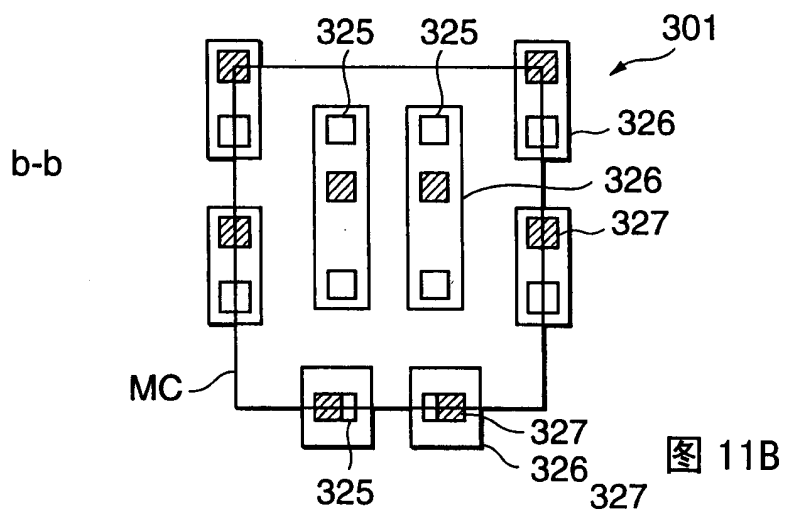


图 11B

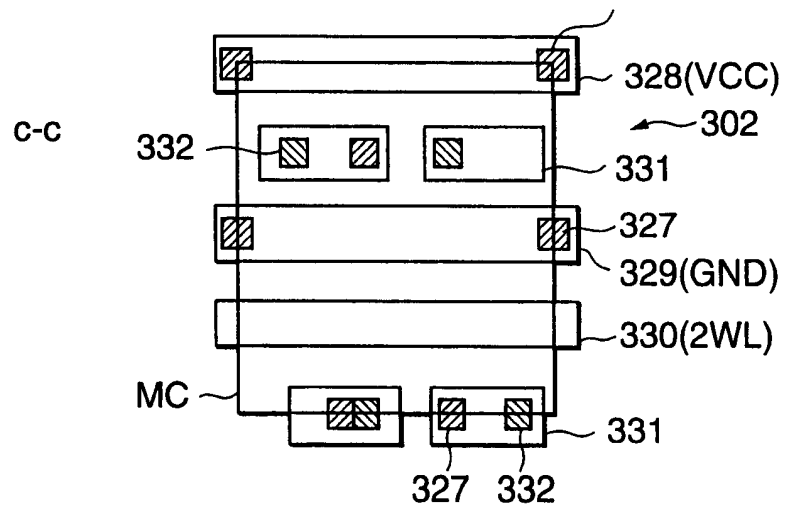
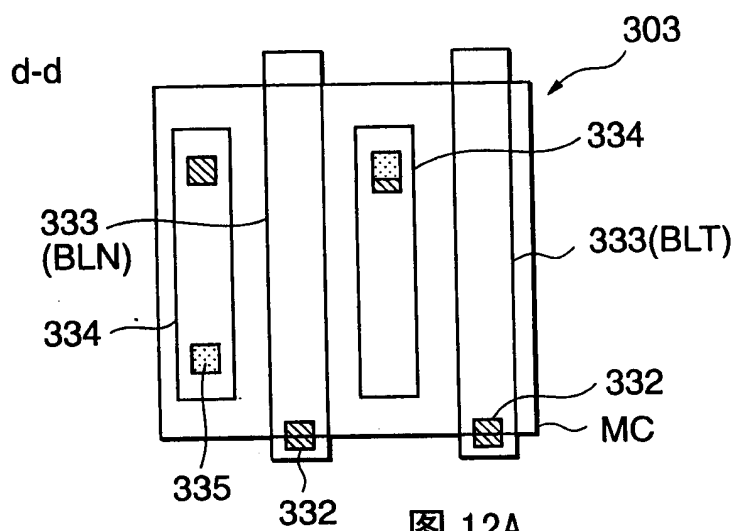
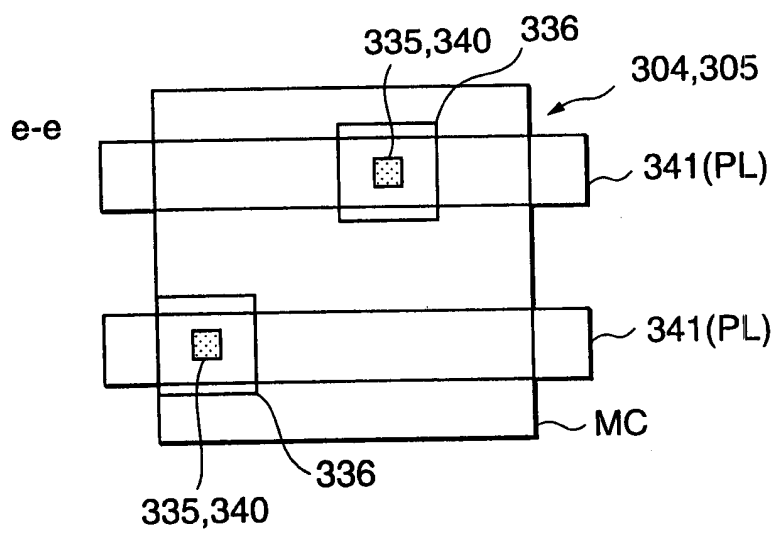


图 11C



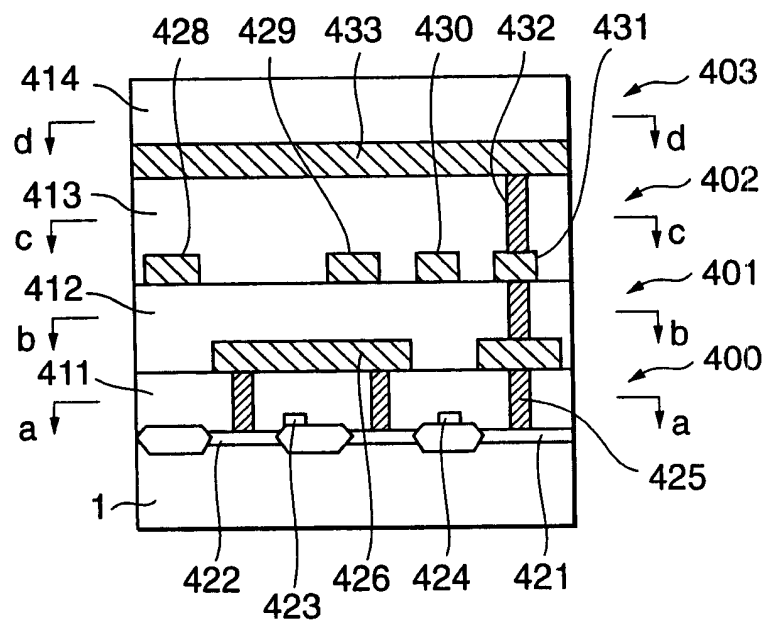
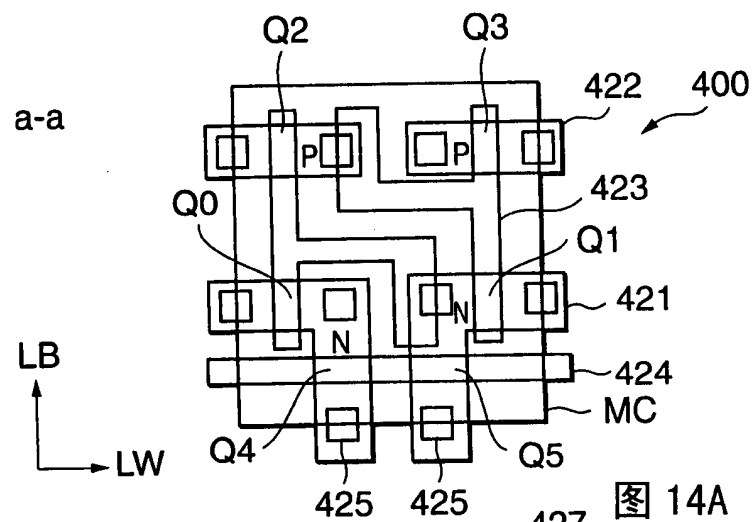
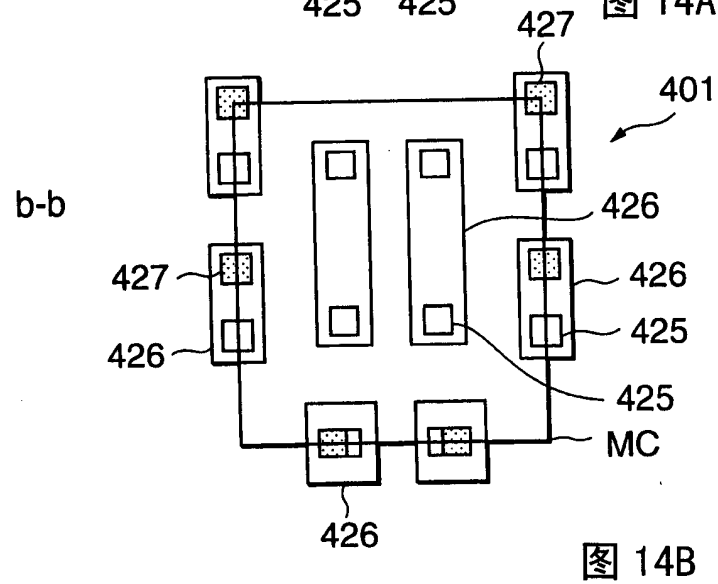


图 13



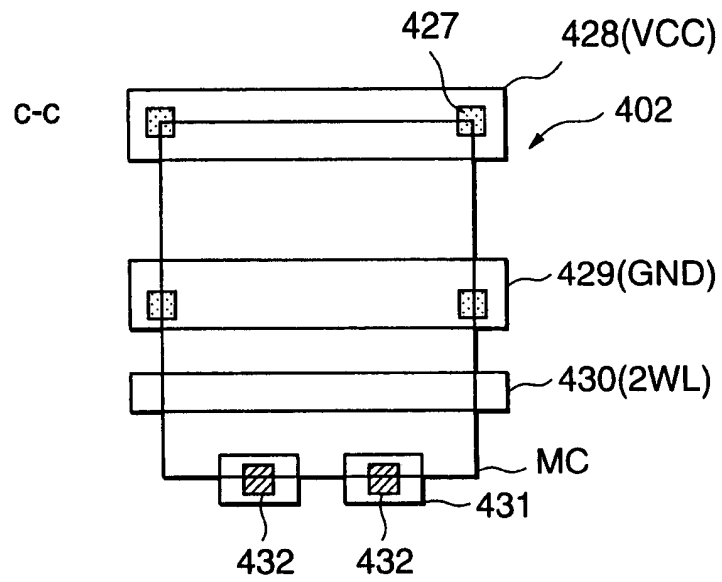


图 15A

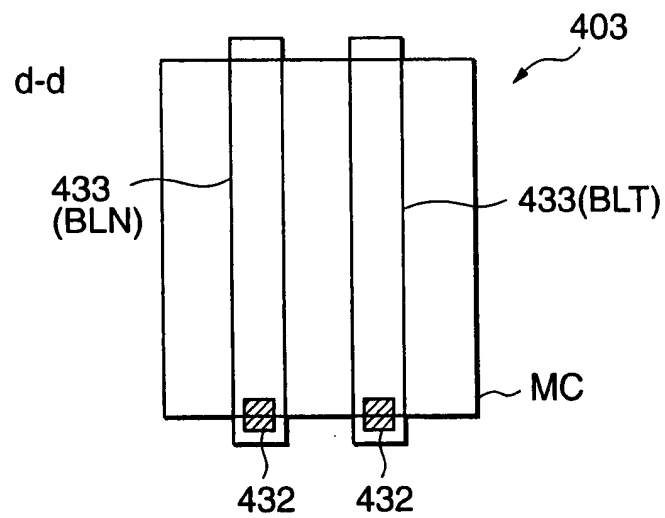
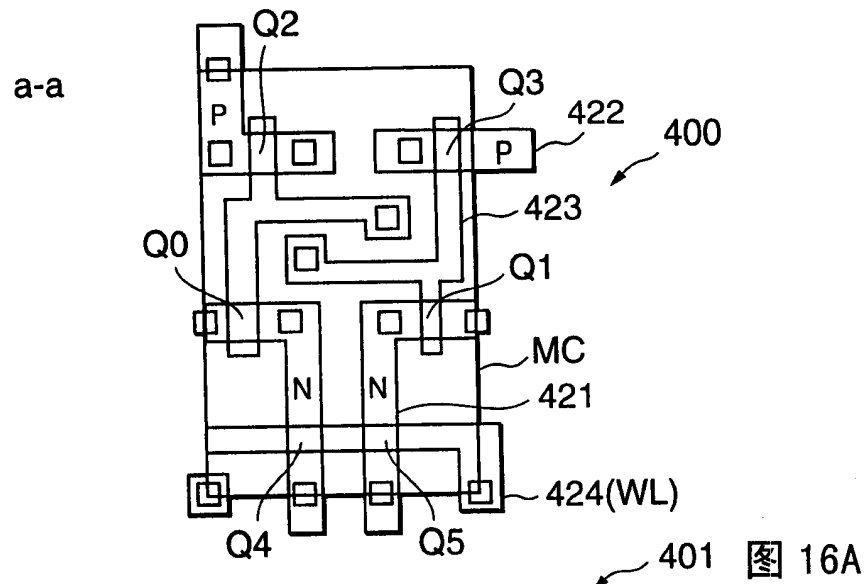
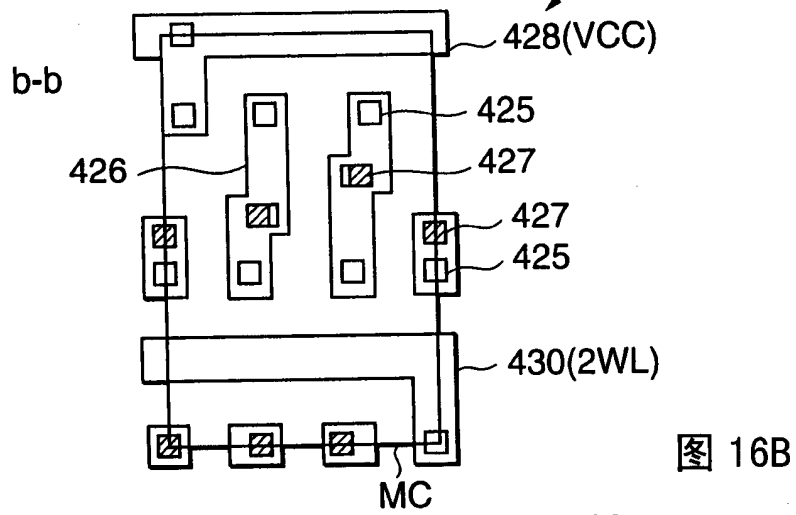
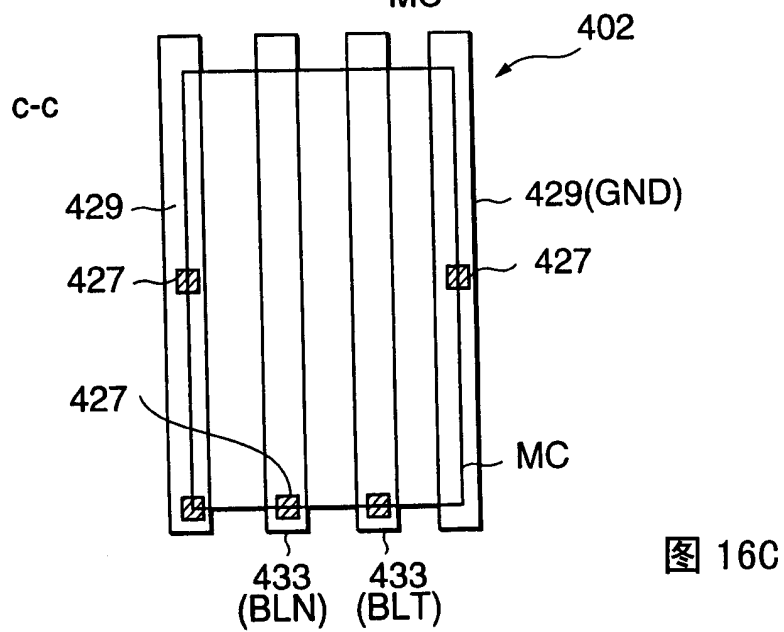


图 15B



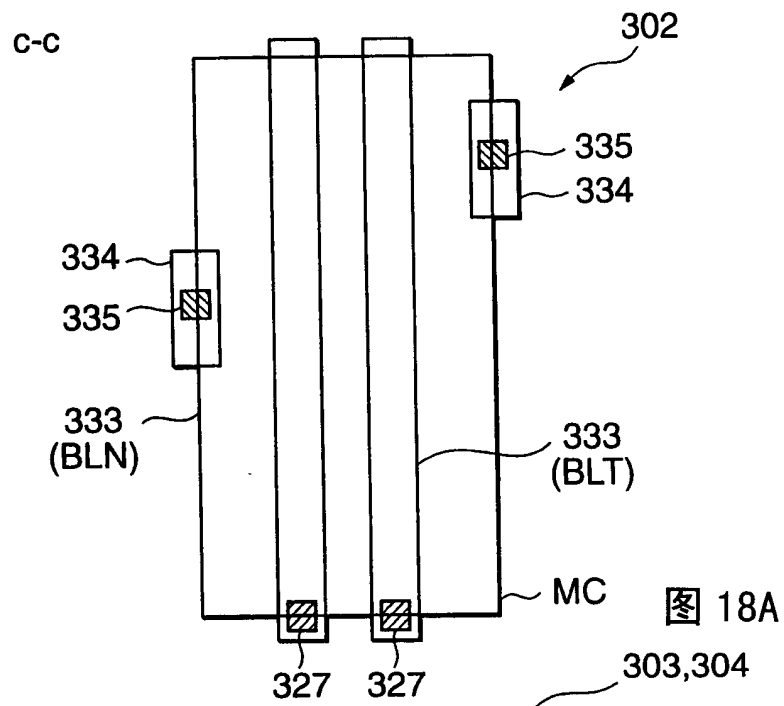
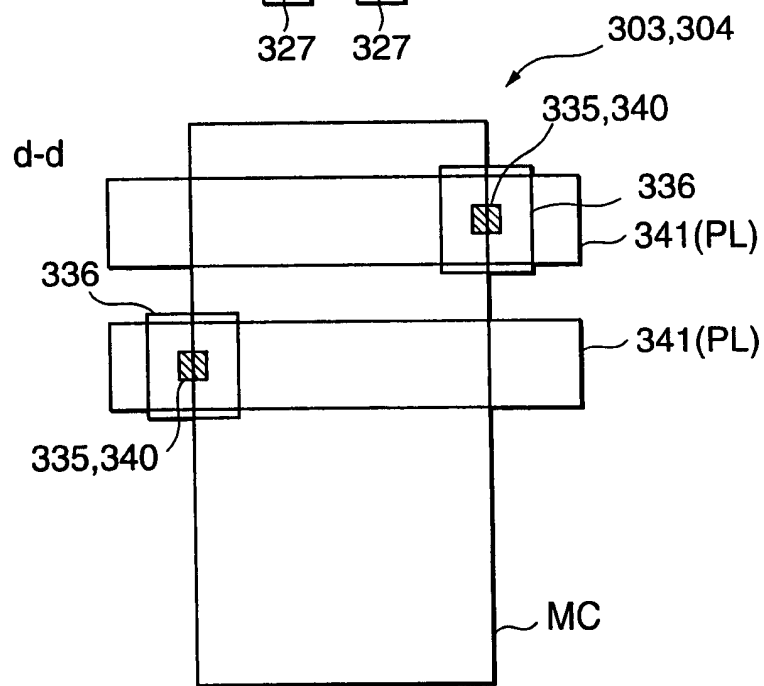


图 18B

