

申請日期： 91-12-11	IPC分類 G11C 7/06
申請案號： 91135807	

(以上各欄由本局填註)

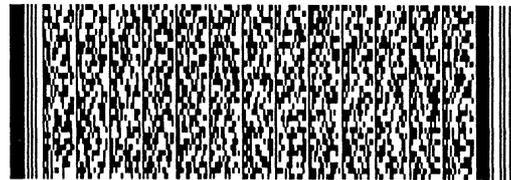
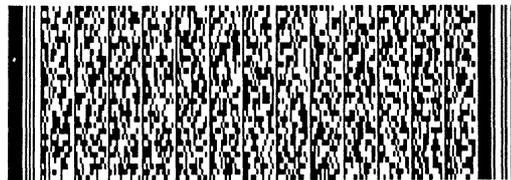
發明專利說明書

200301905

一、 發明名稱	中文	設計用以追蹤在記憶格通路電晶體特性之改變的感測放大器驅動電路
	英文	SENSE AMPLIFIER DRIVER CIRCUITS CONFIGURED TO TRACK CHANGES IN MEMORY CELL PASS TRANSISTOR CHARACTERISTICS

二、 發明人 (共2人)	姓名 (中文)	1. 宋泰中
	姓名 (英文)	1. Tae-joong Song
	國籍 (中英文)	1. 大韓民國
	住居所 (中文)	1. 大韓民國京畿道華城郡台安邑半月里860番地新靈通現代鎮306棟1002號
	住居所 (英文)	1. 306-1002, Shinyoungtong Hyundai Town, 860, Banwol-ri, Taean-eup, Hwaseong-gun, Kyungki-do, Republic of Korea

三、 申請人 (共1人)	名稱或姓名 (中文)	1. 三星電子股份有限公司
	名稱或姓名 (英文)	1. Samsung Electronics Co., Ltd.
	國籍 (中英文)	1. 大韓民國
	住居所 (營業所) (中文)	1. 大韓民國京畿道水原市八達區梅灘洞416番地 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 416 Maetan-dong, Paldal-gu, Suwon-city, Kyungki-do, Republic of Korea
	代表人 (中文)	1. 尹鍾龍
	代表人 (英文)	1. JONG-YONG YUN



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共2人)	姓名 (中文)	2. 林銀景
	姓名 (英文)	2. Eun-Kyoung Lim
	國籍 (中英文)	2. 大韓民國
	住居所 (中文)	2. 大韓民國漢城市廣津區廣壯洞青丘Apt., 103棟504號
	住居所 (英文)	2. 103-504, Cheonggu Apt., Kwangjang-dong, Kwangjin-gu, Seoul, Republic of Korea
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
韓國 KR	2002/01/09	2002-1246	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

熟習該項技術者易於獲得, 不須寄存。

五、發明說明 (1)

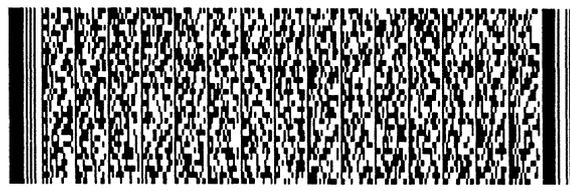
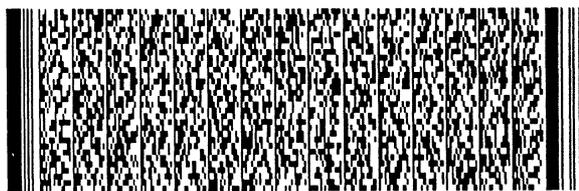
[發明所屬之技術領域]

本發明是有關於半導體記憶裝置(semiconductor memory devices)，且特別是有關於半導體記憶裝置的感測放大器驅動電路(sense amplifier driver circuit)。

[先前技術]

一般的半導體記憶裝置具有複數個位元格(bit cell)，例如記憶格(memory cell)，和複數個感測放大器(sense amplifier)，在一讀取動作(read operation)中透過連結到位元格之位元線路(bit line)，用來感測及放大資料。感測放大器被一感測放大器驅動電路所驅動，該驅動電路係用以接收外頻訊號(external clock signal)並產生一感測放大器驅動訊號(Sense Amplifier Driving Signal, "SAEN")。

第1圖繪示一靜態隨機存取記憶體(Static Random Access Memory, "SRAM")之一部分，而第2圖繪示用來作為SRAM之一讀取動作(reading operation)之波形(waveform)。請參照第1圖，一SRAM位元格11包含有NMOS通路電晶體(pass transistor)N13與N14以及一鎖相器(latch)111，該鎖相器具有PMOS電晶體P11與P12及NMOS電晶體N11與N12。請參照第2圖，當一字元線路(word line, "WL")被啟動至一邏輯高位狀態(logic high state)時，NMOS通路電晶體N13與N14會被打開(turn on)以形成(develop)資料(data)，該些資料透過位元線路BL與BLB，



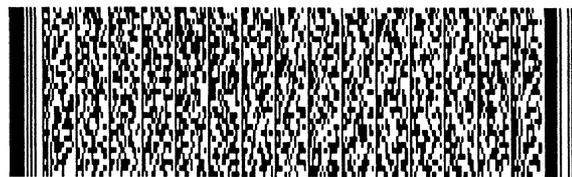
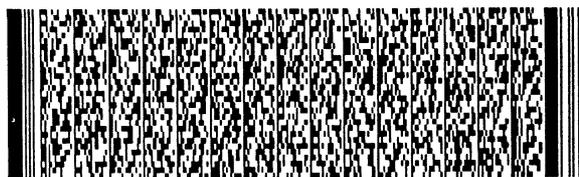
五、發明說明(2)

被儲存在該位元格之鎖相器111。一感測放大器13透過位元線路BL與BLB，對由一感測放大器驅動電路15產生之一感測放大器驅動訊號SAEN產生反應，來感測並放大資料。

為了穩定地執行感測放大器13之感測運作(sensing operation)，感測放大器驅動訊號SAEN一般地，在充分地透過位元線路BL與BLB形成被儲存在該位元格之鎖相器111之資料後，被啟動。從啟動字元線路WL，到被儲存在鎖相器111之一資料之形成，到在位元線路BL與BLB上之預定的有效位階(predetermined valid level)，這一段時間被視為是Tbit。從字元線路WL之啟動，亦即一內頻訊號(internal clock signal, "ICK")之啟動，輸入到感測放大器驅動電路15，到感測放大器驅動電路15之啟動，這一段時間被視為是Td。時間Td與時間Tbit一樣或稍微地比Tbit長一些是較好的。內頻訊號ICK是從一外頻訊號所產生。

當時間Td比時間Tbit短時，一不穩定的感測放大器13之感測運作可能發生。當時間Td極度地比時間Tbit長時，感測運作的速率可能被降低。因此，時間Td稍微地比時間Tbit長是較好的，以及時間Td和時間Tbit一樣是更好的。於是，在設計一SRAM半導體裝置時，時間Tbit被精確地估計是被期望的，並且感測放大器驅動電路15應設計成，產生一時間Td和該時間Tbit一樣或稍微地比時間Tbit長。

時間Tbit可能被不同的因素所影響，特別是被由位元線路BL與BLB之一寄生電容與一寄生電阻引起之一RC延遲



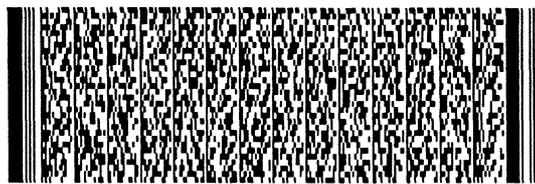
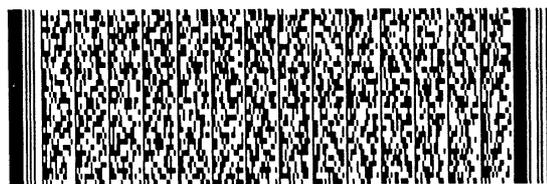
五、發明說明 (3)

所影響，以及被驅動位元線路BL與BLB之通路電晶體N13與N14之特性所影響。位元線路BL與BLB之寄生電容與寄生電阻，與通路電晶體N13與N14之特性一般會依據製造過程、工作電壓與溫度作改變。因此，時間Tbit一般會依據製造過程、工作電壓與溫度作改變。

第3圖為一繪示第1圖所示之感測放大器驅動電路之電路圖。感測放大器驅動電路15包括複數個串聯之延遲反相器31、33、35與37。在第3圖中，雖然繪示了四個延遲反相器，感測放大器驅動電路15可能包括四個以外之偶數個延遲反相器。延遲反相器31、33、35與37延遲並轉換一內頻訊號ICK。

內頻訊號ICK是透過第一個延遲反相器31之輸入端作輸入，而感測放大器驅動訊號SAEN，是由內頻訊號ICK經一時間Td（延遲反相器的延遲時間的總和）延遲所形成的，並且由最後一個延遲反相器37之輸出端所輸出。內頻訊號ICK是由一外頻訊號所產生。

第4圖繪示一習知的，在第3圖中所示延遲反相器之實施例，而第5圖繪示另一習知的，在第3圖中所示延遲反相器之實施例。在第4圖中之習知的電路包括一PMOS電晶體P41、一NMOS電晶體N41、一由電容C41與C42與電阻R41與R42所形成之RC延遲元件與一用來改變一延遲時間之保險絲F41。在第5圖中之習知的延遲反相器包括一PMOS電晶體P51與一NMOS電晶體N51具有一小beta比 β ，其中該beta比 β 為一寬度對長度之比值。



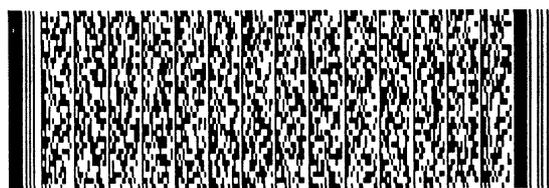
五、發明說明 (4)

第4圖與第5圖所示之延遲反相器經常出現之問題是，時間 T_d 之改變能不能追蹤時間 T_{bit} 之改變，與製造過程、工作電壓與溫度有關。當製造過程、工作電壓與溫度改變時，時間 T_{bit} 之改變可能比時間 T_d 之改變大，如此時間 T_d 可能變的比 T_{bit} 短，或過度地比 T_{bit} 長。因此感測放大器13之感測運作可能是不穩定的，或感測運作之速率可能不當地降低。

第6圖為一具有一第4圖所示之習知的感測放大器驅動電路之一SRAM中之時間 T_d 與 T_{bit} 的模擬結果圖。第7圖為一表，列示各種工作狀態，與用來作第6圖之模擬之各種製造過程、工作電壓與溫度之組合之對應。在第7圖中，工作電壓HIGH相當於1.35V，工作電壓LOW相當於1.05V，溫度LOW相當於 -55°C ，溫度HIGH相當於 125°C ，製程FAST相當於一用在一 $0.13\mu\text{m}$ CMOS製程之快製程參數，以及製程SLOW相當於一用在一 $0.13\mu\text{m}$ CMOS製程之慢製程參數。

參照第6圖，時間 T_d 與 T_{bit} 除了在工作狀態11外，皆有顯著地不同。特別是，在SRAM之性能為所舉之例子中，最糟之工作狀態16中，時間 T_d 過度地比時間 T_{bit} 長。在此例中，感測放大器13之感測速率不當地降低，會降低此SRAM之性能。

在一具有一習知的感測放大器驅動電路之一SRAM中，第1圖中之位元線路BL與BLB之RC延遲元件，與第4圖中之延遲反相器之RC延遲元件，以及第1圖中通路電晶體N13與



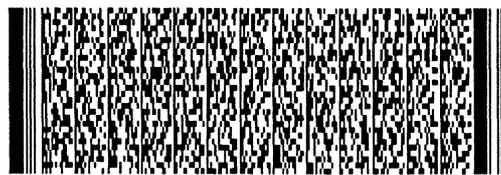
五、發明說明 (5)

N14 之驅動性能，以及第4圖中之延遲反相器之驅動性能，通常依據工作狀態，各有著不同的特性。於是，時間 T_{bit} 一般地不夠緊密地追蹤時間 T_d 對反應製程、工作電壓與溫度變動之改變。

[發明內容]

在本發明的實施例中，一SRAM之一感測放大器驅動電路，包含有複數個串聯之延遲反相器，其中至少有一延遲反相器，包含有複數個NMOS電晶體串聯到一輸出端，而且該些閘極與一輸入端連結，並且該些NMOS電晶體之總beta比(該些NMOS電晶體之寬度對一整體長度之比值)，和一在該位元格中之通路電晶體之beta比一樣。該些NMOS電晶體的長度和在該位元格中通路電晶體之長度基本上一樣，以及該些NMOS電晶體的寬度與在該位元格中之通路電晶體的寬度不同，是較好的。

在本發明之另一實施例中，一SRAM之感測放大器驅動電路包含有複數個串聯之延遲反相器，其中至少一延遲反相器，具有複數個NMOS電晶體串聯到一輸出端，而且該些閘極與一輸入端連結。複數個PMOS電晶體並聯到該輸出端，而且該些閘極與該輸入端連結。該些NMOS電晶體之總beta比，和一在該位元格中之通路電晶體之beta比基本上一樣。該些NMOS電晶體之長度，和在該位元格中之通路電晶體之長度基本上一樣，以及該些NMOS電晶體之寬度，和在該位元格中之通路電晶體之寬度不同，是較好的。

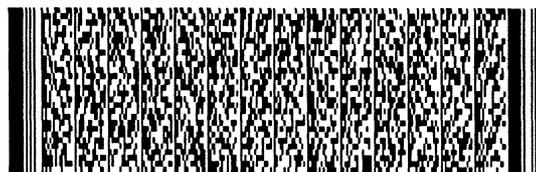


五、發明說明 (6)

依據本發明之再一實施例，一SRAM之感測放大器驅動電路包含有複數個串連之延遲反相器，其中至少一延遲反相器具有複數個NMOS電晶體串聯到一輸出端，而且該些閘極與一輸入端連結，複數個PMOS電晶體串聯到該輸出端，而且該些閘極與該輸入端連結，其中該些NMOS電晶體之總beta比，和一在該位元格中之通路電晶體之beta比一樣。該些NMOS電晶體之長度，和在該位元格中之通路電晶體之長度基本上一樣，以及該些NMOS電晶體之寬度，和在該位元格中之通路電晶體之寬度不同，是較好的。

在本發明之又一實施例中，一感測放大器驅動電路，用來產生一感測放大器推動訊號，以推動一感測放大器，該感測放大器驅動一連結到一記憶格之一通路電晶體之位元線路，該感測放大器驅動電路包含有一反相器，產生該感測放大器推動訊號。該反相器包含有一包含有複數個串連之MOS電晶體之下拉電路，該些MOS電晶體與該通路電晶體有相同之傳導形式。該些串連之MOS電晶體，具有一總通道寬度/長度比，實質上可能和該通路電晶體之一通道寬度/長度比一樣。該些串連之電晶體之一總長度，實質上可能和該通路電晶體之一長度一樣，而該些串連之電晶體之寬度，可能不同於該通路電晶體之一寬度。

在某一實施例中，該反相器包含有至少一PMOS電晶體具有一源極電極連結到一第一電源供應器節點，以及複數個串連之NMOS電晶體連結於該至少一PMOS電晶體之一汲極電極，與一第二電源供應器節點之間。該至少一PMOS電晶



五、發明說明 (7)

體之閘極電極，與該些NMOS電晶體連結在一起。該反相器還包含有一保險絲至少與該些串連之NMOS電晶體其中之一並聯。

在另一實施例中，其中該反相器包含有，一PMOS電晶體具有一源極電極連結到一第一電源供應器節點，以及複數個串連之NMOS電晶體，連結於該PMOS電晶體之一汲極電極，與一第二電源供應器節點之間。該PMOS電晶體之閘極電極與該些NMOS電晶體連結在一起。

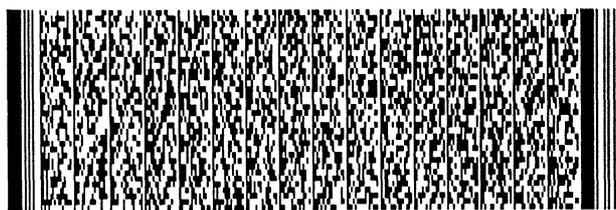
在再一實施例中，該反相器包含有複數個PMOS電晶體具有源極電極共同連結到一第一電源供應器節點，以及複數個串連之NMOS電晶體連結於該PMOS電晶體之共同連結的汲極電極與一第二電源供應器節點之間。該PMOS電晶體之閘極電極與該些NMOS電晶體連結在一起。

在附加的實施例中，該反相器包含有複數個串連之PMOS電晶體，其具有源極電極連結到一第一電源供應器節點，以及複數個串連之NMOS電晶體連結於該PMOS電晶體之一汲極電極與一第二電源供應器節點之間。該PMOS電晶體之閘極電極與該NMOS電晶體連結在一起。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

[實施方式]

本發明將在此後，參照隨後之圖示，被更完全地描

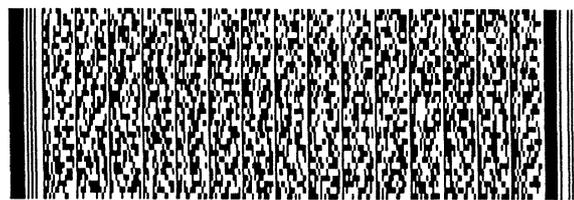
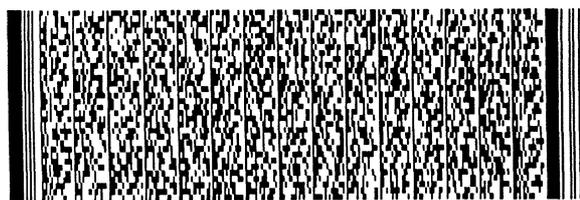


五、發明說明 (8)

述，其中之圖示繪示本發明中較佳之實施例。然而，本發明可能會以許多不同的形式付諸實行，而不應該被建構在，限制於在此提出之實施例中；當然，這些實施例被提出以便揭露之事實將會被完整完成，以及將會對熟習此技藝者，完全地傳遞本發明之內容。在圖示中，為了清晰地表達，膜層之厚度與區域會被放大。在任何地方相對應的編號會對應到相對應的元件。有件事應當被瞭解，就是當一元件，例如一膜層、區間或基底被提到是"在另一元件之上"，該元件可以是直接在另一元件上，或是中間還有其他的元件。相對地，當一元件被提到是"直接在另一元件之上"時，則沒有介於中間的元件存在。此外，每一在此被描述與繪示之實施例，同樣地包含有其互補的傳導形式之實施例。

第8圖為一SRAM之感測放大器驅動電路80之一電路圖，係依據本發明之某些實施例。感測放大器驅動電路80包含有複數個串聯之延遲反相器81、83、85與87。在第8圖中，繪示了四個延遲反相器；然而，感測放大器驅動電路80可能包含有四個以外之偶數個延遲反相器。一由一外頻訊號產生之內頻訊號ICK，透過第一個延遲反相器81之輸入端輸入。一感測放大器驅動訊號SAEN，藉由以一時間 T_d （該延遲反相器之延遲時間之總和）延遲該內頻訊號ICK所產生，從最後一個延遲反相器87之輸出端輸出。

參照第9圖，依據本發明之某些實施例，一延遲反相器90包含有一下拉電路95，下拉電路95包含有串連之NMOS



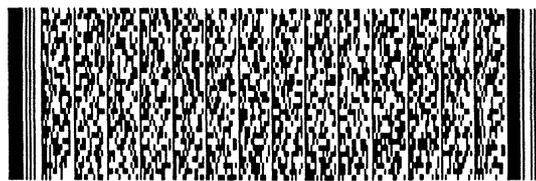
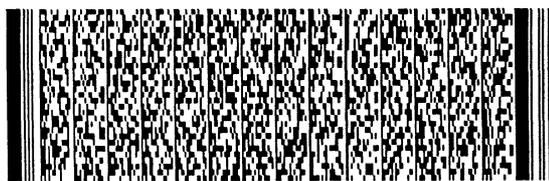
五、發明說明 (9)

電晶體N91到N94、一PMOS電晶體P91、電容C91與C92以及一保險絲F91。串聯之NMOS電晶體N92到N94連結於一輸出端OUT與一接地電壓VSS之間，而且NMOS電晶體N92到N94之每一閘極與一輸入端IN連結。PMOS電晶體P91連結於輸出端OUT與一電源電壓VCC之間，而且PMOS電晶體P91之閘極與該輸入端IN連結。

電容C91由源極與汲極皆連結到電源電壓VCC之一PMOS電晶體所形成，連結於輸出端OUT與電源電壓VCC之間。電容C92由源極與汲極連結到接地電壓VSS之一NMOS電晶體所形成，連結於輸出端OUT與接地電壓VSS之間。保險絲F91與NMOS電晶體N94並聯，並可用來改變該延遲反相器之延遲時間。

一總beta比，亦即寬度對NMOS電晶體N91到N93之總長度之一比值，和一通路電晶體，例如第1圖中之通路電晶體N13與N14，在一位元格中之beta比一樣。換言之，NMOS電晶體N91到N93之總beta比，和通路電晶體在該位元格中之beta比一樣，該位元格，係依據一製造過程、工作電壓與溫度之變化，以時間Td來追蹤時間Tbit之改變。NMOS電晶體N91到N93之總長度，基本上和第1圖中位元格中之通路電晶體N13或N14之長度一樣，以及NMOS電晶體N91到N93之寬度，與位元格中之通路電晶體之寬度不同，是較好的。

如上所述，在一位元線路電壓變成有效之前，時間Tbit可能會被該格中使用之通路電晶體(例如，第1圖所示



五、發明說明 (10)

之通路電晶體N13或N14)之特性所影響。因為通路電晶體一般會在該位元格中用到，通路電晶體之寬度一般非常地窄，例如，比用在外圍的電路方塊中之電晶體之最小寬度還窄很多。因此，為了使第9圖之感測放大器驅動電路之NMOS電晶體N91到N93之beta比，等於通路電晶體之beta比，使NMOS電晶體N91到N93之總長度和通路電晶體之總長度一樣，以及NMOS電晶體N91到N93之寬度與通路電晶體之寬度不同，是較好的。

$$\beta = W/L \quad \dots(1)$$

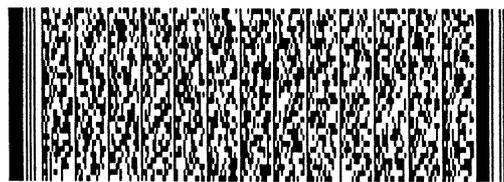
$$\beta = 0.16 \mu\text{m} / 0.13 \mu\text{m} = 1.23 \quad \dots(2)$$

$$\beta = 0.16 \mu\text{ms}^3 / 0.13 \mu\text{ms}^3 = 0.48 \mu\text{m} / 0.39 \mu\text{m} = 1.23 \quad \dots(3)$$

$$\beta = (0.48 \mu\text{m} / 0.13 \mu\text{m}) / 3 = 1.23 \quad \dots(4)$$

方程式1計算MOS電晶體的beta比 β 。依據方程式2，當電晶體寬度為 $0.16 \mu\text{m}$ 時，以及電晶體長度為 $0.13 \mu\text{m}$ 時，beta比 β 為1.23。依據方程式3，當MOS電晶體之寬度為 $0.48 \mu\text{m}$ 時，MOS電晶體之長度必須為 $0.39 \mu\text{m}$ ，方能使該beta比 β 為1.23。依據方程式4，當三個電晶體為串聯以及該電晶體寬度為 $0.48 \mu\text{m}$ 時，該電晶體長度必須為 $0.13 \mu\text{m}$ 方能使該beta比 β 為1.23。

因此，當第1圖中之位元格之通路電晶體N13或N14之寬度與長度，分別為 $0.16 \mu\text{m}$ 與 $0.13 \mu\text{m}$ 時，依據方程式2該beta比 β 為1.23。NMOS電晶體與用於感測放大器驅



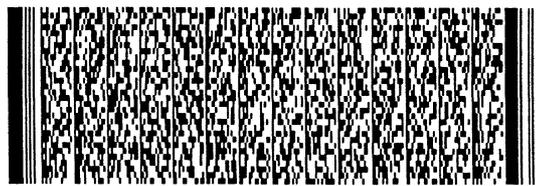
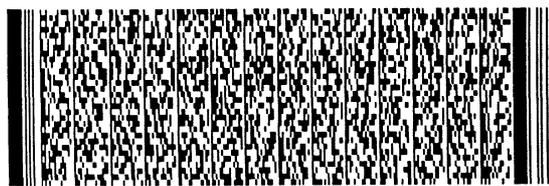
五、發明說明 (11)

動電路之延遲反相器中之通路電晶體，具有相同的尺寸是較好的，其中該感測放大器驅動電路，係依據一製造過程、工作電壓與溫度之變化，以時間 T_d 來追蹤一時間 T_{bit} 之改變。相對地，一NMOS電晶體，與用在該延遲反相器之通路電晶體具有相同尺寸，是不期望的，因為一外圍的電路方塊中形成的電晶體，一般來講必須比 $0.16 \mu m$ 寬很多。

因此，NMOS電晶體與通路電晶體具有之beta比 β 一樣，以及NMOS電晶體之寬度與長度比該通路電晶體之寬度與長度大，也就是說，NMOS電晶體之寬度為 $0.48 \mu m$ 與長度為 $0.39 \mu m$ ，是被用於感測放大器驅動電路之延遲反相器中。然而，因為長度是不同的，依據製程、工作電壓與溫度之變化，該延遲反相器之驅動能力，在感測放大器驅動電路中，與在通路電晶體中是不同的，即使二者之beta比是一樣的。於是，依據製程、工作電壓與溫度之變化，時間 T_d 可能不能精確地追蹤時間 T_{bit} 之改變。

依據本發明之某一實施例中，複數個NMOS電晶體，與一感測放大器驅動器之一下拉電路中之串連之通路電晶體具有相同的長度，使得該NMOS電晶體之總beta比 β ，和該通路電晶體之總beta比 β 一樣，是較好的。例如，如第9圖中三個串聯之NMOS電晶體N91，N92與N93，該NMOS電晶體之寬度與長度，從方程式3中，估計各為 $0.48 \mu m$ 與 $0.13 \mu m$ ，是較好的。

第12圖為一繪示模擬結果之圖，該模擬結果顯示在一

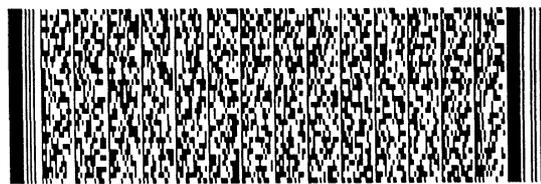


五、發明說明 (12)

SRAM 中時間 T_d 與 T_{bit} ，該 SRAM 具有如第 9 圖所示，包含有一延遲反相器結構之一感測放大器驅動電路。如第 7 圖所示之工作狀態被用在第 12 圖之模擬中。參照第 12 圖，時間 T_d 並不過度地超過時間 T_{bit} ，而且時間 T_d 在各種狀態下，通常緊密地追蹤時間 T_{bit} 之改變。特別地，在一最糟狀態 16，時間 T_d 亦不比時間 T_{bit} 長太多。結果，在一依據本發明之某些實施例，具有一感測放大器驅動電路之 SRAM 中，其感測運作速率，可能比具有一習知的感測放大器驅動電路之 SRAM 中，之感測運作速率快，因此依據本發明之某些實施例，可以改良 SRAM 之性能。

第 10 圖繪示，一感測放大器驅動電路之一延遲反相器 100，係依據在本發明之另一實施例中之第 8 圖。該延遲反相器 100 包含有一下拉電路 105，該下拉電路 105 包含有 NMOS 電晶體 N101 到 N104、PMOS 電晶體 P101 到 P103、電容 C101 與 C102 與一保險絲 F101。NMOS 電晶體 N101 到 N104、電容 C101 與 C102 與保險絲 F101，和第 9 圖所示之，NMOS 電晶體 N91 到 N94、電容 C91 與 C92 與保險絲 F91 一樣。PMOS 電晶體 P101、P102 與 P103 並聯，一起連結於一輸出端 OUT 與一電源電壓 VCC 之間，而 PMOS 電晶體 P101 到 P103 之每一閘極，皆與一輸入端 IN 連結。

第 11 圖繪示，一感測放大器驅動電路之一延遲反相器 110，係依據本發明之再一之實施例中之第 8 圖。該延遲反相器 110 包含有一下拉電路 115，該下拉電路 115 包含有 NMOS 電晶體 N111 到 N114、PMOS 電晶體 P111 到 P113、電容



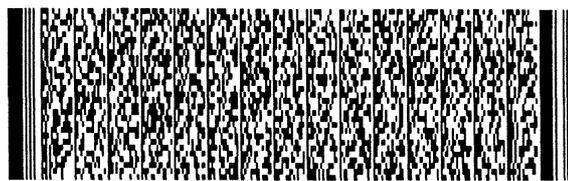
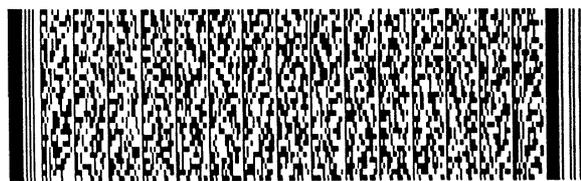
五、發明說明 (13)

C111 與 C112 與一保險絲 F111。NMOS 電晶體 N111 到 N114、電容 C111 與 C112 與保險絲 F111，和第 9 圖所示之，NMOS 電晶體 N91 到 N94、電容 C91 與 C92 與保險絲 F91 一樣。PMOS 電晶體 P111、P112 與 P113 串聯，一起連結於輸出端 OUT 與一電源電壓 VCC 之間，而 PMOS 電晶體 P111 到 P113 之每一閘極，皆與一輸入端 IN 連結。

在本發明的某些實施例中，因為感測放大器驅動電路是由複數個串連之延遲反相器所形成，在前方的反相器中之 PMOS 電晶體之驅動性能，會影響其後的延遲反相器中之 NMOS 電晶體之驅動性能。於是，時間 T_d 通常會追蹤時間 T_{bit} ，藉由如第 10 圖所示，並聯複數個 PMOS 電晶體 P101 到 P103，或如第 11 圖所示，串聯複數個 PMOS 電晶體 P111 到 P113。

在本申請案及其圖示中，已代表性地揭露本發明的較佳實施例，以及雖然使用了特別的措詞，這些措詞只用於非專利的與敘述的用途，並不用於限制之目的，本發明之範圍將於以下之申請專利範圍中提出。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示一習知的SRAM之一部分；

第2圖繪示第1圖中之SRAM在讀取時之訊號的模範波形；

第3圖繪示一習知的感測放大器驅動電路之一電路圖；

第4圖繪示第3圖之感測放大器驅動電路之延遲反相器之習知結構之一電路圖；

第5圖繪示第3圖之感測放大器驅動電路之延遲反相器之另一習知結構之一電路圖；

第6圖為一模擬結果圖繪示一習知之SRAM中之時間 T_d 與時間 T_{bit} 。該習知之SRAM係具有如第4圖所示之感測放大器驅動電路反相器結構；

第7圖繪示各種工作狀態與第6圖之模擬結果之對應，其中該工作狀態之特徵性能為製造過程、工作電壓與溫度之組合；

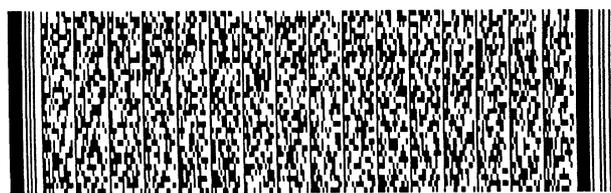
第8圖繪示一感測放大器驅動電路之一電路圖，係依據本發明之某些實施例；

第9圖繪示一第8圖之感測放大器驅動電路之一延遲反相器之結構，係依據本發明的某些實施例；

第10圖繪示一第8圖之感測放大器驅動電路之一延遲反相器之結構，係依據本發明的另一實施例；

第11圖繪示一第8圖之感測放大器驅動電路之一延遲反相器之結構，係依據本發明的又一實施例；以及

第12圖繪示第9圖所示之延遲反相器結構之模擬結



圖式簡單說明

果，係依據本發明之另一實施例。

[圖式標記說明]

11 SRAM 位元格

13 感測放大器

15 80 感測放大器驅動電路

N13 N14 通路電晶體

111 鎖相器

BL BLB 位元線路

WL 字元線路

ICK 內頻訊號

SAEN 感測放大器驅動訊號

Td Tbit 延遲時間

31 33 35 37 81 83 85 87 90 100 110 延遲反相器

95 105 115 下拉電路

N11 N12 N13 N14 N41 N91 N92 N93 N94 N101 N102 N103

N104 N111 N112 N113 N114 NMOS 電晶體

P11 P12 P41 P51 N51 P91 P101 P102 P103 P111 P112

P113 PMOS 電晶體

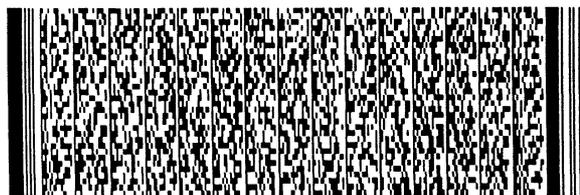
R41 R42 電阻

C41 C42 C91 C92 C101 C102 C111 C112 電容

F41 F91 F101 F111 保險絲

OUT 輸出端

IN 輸入端



圖式簡單說明

VSS 接地電壓

VCC 電源電壓端



四、中文發明摘要 (發明名稱：設計用以追蹤在記憶格通路電晶體特性之改變的感測放大器驅動電路)

一感測放大器驅動電路，用來產生一感測放大器推動訊號，該訊號推動一感測放大器用以驅動一連結到一記憶格之一通路電晶體之一位元線路，該感測放大器驅動電路包含有一反相器用以產生該感測放大器推動訊號，該反相器包括了複數個串連之MOS電晶體，該些MOS電晶體與通路電晶體具有一樣的傳導形式。該些串連之MOS電晶體有一總通道寬度/長度比，可能實質上和該通路電晶體之一通道寬度/長度比一樣。該些串連之電晶體之總長度可能基本上，和該通路電晶體之一長度一樣，以及該些串連之電晶體之寬度可能與該通路電晶體之一寬度不同。

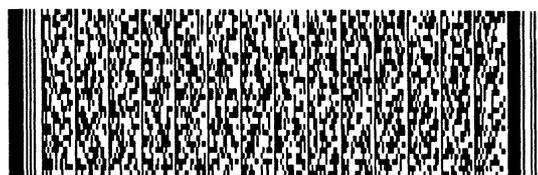
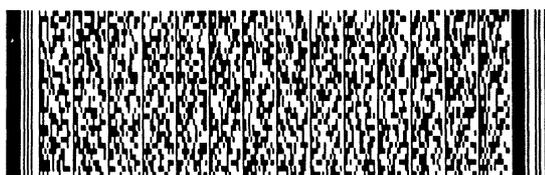
伍、(一)、本案代表圖為：第____9____圖

(二)、本案代表圖之元件代表符號簡單說明：

90 延遲反相器

陸、英文發明摘要 (發明名稱：SENSE AMPLIFIER DRIVER CIRCUITS CONFIGURED TO TRACK CHANGES IN MEMORY CELL PASS TRANSISTOR CHARACTERISTICS)

A sense amplifier driver circuit for generating a sense amplifier enable signal that enables a sense amplifier that drives a bit line coupled to a pass transistor of a memory cell includes an inverter that generates the sense amplifier enable signal, the inverter comprising a plurality of series-connected MOS transistors of the same conductivity type as the pass transistor. The



四、中文發明摘要 (發明名稱：設計用以追蹤在記憶格通路電晶體特性之改變的感測放大器
驅動電路)

95 下拉電路

N91N92 N93 N94 NMOS 電晶體

P91 PMOS 電晶體

C91 C92 電容

F91 保險絲

OUT 輸出端

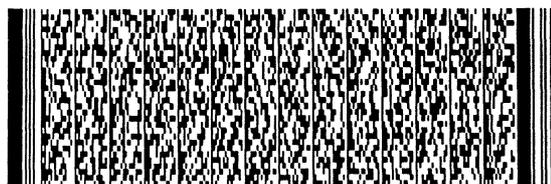
IN 輸入端

VSS 接地電壓

VCC 電源電壓端

陸、英文發明摘要 (發明名稱：SENSE AMPLIFIER DRIVER CIRCUITS CONFIGURED TO TRACK
CHANGES IN MEMORY CELL PASS TRANSISTOR CHARACTERISTICS)

plurality of series-connected MOS transistors may have an overall channel width/length ratio that is substantially the same as a channel width/length ratio of the pass transistor. The aggregate length of the series-connected transistors may be substantially the same as a length of the pass transistor, and widths of the series-connected transistors may be different from a width of the



四、中文發明摘要 (發明名稱：設計用以追蹤在記憶格通路電晶體特性之改變的感測放大器
驅動電路)

陸、英文發明摘要 (發明名稱：SENSE AMPLIFIER DRIVER CIRCUITS CONFIGURED TO TRACK
CHANGES IN MEMORY CELL PASS TRANSISTOR CHARACTERISTICS)

pass transistor.



六、申請專利範圍

1. 一種半導體裝置之一感測放大器驅動電路，用來驅動一用以感測與放大資料之感測放大器，其中該資料係為一組與一位元格連結之位元線路之資料，該感測放大器驅動電路包括：

複數個串聯之延遲反相器；

其中至少有一延遲反相器，包括複數個NMOS電晶體串聯到一輸出端，而且該些NMOS電晶體之閘極與一輸入端連結，並且該些NMOS電晶體之總beta比(該些NMOS電晶體之寬度對其整體長度之比值)，和該位元格中之一通路電晶體之beta比一樣。

2. 如申請專利範圍第1項所述之感測放大器驅動電路，其中該些NMOS電晶體之長度和該位元格中之該通路電晶體之長度一樣。

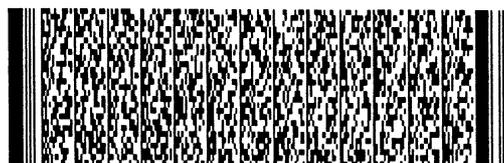
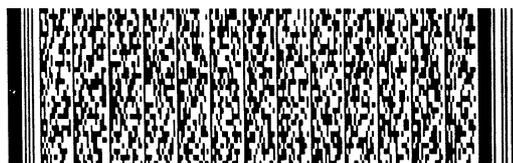
3. 如申請專利範圍第2項所述之感測放大器驅動電路，其中該些NMOS電晶體之寬度和該位元格中之該通路電晶體之寬度不同。

4. 如申請專利範圍第1項所述之感測放大器驅動電路，其中至少一延遲反相器還包括：

另一NMOS電晶體連結於該些NMOS電晶體其中之一與接地電壓之間，而且有一閘極與該輸入端連結；以及

一保險絲與該另一NMOS電晶體並聯。

5. 如申請專利範圍第1項所述之感測放大器驅動電路，其中至少一延遲反相器還包括了一PMOS電晶體，其具有一汲極與該輸出端連結、一閘極與該輸入端連結以及一源極



六、申請專利範圍

與一電源電壓連結。

6. 如申請專利範圍第1項所述之感測放大器驅動電路，其中由一外頻所產生之一內頻訊號具有一預定脈衝，該內頻訊號被輸入到該些延遲反相器之第一個延遲反相器之輸入端。

7. 如申請專利範圍第1項所述之感測放大器驅動電路，其中一用來驅動感測放大器之感測放大器驅動訊號是由該些延遲反相器之最後一個延遲反相器之輸出端所輸出。

8. 一種半導體記憶裝置之一感測放大器驅動電路，係用來驅動一用以感測與放大一資料之感測放大器，其中該資料係為一組與一位元格連結之位元線路之資料，該感測放大器驅動電路包括：

複數個串聯之延遲反相器；

其中至少有一延遲反相器包括：

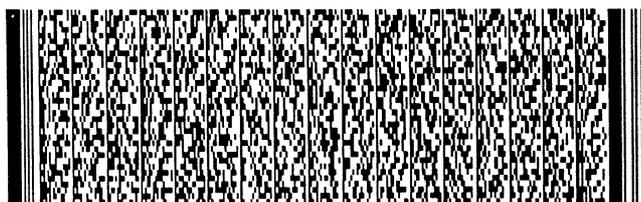
複數個NMOS電晶體串聯到一輸出端，而且該些NMOS電晶體之閘極與一輸入端連結；以及

複數個PMOS電晶體並聯到該輸出端，而且該些PMOS電晶體之閘極與該輸入端連結；

其中該些NMOS電晶體之總beta比和該位元格中之一通路電晶體之beta比一樣。

9. 如申請專利範圍第8項所述之感測放大器驅動電路，其中該些NMOS電晶體之長度和該位元格中之該通路電晶體之長度一樣。

10. 如申請專利範圍第9項所述之感測放大器驅動電



六、申請專利範圍

路，其中該些NMOS電晶體之寬度和該位元格中之該通路電晶體之寬度不同。

11. 如申請專利範圍第8項所述之感測放大器驅動電路，其中至少一延遲反相器還包括：

另一NMOS電晶體連結於該些NMOS電晶體其中之一與接地電壓之間，而且有一閘極與該輸入端連結；以及

一保險絲與該另一NMOS電晶體並聯。

12. 如申請專利範圍第8項所述之感測放大器驅動電路，其中該PMOS電晶體之源極與電源電壓連結。

13. 如申請專利範圍第8項所述之感測放大器驅動電路，其中由一外頻所產生之一內頻訊號具有一預定脈衝，該內頻訊號被輸入到該些延遲反相器之第一個延遲反相器之輸入端。

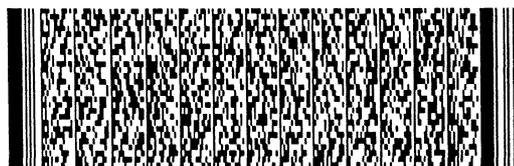
14. 如申請專利範圍第8項所述之感測放大器驅動電路，其中一用來驅動該感測放大器之感測放大器驅動訊號是由該些延遲反相器之最後一個延遲反相器之輸出端所輸出。

15. 一種半導體記憶裝置之一感測放大器驅動電路，係用來驅動一用以感測與放大一資料之感測放大器，其中該資料係為一組與一位元格連結之位元線路之資料，該感測放大器驅動電路包括：

複數個串聯之延遲反相器；

其中至少有一延遲反相器包括：

複數個NMOS電晶體串聯到一輸出端，而且該些NMOS電



六、申請專利範圍

晶體之閘極與一輸入端連結；以及

複數個PMOS電晶體串聯到該輸出端，而且該些PMOS電晶體之閘極與該輸入端連結；

其中，該些NMOS電晶體之總beta比，和在該位元格中之一通路電晶體之beta比一樣。

16. 如申請專利範圍第15項所述之感測放大器驅動電路，其中該些NMOS電晶體之長度和該位元格中之該通路電晶體之長度一樣。

17. 如申請專利範圍第16項所述之感測放大器驅動電路，其中該些NMOS電晶體之寬度和該位元格中之該通路電晶體之寬度不同。

18. 如申請專利範圍第15項所述之感測放大器驅動電路，其中至少一延遲反相器還包括：

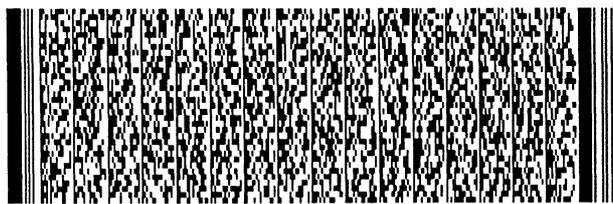
另一NMOS電晶體連結於該些NMOS電晶體其中之一與接地電壓之間，而且有一閘極與該輸入端連結；以及

一保險絲與該另一NMOS電晶體並聯。

19. 如申請專利範圍第15項所述之感測放大器驅動電路，其中該些PMOS電晶體之一源極與電源電壓連結。

20. 如申請專利範圍第15項所述之感測放大器驅動電路，其中由一外頻所產生之一內頻訊號具有一預定脈衝，該內頻訊號被輸入到該些延遲反相器之第一個延遲反相器之輸入端。

21. 如申請專利範圍第15項所述之感測放大器驅動電路，其中一用來驅動該感測放大器之感測放大器驅動訊號



六、申請專利範圍

是由該些延遲反相器之最後一個延遲反相器之輸出端所輸出。

22. 一種感測放大器驅動電路用來產生一感測放大器推動訊號以推動一感測放大器，該感測放大器驅動一連結到一記憶格之一通路電晶體之位元線路，該感測放大器驅動電路包括：

一反相器產生該感測放大器推動訊號，該反相器包括一包括複數個串連之MOS電晶體之下拉電路，該些串連之MOS電晶體與該通路電晶體有相同之傳導形式。

23. 如申請專利範圍第22項所述之感測放大器驅動電路，其中該些串連之MOS電晶體，具有一總通道寬度/長度比實質上和該通路電晶體之一通道寬度/長度比一樣。

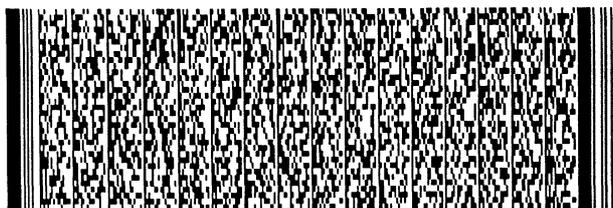
24. 如申請專利範圍第23項所述之感測放大器驅動電路，其中該串連之電晶體之一總長度實質上和該通路電晶體之一長度一樣。

25. 如申請專利範圍第24項所述之感測放大器驅動電路，其中該串連之電晶體之寬度不同於該通路電晶體之一寬度。

26. 如申請專利範圍第22項所述之感測放大器驅動電路，其中該反相器包括：

至少一PMOS電晶體具有一源極電極連結到一第一電源供應器節點；

複數個串連之NMOS電晶體連結於該至少一PMOS電晶體之一汲極電極與一第二電源供應器節點之間；



六、申請專利範圍

其中該至少一PMOS電晶體之閘極電極與該些NMOS電晶體連結在一起。

27. 如申請專利範圍第26項所述之感測放大器驅動電路，其中該反相器還包括了至少與該串連之NMOS電晶體其中之一並聯。

28. 如申請專利範圍第22項所述之感測放大器驅動電路，其中該反相器包括：

一PMOS電晶體具有一源極電極連結到一第一電源供應器節點；

複數個串連之NMOS電晶體連結於該PMOS電晶體之一汲極電極與一第二電源供應器節點之間，

其中該PMOS電晶體之閘極電極與該些NMOS電晶體連結在一起。

29. 如申請專利範圍第22項所述之感測放大器驅動電路，其中該反相器包括：

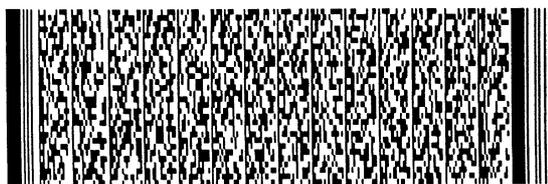
複數個PMOS電晶體具有源極電極共同連結到一第一電源供應器節點；

複數個串連之NMOS電晶體共同連結於該PMOS電晶體之汲極電極與一第二電源供應器節點之間，

其中該PMOS電晶體之閘極電極與該些NMOS電晶體連結在一起。

30. 如申請專利範圍第22項所述之感測放大器驅動電路，其中該反相器包括：

複數個串連之PMOS電晶體具有一源極電極連結到一第



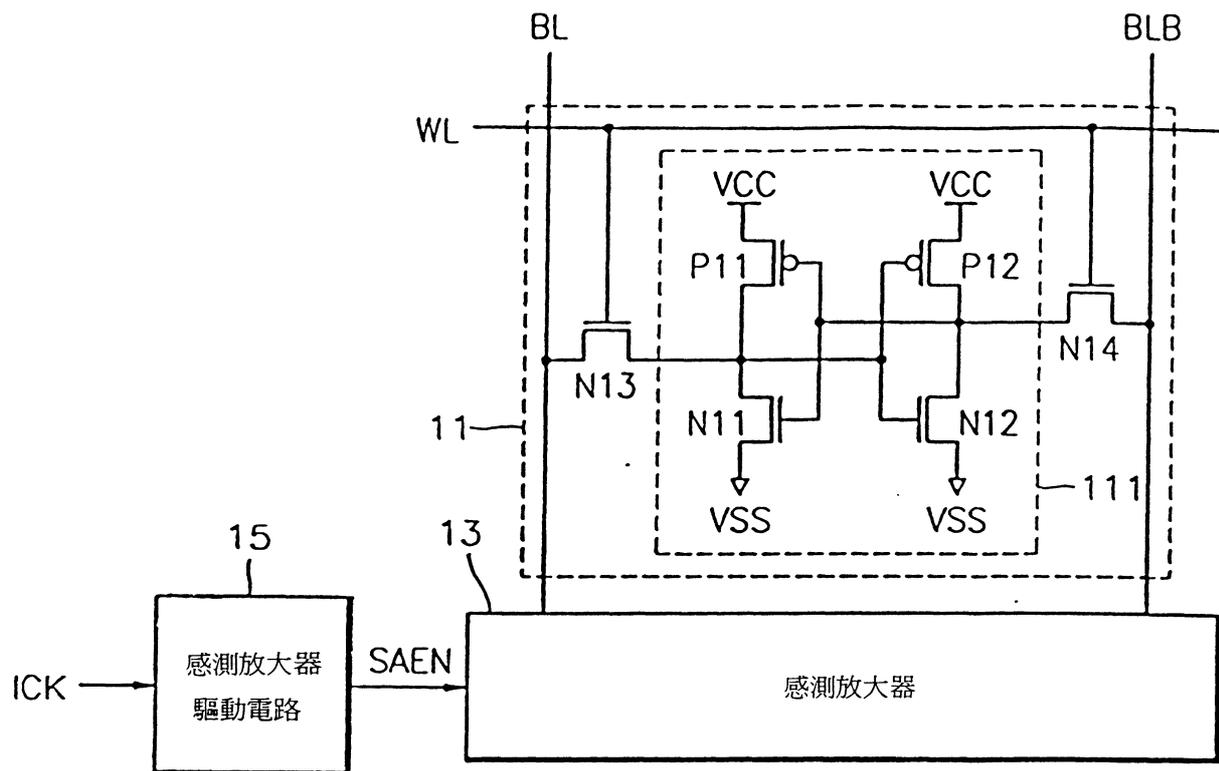
六、申請專利範圍

一 電源供應器節點；

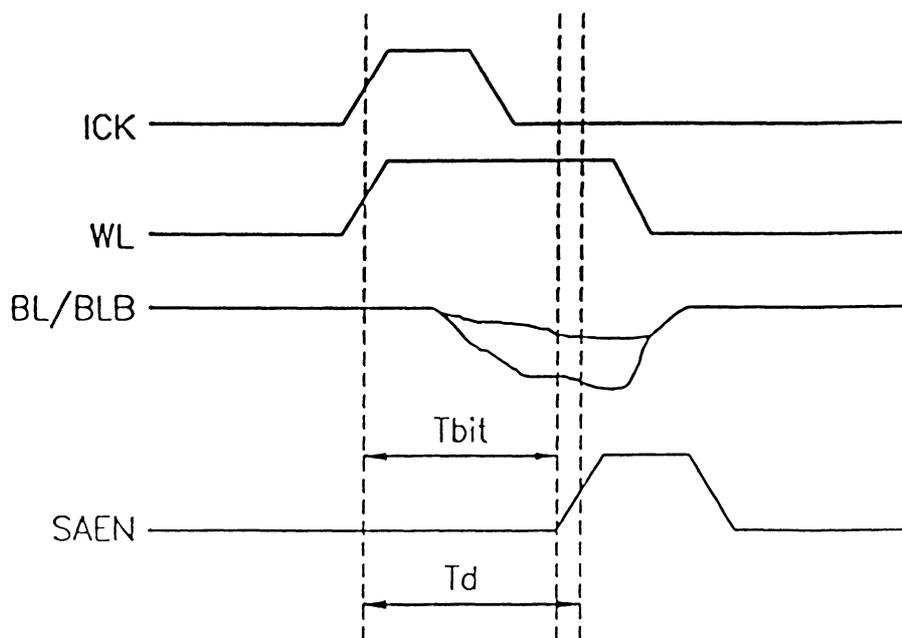
複數個串連之NMOS電晶體，連結於該些PMOS電晶體之一汲極電極與一第二電源供應器節點之間，

其中該些PMOS電晶體之閘極電極與該些NMOS電晶體連結在一起。

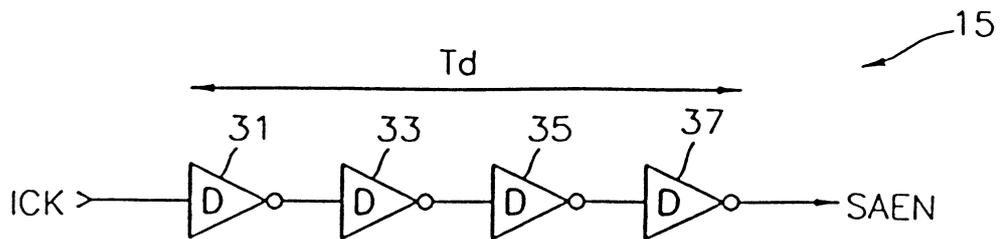




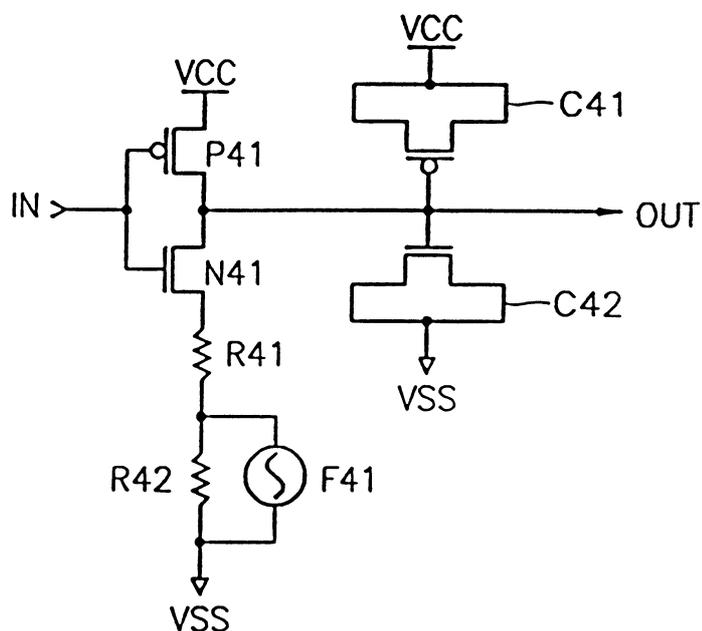
第 1 圖



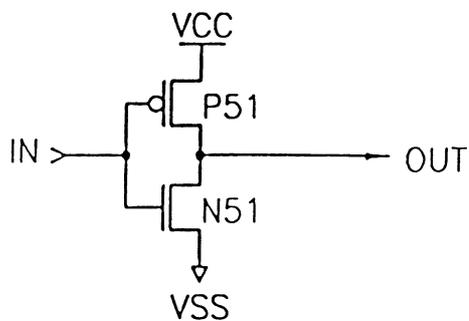
第 2 圖



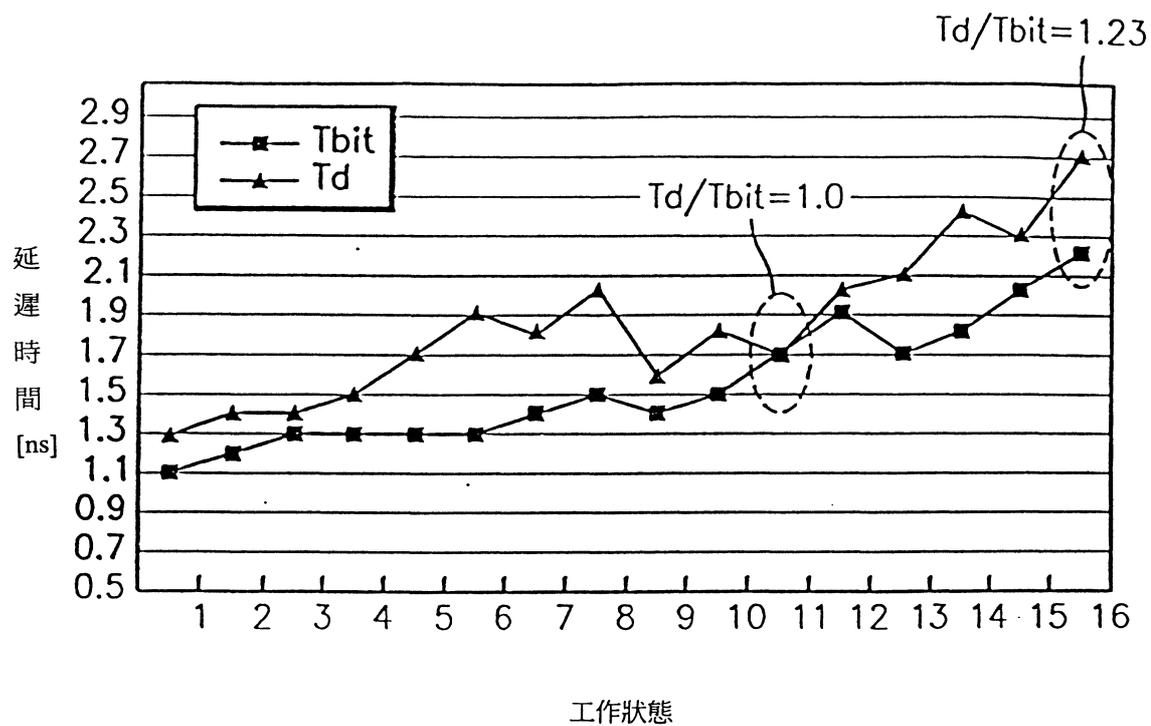
第 3 圖



第 4 圖



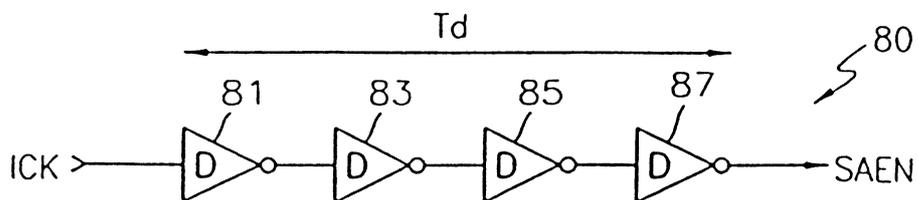
第 5 圖



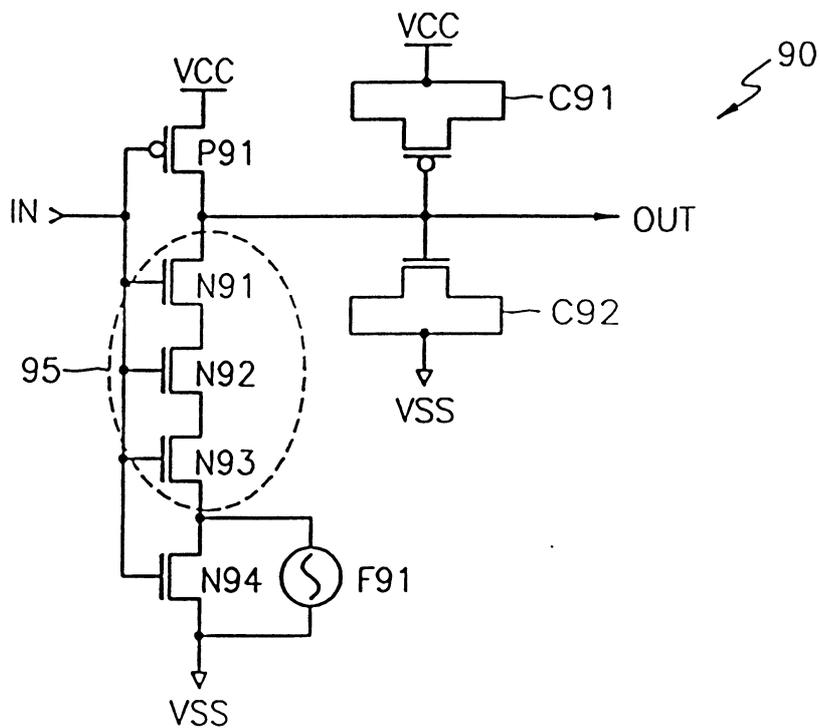
第 6 圖

工作狀態	工作電壓	溫度	製程	
			NMOS	PMOS
1	HIGH	LOW	FAST	FAST
2	HIGH	LOW	FAST	SLOW
3	HIGH	LOW	SLOW	FAST
4	HIGH	LOW	SLOW	SLOW
5	HIGH	HIGH	FAST	FAST
6	HIGH	HIGH	FAST	SLOW
7	HIGH	HIGH	SLOW	FAST
8	HIGH	HIGH	SLOW	SLOW
9	LOW	LOW	FAST	FAST
10	LOW	LOW	FAST	SLOW
11	LOW	LOW	SLOW	FAST
12	LOW	LOW	SLOW	SLOW
13	LOW	HIGH	FAST	FAST
14	LOW	HIGH	FAST	SLOW
15	LOW	HIGH	SLOW	FAST
16	LOW	HIGH	SLOW	SLOW

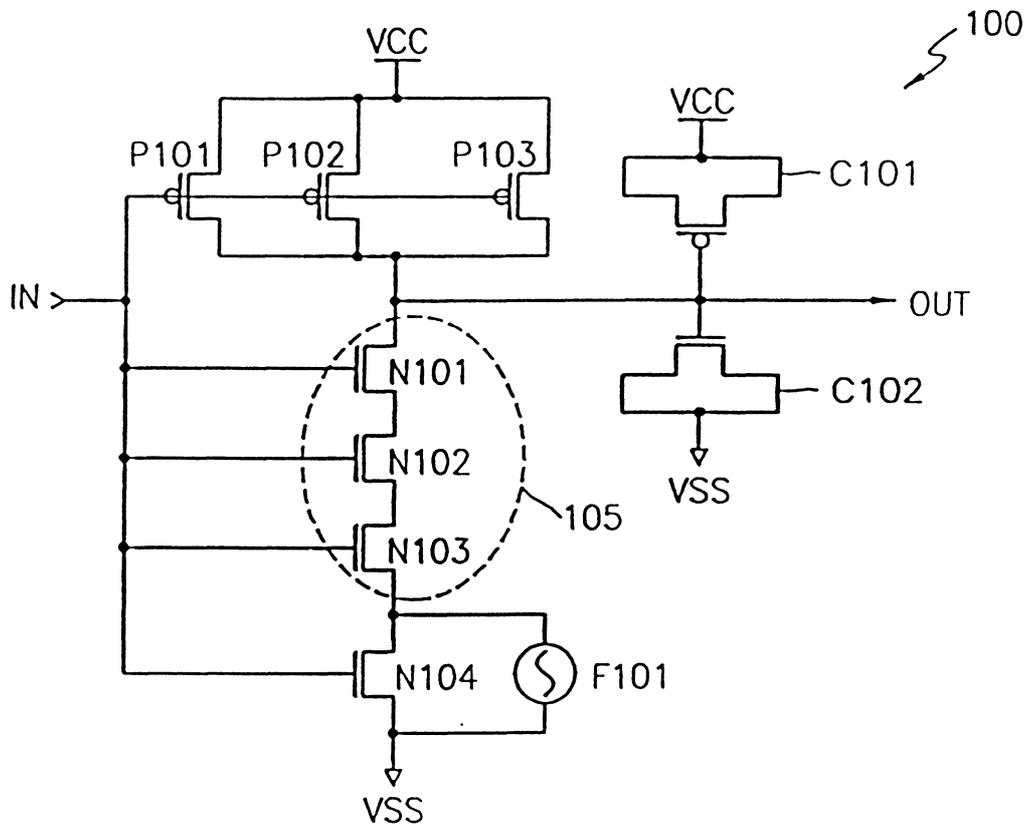
第 7 圖



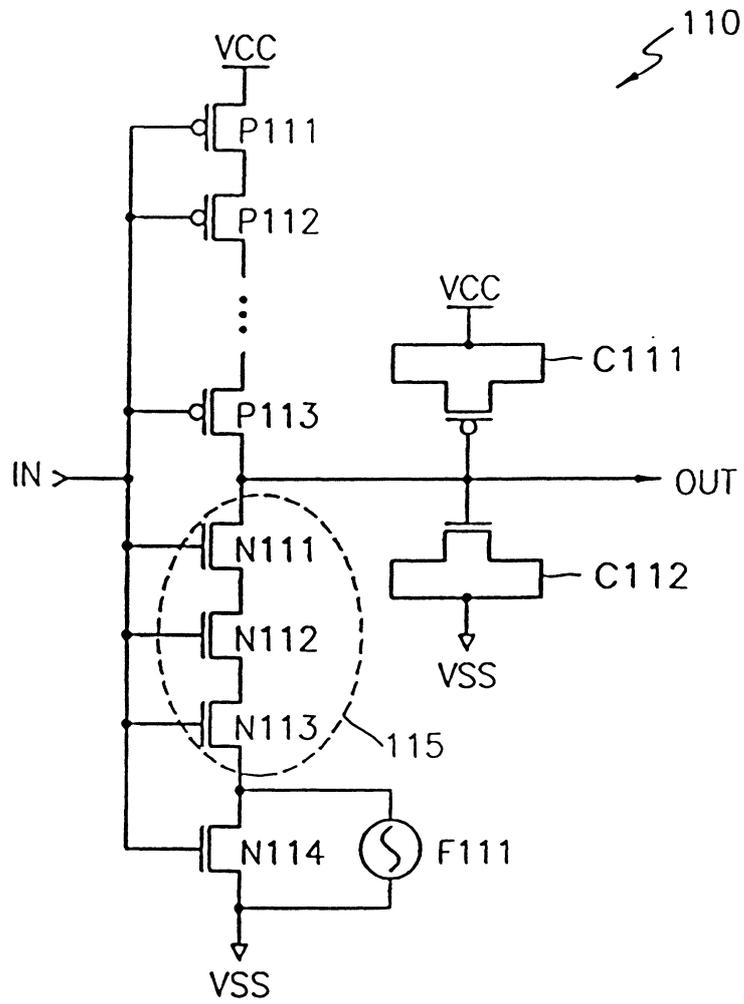
第 8 圖



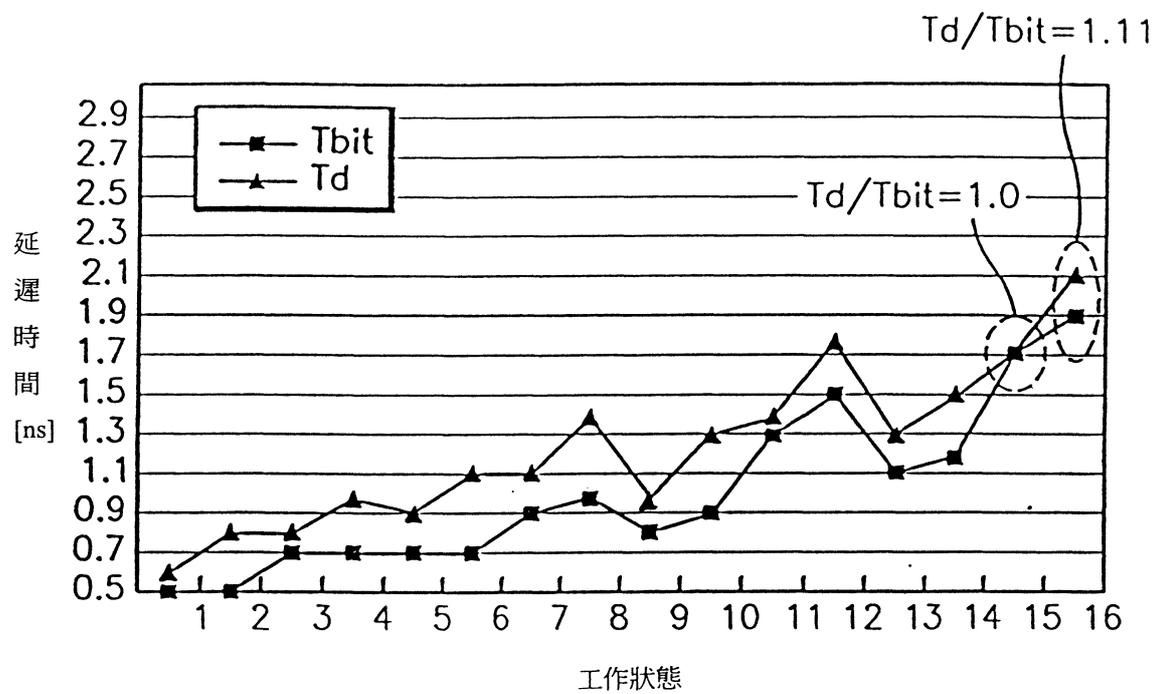
第 9 圖



第 10 圖



第 11 圖



第 12 圖