

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
13. Mai 2004 (13.05.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/040760 A1

(51) Internationale Patentklassifikation⁷: **H03K 17/06**

Jean, Ludovic [FR/FR]; 9, rue des Petits Ponts Bat 17, F-06250 Mougins le Haut (FR). NEBEL, Gerhard [DE/DE]; Hornstr. 26, 87509 Immenstadt (DE).

(21) Internationales Aktenzeichen: PCT/DE2003/003283

(74) Anwalt: EPPING HERMANN FISCHER PATENTWALTSGESELLSCHAFT MBH; Ridlerstrasse 55, 80339 München (DE).

(22) Internationales Anmeldedatum:
2. Oktober 2003 (02.10.2003)

(81) Bestimmungsstaaten (national): BR, CA, CN, IL, IN, JP, KR, MX, RU, UA, US.

(25) Einreichungssprache: Deutsch

(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

(26) Veröffentlichungssprache: Deutsch

Veröffentlicht:

(30) Angaben zur Priorität:
102 48 498.8 17. Oktober 2002 (17.10.2002) DE

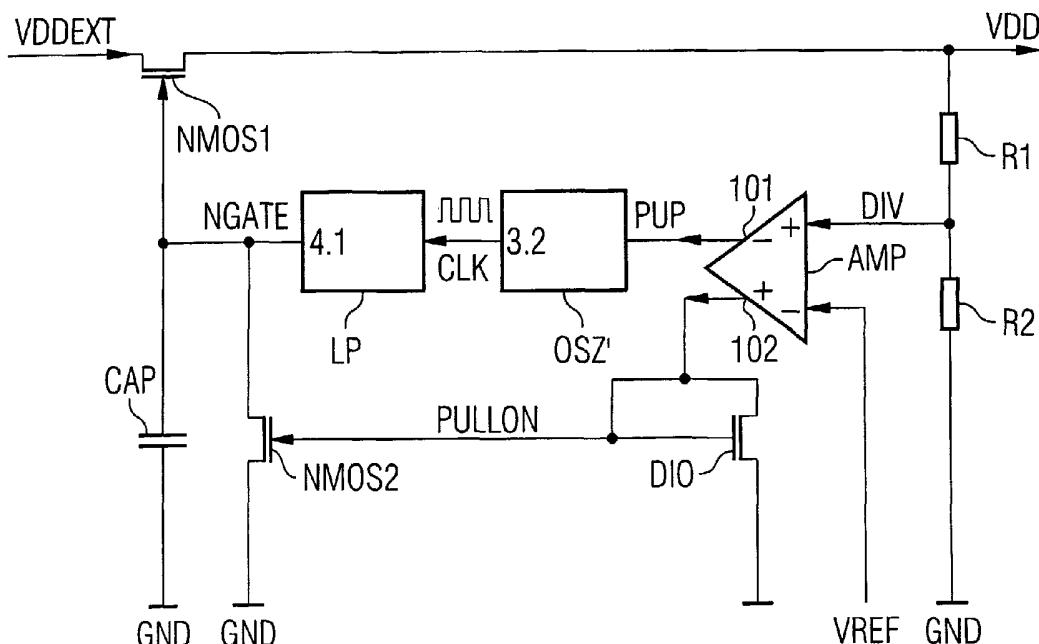
- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).

[Fortsetzung auf der nächsten Seite]

(54) Title: CIRCUIT ARRANGEMENT FOR REGULATING VOLTAGE

(54) Bezeichnung: SCHALTUNGSANORDNUNG ZUR SPANNUNGSREGELUNG



WO 2004/040760 A1

(57) Abstract: The inventive circuit arrangement for regulating voltage comprises a differential amplifier (AMP) with two inputs and two outputs (10.1, 10.2). A reference voltage (VREF) and a voltage (VDD) to be regulated can be applied to the inputs. In addition, a charge pump (LP) is provided that is connected to the first output (10.1) of the differential amplifier (AMP). A current mirror (DIO, NMOS2) is also provided that is connected to the second output (10.2) of the differential amplifier (AMP). The voltage (VDD) to be regulated can be influenced via a transistor (NMOS1) whose control input is connected to the current mirror (DIO, NMOS2) and to the charge pump (LP).

[Fortsetzung auf der nächsten Seite]



Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die erfindungsgemäße Schaltungsanordnung zur Spannungsregelung weist einen Differenzverstärker (AMP) mit zwei Eingängen und zwei Ausgängen (10.1, 10.2) auf, wobei an die Eingänge eine Referenzspannung (VREF) und eine zur Regelnde Spannung (VDD) anlegbar sind. Zudem ist eine Ladungspumpe (LP) vorgesehen, die mit dem ersten Ausgang (10.1) des Differenzverstärkers (AMP) verbunden ist. Weiterhin ist ein Stromspiegel (DIO, NMOS2) vorgesehen, der mit dem zweiten Ausgang (10.2) des Differenzverstärkers (AMP) verbunden ist. Über einen Transistor (NMOS1), dessen Steuereingang mit dem Stromspiegel (DIO, NMOS2) und der Ladungspumpe (LP) verbunden ist, ist die zur Regelnde Spannung (VDD) beeinflussbar.

1

Beschreibung

Schaltungsanordnung zur Spannungsregelung

5

Technisches Gebiet

Die Erfindung betrifft eine Schaltungsanordnung zur Spannungsregelung.

10

Spannungsregler, die auf einer N-Kanal-MOS (NMOS) -Technologie beruhen, eignen sich zur Steuerung bzw. Regelung von stark rauschbehafteten Energieversorgungen. Nachteilhafterweise benötigen NMOS-Spannungsregler jedoch eine Ladungspumpe, um die 15 Spannung am Gate des NMOS-Transistors ausreichend erhöhen zu können. Insbesondere bei tragbaren Anwendungen ist es jedoch von Nachteil, dass die Ladungspumpe während des Betriebs einen erheblichen Stromverbrauch aufweist.

20

Stand der Technik

Aus dem betriebsinternen Stand der Technik ist, wie in Figur 1 gezeigt ist, eine Schaltungsanordnung bekannt, bei der der Stromverbrauch der Ladungspumpe reduziert werden kann. Dazu wird die Ladungspumpe abgeschaltet, wenn die Spannung am Gate des NMOS-Transistors den richtigen Wert angenommen hat. Die Schaltungsanordnung zur Spannungsregelung in Figur 1 beruht prinzipiell auf einer binären Regelung. Die Schaltungsanordnung weist einen ersten Differenzverstärker AMP1 und einen zweiten Differenzverstärker AMP2 mit jeweils zwei Eingängen auf. Der nicht invertierende Eingang des ersten Differenzverstärkers AMP 1 sowie der invertierende Eingang des zweiten Differenzverstärkers AMP2 sind mit einem Referenzpotential 30 VREF verbunden. Über einen Spannungsteiler, der aus drei Widerständen R1, R2 und R3 besteht, ist der invertierende Eingang des ersten Differenzverstärkers AMP1 mit dem Potenzial 35

UP, das auch als erste Teilerspannung bezeichnet wird, und der nicht invertierende Eingang des zweiten Differenzverstärkers AMP2 mit dem Potenzial DN verbunden, das auch als zweite Teilerspannung bezeichnet wird. Der Spannungsteiler liegt 5 zwischen der zu regelnden Spannung VDD und einem Bezugspotenzial GND. Das Potential UP ist zwischen dem ersten Widerstand R1 und dem zweiten Widerstand R2 abgreifbar. Das Potential DN ist zwischen dem zweiten Widerstand R2 und dem dritten Widerstand R3 abgreifbar. Der Ausgang EN des ersten Differenzverstärkers AMP1 führt auf den Eingang eines Oszillators OSZ. 10 Der Oszillator OSZ mit konstanter Frequenz erzeugt, wenn an seinem Eingang EN die Spannung VDDEXT anliegt, ein Signal mit konstanter Frequenz. Liegt jedoch an seinem Eingang EN keine Spannung an, erzeugt der Oszillator OSZ an seinem Ausgang 15 auch kein Signal. Der Ausgang des Oszillators OSZ wiederum ist mit der Ladungspumpe LP verbunden, die abhängig von der durch den Oszillator OSZ erzeugten Frequenz eine Spannung erzeugt, welche am Ladungspumpenausgang 4.1 anliegt. Der Ausgang des zweiten Differenzverstärkers AMP2 führt auf den 20 Steuereingang eines zweiten NMOS-Transistors NMOS2. Der Ausgang der Ladungspumpe LP ist mit dem Steuerausgang des NMOS-Transistors NMOS2, einem Kondensator CAP und dem Steuereingang des NMOS-Transistors NMOS1 verbunden. Die am Eingang VDDEXT der Schaltung anliegende externe Versorgungsspannung 25 VDDEXT wird einerseits auf den Drain-Anschluss des ersten NMOS-Transistors NMOS1 und andererseits auf den Versorgungsanschluss 1.2 des ersten Differenzverstärkers AMP1, den Steueranschluss 3.1 des Oszillators OSZ mit konstanter Frequenz sowie auf den Versorgungsanschluss 2.1 des zweiten Differenzverstärkers AMP2 geführt. 30

Das Prinzip, das sich hinter der Schaltungsanordnung zur Spannungsregelung, wie sie in Figur 1 gezeigt ist, verbirgt, besteht darin, den Kondensator CAP als Speicherelement zu benutzen und zudem die Ladungspumpe LP sowie den NMOS-Transistor NMOS2 nur einzuschalten, falls die Spannung am Gate des NMOS-Transistor NMOS1 erhöht oder verringert werden 35

soll. Für die Zeit, für die die Ladungspumpe LP ausgeschaltet ist, wird die Spannung im Kondensator CAP gespeichert. Die beiden Differenzverstärker AMP1 und AMP2 arbeiten als Komparatoren. Mit Hilfe der Referenzspannung VREF und den beiden Komparatoren AMP1 und AMP2 kann ein Spannungsfenster erzeugt werden. Wenn die Versorgungsspannung oder Betriebsspannung VDD zu niedrig ist, das heißt, außerhalb des Spannungsfensters liegt, wird die Ladungspumpe LP aktiviert. Wenn die Versorgungsspannung VDD zu hoch ist, wird über den zweiten NMOS-Transistor NMOS2 das Gate des ersten NMOS-Transistors NMOS1 entladen. Solange die Versorgungsspannung VDD innerhalb des Spannungsfensters liegt, wird weder die Ladungspumpe LP noch der zweite NMOS-Transistor NMOS2 aktiviert. Damit wird der Stromverbrauch reduziert. Außer den beiden Differenzverstärkern AMP1 und AMP2 verbrauchen dann weder der Oszillatorkern OSZ, noch die Ladungspumpe LP noch der zweite NMOS-Transistor NMOS2 Strom.

Im Detail funktioniert die in Figur 1 dargestellte Schaltung wie folgt. Wenn die Versorgungsspannung VDD den nominellen Wert aufweist, liegt die Referenzspannung VREF zwischen den durch den Spannungsteiler erzeugten Potentialen UP und DN. Dies hat zur Folge, dass die Spannung am Ausgang EN des ersten Differenzverstärkers AMP 1 und die Spannung am Ausgang PULLDN des zweiten Differenzverstärkers AMP2 auf dem Wert 0 liegen. Dies wiederum hat zur Folge, dass die Ladungspumpe LP deaktiviert wird und der zweite NMOS-Transistor NMOS2 abgeschaltet ist. Die Spannung am Knoten NGATE und damit am Gate des NMOS-Transistors NMOS1 wird daher weder von der Ladungspumpe LP noch vom NMOS-Transistor NMOS2 beeinflusst. Mit Hilfe des Kondensators CAP wird vermieden, dass die Spannung am Knoten NGATE abdriftet.

Wenn die Versorgungsspannung VDD einen zu hohen Wert annimmt, steigt das Potential DN über die Referenzspannung VREF. Dies bewirkt, dass mit Hilfe des zweiten Differenzverstärkers AMP2 die Spannung am Ausgang PULLDN des zweiten Differenzverstär-

kers AMP2 vom Wert 0 auf den Wert der externen Versorgungsspannung VDDEXT ansteigt. Damit wird der Knoten NGATE und das Gate des NMOS-Transistors NMOS1 über den zweiten NMOS-Transistor NMOS2 auf das Bezugspotenzial GND gezogen. Dies hat zur Folge, dass der Strom, der vom Eingang VDDEXT der Schaltung zum Ausgang VDD der Schaltung fließt, abnimmt. Die Versorgungsspannung VDD nimmt damit solange ab, bis die Referenzspannung VREF wieder zwischen den beiden Potenzialen UP und DN liegt.

10

Wenn die Versorgungsspannung VDD zu stark abnimmt, fällt das Potential UP unter den Wert der Referenzspannung VREF. Die Spannung am Ausgang EN des ersten Differenzverstärkers AMP1 wechselt dann vom Wert 0 auf den Wert der externen Versorgungsspannung VDDEXT und der Oszillatator OSZ zur Erzeugung einer konstanten Frequenz wird aktiviert. Der Oszillatator OSZ erzeugt ein Signal CLK mit einer konstanten Frequenz, was dazu führt, dass die Ladungspumpe LP die Spannung am Knoten NGATE erhöht. Damit nimmt der Strom, der zwischen dem Eingang VDDEXT der Schaltung und dem Ausgang VDD der Schaltung fließt, zu, was dazu führt, dass die Versorgungsspannung VDD ansteigt, bis die Referenzspannung VREF wieder zwischen den beiden Potentialen UP und DN liegt.

25

Eine derartige Schaltung hat jedoch den Nachteil, dass sie als digitales System ausgebildet ist. Die Schaltung ist daher nicht in der Lage, sich an den Grad der Abweichung der Versorgungsspannung VDD anzupassen. Unabhängig davon, ob die Versorgungsspannung VDD weit von ihren nominellen Wert entfernt ist oder nahe daran liegt, wird mit Hilfe der Ladungspumpe LP und des zweiten NMOS-Transistors NMOS2 immer die gleiche Spannung am Knoten NGATE erzeugt. Daher ist ein Kompromiss zwischen der Regelgeschwindigkeit des Systems und der Welligkeit der Versorgungsspannung VDD erforderlich. Wenn die Ladungspumpe LP und der zweite NMOS-Transistor NMOS2 zu stark sind, wird das System zwar schnell, das heißt, das System ist dann schnell einschaltbar und eine durch eine Änderung der

Last bedingte Änderung der Versorgungsspannung VDD wird schnell ausgeglichen, aber gleichzeitig weist die Versorgungsspannung VDD dann große Spannungsstufen auf, wenn die Ladungspumpe LP, der Oszillator OSZ und der zweite NMOS-

5 Transistor NMOS2 ein- und ausgeschaltet werden.

Darstellung der Erfindung

10 Eine Aufgabe der Erfindung ist es daher, eine Schaltungsanordnung zur Spannungsregelung anzugeben, bei der einerseits der Stromverbrauch so gering wie möglich ist und andererseits keine großen Spannungsstufen auftreten, wenn sich die Last am Ausgang der Schaltung verändert.

15

Die Aufgabe wird durch eine Schaltungsanordnung zur Spannungsregelung mit den Merkmalen gemäß Patentanspruch 1 gelöst.

20 So weist die erfindungsgemäße Schaltungsanordnung zur Spannungsregelung einen Differenzverstärker mit zwei Eingängen und zwei Ausgängen auf, wobei an die Eingänge eine Referenzspannung und eine zur regelnde Spannung anlegbar sind. Zudem ist eine Ladungspumpe vorgesehen, die mit dem ersten Ausgang
25 des Differenzverstärkers verbunden ist. Weiterhin ist ein Stromspiegel vorgesehen, der mit dem zweiten Ausgang des Differenzverstärkers verbunden ist. Über einen Transistor, dessen Steuereingang mit dem Stromspiegel und der Ladungspumpe verbunden ist, ist die zur regelnde Spannung beeinflussbar.

30

Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den in den abhängigen Patentansprüchen angegebenen Merkmalen.

Bei einer Ausführungsform der Erfindung ist ein Kondensator
35 zum Speichern vorgesehen, der mit dem Steuereingang des Transistors verbunden ist.

Vorteilhafterweise ist bei der erfindungsgemäßen Schaltungsanordnung zur Spannungsregelung ein Spannungsteiler vorgesehen, der eingangsseitig mit der zu regelnden Spannung und ausgangsseitig mit dem Eingang des Differenzverstärkers verbunden ist.

Entsprechend einer bevorzugten Ausführungsvariante der Erfindung weist der Stromspiegel einen ersten Stromspiegeltransistor und einen zweiten Stromspiegeltransistor auf, wobei deren Steuereingänge miteinander verbunden sind.

Bei einer Weiterbildung der erfindungsgemäßen Schaltungsanordnung ist ein steuerbarer Oszillator vorgesehen, der zwischen den Ausgang des Differenzverstärkers und die Ladungspumpe geschaltet ist.

Darüber hinaus kann bei der erfindungsgemäßen Schaltungsanordnung der steuerbare Oszillator als stromgesteuerter Oszillator ausgebildet sein.

Zur Lösung der Aufgabe wird ferner vorgeschlagenen den Transistor als N-Kanal-MOS-Transistor auszubilden.

Schließlich kann die erfindungsgemäße Schaltungsanordnung zur Spannungsregelung in einer tragbaren elektronischen Vorrichtung verwendet werden.

Kurze Beschreibung der Zeichnungen

Im folgen wird die Erfindung anhand von zwei Figuren weiter erläutert.

Figur 1 zeigt in Form eines Schaltplans den prinzipiellen Aufbau einer Schaltung zur Spannungsregelung gemäß dem Stand der Technik.

Figur 2 zeigt in Form eines Schaltplans den prinzipiellen Aufbau einer Schaltung zur Spannungsregelung gemäß der Erfindung.

5

Wege zur Ausführung der Erfindung

Auf die Ausführungsform gemäß Figur 1 wird im folgenden nicht weiter eingegangen, da dies bereits in der Beschreibungseinheit 10 leitung hinreichend erfolgte.

Bei der in Figur 2 gezeigten erfindungsgemäßen Schaltungsanordnung zur Spannungsregelung ist ein Differenzverstärker AMP mit einem invertierenden Eingang, einen nicht invertierenden 15 Eingang, einem invertierenden Ausgang 10.1 und einen nicht invertierenden Ausgang 10.2 vorgesehen. Der invertierende Eingang des Differenzverstärkers AMP ist mit einem Referenzpotential VREF verbunden, während der nicht invertierende Eingang des Differenzverstärkers AMP mit dem Ausgang eines Spannungsteilers verbunden ist. Der Spannungsteiler besteht 20 aus zwei in Reihe geschalteten Widerständen R1 und R2, wobei der zweite Widerstand R2 mit dem Bezugspotenzial GND und der erste Widerstand R1 mit der Betriebsspannung VDD verbunden ist. Der Spannungsteiler erzeugt eine Teilerspannung DIV, 25 welche am nicht invertierenden Eingang des Differenzverstärkers AMP anliegt.

Der invertierende Ausgang 10.1 des Differenzverstärkers AMP ist mit dem Eingang des Oszillators OSZ' verbunden. Je höher 30 der Strom am Eingang des Oszillators OSZ' ist, desto größer wird die Frequenz am Ausgang des Oszillators OSZ'. Der Ausgang des Oszillators OSZ' wiederum ist mit der Ladungspumpe LP verbunden. Der nicht invertierende Ausgang 10.2 des Differenzverstärkers AMP ist mit den Gate-Anschlüssen eines ersten 35 NMOS-Transistors DIO und eines zweiten NMOS-Transistors NMOS2 verbunden. Die beiden NMOS-Transistoren DIO und NMOS2 bilden zusammen ein Stromspiegel, der ausgangsseitig, das heißt über

den Steuerausgang des zweiten NMOS-Transistors NMOS2, mit dem Ausgang 4.1 der Ladungspumpe LP, dem Kondensator CAP und dem Steuereingang des ersten NMOS-Transistors NMOS1 verbunden ist. Diese Verbindung bildet den Knoten NGATE. Die beiden 5 NMOS-Transistor NMOS2 und DIO werden im folgenden auch als Stromspiegeltransistoren bezeichnet.

Bei der in Figur 2 gezeigten Schaltungsanordnung wird die Stärke der Ladungspumpe LP und des zweiten Stromspiegeltransistors NMOS2 in Abhängigkeit von dem Wert der Betriebsspannung VDD gesteuert. Dazu dient der Differenzverstärker AMP mit seinen beiden Stromausgängen. Der erste Stromausgang 10.1 des Differenzverstärkers AMP, welcher der invertierende Ausgang ist, wird aktiviert, wenn die Betriebsspannung VDD zu niedrig ist, was der Fall ist, wenn die Teilerspannung DIV 10 kleiner als die Referenzspannung VREF ist. Der Ausgang 10.1 steuert den stromgesteuerten Oszillator OSZ' über den Steuerstrom UP. Der zweite Ausgang 10.2 des Differenzverstärkers AMP wird aktiviert, wenn die Betriebsspannung VDD beziehungsweise die Teilerspannung DIV gegenüber der Referenzspannung VREF zu hoch ist. Über den Ausgang 10.2 wird dann der NMOS-Transistor DIO leitend geschaltet, um das Gate des zweiten Stromspiegeltransistors NMOS2 zu laden. Der Wert des Stroms am Ausgang 10.1 und der Wert des Stroms am Ausgang 10.2 des 15 Differenzverstärkers AMP sind proportional zur Spannungsdifferenz zwischen der Betriebsspannung VDD bzw. der Teilerspannung DIV und der Referenzspannung VREF.

Im folgenden wird die Funktionsweise der in Figur 2 gezeigten 30 Schaltung im Detail beschrieben.

Wenn die Betriebsspannung VDD ihren nominellen Wert aufweist, erzeugt der Differenzverstärker AMP weder am Ausgang 10.1 noch am Ausgang 10.2 einen Strom. Der stromgesteuerte Oszillator OSZ' erzeugt deshalb auch kein Signal CLK am Ausgang 35 3.2. Da auch der Ausgang 10.2 keinen Strom erzeugt, befindet sich der NMOS-Transistor NMOS2 im hohohmigen Zustand. Die

Spannung am Knoten NGATE und damit am Gate des NMOS-Transistors NMOS1 wird somit weder von der Ladungspumpe LP noch vom NMOS-Transistor NMOS2 vorgegeben. Um zu vermeiden, dass die Spannung am Knoten NGATE abdriftet, ist der zwischen 5 das Gate des NMOS-Transistors NMOS1 und das Bezugspotenzial GND geschaltete Kondensator CAP vorgesehen.

Wenn die Betriebsspannung VDD über den nominellen Wert steigt, erhöht der Differenzverstärker AMP seinen Strom am 10 Ausgang 10.2 nach und nach. Am Ausgang 10.1 des Differenzverstärkers AMP hingegen wird kein Strom erzeugt. Die Ladungspumpe LP bleibt daher ausgeschaltet. Der Strom PULLDN am Ausgang 10.2 des Differenzverstärkers AMP wird mit Hilfe des Stromspiegels auf den Steuereingang des NMOS-Transistors 15 NMOS1 gespiegelt. Auf diese Art und Weise wird, wenn die Betriebsspannung VDD über ihren nominellen Wert steigt, das Gate des NMOS-Transistors NMOS1 mehr und mehr in Richtung Bezugspotenzial GND gezogen. Der Strom, der zwischen dem Schaltungseingang VDDEXT und dem Schaltungsausgang VDD fließt, 20 sinkt solange, bis die Betriebsspannung VDD wieder ihren nominellen Wert erreicht hat.

Wenn die Betriebsspannung VDD unter den nominellen Wert fällt, erzeugt der Differenzverstärker AMP am Ausgang 10.1 25 einen nach und nach zunehmenden Strom PUP. Am Ausgang 10.2 hingegen wird kein Strom erzeugt, sodass der NMOS-Transistor NMOS2 ausgeschaltet, das heißt nicht leitend, bleibt. Der stromgesteuerte Oszillatator OSZ' erzeugt nun ein Signal CLK mit einer Frequenz, die proportional zur Differenz zwischen 30 der augenblicklichen Betriebsspannung VDD und dem nominellen Wert der Betriebsspannung ist. Darauf hin wird das Gate des NMOS-Transistors NMOS1 nach und nach stärker nach oben gepumpt. Der Strom, der zwischen dem Schaltungseingang VDDEXT und dem Schaltungsausgang VDD fließt, nimmt dann solange zu, 35 bis die Betriebsspannung VDD wieder ihren nominellen Wert erreicht hat.

10

Bei der in Figur 2 gezeigten Schaltungsanordnung wird somit, sobald eine Differenz zwischen der Teilerspannung DIV und der Referenzspannung VREF festgestellt wird, die entsprechend erforderliche Maßnahme, das heißt Spannung erhöhen beziehungsweise Spannung erniedrigen, eingeleitet. Dabei handelt es sich um eine analoge Regelung. Auf diese Art und Weise können große Spannungsstufen bei der Betriebsspannung VDD während der Nachführung der Betriebsspannung VDD vermieden werden, ohne dass es zu einer Verlangsamung bei der Nachführung der Betriebsspannung VDD kommt.

Die vorhergehende Beschreibung der Ausführungsbeispiele gemäß der vorliegenden Erfindung dient nur zu illustrativen Zwecken und nicht zum Zwecke der Beschränkung der Erfindung. Im Rahmen der Erfindung sind verschiedene Änderungen und Modifikationen möglich, ohne den Umfang der Erfindung sowie ihre Äquivalente zu verlassen.

Bezugszeichenliste

	1.2	Versorgungsanschluss des Differenzverstärkers AMP1
5	10.1	erster Ausgang
	10.2	zweiter Ausgang
	2.1	Versorgungsanschluss des Differenzverstärkers AMP2
	3.1	Steuereingang des Oszillators
10	4.1	Ausgang der Ladungspumpe
	AMP	Differenzverstärker
	AMP1	erster Differenzverstärker
	AMP2	zweiter Differenzverstärker
	CAP	Kondensator
15	CLK	Signal am Ausgang des Oszillators
	DIO	Stromspiegeltransistor
	DN	zweite Teilerspannung
	GND	Bezugspotenzial
	LP	Ladungspumpe
20	NGATE	Gate des Transistors NMOS1
	NMOS1	erster NMOS-Transistor
	NMOS2	zweiter NMOS-Transistor
	OSZ	Oszillator mit konstanter Frequenz
	OSZ'	stromgesteuerter Oszillator
25	PULLDN	Steuerstrom für den NMOS2
	PUP	Steuerstrom für den OSZ'
	R1, R2, R3	Widerstände
	UP	erste Teilerspannung
	VDD	Betriebsspannung
30	VREF	Referenzspannung
	VVDEXT	externe Betriebsspannung

Patentansprüche

1. Schaltungsanordnung zur Spannungsregelung,
mit einem Differenzverstärker (AMP) mit zwei Eingängen und
5 zwei Ausgängen, wobei an die Eingänge eine Referenzspannung
(VREF) und eine zur regelnde Spannung (VDD) anlegbar sind,
mit einer Ladungspumpe (LP), die mit dem ersten Ausgang
(10.1) des Differenzverstärkers (AMP) verbunden ist,
mit einem Stromspiegel (DIO, NMOS2), der mit dem zweiten Aus-
10 gang (10.2) des Differenzverstärkers (AMP) verbunden ist,
mit einem Transistor (NMOS1) zur Beeinflussung der zu regeln-
den Spannung (VDD), wobei dessen Steuereingang mit dem Strom-
spiegel (DIO, NMOS2) und der Ladungspumpe (LP) verbunden ist.
- 15 2. Schaltungsanordnung nach Patentanspruch 1,
mit einem Kondensator (CAP) zum Speichern, der mit dem Steu-
ereingang des Transistors (NMOS1) verbunden ist.
- 20 3. Schaltungsanordnung nach Patentanspruch 1 oder 2,
mit einem Spannungsteiler (R1, R2), der eingangsseitig mit
der zu regelnden Spannung (VDD) verbindbar ist und ausgangs-
seitig mit dem Eingang des Differenzverstärkers (AMP) verbun-
den ist.
- 25 4. Schaltungsanordnung nach einem der Patentansprüche 1 bis
3,
bei der der Stromspiegel (DIO, NMOS2) einen ersten Stromspie-
geltransistor (DIO) und einen zweiten Stromspiegeltransistor
(NMOS2) aufweist.
- 30 5. Schaltungsanordnung nach einem der Patentansprüche 1 bis
4,
mit einem steuerbaren Oszillator (OSZ'), der zwischen den
Differenzverstärker (AMP) und die Ladungspumpe (LP) geschal-
35 tet ist.
6. Schaltungsanordnung nach Patentanspruch 5,

13

bei der der steuerbare Oszillator (OSZ') als stromgesteuerter Oszillator ausgebildet ist.

7. Schaltungsanordnung nach einem der Patentansprüche 1 bis
5 6,

bei der der Transistor (NMOS1) als N-Kanal-MOS-Transistor ausgebildet sind.

8. Verwendung der Schaltungsanordnung nach einem der Patent-
10 ansprüche 1 bis 7,
in einer tragbaren elektronischen Vorrichtung.

1/1

FIG 1

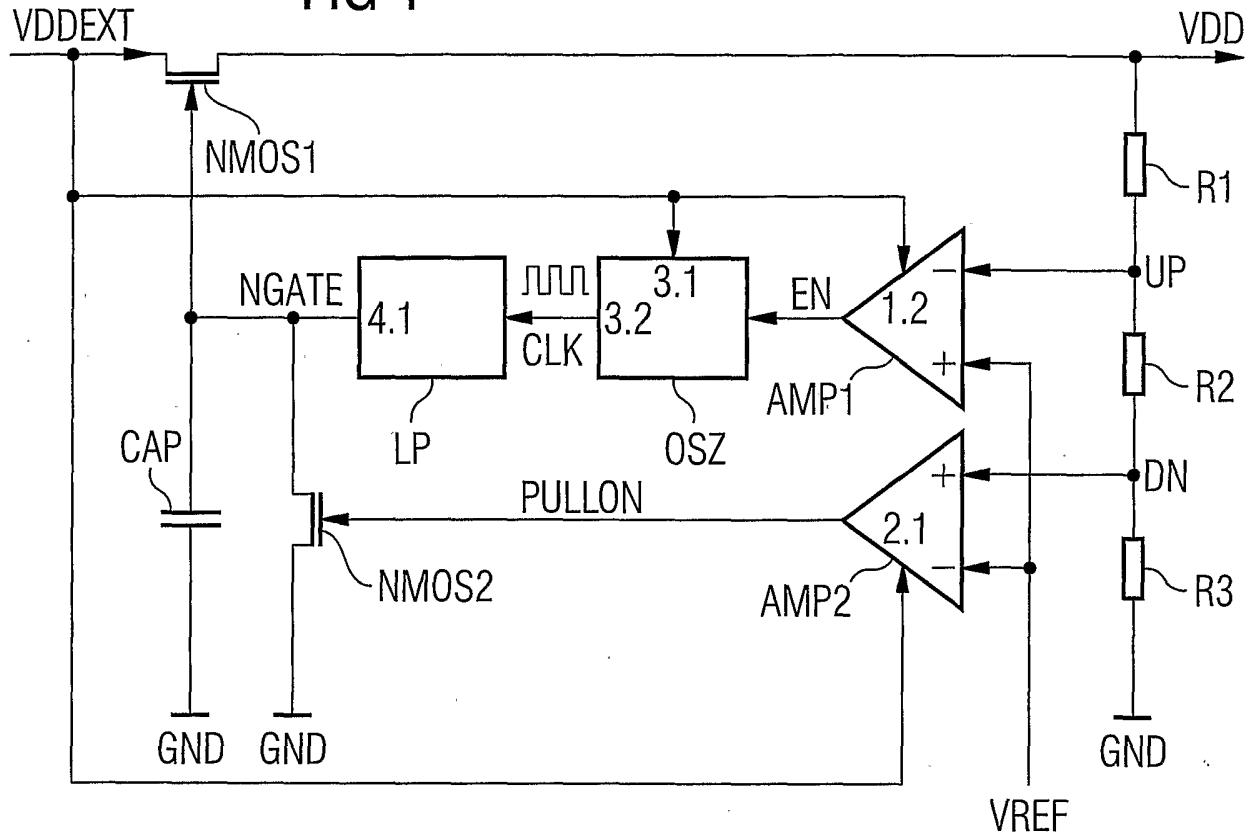
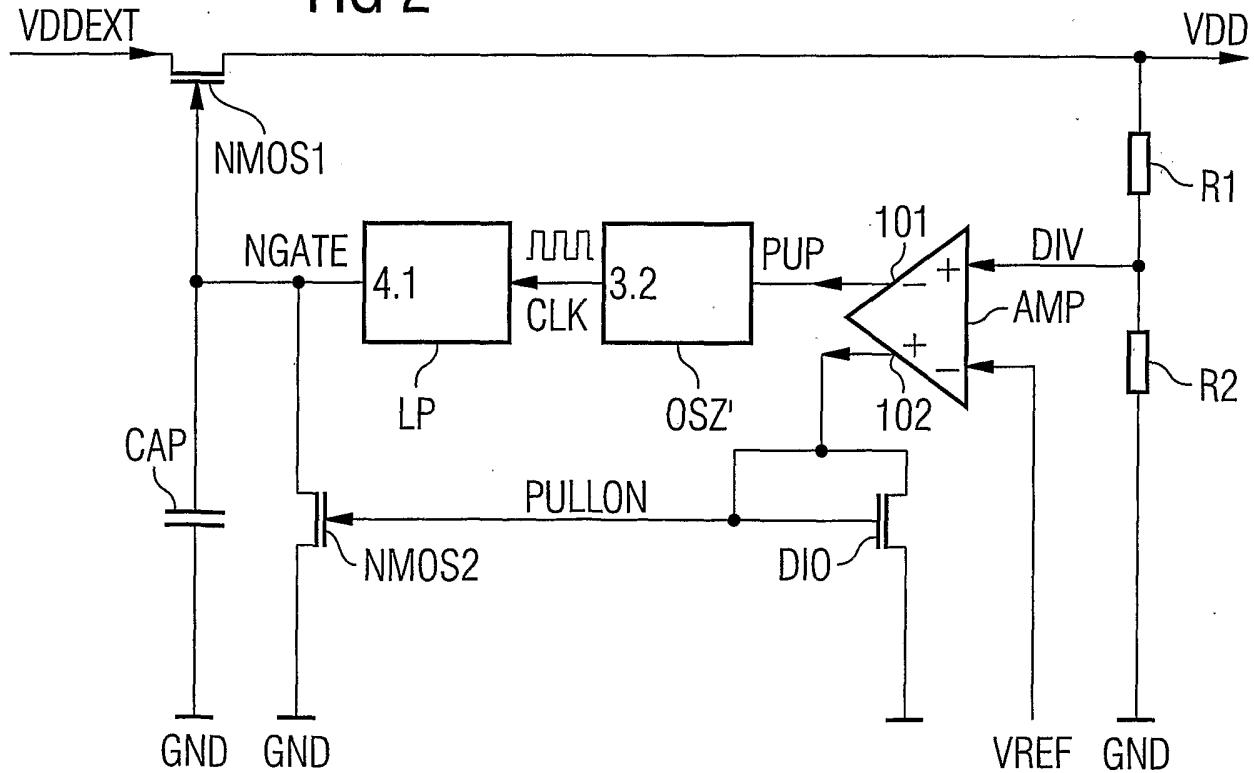


FIG 2



INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 03/03283

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H03K17/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H03K G05F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 049 201 A (FELDTKELLER MARTIN) 11 April 2000 (2000-04-11) column 3, line 12 - line 58; figure 1 column 5, line 53 -column 6, line 17 ---	1-8
A	US 5 654 628 A (FELDTKELLER MARTIN) 5 August 1997 (1997-08-05) the whole document ---	1-8
A	US 6 114 876 A (HUI ALEX CHI-MING ET AL) 5 September 2000 (2000-09-05) column 6, line 8 -column 8, line 16; figure 4 ---	1-8
A	US 6 201 375 B1 (LARSON TONY R ET AL) 13 March 2001 (2001-03-13) column 7, line 58 -column 10, line 23; figure 7 ---	1-8
		-/-

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

° Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

25 February 2004

Date of mailing of the international search report

08/03/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Kassner, H

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 03/03283

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 188 212 B1 (BURT RODNEY T ET AL) 13 February 2001 (2001-02-13) column 4, line 13 -column 6, line 62; figure 2 -----	1-8
A	US 6 396 334 B1 (ARAM FARBOD) 28 May 2002 (2002-05-28) the whole document -----	1-8

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/DE 03/03283

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 6049201	A	11-04-2000	DE EP	19818465 A1 0952661 A2		28-10-1999 27-10-1999
US 5654628	A	05-08-1997	DE DE EP	4442466 C1 59507999 D1 0715237 A2		14-12-1995 20-04-2000 05-06-1996
US 6114876	A	05-09-2000		NONE		
US 6201375	B1	13-03-2001		NONE		
US 6188212	B1	13-02-2001		NONE		
US 6396334	B1	28-05-2002		NONE		

INTERNATIONALER RECHERCHENBERICHT

Internationaler Aktenzeichen
PCT/DE 03/03283

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H03K17/06

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H03K G05F

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie ^a	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 6 049 201 A (FELDTKELLER MARTIN) 11. April 2000 (2000-04-11) Spalte 3, Zeile 12 – Zeile 58; Abbildung 1 Spalte 5, Zeile 53 – Spalte 6, Zeile 17 ---	1-8
A	US 5 654 628 A (FELDTKELLER MARTIN) 5. August 1997 (1997-08-05) das ganze Dokument ---	1-8
A	US 6 114 876 A (HUI ALEX CHI-MING ET AL) 5. September 2000 (2000-09-05) Spalte 6, Zeile 8 – Spalte 8, Zeile 16; Abbildung 4 ---	1-8
A	US 6 201 375 B1 (LARSON TONY R ET AL) 13. März 2001 (2001-03-13) Spalte 7, Zeile 58 – Spalte 10, Zeile 23; Abbildung 7 ---	1-8
		-/-

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

^a Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldeatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldeatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldeatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erforderlicher Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erforderlicher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

Absendedatum des internationalen Recherchenberichts

25. Februar 2004

08/03/2004

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Kassner, H

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 03/03283

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 6 188 212 B1 (BURT RODNEY T ET AL) 13. Februar 2001 (2001-02-13) Spalte 4, Zeile 13 -Spalte 6, Zeile 62; Abbildung 2 ---	1-8
A	US 6 396 334 B1 (ARAM FARBOD) 28. Mai 2002 (2002-05-28) das ganze Dokument -----	1-8

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/DE 03/03283

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 6049201	A	11-04-2000	DE EP	19818465 A1 0952661 A2		28-10-1999 27-10-1999
US 5654628	A	05-08-1997	DE DE EP	4442466 C1 59507999 D1 0715237 A2		14-12-1995 20-04-2000 05-06-1996
US 6114876	A	05-09-2000		KEINE		
US 6201375	B1	13-03-2001		KEINE		
US 6188212	B1	13-02-2001		KEINE		
US 6396334	B1	28-05-2002		KEINE		