(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3618495号
(P3618495)
(45)発行日　平成17年2月9日(2005.2.9)　(24)登録日　平成16年11月19日(2004.11.19)

(51)Int.Cl.[7]　F I
G11C 11/407　G11C 11/34 362S
G11C 11/34 354C

請求項の数 4　(全 14 頁)

(21)出願番号　特願平8-346671
(22)出願日　平成8年12月10日(1996.12.10)
(65)公開番号　特開平10-172282
(43)公開日　平成10年6月26日(1998.6.26)
審査請求日　平成13年12月18日(2001.12.18)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(74)代理人　100081938
弁理士　徳若　光政
(72)発明者　中川　宏
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内
(72)発明者　大石　貫時
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内

審査官　堀田　和義

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】

【請求項１】

第１パルス信号が入力される第１入力ノードと第２パルス信号が入力される第２入力ノードと第３パルス信号を出力するための第１出力ノードを有する第１インバータと、前記第３パルス信号が入力される遅延回路と、前記第１パルス信号が入力される第３入力ノードと前記遅延回路に接続される第４入力ノードと前記第２パルス信号を出力するための第２出力ノードとを有するフリップフロップ回路とを含むクロックバッファを具備し、

前記第１インバータは、そのゲートが前記第１入力ノードに接続される第１ＭＯＳＦＥＴと、第１電位と前記第１ＭＯＳＦＥＴとの間に接続されるソース・ドレイン経路と前記第２入力ノードに接続されるゲートとを有する第２ＭＯＳＦＥＴと、前記第１電位より小さい第２電位と前記第１ＭＯＳＦＥＴとの間に接続されるソース・ドレイン経路と前記第２入力ノードに接続されるゲートとを有する第３ＭＯＳＦＥＴを含み、

前記第２パルス信号は、前記遅延回路を介して伝達された信号であり、

前記フリップフロップ回路は、前記第１パルス信号によりセットされ、前記遅延回路から入力された信号によりリセットされることを特徴とする半導体装置。

【請求項２】

請求項１において、

前記フリップフロップ回路は、前記第３入力ノードに接続される第２インバータを更に有し、

前記第２インバータを構成するＭＯＳＦＥＴのサイズは、前記第１ＭＯＳＦＥＴのサイズ

より小さいことを特徴とする半導体装置。
【請求項３】
請求項１から２のいずれか一つにおいて、
前記クロックバッファは、前記第１パルス信号及び第２パルス信号に基づいて前記第３パルス信号を出力することを特徴とする半導体装置。
【請求項４】
請求項１から３のいずれか一つにおいて、
前記半導体装置は、シンクロナスＤＲＡＭであり、
前記クロックバッファは、前記第１パルス信号を受けて前記第３パルス信号を前記シンクロナスＤＲＡＭの各部に供給することを特徴とする半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は半導体装置及びシステムに関し、例えば、シンクロナスＤＲＡＭ（ランダムアクセスメモリ）及びこれを含むコンピュータならびにその動作の高速化及び安定化に利用して特に有効な技術に関するものである。
【０００２】
【従来の技術】
複数のバンクを具備し、所定のクロック信号に従って同期動作するいわゆるシンクロナスＤＲＡＭがある。シンクロナスＤＲＡＭは、上記クロック信号を受けて所定の内部クロック信号を形成するクロックバッファを備える。
【０００３】
【発明が解決しようとする課題】
本願発明者等は、この発明に先立って図９のようなクロックバッファＣＢを備えるシンクロナスＤＲＡＭを開発し、次のような問題点に直面した。すなわち、このシンクロナスＤＲＡＭにおいて、外部端子ＣＬＫを介して入力されるクロック信号ＣＬＫは、クロックバッファＣＢの入力回路ＩＣ３を経た後、ナンド（ＮＡＮＤ）ゲートＮＡ４で実質的なクロックイネーブル信号ＣＫＥとの論理積がとられる。ナンドゲートＮＡ４の出力信号は、ＰチャンネルＭＯＳＦＥＴ（金属酸化物半導体型電界効果トランジスタ。この明細書では、ＭＯＳＦＥＴをして絶縁ゲート型電界効果トランジスタの総称とする）Ｐ２及びＮチャンネルＭＯＳＦＥＴＮ３からなるＣＭＯＳ（相補型ＭＯＳ）インバータＶＣを介してワンショットパルス発生回路ＰＧに供給される。また、パルス発生回路ＰＧの出力信号は、ＰチャンネルＭＯＳＦＥＴＰ３及びＮチャンネルＭＯＳＦＥＴＮ４からなるＣＭＯＳインバータＶ４を経た後、同様なインバータＶＥ及びＶＦならびにＶＧ～ＶＩを経て反転内部クロック信号ＣＫ１Ｂ～ＣＫ３Ｂ（ここで、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号等については、その名称の末尾にＢを付して表す。以下同様）となる。
【０００４】
つまり、このクロックバッファＣＢでは、ナンドゲートＮＡ４及びパルス発生回路ＰＧの出力信号が、ＣＭＯＳ型のインバータＶＣ及びＶＤ等を介して伝達され、シンクロナスＤＲＡＭの各部に分配される訳であって、ナンドゲートＮＡ４及びパルス発生回路ＰＧの出力ノードには、所定の駆動能力を持つべく比較的大きなサイズで形成された２個のＭＯＳＦＥＴＰ２及びＮ３あるいはＰ３及びＮ４のゲート容量が常に結合される。この結果、クロック信号ＣＬＫに対する反転内部クロック信号ＣＫ１Ｂ～ＣＫ３Ｂの遅延時間が大きくなり、シンクロナスＤＲＡＭのクロックアクセスタイムが遅くなる。また、これに対処するため、インバータＶＣ～ＶＩを構成するＭＯＳＦＥＴのサイズを小さくしてそのゲート容量を小さくしようとすると、逆にインバータの駆動能力が低下してクロックバッファＣＢの所要論理段数が増大し、アクセスタイムも高速化されない。
【０００５】
この発明の目的は、その所要論理段数を削減しつつ遅延時間の縮小を図ったワンショット

パルス発生回路を実現することにある。この発明の他の目的は、ワンショットパルス発生回路を含むシンクロナスＤＲＡＭ等ならびにこれを含むコンピュータシステム等の動作の高速化及び安定化を図ることにある。

【０００６】

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【０００７】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、クロック信号に従って同期動作するシンクロナスＤＲＡＭ等において、クロックバッファのワンショットパルス発生回路を、入力クロック信号を受けるＮチャンネル型の第１のＭＯＳＦＥＴと、回路の電源電圧と第１のＭＯＳＦＥＴのドレインとの間に設けられそのゲートに第１のＭＯＳＦＥＴのドレインにおける内部パルス信号の実質的な遅延信号を受けるＰチャンネル型の第２のＭＯＳＦＥＴと、第１のＭＯＳＦＥＴのソースと回路の接地電位との間に設けられそのゲートに上記内部パルス信号の実質的な遅延信号を受けるＮチャンネル型の第３のＭＯＳＦＥＴとを基本に構成する。また、入力クロック信号のパルス幅が最大値側にある場合、その反転セット入力端子に実質的な入力クロック信号を受けその反転リセット入力端子に上記内部パルス信号の実質的な反転遅延信号を受けるセットリセット型フリップフロップを設け、その実質的な非反転出力信号を上記第２及び第３のＭＯＳＦＥＴのゲートに供給する。

【０００８】

上記手段によれば、クロックバッファの中心となるワンショットパルス発生回路の構成を簡素化できるとともに、その入力容量を第１のＭＯＳＦＥＴのゲート容量のみとし、その分駆動能力を大きくして、ワンショットパルス発生回路のクロック伝達経路の所要論理段数を削減することができる。また、入力クロック信号のパルス幅が最大値側にある場合でも、誤パルスを発生させることなく安定した内部クロック信号を生成し、シンクロナスＤＲＡＭひいてはこれを含むコンピュータシステム等の動作の高速化及び安定化を図ることができる。

【０００９】

【発明の実施の形態】

図１には、この発明が適用されたシンクロナスＤＲＡＭの一実施例のブロック図が示されている。同図をもとに、まずこの実施例のシンクロナスＤＲＡＭの構成及び動作の概要について説明する。なお、図１の各ブロックを構成する回路素子は、特に制限されないが、公知のＭＯＳＦＥＴ集積回路の製造技術により、単結晶シリコンのような１個の半導体基板上に形成される。

【００１０】

図１において、この実施例のシンクロナスＤＲＡＭは、一対のバンクＢＮＫ０及びＢＮＫ１を備え、これらのバンクのそれぞれは、そのレイアウト面積の大半を占めて配置されるメモリアレイＭＡＲＹと、直接周辺回路となるロウアドレスデコーダＲＤ，センスアンプＳＡ，カラムアドレスデコーダＣＤならびにライトアンプＷＡ及びメインアンプＭＡとを備える。

【００１１】

バンクＢＮＫ０及びＢＮＫ１を構成するメモリアレイＭＡＲＹは、図の垂直方向に平行して配置される所定数のワード線と、水平方向に平行して配置される所定組の相補ビット線とをそれぞれ含む。これらのワード線及び相補ビット線の交点には、情報蓄積キャパシタ及びアドレス選択ＭＯＳＦＥＴからなる多数のダイナミック型メモリセルがそれぞれ格子状に配置される。

【００１２】

バンクＢＮＫ０及びＢＮＫ１のメモリアレイＭＡＲＹを構成するワード線は、対応するロウアドレスデコーダＲＤに結合され、それぞれ択一的に選択状態とされる。これらのロウ

アドレスデコーダＲＤには、ロウアドレスレジスタＲＡから最上位ビットを除く１１ビットの内部アドレス信号Ｘ０～Ｘ１０が共通に供給され、タイミング発生回路ＴＧから図示されない内部制御信号ＲＧが共通に供給される。また、ロウアドレスレジスタＲＡには、アドレスバッファＡＢを介してＸアドレス信号ＡＸ０～ＡＸ１１が供給され、タイミング発生回路ＴＧから内部制御信号ＲＬが供給される。さらに、アドレスバッファＡＢには、外部のアクセス装置からアドレス入力端子Ａ０～Ａ１１を介してＸアドレス信号ＡＸ０～ＡＸ１１ならびにＹアドレス信号ＡＹ０～ＡＹ８が時分割的に供給される。

【００１３】

アドレスバッファＡＢは、アドレス入力端子Ａ０～Ａ１１を介して時分割的に供給されるＸアドレス信号ＡＸ０～ＡＸ１１ならびにＹアドレス信号ＡＹ０～ＡＹ８を取り込み、ロウアドレスレジスタＲＡ，カラムアドレスカウンタＣＣならびにモードレジスタＭＲに伝達する。また、ロウアドレスレジスタＲＡは、アドレスバッファＡＢから伝達されるＸアドレス信号ＡＸ０～ＡＸ１１を内部制御信号ＲＬに従って取り込み、保持するとともに、これらのＸアドレス信号をもとに内部アドレス信号Ｘ０～Ｘ１１を形成する。このうち、最上位ビットの内部アドレス信号Ｘ１１は、バンク選択回路ＢＳに供給されてバンク選択に供され、その他の内部アドレス信号Ｘ０～Ｘ１０は、前述のように、バンクＢＮＫ０及びＢＮＫ１のロウアドレスデコーダＲＤに共通に供給される。

【００１４】

バンク選択回路ＢＳは、ロウアドレスレジスタＲＡから供給される最上位ビットの内部アドレス信号Ｘ１１に従って、バンク選択信号ＢＳ０又はＢＳ１を選択的にハイレベルとする。これらのバンク選択信号ＢＳ０及びＢＳ１は、バンクＢＮＫ０及びＢＮＫ１にそれぞれ供給され、その周辺回路たるロウアドレスデコーダＲＤ，カラムアドレスデコーダＣＤ，センスアンプＳＡならびにライトアンプＷＡ及びメインアンプＭＡ等を選択的に動作させるために供される。

【００１５】

バンクＢＮＫ０及びＢＮＫ１のロウアドレスデコーダＲＤは、内部制御信号ＲＧがハイレベルとされかつ対応するバンク選択信号ＢＳ０又はＢＳ１がハイレベルとされることでそれぞれ選択的に動作状態とされ、ロウアドレスレジスタＲＡから供給される内部アドレス信号Ｘ０～Ｘ１０をデコードして、対応するメモリアレイＭＡＲＹの指定されたワード線を択一的に選択状態とする。

【００１６】

次に、バンクＢＮＫ０及びＢＮＫ１のメモリアレイＭＡＲＹを構成する相補ビット線は、対応するセンスアンプＳＡに結合される。各バンクのセンスアンプＳＡには、対応するカラムアドレスデコーダＣＤから図示されない所定ビットのビット線選択信号がそれぞれ供給され、タイミング発生回路ＴＧから図示されない内部制御信号ＰＡが共通に供給される。また、各バンクのカラムアドレスデコーダＣＤには、カラムアドレスカウンタＣＣから９ビットの内部アドレス信号Ｙ０～Ｙ８が共通に供給され、タイミング発生回路ＴＧから図示されない内部制御信号ＣＧが共通に供給される。さらに、カラムアドレスカウンタＣＣには、アドレスバッファＡＢを介してＹアドレス信号ＡＹ０～ＡＹ８が供給されるとともに、タイミング発生回路ＴＧから内部制御信号ＣＬが供給される。

【００１７】

カラムアドレスカウンタＣＣは、図示されない内部制御信号に従って歩進動作を行うバイナリーカウンタを含む。このカウンタは、アドレスバッファＡＢを介して供給されるＹアドレス信号ＡＹ０～ＡＹ８を内部制御信号ＣＬに従って取り込み、保持する。また、これらのＹアドレス信号ＡＹ０～ＡＹ８を初期値として歩進動作を行い、内部アドレス信号Ｙ０～Ｙ８を順次形成して、バンクＢＮＫ０及びＢＮＫ１のカラムアドレスデコーダＣＤに供給する。このとき、各バンクのカラムアドレスデコーダＣＤは、内部制御信号ＣＧがハイレベルとされかつ対応するバンク選択信号ＢＳ０又はＢＳ１がハイレベルとされることで選択的に動作状態とされ、内部アドレス信号Ｙ０～Ｙ８をデコードして、上記ビット線選択信号の対応するビットを択一的にハイレベルとする。

【００１８】
モードレジスタＭＲは、モードレジスタセットコマンドが実行されるとき、アドレス入力端子Ａ０～Ａ１１の所定ビットを介して入力される各種モードデータを内部制御信号ＭＳに従って取り込み、保持する。また、これらのモードデータをデコードしてシンクロナスＤＲＡＭの動作モードを決定し、モード制御信号を選択的に形成して、シンクロナスＤＲＡＭの各部に供給する。
【００１９】
バンクＢＮＫ０及びＢＮＫ１のセンスアンプＳＡは、メモリアレイＭＡＲＹの各相補ビット線に対応して設けられる所定数の単位回路を含み、これらの単位回路のそれぞれは、一対のＣＭＯＳインバータが交差結合されてなる単位増幅回路と、Ｎチャンネル型の一対のスイッチＭＯＳＦＥＴとを含む。このうち、各単位増幅回路は、内部制御信号ＰＡがハイレベルとされかつ対応するバンク選択信号ＢＳ０又はＢＳ１がハイレベルとされることで選択的にかつ一斉に動作状態とされ、各メモリアレイＭＡＲＹの選択ワード線に結合される所定数のメモリセルから対応する相補ビット線を介して出力される微小読み出し信号を増幅して、ハイレベル又はロウレベルの２値読み出し信号とする。
【００２０】
一方、各単位回路のスイッチＭＯＳＦＥＴ対は、対応するビット線選択信号のハイレベルを受けて８組ずつ選択的にオン状態となり、メモリアレイＭＡＲＹの対応する８組の相補ビット線と相補共通データ線ＣＤ０＊～ＣＤ７＊（ここで、例えば非反転共通データ線ＣＤ０Ｔ及び反転共通データ線ＣＤ０Ｂを、合わせて相補共通データ線ＣＤ０＊のように＊を付して表す。また、それが有効とされるとき選択的にハイレベルとされるいわゆる非反転信号等については、その名称の末尾にＴを付して表す。以下同様）との間を選択的に接続状態とする。
【００２１】
相補共通データ線ＣＤ０＊～ＣＤ７＊は、対応するライトアンプＷＡの各単位回路の出力端子にそれぞれ結合されるとともに、対応するメインアンプＭＡの各単位回路の入力端子にそれぞれ結合される。
【００２２】
ライトアンプＷＡ及びメインアンプＭＡは、相補共通データ線ＣＤ０＊～ＣＤ７＊に対応して設けられる８個の単位回路をそれぞれ備える。このうち、ライトアンプＷＡの各単位回路の入力端子は、書き込みデータバスＷＤＢ０～ＷＤＢ７を介してデータ入力バッファＩＢの対応する単位回路の出力端子にそれぞれ結合され、メインアンプＭＡの各単位回路の出力端子は、読み出しデータバスＲＤＢ０～ＲＤＢ７を介してデータ出力バッファＯＢの対応する単位回路の入力端子にそれぞれ結合される。データ入力バッファＩＢの各単位回路の入力端子及びデータ出力バッファＯＢの各単位回路の出力端子は、対応するデータ入出力端子Ｄ０～Ｄ７にそれぞれ共通結合される。ライトアンプＷＡの各単位回路には、タイミング発生回路ＴＧから内部制御信号ＷＰが共通に供給され、データ出力バッファＯＢの各単位回路には、内部制御信号ＯＣが共通に供給される。
【００２３】
データ入力バッファＩＢの各単位回路は、シンクロナスＤＲＡＭが書き込みモードで選択状態とされるとき、前段のアクセス装置からデータ入出力端子Ｄ０～Ｄ７を介して入力される８ビットの書き込みデータを取り込み、保持するとともに、書き込みデータバスＷＤＢ０～ＷＤＢ７を介してライトアンプＷＡの対応する単位回路に伝達する。このとき、ライトアンプＷＡの各単位回路は、内部制御信号ＷＰがハイレベルとされかつ対応するバンク選択信号ＢＳ０又はＢＳ１がハイレベルとされることで選択的に動作状態とされ、データ入力バッファＩＢの各単位回路から書き込みデータバスＷＤＢ０～ＷＤＢ７を介して伝達される書き込みデータを所定の相補書き込み信号に変換した後、相補共通データ線ＣＤ０＊～ＣＤ７＊を介して指定されたバンクＢＮＫ０又はＢＮＫ１のメモリアレイＭＡＲＹの選択された８個のメモリセルに書き込む。
【００２４】

一方、バンクＢＮＫ０及びＢＮＫ１のメインアンプＭＡの各単位回路は、図示されない内部制御信号ＲＰがハイレベルとされかつ対応するバンク選択信号ＢＳ０又はＢＳ１がハイレベルとされることで選択的に動作状態とされ、対応するメモリアレイＭＡＲＹの選択された８個のメモリセルから相補共通データ線ＣＤ０＊～ＣＤ７＊を介して出力される読み出し信号をそれぞれ増幅し、読み出しデータバスＲＤＢ０～ＲＤＢ７を介してデータ出力バッファＯＢの対応する単位回路に伝達する。このとき、データ出力バッファＯＢの各単位回路は、内部制御信号ＯＣのハイレベルを受けて選択的に動作状態とされ、バンクＢＮＫ０又はＢＮＫ１のメインアンプＭＡの対応する単位回路から読み出しデータバスＲＤＢ０～ＲＤＢ７を介して伝達される読み出しデータを、対応するデータ入出力端子Ｄ０～Ｄ７から外部のアクセス装置に出力する。

【００２５】

クロックバッファＣＢは、前段のアクセス装置から供給されるクロック信号ＣＬＫ及びクロックイネーブル信号ＣＫＥをもとに所定の反転内部クロック信号ＣＫ１Ｂ～ＣＫ３Ｂを形成し、シンクロナスＤＲＡＭの各部に供給する。なお、クロックバッファＣＢの具体的構成については、後で詳細に説明する。

【００２６】

タイミング発生回路ＴＧは、前段のアクセス装置から起動制御信号として供給されるチップ選択信号ＣＳＢ，ロウアドレスストローブ信号ＲＡＳＢ，カラムアドレスストローブ信号ＣＡＳＢ，ライトイネーブル信号ＷＥＢならびに入出力マスク信号ＤＱＭをもとに上記各種の内部制御信号等を選択的に形成して、シンクロナスＤＲＡＭの各部に供給する。タイミング発生回路ＴＧには、上記クロックバッファＣＢから反転内部クロック信号ＣＫ１Ｂが供給される。

【００２７】

図２には、図１のシンクロナスＤＲＡＭに含まれるクロックバッファＣＢの第１の実施例の回路図が示されている。また、図３には、図２のクロックバッファＣＢのクロックパルス幅最小時の一実施例の信号波形図が示され、図４には、そのクロックパルス幅最大時の一実施例の信号波形図が示されている。これらの図をもとに、この実施例のクロックバッファＣＢの具体的構成及び動作ならびにその特徴について説明する。なお、以下の回路図において、そのチャンネル（バックゲート）部に矢印が付されるＭＯＳＦＥＴはＰチャンネル型であって、矢印の付されないＮチャンネルＭＯＳＦＥＴと区別して示される。

【００２８】

図２において、この実施例のクロックバッファＣＢは、特に制限されないが、２個の入力回路ＩＣ１～ＩＣ２と、１個のワンショットパルス発生回路ＰＧと、３個のインバータＶ６～Ｖ８とを含む。このうち、入力回路ＩＣ１～ＩＣ２は、所定の入力保護回路を含む。また、パルス発生回路ＰＧは、Ｎチャンネル型（第１導電型）のＭＯＳＦＥＴＮ１（第１のＭＯＳＦＥＴ）を中心とする実質的なインバータＶ１と、２入力のナンドゲートＮＡ１とを含む。インバータＶ１を構成するＭＯＳＦＥＴＮ１のドレインは、Ｐチャンネル型（第２導電型）のＭＯＳＦＥＴＰ１（第２のＭＯＳＦＥＴ）を介して回路の電源電圧（第１の電源電圧）に結合され、そのソースは、ＮチャンネルＭＯＳＦＥＴＮ２（第３のＭＯＳＦＥＴ）を介して回路の接地電位（第２の電源電圧）に結合される。

【００２９】

インバータＶ１を構成するＭＯＳＦＥＴＮ１のゲートには、外部端子ＣＬＫから入力回路ＩＣ１を介してクロック信号ＣＬＫつまりＩＣＬＫが供給され、そのドレインにおける内部パルス信号つまり反転クロック信号ＣＫＢは、インバータＶ２及びＶ３からなるラッチ回路ならびにインバータＶ６～Ｖ８を経た後、内部クロック信号ＣＫ１Ｂ～ＣＫ３Ｂとなる。これらの内部クロック信号は、例えばコマンド制御用，アドレス制御用ならびにデータ入出力制御用として用途分類され、シンクロナスＤＲＡＭの対応する各部に分配される。

【００３０】

パルス発生回路ＰＧのナンドゲートＮＡ１の一方の入力端子には、インバータＶ２及びＶ

３からなるラッチ回路の出力信号つまり内部パルス信号ＣＫの遅延回路ＤＬ及びインバータＶ４による反転遅延信号が供給され、その他方の入力端子には、外部端子ＣＫＥから入力回路ＩＣ２を介してクロックイネーブル信号ＣＫＥつまりＩＣＫＥが供給される。また、ナンドゲートＮＡ１の出力信号は、インバータＶ５により反転されて内部パルス信号ＥＣＫとなり、上記インバータＶ１を構成するＭＯＳＦＥＴＰ１及びＮ２のゲートに供給される。

【００３１】

ここで、クロック信号ＣＬＫは、そのパルス幅t_{CKH}が最小値つまり$t_{CKH=MIN}$側にあるとき、図３に示されるように、例えばその周期t_{CK}を２０ｎｓ（ナノ秒）としそのパルス幅t_{CKH}を３ｎｓとする比較的小さなデューティのパルス信号とされる。パルス発生回路ＰＧでは、内部パルス信号ＥＣＫのハイレベルと入力クロック信号ＣＬＫのハイレベルへの立ち上がりとを受けてＭＯＳＦＥＴＮ１及びＮ２がともにオン状態となり、反転内部パルス信号ＣＫＢがロウレベルに変化する。また、反転内部パルス信号ＣＫＢのロウレベルを受けて内部パルス信号ＣＫがハイレベルとなり、この内部パルス信号ＣＫがハイレベルとされてから遅延回路ＤＬの遅延時間ｔｄが経過した時点でインバータＶ４の出力信号つまり反転内部パルス信号ＤＣＫＢがハイレベルからロウレベルに変化する。

【００３２】

これにより、ナンドゲートＮＡ１の出力信号がハイレベルとなり、このナンドゲートＮＡ１の出力信号のハイレベルを受けてインバータＶ５の出力信号つまり内部パルス信号ＥＣＫがロウレベルとなる。また、内部パルス信号ＥＣＫのロウレベルを受けてインバータＶ１のＭＯＳＦＥＴＮ２がオフ状態となり、ＭＯＳＦＥＴＰ１がオン状態となって、反転内部パルス信号ＣＫＢはハイレベルとなる。さらに、遅延回路ＤＬの遅延時間ｔｄが経過した時点で、反転内部パルス信号ＤＣＫＢがハイレベルに戻され、続いて内部パルス信号ＥＣＫがハイレベルに戻されるが、この状態はクロック信号ＣＬＫが次にハイレベルとされるまでの間保持される。この結果、クロックバッファＣＢから出力される内部クロック信号ＣＫ１Ｂ～ＣＫ３Ｂは、その周期をクロック信号ＣＬＫの周期t_{CK}とし、そのパルス幅をほぼ遅延回路ＤＬの遅延時間ｔｄとする所定のパルス信号となる。

【００３３】

この実施例において、入力回路ＩＣ１を介して入力されるクロック信号ＣＬＫは、パルス発生回路ＰＧを構成するインバータＶ１の１個のＭＯＳＦＥＴＮ１のゲートにのみ入力され、その負荷はＭＯＳＦＥＴＮ１のゲート容量のみとなる。したがって、ＭＯＳＦＥＴＮ１のサイズは、ＣＭＯＳインバータを用いた従来のシンクロナスＤＲＡＭに比較して少なくとも２倍以上大きくすることができるため、インバータＶ１の駆動能力を高め、クロック伝達経路の所要論理段数を削減することができる。この結果、クロック信号の伝達遅延時間を短くし、シンクロナスＤＲＡＭの動作を高速化することができるものである。

【００３４】

ところで、この実施例の場合、クロック信号ＣＬＫのパルス幅t_{CKH}が最大値つまり$t_{CKH=MAX}$側にあるとき、クロック信号ＣＬＫは、図４に例示されるように、内部パルス信号ＥＣＫがハイレベルに戻される時点でまだハイレベルの状態にある。このため、反転内部パルス信号ＣＫＢが再度ハイレベルとなり、斜線のような誤パルスが発生して、誤動作の原因となる可能性がある。

【００３５】

図５には、図１のシンクロナスＤＲＡＭに含まれるクロックバッファＣＢの第２の実施例の回路図が示されている。また、図６には、図５のクロックバッファＣＢのクロックパルス幅最小時の一実施例の信号波形図が示され、図７には、そのクロックパルス幅最大時の一実施例の信号波形図が示されている。なお、この実施例は、上記誤パルスを解消すべく、図２ないし図４の実施例に改良を加えたものであるため、これと異なる部分についてのみ説明を追加する。

【００３６】

図５において、この実施例のクロックバッファＣＢは、交差結合された一対のナンドゲートＮＡ２及びＮＡ３を中心とするセットリセット型フリップフロップＳＲＦＦを含む。ナンドゲートＮＡ２の第１の入力端子は、フリップフロップＳＲＦＦの反転リセット入力端子ＲＢとなり、インバータＶ２及びＶ３からなるラッチ回路の出力信号つまり内部パルス信号ＣＫの反転遅延信号すなわち反転内部パルス信号ＤＣＫＢが供給される。また、ナンドゲートＮＡ２の第２の入力端子は、フリップフロップＳＲＦＦの制御端子Ｃとなり、入力回路ＩＣ２を介してクロックイネーブル信号ＣＫＥつまりＩＣＫＥが供給される。さらに、ナンドゲートＮＡ３の第２の入力端子は、２個のインバータＶ９及びＶＡを介してフリップフロップＳＲＦＦの反転セット入力端子ＳＢに結合され、この反転セット入力端子ＳＢには、入力回路ＩＣ１を介して入力クロック信号ＣＬＫが供給される。ナンドゲートＮＡ２の出力信号は、インバータＶＢを経た後、フリップフロップＳＲＦＦの非反転出力信号Ｑとなり、内部パルス信号ＦＣＫとしてインバータＶ１を構成するＭＯＳＦＥＴＰ１及びＮ２のゲートに供給される。

【００３７】

この実施例において、インバータＶ９を構成しそのゲートがセットリセット型フリップフロップＳＲＦＦの反転セット入力端子ＳＢに結合されるＰチャンネル及びＮチャンネルＭＯＳＦＥＴは、インバータＶ１を構成するＭＯＳＦＥＴＮ１に比較して充分に小さなサイズで形成される。したがって、これらのＭＯＳＦＥＴのゲート容量は、ＭＯＳＦＥＴＮ１に比較して充分に小さく、クロック信号ＣＬＫの伝達経路にフリップフロップＳＲＦＦの反転セット入力端子ＳＢが共通結合されることによる負荷の増加は比較的小さなものとなる。

【００３８】

クロック信号ＣＬＫのパルス幅t_{CKH}がその最小値$t_{CKH=MAX}$側にあるとき、クロックバッファＣＢのパルス発生回路ＰＧでは、図６に示されるように、クロック信号ＣＬＫがハイレベルとされてからほぼ遅延回路ＤＬの遅延時間ｔｄが経過した時点で、反転内部パルス信号ＤＣＫＢがロウレベルに変化される。このとき、クロック信号ＣＬＫはすでにロウレベルに戻され、反転セット入力端子ＳＢ及び反転リセット入力端子ＲＢは同時に有効レベルとなる。しかし、それがすでにセット状態にあるため、フリップフロップＳＲＦＦは反転内部パルス信号ＤＣＫＢのロウレベルを受けてリセット状態に変化する。これにより、フリップフロップＳＲＦＦの非反転出力信号Ｑがロウレベルに変化し、反転内部パルス信号ＣＫＢがハイレベルとなって、内部パルス信号ＣＫつまり内部クロック信号ＣＫ１Ｂ～ＣＫ３Ｂは所定のパルス幅ｔｄを有するパルス信号となる。

【００３９】

内部パルス信号ＣＫがロウレベルに戻されてから所定時間ｔｄが経過し、反転内部パルス信号ＤＣＫＢがハイレベルに戻されると、フリップフロップＳＲＦＦがクロック信号ＣＬＫつまり反転セット入力端子ＳＢのロウレベルを受けてセット状態となり、その出力信号つまり内部パルス信号ＦＣＫがハイレベルとなる。これにより、インバータＶ１を構成するＭＯＳＦＥＴＰ１がオフ状態となり、ＭＯＳＦＥＴＮ２がオン状態なって、パルス発生回路ＰＧはクロック信号ＣＬＫの次の立ち上がりに備えることができる。

【００４０】

次に、クロック信号ＣＬＫのパルス幅t_{CKH}がその最大値$t_{CKH=MAX}$側にあるとき、クロックバッファＣＢでは、図７に示されるように、反転内部パルス信号ＤＣＫＢがハイレベルに戻された時点においてクロック信号ＣＬＫが依然ハイレベルとされ、フリップフロップＳＲＦＦのセット条件は成立しない。このため、フリップフロップＳＲＦＦはリセット状態のままとされ、その非反転出力信号Ｑつまり内部パルス信号ＦＣＫはロウレベルのままとなって、反転内部パルス信号ＣＫＢが再度ロウレベルとされることはない。この結果、クロック信号ＣＬＫのパルス幅t_{CKH}が最大値$t_{CKH=MAX}$側にある場合でも前記のような誤パルスは発生せず、シンクロナスＤＲＡＭの誤動作を防止することができる。

【００４１】

なお、フリップフロップＳＲＦＦは、クロック信号ＣＬＫがロウレベルとされた時点でセット状態に遷移し、その非反転出力信号Ｑつまり内部パルス信号ＦＣＫがハイレベルに変化されるため、パルス発生回路ＰＧは、クロック信号ＣＬＫの次の立ち上がりに備えることができる。

【００４２】

図８には、この発明が適用されたシンクロナスＤＲＡＭを含むコンピュータの一実施例のシステム構成図が示されている。同図をもとに、この実施例のシンクロナスＤＲＡＭの応用システムの概要とその特徴について説明する。

【００４３】

図８において、この実施例のコンピュータは、いわゆるストアドプログラム方式の中央処理装置ＣＰＵをその基本構成要素とする。中央処理装置ＣＰＵには、システムバスＳＢＵＳを介して例えば通常のスタティック型ＲＡＭからなるランダムアクセスメモリＲＡＭと、マスクＲＯＭ等からなるリードオンリーメモリＲＯＭと、ディスプレイ制御装置ＤＰＹＣならびに周辺装置コントローラＰＥＲＣとが結合される。ディスプレイ制御装置ＤＰＹＣには、図１のシンクロナスＤＲＡＭを応用したフレームメモリＦＬＭが結合されるとともに、所定のディスプレイ装置ＤＰＹが結合される。また、周辺装置コントローラＰＥＲＣには、キーボードＫＢＤ及び外部記憶装置ＥＸＭが結合される。

【００４４】

中央処理装置ＣＰＵは、予めリードオンリーメモリＲＯＭに格納されたプログラムに従ってステップ動作し、コンピュータの各部を制御・統轄する。また、ランダムアクセスメモリＲＡＭは、キャッシュメモリ等として使用され、例えばリードオンリーメモリＲＯＭから中央処理装置ＣＰＵに伝達されるプログラム及び演算データ等を一時的に格納し、中継するために供される。さらに、ディスプレイ制御装置ＤＰＹＣは、フレームメモリＦＬＭに格納された画像データをもとにディスプレイ装置ＤＰＹの表示制御を行い、周辺装置コントローラＰＥＲＣは、キーボードＫＢＤ及び外部記憶装置ＥＸＭ等の周辺装置を制御する。コンピュータは、さらに、交流入力電源をもとに安定した所定の直流電源電圧を形成し、各部に動作電源として供給する電源装置ＰＯＷＳを備える。

【００４５】

この実施例において、フレームメモリＦＬＭとなるシンクロナスＤＲＡＭは、前述のように、ワンショットパルス発生回路ＰＧを具備し、このパルス発生回路は、実質的なクロック信号ＣＬＫを受ける１個のＮチャンネルＭＯＳＦＥＴＮ１を含むインバータＶ１と、その反転セット入力端子ＳＢに実質的なクロック信号ＣＬＫを受けるセットリセット型のフリップフロップＳＲＦＦとを備える。したがって、そのクロック伝達経路の所要論理段数が削減され、メモリとしてのクロックアクセスタイムが高速化されるとともに、クロック信号ＣＬＫのパルス幅 t_{CKH} がその最大値 $t_{CKH=MAX}$ 側にある場合でも、誤パルスの発生が抑制され、その動作が安定化される。これにより、シンクロナスＤＲＡＭつまりフレームメモリＦＬＭを含むコンピュータの動作の高速化及び安定化が図られる。

【００４６】

以上の実施例から得られる作用効果は、下記の通りである。すなわち、

（１）所定のクロック信号に従って同期動作するシンクロナスＤＲＡＭ等において、クロックバッファのワンショットパルス発生回路を、入力クロック信号を受けるＮチャンネル型の第１のＭＯＳＦＥＴと、回路の電源電圧と第１のＭＯＳＦＥＴのドレインとの間に設けられそのゲートに第１のＭＯＳＦＥＴのドレインにおける内部パルス信号の実質的な遅延信号を受けるＰチャンネル型の第２のＭＯＳＦＥＴと、第１のＭＯＳＦＥＴのソースと回路の接地電位との間に設けられそのゲートに上記内部パルス信号の実質的な遅延信号を受けるＮチャンネル型の第３のＭＯＳＦＥＴとを基本に構成することで、クロックバッファの中心となるワンショットパルス発生回路の構成を簡素化できるとともに、その入力容量を第１のＭＯＳＦＥＴのゲート容量のみとし、その分駆動能力を大きくして、パルス発生回路の所要論理段数を削減できるという効果が得られる。

【００４７】

（２）上記（１）項において、入力クロック信号のパルス幅が最大値側にある場合、その反転セット入力端子に実質的な入力クロック信号を受けその反転リセット入力端子に上記内部パルス信号の実質的な反転遅延信号を受けるセットリセット型フリップフロップを設け、その実質的な非反転出力信号を上記第２及び第３のＭＯＳＦＥＴのゲートに供給することで、入力クロック信号のパルス幅が最大値側にある場合でも、誤パルスを発生させることなく安定した内部クロック信号を生成することができるという効果が得られる。
（３）上記（１）項及び（２）項により、シンクロナスＤＲＡＭひいてはこれを含むコンピュータシステム等の動作の高速化及び安定化を図ることができるという効果が得られる。

【００４８】
以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図１において、シンクロナスＤＲＡＭは、×４ビット，×１６ビットあるいは×３２ビット等、任意のビット構成を採ることができるし、任意数のバンクを備えることができる。また、バンクＢＮＫ０及びＢＮＫ１のメモリアレイＭＡＲＹは、任意数の冗長素子を含むことができるし、その直接周辺回路を含めて複数のマットに分割することができる。さらに、シンクロナスＤＲＡＭのブロック構成は、種々の実施形態を採りうるし、起動制御信号及び内部制御信号等の名称及び組み合わせならびにその有効レベル等も、この実施例による制約を受けない。

【００４９】
図２及び図４において、パルス発生回路ＰＧならびにクロックバッファＣＢの具体的構成は、同一の論理条件が得られる限りにおいて種々の実施形態を採りうし、電源電圧の極性及び絶対値ならびにＭＯＳＦＥＴの導電型についても同様である。図３及び図４ならびに図６及び図７において、クロック信号ＣＬＫ及び各内部パルス信号の有効レベルならびにその具体的時間関係等は、これらの実施例による制約を受けない。図８において、コンピュータは、他の種々の機能ブロックを含むことができるし、そのブロック構成やバス構成は任意である。

【００５０】
以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるシンクロナスＤＲＡＭならびにこれを含むコンピュータに適用した場合について説明したが、それに限定されるものではなく、例えば、同様なクロックバッファＣＢを含む各種のシンクロナスメモリや論理集積回路装置ならびにこれらを含む各種デジタルシステムにも適用できる。この発明は、少なくともそのクロック伝達経路にワンショットパルス発生回路を含む半導体装置ならびにこのような半導体装置を含む装置又はシステムに広く適用できる。

【００５１】
【発明の効果】
本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、クロック信号に従って同期動作するシンクロナスＤＲＡＭ等において、クロックバッファのワンショットパルス発生回路を、入力クロック信号を受けるＮチャンネル型の第１のＭＯＳＦＥＴと、回路の電源電圧と第１のＭＯＳＦＥＴのドレインとの間に設けられそのゲートに第１のＭＯＳＦＥＴのドレインにおける内部パルス信号の実質的な遅延信号を受けるＰチャンネル型の第２のＭＯＳＦＥＴと、第１のＭＯＳＦＥＴのソースと回路の接地電位との間に設けられそのゲートに上記内部パルス信号の実質的な遅延信号を受けるＮチャンネル型の第３のＭＯＳＦＥＴとを基本に構成する。

【００５２】
また、入力クロック信号のパルス幅が最大値側にある場合、その反転セット入力端子に実質的な入力クロック信号を受けその反転リセット入力端子に上記内部パルス信号の実質的な反転遅延信号を受けるセットリセット型フリップフロップを設け、その実質的な非反転出力信号を上記第２及び第３のＭＯＳＦＥＴのゲートに供給する。以上により、クロック

バッファの中心となるワンショットパルス発生回路の構成を簡素化できるとともに、その入力容量を第１のＭＯＳＦＥＴのゲート容量のみとし、その分駆動能力を大きくして、パルス発生回路のクロック伝達経路の所要論理段数を削減することができる。また、入力クロック信号のパルス幅が最大値側にある場合でも、誤パルスを発生させることなく安定した内部クロック信号を生成し、シンクロナスＤＲＡＭひいてはこれを含むコンピュータシステム等の動作の高速化及び安定化を図ることができる。

【図面の簡単な説明】

【図１】この発明が適用されたシンクロナスＤＲＡＭの一実施例を示すブロック図である。

【図２】図１のシンクロナスＤＲＡＭに含まれるクロックバッファの第１の実施例を示す回路図である。

【図３】図２のクロックバッファのクロックパルス幅最小時の一実施例を示す信号波形図である。

【図４】図２のクロックバッファのクロックパルス幅最大時の一実施例を示す信号波形図である。

【図５】図１のシンクロナスＤＲＡＭに含まれるクロックバッファの第２の実施例を示す回路図である。

【図６】図５のクロックバッファのクロックパルス幅最小時の一実施例を示す信号波形図である。

【図７】図５のクロックバッファのクロックパルス幅最大時の一実施例を示す信号波形図である。

【図８】図１のシンクロナスＤＲＡＭを含むコンピュータの一実施例を示すシステム構成図である。

【図９】この発明に先立って本願発明者等が開発したシンクロナスＤＲＡＭに含まれるクロックバッファの一例を示す回路図である。

【符号の説明】

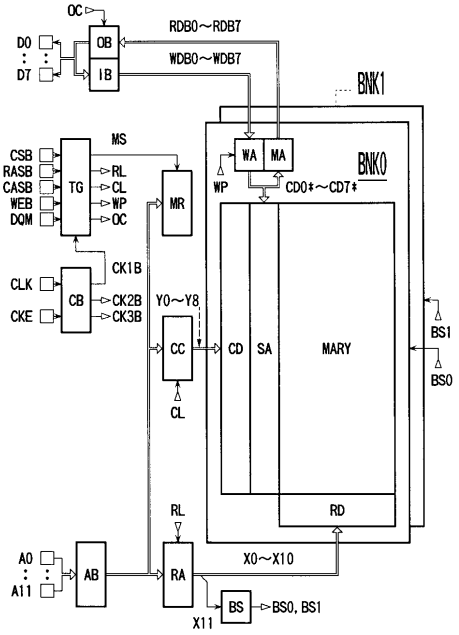
ＢＮＫ０～ＢＮＫ１……バンク、ＭＡＲＹ……メモリアレイ、ＲＤ……ロウアドレスデコーダ、ＳＡ……センスアンプ、ＣＤ……カラムアドレスデコーダ、ＷＡ……ライトアンプ、ＭＡ……メインアンプ、ＡＢ……アドレスバッファ、ＲＡ……ロウアドレスレジスタ、ＢＳ……バンク選択回路、ＣＣ……カラムアドレスカウンタ、ＭＲ……モードレジスタ、ＩＢ……データ入力バッファ、ＯＢ……データ出力バッファ、ＣＢ……クロックバッファ、ＴＧ……タイミング発生回路、Ｄ０～Ｄ７……データ入出力端子、ＣＳＢ……チップ選択信号入力端子、ＲＡＳＢ……ロウアドレスストローブ信号入力端子、ＣＡＳＢ……カラムアドレスストローブ信号入力端子、ＷＥＢ……ライトイネーブル信号入力端子、ＤＱＭ……データマスク信号入力端子、ＣＬＫ……クロック信号入力端子、ＣＫＥ……クロックイネーブル信号入力端子、Ａ０～Ａ１１……アドレス入力端子。

ＩＣ１～ＩＣ４……入力回路、ＰＧ……パルス発生回路、Ｐ１～Ｐ３……ＰチャンネルＭＯＳＦＥＴ、Ｎ１～Ｎ４……ＮチャンネルＭＯＳＦＥＴ、Ｖ１～ＶＩ……インバータ、ＮＡ１～ＮＡ４……ナンドゲート、ＤＬ……遅延回路。

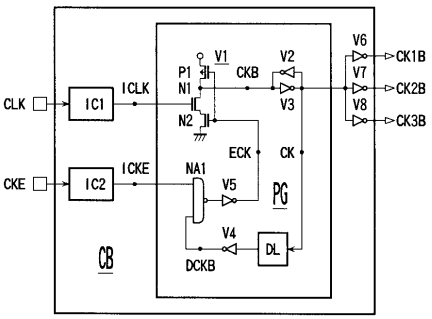
ＳＲＦＦ……セットリセット型フリップフロップ。

ＣＰＵ……中央処理装置、ＳＢＵＳ……システムバス、ＲＡＭ……ランダムアクセスメモリ、ＲＯＭ……リードオンリーメモリ、ＤＰＹＣ……ディスプレイ制御装置、ＦＬＭ……フレームメモリ、ＤＰＹ……ディスプレイ装置、ＰＥＲＣ……周辺装置コントローラ、ＫＢＤ……キーボード、ＥＸＭ……外部記憶装置、ＰＯＷＳ……電源装置。

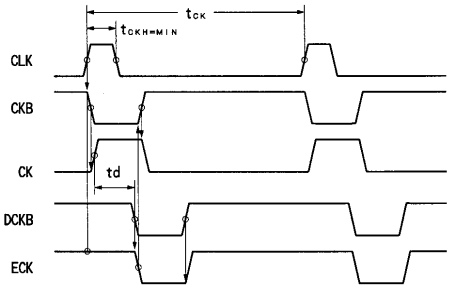
【図１】
図1 シンクロナスＤＲＡＭのブロック構成



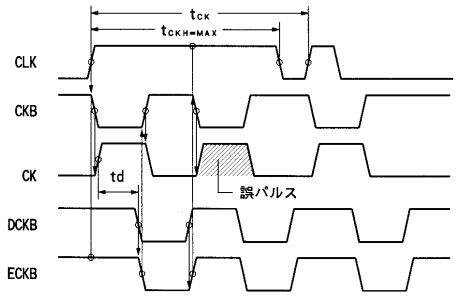
【図２】
図2 クロックバッファの回路構成



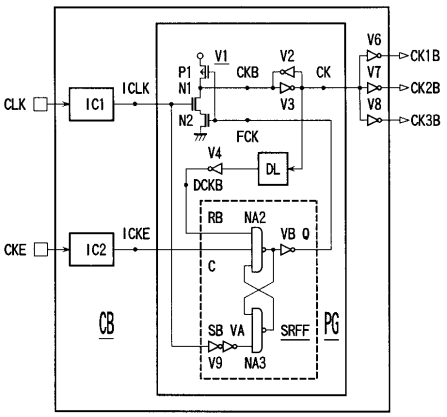
【図３】
図3 クロックバッファの信号波形($t_{CKH=MIN}$の場合)



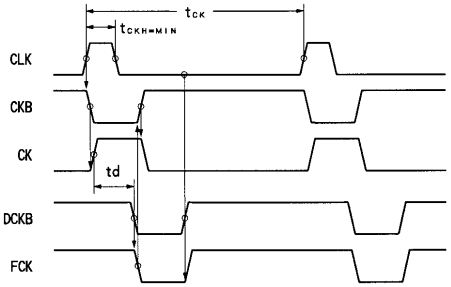
【図４】
図4 クロックバッファの信号波形($t_{CKH=MAX}$の場合)



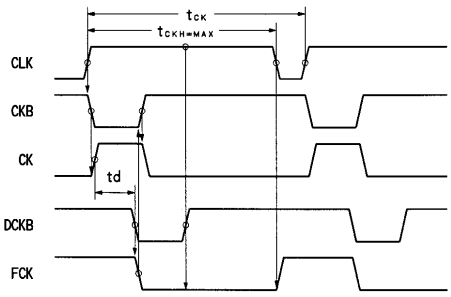
【図５】
図5 クロックバッファの回路構成



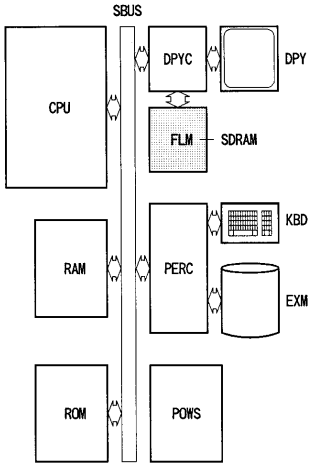
【図６】
図6 クロックバッファの信号波形($t_{CKH=MIN}$の場合)



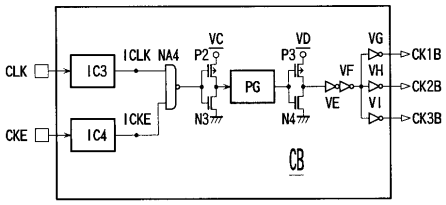
【図７】
図7 クロックバッファの信号波形($t_{CKH=MAX}$の場合)



【図８】
図8 コンピュータのシステム構成



【図９】
図9 クロックバッファの回路構成



フロントページの続き

(56)参考文献 特開平０５－２４２６７６（ＪＰ，Ａ）
特開平０８－１８０６７７（ＪＰ，Ａ）
特開平０８－１３９５７３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 11/407