



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0030102  
(43) 공개일자 2016년03월16일

- (51) 국제특허분류(Int. Cl.)  
*H01L 27/30* (2006.01) *H01L 21/3065* (2006.01)  
*H01L 27/146* (2006.01) *H01L 51/44* (2006.01)
- (52) CPC특허분류  
*H01L 27/307* (2013.01)  
*H01L 21/3065* (2013.01)
- (21) 출원번호 10-2015-7035213
- (22) 출원일자(국제) 2014년06월25일  
심사청구일자 없음
- (85) 번역문제출일자 2015년12월11일
- (86) 국제출원번호 PCT/JP2014/003406
- (87) 국제공개번호 WO 2015/001771  
국제공개일자 2015년01월08일
- (30) 우선권주장  
JP-P-2013-140398 2013년07월04일 일본(JP)
- (71) 출원인  
소니 주식회사  
일본국 도쿄도 미나토구 코난 1-7-1
- (72) 발명자  
조에이 마사히로  
일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사 내
- (74) 대리인  
최달용

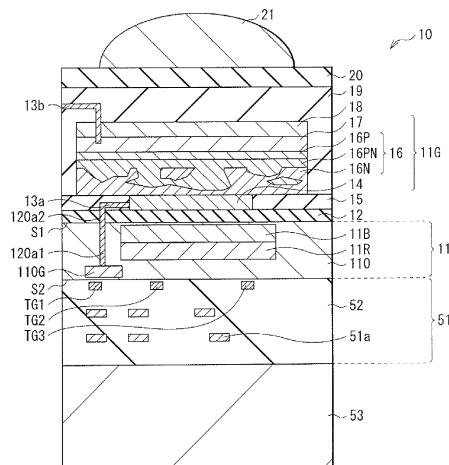
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 고체 콤상 소자 및 그 제조 방법, 및 전자 기기

### (57) 요 약

기판(11)에 배치된 적어도 하나의 제1 광전 변환부(11B, 11R)와, 상기 기판상에 배치되고, 유기 광전 변환층(16)을 포함하는 제2 광전 변환부(11G)와, 상기 유기 광전 변환층의 광입사면을 덮는 자외선 방지막(18)을 포함하는 고체 콤상 소자(10), 및 그 제조 방법.

### 대 표 도



(52) CPC특허분류

*H01L 27/14623* (2013.01)

*H01L 27/14665* (2013.01)

*H01L 27/302* (2013.01)

*H01L 51/448* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기판에 배치된 적어도 하나의 제1 광전 변환부와,  
상기 기판상에 배치되고, 유기 광전 변환층을 포함하는 제2 광전 변환부와,  
상기 유기 광전 변환층의 광입사면을 덮는 자외선 방지막을 구비하는 것을 특징으로 하는 고체 활상 소자.

#### 청구항 2

제1항에 있어서,

광이 상기 유기 광전 변환층에 입사하기 전에, 상기 광이 상기 자외선 방지막에 입사하는 것을 특징으로 하는 고체 활상 소자.

#### 청구항 3

제1항에 있어서,

상기 제2 광전 변환부는, 상기 자외선 방지막과 상기 유기 광전 변환층 사이의 상부 전극과, 상기 유기 광전 변환층과 상기 기판 사이의 하부 전극을 포함하는 것을 특징으로 하는 고체 활상 소자.

#### 청구항 4

제1항에 있어서,

광은 400nm 이하의 파장을 갖는 광을 포함하고, 상기 자외선 방지막은, 400nm 이하의 파장을 갖는 광의 20% 이상을 흡수하는 것을 특징으로 하는 고체 활상 소자.

#### 청구항 5

제1항에 있어서,

상기 자외선 방지막은, 적어도 200nm의 두께를 갖는 것을 특징으로 하는 고체 활상 소자.

#### 청구항 6

제1항에 있어서,

상기 유기 광전 변환층은, 상부 전극과 하부 전극 사이에 있고, 상기 유기 광전 변환층의 단부, 상기 상부 전극의 단부, 및 상기 자외선 방지막의 단부는, 서로 500nm 이내인 것을 특징으로 하는 고체 활상 소자.

#### 청구항 7

제6항에 있어서,

상기 유기 광전 변환층은, 상기 유기 광전 변환층의 단부 상에 측면을 갖고, 상기 상부 전극은, 상기 상부 전극의 단부 상에 측면을 갖고, 상기 자외선 방지막은, 상기 유기 광전 변환층의 상면 전체에 접속되어 있고, 상기 유기 광전 변환층의 단부 상의 측면 및 상기 상부 전극의 단부 상의 측면에 접속되어 있는 것을 특징으로 하는 고체 활상 소자.

#### 청구항 8

제1항에 있어서,

상기 자외선 방지막은, 질화실리콘(SiN), 산화실리콘(SiO), 산질화실리콘(SiON), 산화알루미늄(AlO), 산화티탄(TiO), 산화바나듐(VO), 산화크롬(CrO) 및 질화알루미늄(AlN)으로 구성된 그룹으로부터 선택되는 것을 특징으로

하는 고체 촉상 소자.

### 청구항 9

제8항에 있어서,

상기 자외선 방지막은, 질화실리콘(SiN), 산화실리콘(SiO), 산질화실리콘(SiON), 산화알루미늄(AlO), 산화티탄(TiO), 산화바나듐(VO), 산화크롬(CrO) 및 질화알루미늄(AlN)으로 구성된 그룹으로부터 선택된 적어도 2종의 적층물인 것을 특징으로 하는 고체 촉상 소자.

### 청구항 10

제1항에 있어서,

상기 자외선 방지막의 응력은, 500MPa 이하의 절대치를 갖는 것을 특징으로 하는 고체 촉상 소자.

### 청구항 11

기판에 적어도 하나 이상의 제1 광전 변환부를 형성하고,

상기 기판상에 유기 광전 변환층을 형성하고,

상기 유기 광전 변환층의 광입사면을 덮는 자외선 방지막을 형성하고,

상기 유기 광전 변환층을 패터닝하여 제2 광전 변환부를 형성하는 것을 특징으로 하는 고체 촉상 소자의 제조 방법.

### 청구항 12

제11항에 있어서,

상기 패터닝은, 플라즈마 조사를 이용한 드라이 에칭 공정인 것을 특징으로 하는 고체 촉상 소자의 제조 방법.

### 청구항 13

제12항에 있어서,

상기 플라즈마 조사시에, 상기 자외선 방지막은, 상기 유기 광전 변환층에 입사하는 400nm 이하의 파장을 갖는 광의 20% 이상을 흡수하는 것을 특징으로 하는 고체 촉상 소자의 제조 방법.

### 청구항 14

제11항에 있어서,

상기 자외선 방지막은, RF 파워 500W, 기판 온도 200°C, 압력 5Torr, 질소 유량 5000sccm, 실란 유량 500sccm 및 암모니아 유량 100sccm을 갖는 병행 평판형의 플라즈마 CVD장치를 이용하여 형성되는 것을 특징으로 하는 고체 촉상 소자의 제조 방법.

### 청구항 15

제11항에 있어서,

상기 유기 광전 변환층은, 상부 전극과 하부 전극 사이에 형성되고, 상기 유기 광전 변환층의 단부, 상기 상부 전극의 단부, 및 상기 자외선 방지막의 단부는, 서로 500nm 이내로 형성되는 것을 특징으로 하는 고체 촉상 소자의 제조 방법.

### 청구항 16

제11항에 있어서,

상기 유기 광전 변환층은, 상기 유기 광전 변환층의 단부 상에 측면을 갖고, 상기 상부 전극은, 상기 상부 전극의 단부 상에 측면을 갖고, 상기 자외선 방지막은, 상기 유기 광전 변환층의 상면 전체에 접속되어 있고, 상기 유기 광전 변환층의 단부 상의 측면 및 상기 상부 전극의 단부 상의 측면에 접속되어 있는 것을 특징으로 하는

고체 활상 소자의 제조 방법.

### 청구항 17

제11항에 있어서,

상기 자외선 방지막은, 질화실리콘(SiN), 산화실리콘(SiO), 산질화실리콘(SiON), 산화알루미늄(AlO), 산화티탄(TiO), 산화바나듐(VO), 산화크롬(CrO) 및 질화알루미늄(AlN)으로 구성된 그룹으로부터 선택되는 것을 특징으로 하는 고체 활상 소자의 제조 방법.

### 청구항 18

제11항에 있어서,

상기 자외선 방지막은, 질화실리콘(SiN), 산화실리콘(SiO), 산질화실리콘(SiON), 산화알루미늄(AlO), 산화티탄(TiO), 산화바나듐(VO), 산화크롬(CrO) 및 질화알루미늄(AlN)으로 구성된 그룹으로부터 선택된 적어도 2종의 적층물인 것을 특징으로 하는 고체 활상 소자의 제조 방법.

### 청구항 19

제11항에 있어서,

상기 자외선 방지막은 개구와 함께 형성되어, 상기 자외선 방지막의 응력의 절대치는, 500MPa 이하인 것을 특징으로 하는 고체 활상 소자의 제조 방법.

### 청구항 20

고체 활상 소자를 구비하고,

상기 고체 활상 소자는,

기판에 배치된 적어도 하나의 제1 광전 변환부와,

상기 기판상에 배치되고, 유기 광전 변환층을 포함하는 제2 광전 변환부와,

광이 상기 유기 광전 변환층에 입사하기 전에 상기 광이 입사하도록, 상기 유기 광전 변환층의 광입사면을 덮는 자외선 방지막을 포함하는 것을 특징으로 하는 전자 기기.

## 발명의 설명

### 기술 분야

[0001] 본 기술은, 서로 다른 파장의 광을 흡수하는 복수의 광전 변환부를 갖는 고체 활상 소자 및 그 제조 방법, 및 고체 활상 소자를 갖는 전자 기기에 관한 것이다.

### 배경 기술

[0002] CCD(Charge Coupled Device) 이미지 센서 및 CMOS(Complementary Metal Oxide Semiconductor) 이미지 센서 등의 고체 활상 장치에서는, 화소 사이즈를 축소함에 따라 단위 화소(고체 활상 소자)에 입사하는 광자 수가 감소하고, S/N비가 저하된다. 화소는, 예를 들면 베이어 배열 등으로 대표되는 바와 같이, 컬러 필터를 이용하여 적, 녹 및 청의 각 색으로 나눠지고, 동일 평면에 배치된다. 이 방법에서는, 예를 들면 녹, 청의 파장의 광은 적의 화소(컬러 필터)를 투과할 수 없기 때문에, 광의 손실이 생기고, 감도가 저하된다. 또한, 적, 녹 및 청의 화소 사이에서 보간 처리를 행하여 색 신호를 만들기 때문에, 위색(僞色)이 생길 우려가 있다.

[0003] 그래서, 3개의 광전 변환부를 적층시켜서 하나의 화소에서 3색의 광전 변환 신호를 얻는 방법이 제안되어 있다. 예를 들면, 3개의 광전 변환부 중의 하나(예를 들면 녹광에 대응하는 광전 변환부)는 실리콘 기판상, 즉, 실리콘 기판의 외측에 배치하고, 나머지 2(예를 들면 적광, 청광에 대응하는 광전 변환부)는 실리콘 기판의 내부에 마련한다(예를 들면, 특히 문헌 1 참조). 실리콘 기판의 외측의 광전 변환부는 유기 재료를 포함하는 광전 변환층을 갖는 것이고, 이 광전 변환층이 한 쌍의 전극의 사이에 마련되어 있다. 한편, 실리콘 기판의 내부의 광전 변환부는 포토 다이오드(Photo Diode)에 의해 구성된다.

[0004] 또한, 3개의 광전 변환부가 각각 유기 재료를 포함하는 광전 변환층을 갖고 있고, 이를 3개의 광전 변환부를 전부 기판상에 배치하는 방법도 제안되어 있다(예를 들면, 특히 문현 2 참조). 이 활상 소자에서는, 신호를 판독하기 위한 TFT(Thin Film Transistor)가 각각의 광전 변환부에 마련되어 있다.

### 선행기술문헌

#### 특허문헌

[0005] (특허문헌 0001) 일본 특개2011-29337호 공보

(특허문헌 0002) 일본 특개2012-160619호 공보

### 발명의 내용

#### 해결하려는 과제

[0006] 근래에는, 상기한 바와 같은 유기 재료를 포함하는 광전 변환부의 크기를 정확하게 제어하여, 화소를 미세화하는 것이 요망되고 있다.

[0007] 본 기술은 이러한 문제점을 감안하여 이루어진 것으로, 그 목적은, 화소의 미세화가 가능한 고체 활상 소자 및 그 제조 방법, 및 이 고체 활상 소자를 구비한 전자 기기를 제공하는 것에 있다.

#### 과제의 해결 수단

[0008] 본 기술의 실례가 되는 실시의 형태에 따르면, 기판에 배치된 적어도 하나의 제1 광전 변환부와, 상기 기판상에 배치되고, 유기 광전 변환층을 포함하는 제2 광전 변환부와, 상기 유기 광전 변환층의 광입사면을 덮는 자외선 방지막을 포함하는 고체 활상 소자가 제공된다.

[0009] 본 기술의 실시의 형태에 따른 고체 활상 소자에서는, 유기층의 상기 광입사면이 상기 자외선 방지막으로 덮여 있다. 이 때문에, 예를 들면, 상기 유기층을 형성하기 위해 플라즈마 조사를 행하여도, 상기 플라즈마 조사에 의해 생기는 자외선이, 상기 유기층에의 도달 전에 차단된다. 따라서, 드라이 에칭에 의해 상기 유기층을 패터닝하여도, 자외선에 의한 상기 유기층의 열화가 억제된다.

[0010] 본 기술의 실례가 되는 실시의 형태에 따르면, 기판에 배치된 적어도 하나의 제1 광전 변환부와, 상기 기판상에 배치되고, 유기 광전 변환층을 포함하는 제2 광전 변환부와, 상기 유기 광전 변환층에 광이 입사하기 전에 상기 광이 입사하도록 상기 유기 광전 변환층의 광입사면을 덮는 자외선 방지막을 포함하는 고체 활상 소자를 갖는 전자 기기가 제공된다.

[0011] 본 기술의 실례가 되는 실시의 형태에 따르면, 기판에 적어도 하나 이상의 제1 광전 변환부를 형성하고, 상기 기판상에 유기 광전 변환층을 형성하고, 상기 유기 광전 변환층의 광입사면을 덮는 자외선 방지막을 형성하고, 상기 유기 광전 변환층을 패터닝하여 제2 광전 변환부를 형성하는 것을 포함하는 고체 활상 소자의 제조 방법이 제공된다.

### 발명의 효과

[0012] 본 기술의 실시의 형태에 따른 고체 활상 소자, 그 고체 활상 소자의 제조 방법, 및 전자 기기에서, 상술한 바와 같이 자외선 방지막을 마련하도록 하였기 때문에, 유기층을 패터닝할 때에, 예를 들면 드라이 에칭 등의 미세 가공 가능한 방법을 이용할 수 있다. 따라서, 화소의 미세화가 가능해진다. 여기서 사용된 바와 같이, 자외선 방지막은 또한 자외선 보호막 및/또는 자외선 흡수막으로 지칭될 수 있다.

[0013] 전술한 일반적인 설명과 다음의 상세한 설명은 예시적이며 실례가 되는 것이며, 청구된 기술의 추가 설명을 제공하는 것임을 이해해야한다.

### 도면의 간단한 설명

[0014] 도 1은 본 기술의 제1의 실시의 형태에 관한 활상 소자의 개략 구성을 도시하는 단면도.

- 도 2a는 도 1에 도시한 무기 광전 변환부의 한 구성례를 도시하는 단면도.
- 도 2b는 도 2a에 도시한 무기 광전 변환부의 단면과는 다른 단면을 도시하는 도면.
- 도 3은 도 1에 도시한 녹용 축전층의 구성에 관해 설명하기 위한 단면도.
- 도 4는 도 1에 도시한 자외선 흡수막의 흡수 특성의 한 예를 도시하는 도면.
- 도 5는 도 1에 도시한 유기 광전 변환부의 단부를 도시하는 단면도.
- 도 6a는 도 1에 도시한 활상 소자의 제조 공정의 한 예를 도시하는 단면도.
- 도 6b는 도 6a에 계속된 공정을 도시하는 단면도.
- 도 7은 도 6b에 계속된 공정을 도시하는 단면도.
- 도 8은 도 7에 계속된 공정을 도시하는 단면도.
- 도 9는 도 8에 계속된 공정을 도시하는 단면도.
- 도 10a는 도 9에 계속된 공정을 도시하는 단면도.
- 도 10b는 도 10a에 계속된 공정을 도시하는 단면도.
- 도 10c는 도 10b에 계속된 공정을 도시하는 단면도.
- 도 10d는 도 10c에 계속된 공정을 도시하는 단면도.
- 도 11은 도 1에 도시한 활상 소자의 동작에 관해 설명하기 위한 단면도.
- 도 12는 도 1에 도시한 활상 소자의 동작에 관해 설명하기 위한 모식도.
- 도 13a는 비교례에 관한 활상 소자의 제조 공정을 도시하는 단면도.
- 도 13b는 도 13a에 계속된 공정을 도시하는 단면도.
- 도 14는 변형례 1에 관한 표시 장치의 구성을 도시하는 단면도.
- 도 15는 변형례 2에 관한 표시 장치의 구성을 도시하는 단면도.
- 도 16은 변형례 3에 관한 표시 장치의 구성을 도시하는 단면도.
- 도 17은 본 기술의 제2의 실시의 형태에 관한 표시 장치의 구성을 도시하는 단면도.
- 도 18은 도 1에 도시한 활상 소자를 이용한 활상 장치의 전체 구성을 도시하는 모식도.
- 도 19는 도 18에 도시한 활상 장치를 적용한 전자 기기의 개략 구성을 도시하는 도면.

### **발명을 실시하기 위한 구체적인 내용**

[0015] 이하, 본 기술의 실시의 형태에 관해, 도면을 참조하여 상세히 설명한다. 또한, 설명은 이하의 순서로 행한다.

[0016] 1. 제1의 실시의 형태(활상 소자 : 자외선 흡수막이 유기 광전 변환막을 덮는 예)

[0017] 2. 변형례 1(복수의 유기 광전 변환부를 갖는 예)

[0018] 3. 변형례 2(하부 전극층부터 홀을 신호 전하로서 취출하는 예)

[0019] 4. 변형례 3(상부 전극층부터 전자 또는 홀을 신호 전하로서 취출하는 예)

[0020] 5. 제2의 실시의 형태(활상 소자 : 자외선 반사막이 유기 광전 변환막을 덮는 예)

[0021] 6. 적용례(활상 장치)

[0022] (제1 실시의 형태)

[0023] (활상 소자(10)의 구성)

[0024] 도 1은, 본 기술의 한 실시의 형태에 관한 고체 활상 소자(활상 소자(10))의 단면 구성을 도시한 것이다. 활상 소자(10)는, 예를 들면 CCD 이미지 센서 또는 CMOS 이미지 센서 등의 활상 장치(예를 들면, 후술하는 도 18의

활상 장치(1))에서 하나의 화소(예를 들면 후술하는 도 18의 화소(P))를 구성하는 것이다. 이 활상 소자(10)는 이른바, 이면 조사형의 활상 소자이고, 반도체 기판(11)의 수광면(면(S1))과는 반대측의 면(면(S2))에 다층 배선층(51)이 마련되어 있다.

[0025] 활상 소자(10)는 무기 광전 변환부(11B, 11R)(제1 광전 변환부)와 유기 광전 변환부(11G)(제2 광전 변환부)를 갖고 있고, 이들이 서로 대향하여 종방향(광로)으로 적층되어 있다. 무기 광전 변환부(11B, 11R)는 반도체 기판(11)의 내부에, 유기 광전 변환부(11G)는 반도체 기판(11)의 면(S1)상에 각각 마련되어 있다. 즉, 활상 소자(10)에서는, 무기 광전 변환부(11B, 11R) 및 유기 광전 변환부(11G) 중, 유기 광전 변환부(11G)에 최초에 광이 입사하도록 되어 있다. 유기 광전 변환부(11G)는 한 쌍의 전극(상부 전극(17) 및 하부 전극(14))의 사이에 유기 광전 변환층(16)(유기층)을 갖는 것이고, 상부 전극(17)으로부터 유기 광전 변환층(16)에 광이 입사한다. 이와 같은 유기 광전 변환부(11G)와 무기 광전 변환부(11B, 11R)에서는, 서로 다른 파장역의 광을 선택적으로 검출하여 광전 변환을 행하기 때문에, 컬러 필터를 마련하지 않고, 하나의 활상 소자(10)에서 복수종류의 색 신호를 취득할 수 있다. 무기 광전 변환부(11R)에서는 적색(예를 들면, 파장 620nm 내지 750nm), 무기 광전 변환부(11B)에서는 청색(예를 들면, 파장 450nm 내지 495nm), 유기 광전 변환부(11G)에서는 녹색(예를 들면, 파장 495nm 내지 570nm)의 색 신호가 각각 취득되도록 되어 있다.

[0026] 반도체 기판(11)의 면(S2) 부근에는 예를 들면 p형 반도체 웨이 영역(도시 생략)이 마련되어 있다. 이 반도체 기판(11)의 면(S2) 부근에는, 유기 광전 변환부(11G), 무기 광전 변환부(11B, 11R) 각각에 대응하는 복수의 화소 트랜지스터(후술하는 전송 트랜지스터(Tr1, Tr2, Tr3))도 배치되어 있다. 전송 트랜지스터(Tr1, Tr2, Tr3)는, 각각 게이트 전극(TG1, TG2, TG3)을 갖고 있다. 전송 트랜지스터(Tr1)는 유기 광전 변환부(11G)에서 발생한 녹색에 대응하는 신호 전하를, 전송 트랜지스터(Tr2)는 무기 광전 변환부(11B)에서 발생한 청색에 대응하는 신호 전하를, 전송 트랜지스터(Tr3)는 무기 광전 변환부(11R)에서 발생한 적색에 대응하는 신호 전하를 각각 예를 들면 수직 신호선(Lsig)(후술하는 도 18)에 전송하는 것이다. 신호 전하는, 광전 변환에 의해 생기는 전자 및 홀의 어느 것이라도 좋지만, 이하에서는, 전자를 신호 전하로서 판독하는 경우(n형 반도체 영역을 광전 변환층으로 하는 경우)를 예로 들어 설명한다.

[0027] 반도체 기판(11)의 면(S2) 부근에는, 상기 전송 트랜지스터(Tr1, Tr2, Tr3)와 함께 예를 들면, 리셋 트랜지스터, 증폭 트랜지스터 및 선택 트랜지스터 등이 마련되어 있다. 이와 같은 트랜지스터는 예를 들면 MOSEFT(Metal Oxide Semiconductor Field Effect Transistor)이고, 광전 변환부(유기 광전 변환부(11G), 무기 광전 변환부(11B, 11R))마다 회로를 구성한다. 각 회로는, 예를 들면 전송 트랜지스터, 리셋 트랜지스터 및 증폭 트랜지스터를 포함하는 3트랜지스터 구성이라도 좋고, 또는 이것에 선택 트랜지스터가 더하여진 4트랜지스터 구성이라도 좋다. 전송 트랜지스터 이외의 트랜지스터는, 광전 변환부 사이 또는 화소 사이에서 공유하는 것도 가능하다.

[0028] 반도체 기판(11)은 예를 들면 n형의 실리콘(Si)층에 의해 구성되어 있다. 여기서, n형 및 p형의 실리콘층은, n형 또는 p형 실리콘 반도체층, n형 또는 p형 반도체 및 n형 또는 p형 반도체 영역으로 또한 지칭될 수 있다. 반도체 기판(11)의 내부에는 상술한 무기 광전 변환부(11B, 11R)와 함께 녹용 축전층(110G)이 마련되어 있다.

[0029] 무기 광전 변환부(11B, 11R)는, pn 접합을 갖는 포토 다이오드이고, 반도체 기판(11)의 면(S1)측부터, 예를 들면 무기 광전 변환부(11B) 및 무기 광전 변환부(11R)의 순서로 마련되어 있다.

[0030] 도 2a, 도 2b는 무기 광전 변환부(11B, 11R)의 상세한 구성을 도시한 것이다. 무기 광전 변환부(11B)는, 홀 축적층이 되는 p형 반도체 영역(이하, 단지 "p형 영역"이라고 한다)(111p)과 전자 축적층이 되는 n형 광전 변환층(이하 "n형 영역"이라고 간단히 지칭되는 n형 반도체 영역)(111n)을 포함하여 구성되어 있다. 도면 중, "p" 또는 "n"의 위에 붙여서 기재한 "+(플러스)"는, p형 또는 n형의 불순물 농도가 높은 것을 나타내고 있다. p형 영역(111p) 및 n형 광전 변환층(111n)은, 반도체 기판(11)의 면(S1) 부근의 소정의 영역에 면(S1)의 수평 방향으로 마련됨과 함께, 적어도 그 일부는 굽곡하여 면(S1)과 수직 방향으로 연재되어 있다. 반도체 기판(11)의 면(S2) 부근에는 청용의 전송 트랜지스터(Tr2)의 플로팅 디퓨전(FD(113))이 마련되고(도 2b), 이 n형 영역의 FD(113)에 n형 광전 변환층(111n)이 접속되어 있다. p형 영역(111p) 및 n형 광전 변환층(111n)과 반도체 기판(11)의 면(S2)과의 사이에는 p형 영역(113p)(홀 축적층)이 마련되어 있다. p형 영역(113p)은 반도체 기판(11)의 면(S1) 부근의 p형 반도체 웨이 영역(도시 생략)에 접속되어 있다.

[0031] 무기 광전 변환부(11R)는 예를 들면 반도체 기판(11)의 두께 방향(면(S1, S2)과 수직 방향)으로 p-n-p의 적층 구조를 갖는 것이고, p형 영역(112p1)과 p형 영역(112p2)과의 사이(홀 축적층)에 n형 광전 변환층(112n)(전자 축적층)이 마련되어 있다. 이 n형 광전 변환층(112n)의 적어도 일부는 굽곡하여 반도체 기판(11)의 면(S1)과 수

직 방향으로 연재되어 있다. 반도체 기판(11)의 면(S2) 부근에는 적용의 전송 트랜지스터(Tr3)의 플로팅 디퓨전(FD(114))이 마련되고, 이 n형 영역의 FD(114)에 n형 광전 변환층(112n)이 접속되어 있다.

[0032] 도 3은, 녹용 축전층(110G)의 구성을 도시한 것이다. 녹용 축전층(110G)은 전자 축적층이 되는 n형 영역(115n)을 포함하고 있고, 이 n형 영역(115n)은 도전성 플리그(120a1)에 접속되어 있다. 도전성 플리그(120a1)는 반도체 기판(11)에 매설되어 있고, 유기 광전 변환부(11G)와 녹용 축전층(110G) 사이의 신호 전하(전자)의 전송 경로로서 기능한다. 즉, 하부 전극(14)으로부터 도전성 플리그(120a1)를 통하여 전송된 전자가 녹용 축전층(110G)에 축적되도록 되어 있다. 반도체 기판(11)의 면(S2) 부근에는 녹용의 전송 트랜지스터(Tr1)의 플로팅 디퓨전(FD(116))이 마련되고, 이 FD(116)에 n형 영역(115n)이 접속되어 있다. n형 영역(115n)과 반도체 기판(11)의 면(S2)과의 사이에는 p형 영역(115p)(홀 축적층)이 마련되어 있다.

[0033] 도전성 플리그(120a1)는 예를 들면 도전형의 반도체층에 의해 구성되고, 반도체 기판(11)에 매입하여 형성되어 있다. 도전성 플리그(120a1)는 전자의 전송 경로가 되기 때문에 n형 반도체에 의해 각각 구성하는 것이 바람직하다. 또는, 관통 비어에 예를 들면 텅스텐 등의 도전 재료를 매설하여 도전성 플리그(120a1)를 구성하도록 하여도 좋다. 이와 같은 도전성 플리그(120a1)에서는, 이들과 실리콘과의 단락을 억제하기 위해, 산화실리콘( $\text{SiO}_2$ ) 또는 질화실리콘( $\text{SiN}$ ) 등의 절연막으로 비어의 측면을 덮어 두는 것이 바람직하다.

[0034] 다층 배선층(51)은 반도체 기판(11)의 면(S2)에 접하여 마련되어 있다(도 1). 이 다층 배선층(51)은 충간 절연막(52)을 통하여 복수의 배선(51a)을 갖는 것이다. 다층 배선층(51)은 예를 들면, 실리콘으로 이루어지는 지지 기판(53)에 맞붙여져 있고, 지지 기판(53)과 반도체 기판(11)과의 사이에 다층 배선층(51)이 배치된다.

[0035] 유기 광전 변환부(11G)는 유기 반도체 재료로 이루어지는 유기 광전 변환층(16)에 의해, 선택적인 파장역의 광(여기에서는 녹색광)을 흡수하여, 전자·홀 쌍을 발생시키는 광전 변환 소자이다. 유기 광전 변환부(11G)상에는, 보호막(19) 및 평탄화층(20)을 사이에 두고 온 칩 렌즈(21)가 마련되어 있고, 이 온 칩 렌즈(21)를 통하여 유기 광전 변환부(11G)에 광이 입사한다. 유기 광전 변환부(11G)에서 발생한 신호 전하(전자)는 하부 전극(14)에 의해 취출되고, 홀은 상부 전극(17)을 통하여 배출된다.

[0036] 유기 광전 변환부(11G)는 수광면이 되는 반도체 기판(11)의 면(S1)상에, 충간 절연층(12)을 사이에 두고 형성되어 있다. 이와 같이, 다층 배선층(51)이 마련된 반도체 기판(11)의 면(S2)과 반대측의 면(S1)에 유기 광전 변환부(11G)를 마련하여 이면 조사형으로 함에 의해, 3개의 광전 변환부(유기 광전 변환부(11G) 및 무기 광전 변환부(11B, 11R)) 사이의 감도의 차이를 작게 하는 것이 가능해진다. 상세하게는, 반도체 기판(11)의 면(S1)상의 유기 광전 변환부(11G)와 반도체 기판(11)의 내부의 무기 광전 변환부(11B, 11R)와의 사이에, 다층 배선층(51)이 마련되어 있지 않기 때문에, 동일 화소 내의 유기 광전 변환부(11G)와 무기 광전 변환부(11B, 11R) 사이의 거리가 좁아진다. 따라서, 온 칩 렌즈(21)의 F값에 의존하여 생기는 각 색 사이의 감도의 편차가 경감된다.

[0037] 충간 절연층(12)은 반도체 기판(11)(실리콘층(110))의 계면준위를 저감함과 함께 실리콘층(110)과의 계면으로부터의 암전류의 발생을 억제한다. 이와 같은 충간 절연층(12)으로는 계면준위가 낮은 절연 재료를 사용하는 것이 바람직하고, 예를 들면 하프늄산화막( $\text{HfO}_2$ )과 산화실리콘막( $\text{SiO}_2$ )과의 적층막에 의해 구성되어 있다. 충간 절연막(12)에는, 도전성 플리그(120a1)와 대향하는 영역에 관통구멍이 마련되고, 이 관통구멍에 도전성 플리그(120a2)가 매설되어 있다. 도전성 플리그(120a2)는, 차광 기능을 갖고 있는 것이 바람직하고, 예를 들면 배리어 메탈이 되는 티탄(Ti)과 질화티탄( $\text{TiN}$ )과의 적층막 및 텅스텐에 의해 도전성 플리그(120a2)를 구성하도록 하여도 좋다.

[0038] 충간 절연층(12)상에는, 유기 광전 변환부(11G)의 하부 전극(14)이 마련되어 있다. 이 하부 전극(14)은 무기 광전 변환부(11B, 11R)의 수광면과 정대(正對), 즉 무기 광전 변환부(11B, 11R)의 직상(直上)에 마련되어 있고, 광투과성의 도전 재료, 예를 들면 ITO(Indium-Tin-Oxide)에 의해 구성된다. 하부 전극(14)은, 예를 들면 산화주석( $\text{SnO}_2$ )계 재료 또는 산화아연( $\text{ZnO}$ )계 재료에 의해 구성하도록 하여도 좋다. 산화주석계 재료란 산화주석에 불순물을 첨가한 것이고, 산화아연계 재료란 예를 들면, 산화아연에 불순물로서 알루미늄(Al)을 첨가한 알루미늄아연산화물(AZO), 산화아연에 불순물로서 갈륨(Ga)을 첨가한 갈륨아연산화물(GZO) 및 산화아연에 불순물로서 인듐(Indium)을 첨가한 인듐아연산화물(IZO) 등이다. 이 밖에,  $\text{IGZO}$ ,  $\text{CuI}$ ,  $\text{InSbO}_4$ ,  $\text{ZnMgO}$ ,  $\text{CuInO}_2$ ,  $\text{MgIn}_2\text{O}_4$ ,  $\text{CdO}$  및  $\text{ZnSnO}_3$  등을 사용하는 것도 가능하다.

[0039] 상술한 바와 같이, 활상 소자(10)에서는 하부 전극(14)으로부터 신호 전하의 취출이 이루어지기 때문에, 이 활상 소자(10)를 화소로서 이용한 활상 장치(예를 들면 후술하는 도 18의 활상 장치(1))에서는, 하부 전극(14)은

화소 사이 절연막(15)에 의해 화소마다 분리된다. 화소 사이 절연막(15)은, 예를 들면, 산화실리콘, 질화실리콘 및 산질화실리콘(SiON) 등 중의 1종으로 이루어지는 단층막, 또는, 이 중의 2종 이상으로 이루어지는 적층막에 의해 구성되어 있다. 이 화소 사이 절연막(15)에 의해, 각 화소의 하부 전극(14)이 전기적으로 분리된다. 화소 사이 절연막(15)의 표면은, 예를 들면 하부 전극(14)의 표면과 개략 같은 위치에서 배치되어 있고, 평탄화되어 있다.

[0040] 화소 사이 절연막(15)에는 배선(13a)이 매설되어 있고, 이 배선(13a)의 일방은, 도전성 플러그(120a2), 타방은 하부 전극(14)에 전기적으로 접속되어 있다. 즉, 하부 전극(14)으로부터 취출된 전자는, 배선(13a) 및 도전성 플러그(120a1, 120a2)를 통하여 녹용 축전층(110G)에 축적된다. 배선(13a)은, 예를 들면, 텅스텐(W), 티탄(Ti), 질화티탄(TiN) 또는 알루미늄(A1) 등에 의해 구성되어 있다. 도전성 플러그(120a2)와 마찬가지로, 배선(13a)은 차광성을 갖는 것이 바람직하고, 예를 들면, 티탄과 질화티탄과의 적층막 및 텅스텐에 의해 구성된다.

[0041] 유기 광전 변환층(16)은, 특정한 파장역의 광(녹광)을 광전 변환하고, 그 이외의 다른 파장역의 광을 투과하는 유기 반도체에 의해 구성되어 있다. 유기 광전 변환층(16)의 구성 재료는, 기타의 파장역의 광에 대해 70% 이상의 투과율을 갖는 것이 바람직하다. 유기 광전 변환층(16)은 하부 전극(14)과 마찬가지로, 화소마다 분리되어 있다. 평면시(平面視)로, 유기 광전 변환층(16)은 예를 들면 하부 전극(14)의 주위로 확폭(擴幅)하고 있다.

[0042] 유기 광전 변환층(16)에는 n형 반도체(16N) 및 p형 반도체(16P)가 함께 포함되어 있는 것이 바람직하다. 유기 광전 변환층(16)에는, 예를 들면 n형 반도체(16N)와 p형 반도체(16P)와의 혼합층(공증착층(16PN))이 포함되어 있다. n형 반도체(16N) 및 p형 반도체(16P)를 양쪽 포함하고 있음에 의해, pn 접합면이 생기고, 이를바 pin 벌크 헤테로 구조가 형성된다. 따라서, 유기 광전 변환층(16) 내에서 pn 접합면이 증가하여, 광전 변환 효율을 보다 향상시킬 수 있다.

[0043] 하부 전극(14)에는 n형 반도체(16N), 상부 전극(17)에는 p형 반도체층(16P)이 각각 접하여 있는 것이 바람직하다. 이와 같이 유기 광전 변환층(16)을 구성함에 의해, 공증착층(16PN)에서 생긴 전자·홀 쌍 중, 전자는 n형 반도체(16N)를 통하여 하부 전극(14)으로, 홀은 p형 반도체층(16P)을 통하여 상부 전극(17)으로 이동하다. 따라서, 신호 전하가 이동하기 쉽게 되고, 광전 변환 효율이 향상한다. 하부 전극(14)에 p형 반도체층(16P), 상부 전극(17)에 n형 반도체(16N)가 각각 접하도록 하여도 좋다. 이때, 공증착층(16PN)에서 생긴 전자·홀 쌍 중, 전자는 n형 반도체(16N)를 통하여 상부 전극(17)에, 홀은 p형 반도체층(16P)을 통하여 하부 전극(14)으로 이동한다. 유기 광전 변환층(16)은, n형 반도체(16N) 및 p형 반도체(16P)가 포함되어 있으면, n형 반도체층(16N)과 p형 반도체층(16P)을 적층시켜서 구성하도록 하여도 좋다. 또는, n형 반도체층(16N) 및 p형 반도체층(16P) 중, 어느 일방만을 이용하여 유기 광전 변환층(16)을 구성하는 것도 가능하다. 하부 전극(14)과 n형 반도체(16N)와의 사이에 p형 블로킹층(도시 생략), 상부 전극(17)과 p형 반도체(16P)와의 사이에 n형 블로킹층(도시 생략)을 각각 마련하는 것이 바람직하다. p형 블로킹층은 하부 전극(14)으로부터 홀이, n형 블로킹층은 상부 전극(17)으로부터 전자가 각각 주입되어 암전류가 발생하는 것을 억제하기 위해 마련된다. 하부 전극(14)의 요철을 완만하게 하기 위한 하인막(下引膜, under coat layer)(도시 생략), 상부 전극(17)을 형성할 때의 열화를 억제하기 위한 베퍼막(도시 생략) 및 상부 전극(17)의 일함수를 조정하여 암전류의 발생을 억제하기 위한 일함수 조정막(도시 생략) 등을 마련하도록 하여도 좋다.

[0044] n형 반도체(16N) 및 p형 반도체(16P)에는, 예를 들면 퀴나크리돈 유도체, 나프탈렌 유도체, 안트라센 유도체, 페난트렌 유도체, 테트라센 유도체, 피렌 유도체, 페릴렌 유도체 및 플루오란텐 유도체의 어느 하나를 사용하는 것이 바람직하다. n형 반도체(16N) 및 p형 반도체(16P)로서 페닐렌비닐렌, 플루오렌, 카르바졸, 인돌, 피렌, 피롤, 피코린, 티오펜, 아세틸렌, 디아세틸렌 등의 중합체 또는 그 유도체 등을 사용하는 것도 가능하다. 금속착체 색소, 시아닌계 색소, 메로시아닌계 색소, 페닐크산텐계 색소, 트리페닐메탄계 색소, 로다시아닌계 색소, 크산텐계 색소, 대환상 아자아눌렌계 색소, 아줄렌계 색소, 나프토퀴논 또는 안트라퀴논계 색소를 사용하여도 좋다. 금속착체 색소로서는, 디티올 금속착체계 색소, 금속프탈로시아닌 색소, 금속포르피린 색소 및 루테늄착체 색소를 사용하는 것이 바람직하고, 그 중에서 루테늄착체 색소가 특히 바람직하다. n형 반도체(16N) 및 p형 반도체(16P)를, 안트라센 또는 피렌 등의 축합 다환 방향족, 또는 방향환 또는 복소환 화합물이 축합한 쇄상 화합물에 의해 구성하는 것도 가능하다. 스쿠아릴롭기(基) 및 크로코닉메틴기를 결합체로 하여 퀴놀린, 벤조티아졸 또는 벤조옥사졸 등의 함질소 복소환을 2 이상 결합시킨 화합물, 또는, 스쿠아릴롭기 및 크로코닉메틴기에 의해 결합한 시아닌계 유사한 색소 등을 사용하도록 하여도 좋다.

[0045] 상부 전극(17)은, 유기 광전 변환층(16)을 사이에 두고 하부 전극(14)에 대향하여 있고, 그 평면 형상은 유기 광전 변환층(16)의 평면 형상과 개략 같다. 유기 광전 변환층(16) 중, 이 상부 전극(17)과의 대향면이 광입사면

이 된다. 상부 전극(17)은, 하부 전극(14)과 마찬가지로 광투과성의 도전 재료에 의해 구성되어 있다.

[0046] 본 실시의 형태에서는, 이 유기 광전 변환부(11G)의 상부 전극(17)상에 자외선 흡수막(18)이 마련되어 있다. 즉, 유기 광전 변환층(16)의 광입사면은 자외선 흡수막(18)에 의해 덮여 있다. 상세는 후술하지만, 이에 의해, 유기 광전 변환층(16)을 패터닝할 때에, 예를 들면 플라즈마 조사 등을 행하는 것이 가능해지고, 유기 광전 변환층(16)의 형상을 정확하게 제어하기 쉽게 된다. 따라서, 활상 소자(10)에 의해 구성된 화소의 미세화를 행하는 것이 가능해진다.

[0047] 자외선 흡수막(18)은, 활상 소자(1)를 형성할 때에 생기는 자외선이 유기 광전 변환층(16)에 도달하는 것을 막기 위하는 것이고, 예를 들면 파장 400nm 이하의 광을 흡수한다.

[0048] 도 4는, 자외선 흡수막(18)의 광흡수 특성의 한 예를 도시한 것이다. 이와 같이, 자외선 흡수막(18)에서는, 파장 400nm 이하의 광의 투과율이 약 80% 이하인 것이 바람직하다. 자외선 흡수막(18)은, 파장 400nm 이하의 광역의 광 전부를 흡수하여도 좋고, 또는 그 일부의 광역의 광을 흡수하여도 좋다. 예를 들면 90% 이상의 가시 광은 자외선 흡수막(18)을 투과하여, 유기 광전 변환부(11G) 및 무기 광전 변환부(11B, 11R)에 달하도록 되어 있다. 자외선 흡수막(18)의 가시광에 대한 투과율은 80% 이상인 것이 바람직하다. 자외선 흡수막(18)으로는, 예를 들면, 질화실리콘(SiN), 산화실리콘(SiO), 산질화실리콘(SiON), 산화알루미늄(AlO) 및 질화알루미늄(AlN) 등을 사용할 수 있다. 자외선 흡수막(18)은, 이들의 단층막에 의해 구성하도록 하여도 좋고, 또는, 2종류 이상의 막을 적층시켜서 구성하도록 하여도 좋다. 자외선 흡수막(18)에는, 파장 400nm 이하의 광을 일부 반사하는 것을 사용하도록 하여도 좋고, 예를 들면 자외선 흡수막(18)에 산화티탄(TiO), 산화바나듐(VO) 및 산화크롬(CrO) 등의 금속 산화물을 사용하도록 하여도 좋다. 자외선 흡수막(18)의 막두께는 예를 들면, 10nm 내지 500nm이다. 자외선 보호막은 바람직하게 적어도 100nm 또는 200nm인 것이 바람직하다.

[0049] 유기 광전 변환층(16)에의 부하에 의해 막 벗겨짐 등이 생기는 것을 억제하기 위해, 자외선 흡수막(18)의 응력은 작은 것이 바람직하다. 자외선 흡수막(18)의 응력은, 인장 응력, 압축 응력의 어느 쪽이라도 좋지만, 그 절대치가 예를 들면 500MPa 이하인 것이 바람직하다. 자외선 흡수막(18)에 개구 등을 마련함에 의해 응력을 완화하도록 하여도 좋다.

[0050] 이와 같은 자외선 흡수막(18)의 평면 형상은, 상부 전극(17) 및 유기 광전 변환층(16)의 평면 형상과 개략 같다. 즉, 자외선 흡수막(18), 상부 전극(17) 및 유기 광전 변환층(16)의 단부는, 개략 정돈되어 있다.

[0051] 도 5에 도시한 바와 같이, 자외선 흡수막(18), 상부 전극(17) 및 유기 광전 변환층(16)의 단부의 위치는 서로 어긋나 있어도 좋지만, 예를 들면, 자외선 흡수막(18), 상부 전극(17) 및 유기 광전 변환층(16) 각각의 단부는 서로 500nm 이내의 범위에 마련되어 있다.

[0052] 보호막(19)은, 자외선 흡수막(18)상부터 화소 사이 절연막(15)상에 걸쳐서 마련되고, 자외선 흡수막(18)의 윗면부터 자외선 흡수막(18), 상부 전극(17) 및 유기 광전 변환층(16)의 측면을 덮고 있다. 이 보호막(19)에는 상부 전극(17)에 전기적으로 접속된 배선(13b)이 매설되어 있다. 배선(13b)의 일방은, 예를 들면 자외선 흡수막(18)의 접속구멍을 통하여 상부 전극(17)에 전기적으로 접속되고, 배선(13b)의 타방은, 예를 들면 도시하지 않은 콘택트부를 통하여, 다층 배선층(51)의 배선(51a)에 전기적으로 접속되어 있다. 이에 의해, 유기 광전 변환층(16)에서 발생한 흘러 상부 전극(17) 및 배선(13b)을 통하여, 배출되도록 되어 있다. 배선(13b)으로는, 배선(13a)과 동일한 재료를 사용할 수 있다. 보호막(19)은 광투과성을 가지며, 예를 들면 질화실리콘, 산화실리콘 및 산질화실리콘 등의 단층막 또는 이들의 적층막에 의해 구성되어 있다. 보호막(19)의 두께는, 예를 들면 100nm 내지 300nm이다.

[0053] 보호막(19)상의 전면에 걸쳐서 평탄화층(20)이 마련되어 있고, 이 평탄화층(20)상에 온 칩 렌즈(21)가 마련되어 있다. 온 칩 렌즈(21)는, 그 상방에서 입사한 광을 유기 광전 변환부(11G) 및 무기 광전 변환부(11B, 11R)의 수광면에 집광시키는 것이다. 상술한 바와 같이, 이면 조사형의 활상 소자(10)에서는, 온 칩 렌즈(21)와 무기 광전 변환부(11B, 11R)의 수광면과의 거리가 가까워지기 때문에, 온 칩 렌즈(21)의 F값에 의존하여 생기는 각 색의 감도의 편차를 억제할 수 있다. 평탄화층(20)은, 예를 들면, 아크릴계 수지 재료, 스티렌계 수지 재료 및 에폭시계 수지 재료 등에 의해 구성되어 있다.

[0054] (활상 소자(10)의 제조 방법)

[0055] 이와 같은 활상 소자(10)는, 예를 들면 이하와 같이 하여 제조할 수 있다(도 6a 내지 도 10d).

[0056] 우선, 반도체 기판(11)을 형성한다. 반도체 기판(11)은, 우선, 도 6a에 도시한 바와 같이, 실리콘 기체(1101)와

실리콘층(110)과의 사이에 실리콘 산화막(1102)을 갖는 기판(이른바 SOI 기판)을 준비하고, 실리콘층(110)에 도전성 플러그(120a1)를 형성한다. 실리콘층(110) 중, 실리콘 산화막(1102)과의 접촉면이 반도체 기판(11)의 면(S1)이 된다. 도전성 플러그(120a1)는, 예를 들면, 실리콘층(110)에 관통 비어를 형성하고, 이 관통 비어 내에 질화실리콘 등의 절연막 및 텅스텐을 매입하여 형성한다. 또는, 도전성 플러그(120a1)로서, 실리콘층(110)에의 이온 주입에 의해 도전형 불순물 반도체층을 형성하도록 하여도 좋다. 뒤이어, 실리콘층(110) 내의 깊이가 다른 영역에, 서로 중첩하도록 하여, 무기 광전 변환부(11B, 11R)를 형성한다. 무기 광전 변환부(11B, 11R)와 함께 이온 주입에 의해 녹용 측전층(110G)을 형성하여 둔다(도 6b). 반도체 기판(11)의 면(S2) 부근에는, 전송 트랜지스터(Tr1, Tr2, Tr3) 등의 화소 트랜지스터 및 로직 회로 등의 주변 회로를 마련한다. 이에 의해 반도체 기판(11)이 형성된다.

[0057] 계속해서, 도 7에 도시한 바와 같이, 반도체 기판(11)의 면(S2)상에 다층 배선층(51)을 형성한다. 다층 배선층(51)에는 충간 절연막(52)을 통하여 복수의 배선(51a)을 마련한다. 뒤이어, 다층 배선층(51)에 지지 기판(53)을 부착한 후, 실리콘층(110)으로부터 실리콘 산화막(1102) 및 실리콘 기체(1101)를 박리하여 실리콘층(110)의 면(S1)을 노출시킨다(도 8). 그 후, 도 9에 도시한 바와 같이, 이 반도체 기판(11)의 면(S1)상에 예를 들면 원자층 퇴적(ALD : Atomic Layer Deposition)법에 의해 하프늄산화막, 플라즈마 CVD(Chemical Vapor Deposition)법에 의해 산화실리콘막을 이 순서로 성막하여 충간 절연층(12)을 형성한다.

[0058] 뒤이어, 이 충간 절연층(12) 중, 도전성 플러그(120a1)에 대향하는 위치에 접속구멍을 마련한 후, 충간 절연층(12)상에 도전막을 성막하여 이 접속구멍에 도전 재료를 매입한다. 이에 의해, 도전성 플러그(120a2)가 형성된다. 충간 절연층(12)상의 도전막은 소망하는 형상으로 패터닝하여, 도전성 플러그(120a2)와 함께 배선(13a)을 형성하여 둔다(도시 생략).

[0059] 계속해서, 충간 절연층(12)상에 하부 전극(14)을 형성한다. 하부 전극(14)은, 예를 들면 스퍼터법에 의해 두께 50nm의 ITO막을 성막한 후, 이것을 포토 리소그래피 기술에 의해 패터닝하여 드라이 에칭 또는 웨트 에칭을 행함에 의해 형성한다. 하부 전극(14)을 형성한 후, 하부 전극(14)상 및 충간 절연층(12)상에, 예를 들면 플라즈마 CVD법에 의해 산화실리콘막을 성막하여 화소 사이 절연막(15)을 형성한다. 화소 사이 절연막(15)은 예를 들면 CMP(Chemical Mechanical Polishing) 등에 의해 평탄화하여 둔다(도 10a). 도 10a에서는, 지지 기판(53), 다층 배선층(51) 및 반도체 기판(11)의 도시를 생략하고 있다. 이후, 도 10b 내지 도 10d에 대해서도 마찬가지이다.

[0060] 화소 사이 절연막(15)을 마련한 후, 예를 들면 반도체 기판(11)의 전면에 진공증착법 또는 도포법에 의해 유기 광전 변환 재료막(16A)을 성막한다. 유기 광전 변환 재료막(16A)은, 예를 들면 n형 반도체(16N) 및 p형 반도체(16P)를 포함하고 있다. 뒤이어, 유기 광전 변환 재료막(16A)상의 전면에, 투명 도전막(17A) 및 자외선 흡수 재료막(18A)을 이 순서로 성막한다(도 10b). 유기 광전 변환 재료막(16A)은, 수분, 산소 및 수소 등의 영향을 받아 특성이 변화하기 쉽다. 이 때문에, 투명 도전막(17A)은, 유기 광전 변환 재료막(16A)과 진공 분위기 중에서 연속해서(진공 일관 프로세스로) 성막하는 것이 바람직하다. 투명 도전막(17A)은, 예를 들면 스퍼터법에 의해 성막한다. 자외선 흡수 재료막(18A)은, 예를 들면 CVD(Chemical Vapor Deposition)법에 의해 성막한다. 예를 들면, 이하와 같은 조건으로 질화실리콘막으로 이루어지는 자외선 흡수 재료막(18A)을 성막하는 것이 가능하다. 병행 평판형의 플라즈마 CVD장치를 이용하여, RF 파워 500W, 기판 온도 200°C, 압력 5Torr, 질소(N<sub>2</sub>) 유량 5000sccm, 실란(SiH<sub>4</sub>) 유량 500sccm, 암모니아(NH<sub>3</sub>) 유량 100sccm의 조건하에서, 자외선 흡수 재료막(18A)을 성막한다. 이 자외선 흡수 재료막(18A)은, 상술한 도 4에 도시한 광흡수 특성을 나타낸다.

[0061] 자외선 흡수 재료막(18A)을 마련한 후, 자외선 흡수 재료막(18A)상에 소정 패턴의 레지스트막(31)을 형성하고(도 10c), 자외선 흡수 재료막(18A), 투명 도전막(17A) 및 유기 광전 변환 재료막(16A)을 패터닝한다. 이에 의해, 서로 평면 형상이 개략 동일한 자외선 흡수막(18), 상부 전극(17) 및 유기 광전 변환층(16)이 형성된다(도 10d). 구체적으로는, 포토 리소그래피 기술을 이용하여 소정 패턴의 레지스트막(31)을 형성한 후, 예를 들면 플라즈마 조사에 의해, 자외선 흡수 재료막(18A), 투명 도전막(17A) 및 유기 광전 변환 재료막(16A)의 드라이 에칭을 행한다. 이때, 플라즈마 조사에 의해 발생한 자외선은, 자외선 흡수 재료막(18A)에 차단되기 때문에, 유기 광전 변환 재료막(16A)에는 도달하기 어려워진다. 드라이 에칭을 행한 후, 애싱 및 유기 용매에 의한 세정 등을 행하여, 레지스트막(31)에 유래하는 퇴적물 및 잔사 물 등을 제거한다. 유기 용매에 대신하여, 물은 불산 등에 의해 세정하도록 하여도 좋다.

[0062] 자외선 흡수막(18), 상부 전극(17) 및 유기 광전 변환층(16)을 마련한 후, 배선(13b) 및 보호막(19)을 형성한다. 보호막(19)은 예를 들면 플라즈마 CVD법에 의해 자외선 흡수막(18)상에 질화실리콘 또는 산화실리콘

을 성막하여 형성한다. 보호막(19)을 형성한 후, 보호막(19) 중 상부 전극(17)에 대향하는 위치에 자외선 흡수 막(18)을 관통하는 접속구멍을 형성한다. 뒤이어, 이 접속구멍에 매입하도록 하여, 보호막(19)상에 배선(13b)을 형성한다. 배선(13b)은, 예를 들면 포토 리소그래피 기술 및 에칭을 이용하여 형성할 수 있다. 뒤이어, 보호막(19)상에 평탄화층(20)을 형성한 후, 평탄화층(20)상에 온 칩 렌즈(21)를 형성한다. 이상의 공정에 의해 도 1에 도시한 활상 소자(10)가 완성된다.

[0063] (활상 소자(10)의 동작)

이와 같은 활상 소자(10)에서는, 예를 들면 활상 장치의 화소로서, 다음과 같이 하여 신호 전하(전자)가 취득된다. 활상 소자(10)에, 온 칩 렌즈(21)(도 1)를 통하여 광(L)이 입사하면(도 11), 광(L)은 유기 광전 변환부(11G), 무기 광전 변환부(11B) 및 무기 광전 변환부(11R)의 순서로 통과하고, 그 통과 과정에서 녹, 청, 적의 색광마다 광전 변환된다. 상세하게는, 도 12에 도시한 바와 같이, 활상 소자(10)에 입사한 광(L) 중, 우선, 녹광(Lg)이 유기 광전 변환부(11G)에서 선택적으로 검출(흡수)되어, 광전 변환된다. 유기 광전 변환부(11G)에서 발생한 전자·홀 쌍 중의 전자(Eg)가 하부 전극(14)으로부터 취출되고, 전송 경로(A)(배선(13a), 도전성 플러그(120a1, 120a2))를 통하여 녹용 축전층(110G)에 축적된다. 축적된 전자(Eg)는, 판독 동작일 때에 FD(116)에 전송된다. 한편, 홀(Hg)은 상부 전극(17)으로부터 전송 경로(B)(배선(13b))를 통하여 배출된다.

[0065] 활상 소자(10)에서는, 하부 전극(14)에 소정의 부전위(VL)(<0V)가, 상부 전극(17)에 전위(VL)보다도 낮은 전위(VU)(<VL)가 각각 인가된다. 따라서, 전하 축적 상태(리셋 트랜지스터(도시 생략) 및 전송 트랜지스터(Tr1)의 오프 상태)에서는, 유기 광전 변환부(11G)에서 발생한 전자·홀 쌍 중, 전자가 상대적으로 고전위로 되어 있는 하부 전극(14)에 유도된다. 이 하부 전극(14)으로부터 전자(Eg)가 취출되고, 전송 경로(A)를 통하여 녹용 축전층(110G)(상세하게는 n형 영역(115n))에 축적된다. 전자(Eg)가 축적되면, 녹용 축전층(110G)과 도통한 하부 전극(14)의 전위(VL)가 변동한다. 이 전위(VL)의 변화량이 신호 전위(여기에서는, 녹색 신호의 전위)에 상당한다. 또한, 전위(VL)는 예를 들면 다층 배선층(51)의 배선(51a)으로부터 전송 경로(A)를 통하여 하부 전극(14)에, 전위(VU)는 예를 들면 다층 배선층(51)의 배선(51a)으로부터 전송 경로(B)를 통하여 상부 전극(17)에 각각 주어진다.

[0066] 판독 동작일 때에는, 전송 트랜지스터(Tr1)가 온 상태가 되고, 녹용 축전층(110G)에 축적된 전자(Eg)가 FD(116)에 전송된다. 이에 의해, 녹광(Lg)의 수광량에 의거한 녹색 신호가, 예를 들면 화소 트랜지스터(도시 생략)를 통하여 수직 신호선(Lsig)(후술하는 도 20)에 판독된다. 그 후, 리셋 트랜지스터(도시 생략) 및 전송 트랜지스터(Tr1)가 온 상태가 되고, n형 영역인 FD(116)와 녹용 축전층(110G)의 축전 영역(n형 영역(115n))이 예를 들면 전원 전압(VDD)으로 리셋된다.

[0067] 유기 광전 변환부(11G)를 투과한 광 중, 청광은 무기 광전 변환부(11B), 적광은 무기 광전 변환부(11R)에 흡수되어, 광전 변환된다. 무기 광전 변환부(11B)에서는, 입사한 청광에 대응한 전자(Eb)가 n형 영역(n형 광전 변환층(111n))에 축적된다. 이 축적된 전자(Eb)는, 판독 동작일 때에 FD(113)로 전송된다. 이 때 무기 광전 변환부(11B)에서 발생한 홀은 p형 영역(도 12에는 도시 생략)에 축적된다. 무기 광전 변환부(11R)도 마찬가지이다. 무기 광전 변환부(11R)에서는, 입사한 적광에 대응한 전자(Er)가 n형 영역(n형 광전 변환층(112n))에 축적된다. 이 축적된 전자(Er)는, 판독 동작일 때에 FD(114)로 전송된다. 이때 무기 광전 변환부(11R)에서 발생한 홀은 p형 영역(도 12에는 도시 생략)에 축적된다.

[0068] 전하 축적 상태에서는, 상술한 바와 같이, 하부 전극(14)에 부의 전위(VL)가 인가되기 때문에, 무기 광전 변환부(11B)의 홀 축적층인 p형 영역(도 2의 p형 영역(111p))의 정공 농도가 증가하기 쉽다. 이에 의해, p형 영역(111)과 충간 절연층(12)과의 계면에서의 암전류의 발생을 억제할 수 있다.

[0069] 무기 광전 변환부(11B, 11R)의 판독 동작은, 상기 유기 광전 변환부(11G)와 마찬가지로 행하여진다. 전송 트랜지스터(Tr2, Tr3)가 온 상태가 되고, n형 광전 변환층(111n, 112n)에 축적된 전자(Eb, Er)가 FD(113, 114)에 전송된다. 이에 의해, 청광(Lb)의 수광량에 의거한 청색 신호와 적광(Lr)의 수광량에 의거한 적색 신호가 예를 들면 화소 트랜지스터(도시 생략)를 통하여 수직 신호선(Lsig)(후술하는 도 20)에 판독된다. 그 후, 리셋 트랜지스터(도시 생략) 및 전송 트랜지스터(Tr2, Tr3)가 온 상태가 되고, n형 영역인 FD(113, 114)가 예를 들면 전원 전압(VDD)으로 리셋된다.

[0070] (활상 소자(10)의 작용 및 효과)

[0071] 이와 같이, 종방향으로 유기 광전 변환부(11G) 및 무기 광전 변환부(11B, 11R)를 적층함에 의해, 컬러 필터를 마련하는 일 없이, 적, 녹, 청의 색광을 분리하여 검출하고, 각 색의 신호 전하를 얻을 수 있다. 따라서, 컬러

필터의 색광 흡수에 기인하는 광손실(감도 저하)이나, 화소 보간 처리에 수반하는 위색의 발생을 억제하는 것이 가능해진다.

[0072] 활상 소자(10)에서는, 유기 광전 변환층(16)의 광입사면이 자외선 흡수막(18)으로 덮여 있기 때문에, 유기 광전 변환부(11G)의 형상을 정확하게 제어할 수 있다. 이하, 이에 관해 설명한다.

[0073] 도 13a, 도 13b는 비교례에 관한 활상 소자의 제조 공정을 도시한 것이다. 이 활상 소자의 제조 방법에서는, 우선, 메탈 마스크(32)를 반도체 기판상에 배치한 후, 증착법을 이용하여 메탈 마스크(32)의 개구부에 유기 광전 변환층(160)을 형성한다(도 13a). 뒤이어, 이 유기 광전 변환층(160)과의 맞춤 어긋남을 고려하여, 메탈 마스크(33)을 배치한 후, 유기 광전 변환층(160)상에 상부 전극(170)을 형성한다(도 13b). 이 때, 예를 들면 상부 전극(170)은 유기 광전 변환층(160)의 주위로 확폭하고, 유기 광전 변환층(160)의 주연(周緣)은 상부 전극(170)으로 덮여진다. 이와 같은, 메탈 마스크(32, 33)를 이용하여 유기 광전 변환부를 형성하는 방법에서는, 마스크 사이가 맞춤 어긋남을 고려한 마진 부분이 커지기 쉽고, 정확하게 유기 광전 변환부의 형상을 제어하는 것이 곤란하다. 예를 들면, 메탈 마스크(32, 33)를 이용한 때의 유기 광전 변환부의 마진 부분은, 편측으로 500mm 정도이고, 마진 부분 전체의 크기는 예를 들면 약 1000mm이다.

[0074] 예를 들면, 드라이 에칭법을 이용함에 의해, 정확, 또한 용이하게 유기 광전 변환층을 패터닝하는 것이 가능하다. 포토 리소그래피 기술 및 드라이 에칭에 의해 유기 광전 변환층을 형성하여도, 맞춤 어긋남 및 사이드 에칭에 의해 마진 부분은 생기지만, 예를 들면, 그 크기는 편측 0.5mm 정도이다. 즉, 메탈 마스크(32, 33)를 이용한 때의 유기 광전 변환부의 마진 부분의 크기의 1000분의 1 정도로 억제된다. 그렇지만, 드라이 에칭법에서는 플라즈마를 사용하기 때문에, 플라즈마에 의해 자외선이 발생한다. 이 자외선이 유기 광전 변환층에 입사하면, 유기 광전 변환층의 양자 효율을 저하시킬 우려가 있다.

[0075] 이에 대해, 활상 소자(10)에서는 유기 광전 변환층(16)의 광입사면이 자외선 흡수막(18)으로 덮이고 있기 때문에, 자외선이 발생하여도 유기 광전 변환층(16)에의 도달 전에 자외선은 차단된다. 즉, 유기 광전 변환층(16)의 패터닝에 드라이 에칭을 이용하여도, 유기 광전 변환층(16)의 양자 효율의 저하를 막을 수 있다. 활상 소자(10)에서는, 자외선 흡수막(18)을 마련하지 않고 드라이 에칭을 행한 경우에 비하여, 약 2.8배 양자 효율이 향상한다(전계 강도 0.1mV/cm). 이것은, 상기 도 13a 및 도 13b에 도시한 방법으로 형성한 유기 광전 변환부의 양자 효율과 개략 동등하다. 이와 같이, 유기 광전 변환부(11G)의 형상을 정확하게 제어하여, 화소의 미세화를 행하는 것이 가능해진다.

[0076] 또한, 유기 광전 변환부(11G)를 형성한 후의 공정에서도, 자외선 흡수막(18)에 의해, 자외선은 유기 광전 변환층(16)에의 도달 전에 차단된다. 따라서, 유기 광전 변환층(16)의 열화가 억제되고, 활상 소자(10)의 수율이 안정화된다.

[0077] 이상 설명한 바와 같이, 본 실시의 형태에서는, 유기 광전 변환층(16)의 광입사면을 자외선 흡수막(18)으로 덮도록 하였기 때문에, 활상 소자(10)에 의해 구성한 화소의 미세화를 행할 수가 있다.

[0078] 이하, 상기 실시의 형태의 변형례 및 다른 실시의 형태에 관해 설명하지만, 이후의 설명에서 상기 실시의 형태와 동일 구성 부분에 관해서는 동일 부호를 붙이고 그 설명은 적절히 생략한다.

[0079] (변형례 1)

[0080] 도 14는, 상기 실시의 형태의 변형례 1에 관한 활상 소자(활상 소자(10A))의 단면 구성을 도시한 것이다. 이 활상 소자(10A)는, 반도체 기판(11)상에 유기 광전 변환부(11G)와 함께 유기 광전 변환부(11BA, 11RA)를 갖고 있다. 이 점을 제외하고, 활상 소자(10A)는 활상 소자(10)와 같은 구성을 가지며, 그 작용 및 효과도 마찬가지이다.

[0081] 이 활상 소자(10A)에서는, 반도체 기판(11)의 내부에 광전 변환부(도 1의 무기 광전 변환부(11B, 11R))가 마련되지 않고, 반도체 기판(11)상에 복수의 유기 광전 변환부(11G, 11BA, 11RA)가 마련되어 있다. 이 유기 광전 변환부(11G, 11BA, 11RA)는, 반도체 기판(11)상에, 예를 들면 유기 광전 변환부(11RA), 유기 광전 변환부(11G) 및 유기 광전 변환부(11BA)의 순서로 배치되어 있다. 즉, 온 칩 웨즈(21)를 통하여 입사한 광은, 유기 광전 변환부(11BA), 유기 광전 변환부(11G) 및 유기 광전 변환부(11RA)의 순서로 통과한다.

[0082] 유기 광전 변환부(11BA, 11RA)는, 유기 광전 변환부(11G)와 마찬가지로, 각각 하부 전극(14B, 14R), 유기 광전 변환층(16B, 16R) 및 상부 전극(17B, 17R)을 갖고 있다. 하부 전극(14B, 14R)은 화소 사이 절연막(15B, 15R)으로 분리되어 있다. 유기 광전 변환부(11G)의 유기 광전 변환층(16)과 마찬가지로, 유기 광전 변환부(11BA,

11RA)의 유기 광전 변환층(16B, 16R)도, 각각의 광입사면이 자외선 흡수막(18B, 18R)에 의해 덮여 있다. 유기 광전 변환부(11G, 11BA, 11RA) 중, 최초에 광이 입사한 유기 광전 변환부(11BA)에만 자외선 흡수막(18B)을 마련하는 것도 가능하지만, 유기 광전 변환부(11G, 11BA, 11RA) 각각에 자외선 흡수막(18, 18B, 18R)을 마련하는 것이 바람직하다. 이와 같은 경우에도, 상기 제1의 실시의 형태와 마찬가지로, 유기 광전 변환층(16B, 16R)을 패터닝할 때에, 드라이 에칭을 이용하는 것이 가능해진다. 따라서, 활상 소자(10A)에 의해 구성한 화소의 미세화를 행하는 것이 가능해진다.

[0083] 활상 소자(10A)에서는, 반도체 기판(11)에 대신하여, 유리 등으로 이루어지는 투명 기판을 사용하는 것이 가능하다. 수지 재료에 의해 이 투명 기판을 구성하도록 하여도 좋고, 수지 재료로는 예를 들면, 폴리에틸렌테레프탈레이트, 폴리이미드, 폴리에테르술폰 및 폴리카보네이트 등을 사용하는 것이 가능하다.

[0084] (변형례 2)

[0085] 도 15에 도시한 바와 같이, 하부 전극(14)으로부터 신호 전하로서 홀을 취출하여 녹색 축전층(녹용 축전층(110G1))에 축적하도록 하여도 좋다(변형례 2).

[0086] 이와 같은 활상 소자(10)에서는, 반도체 기판(11)의 면(S1)상의 각 부분의 구성은 상기 제1의 실시의 형태와 같지만, 반도체 기판(11) 내의 녹용 축전층(110G1) 및 플로팅 디퓨전(FD(116a))의 구성이 다르다. 녹용 축전층(110G1)에서는 홀 축적층의 p형 영역(115p)이 도전성 플러그(120a1)에 접속되고, p형 영역(115p)과 반도체 기판(11)의 면(S2)과의 사이에 전자 축적층의 n형 영역(115n)이 마련되어 있다. FD(116a)는 p형 영역으로서 형성된다.

[0087] 녹용 축전층(110G1)에는, 이하와 같이 하여 홀이 축적된다. 하부 전극(14)에, 상부 전극(17)보다도 낮은 전위(VL)가 인가되면, 유기 광전 변환부(11G)에서 생긴 전자·홀 쌍 중, 홀이 하부 전극(14)에 유도된다. 이 홀은 배선(13a)(도 1) 및 도전성 플러그(120a1, 120a2)를 통하여 녹용 축전층(110G1)의 p형 영역(115p)에 축적된다. 판독 동작일 때에는, 이 축적된 홀이 FD(116a)에 전송된다.

[0088] (변형례 3)

[0089] 도 16에 도시한 바와 같이, 상부 전극(17)으로부터 신호 전하를 취출하도록 하여도 좋다(변형례 3).

[0090] 이와 같은 활상 소자(10)에서는, 반도체 기판(11) 내의 녹색 축전층(녹용 축전층(110G2))이 도전성 플러그(120a1)에 접속되고, 또한, 도전성 플러그(120a2) 및 배선(13c)을 통하여 상부 전극(17)에 전기적으로 접속되어 있다. 녹용 축전층(110G2) 및 플로팅 디퓨전의 구성을 상기 제1의 실시의 형태와 마찬가지로 구성함에 의해, 상부 전극(17)으로부터 신호 전하로서 전자를 취출하여 녹용 축전층(110G2)에 축적하는 것이 가능해진다. 이때, 상부 전극(17)에의 인가 전위는 하부 전극(14)에의 인가 전위보다도 높게 설정한다. 홀은 하부 전극(14)으로부터 도시하지 않은 배선을 통하여 배출된다.

[0091] 한편, 녹용 축전층(110G2) 및 플로팅 디퓨전의 구성을 상기 변형례 2와 마찬가지로 구성함에 의해, 상부 전극(17)으로부터 신호 전하로서 홀을 취출하여 녹용 축전층(110G2)에 축적하는 것이 가능해진다. 이 때, 상부 전극(17)에의 인가 전위는 하부 전극(14)에의 인가 전위보다도 낮게 설정한다. 전자는 하부 전극(14)으로부터 도시하지 않은 배선을 통하여 배출된다.

[0092] (제2의 실시의 형태)

[0093] 도 17은, 본 기술의 제2의 실시의 형태에 관한 활상 소자(활상 소자(60))의 단면 구성을 도시한 것이다. 이 활상 소자(60)는, 유기 광전 변환층(16)상에 자외선 반사막(자외선 반사막(68))을 갖는 것이다. 이 점을 제외하고, 활상 소자(60)는 활상 소자(10)와 같은 구성을 가지며, 그 작용 및 효과도 마찬가지이다.

[0094] 자외선 반사막(68)은, 활상 소자(10)의 자외선 흡수막(18)(도 1)과 마찬가지로, 상부 전극(17)을 사이에 두고 유기 광전 변환층(16)의 광입사면을 덮고 있고, 유기 광전 변환층(16)에의 자외선의 입사를 차단한다. 이와 같은 자외선 반사막(68)은, 예를 들면 광장 400nm 이하의 광에 대해 높은 반사율을 갖고 있고, 예를 들면 알루미늄(AI), 티탄(Ti), 텉스텐(W) 또는 질화티탄(TiN) 등에 의해 구성된다. 이와 같은 경우에도, 상기 제1의 실시의 형태와 마찬가지로, 유기 광전 변환층(16)을 패터닝할 때에, 드라이 에칭을 이용하는 것이 가능해진다. 따라서, 활상 소자(60)에 의해 구성한 화소의 미세화를 행하는 것이 가능해진다.

[0095] (적용례)

[0096] 도 18은 상기 실시의 형태 및 변형례에서 설명한 활상 소자(활상 소자(10, 10A, 60))를 각 화소에 이용한 고체

활상 장치(활상 장치(1))의 전체 구성을 도시하고 있다. 이 활상 장치(1)는 CMOS 이미지 센서이고, 반도체 기판(11)상의 중앙부에 활상 에어리어로서의 화소부(1a)를 갖고 있다. 화소부(1a)의 주변 영역에는, 예를 들면 행주사부(131), 시스템 제어부(132), 수평 선택부(133) 및 열주사부(34)를 포함하는 주변 회로부(130)가 마련되어 있다.

[0097] 화소부(1a)는, 예를 들면 행렬형상으로 2차원 배치된 복수의 단위 화소(P)(활상 소자(10, 10A, 10B)에 상당)를 갖고 있다. 이 단위 화소(P)에는, 예를 들면 화소 행마다 화소 구동선(Lread)(구체적으로는 행 선택선 및 리셋 제어선)이, 화소 열마다 수직 신호선(Lsig)이 배선되어 있다. 화소 구동선(Lread)은, 화소로부터의 신호 판독을 위한 구동 신호를 전송하는 것이고, 그 일단은 행주사부(131)의 각 행에 대응하는 출력단에 접속되어 있다.

[0098] 행주사부(131)는, 시프트 레지스터나 어드레스 디코더 등에 의해 구성되고, 화소부(1a)의 각 화소(P)를 예를 들면 행 단위로 구동하는 화소 구동부이다. 행주사부(131)에 의해 선택된 화소행의 각 화소(P)로부터 출력되는 신호는, 수직 신호선(Lsig)의 각각을 통하여 수평 선택부(133)에 공급된다. 수평 선택부(133)는, 예를 들면 수직 신호선(Lsig)마다 마련된 앰프나 수평 선택 스위치 등에 의해 구성되어 있다.

[0099] 열주사부(34)는, 시프트 레지스터나 어드레스 디코더 등에 의해 구성되고, 수평 선택부(133)의 각 수평 선택 스위치를 주사하면서 순번대로 구동하는 것이다. 이 열주사부(34)에 의한 선택 주사에 의해, 수직 신호선(Lsig)의 각각을 통하여 전송된 각 화소(P)의 신호가 순번대로 수평 신호선(135)에 출력되고, 당해 수평 신호선(135)을 통하여 반도체 기판(11)의 외부에 전송된다.

[0100] 행주사부(131), 수평 선택부(133), 열주사부(34) 및 수평 신호선(135)으로 이루어지는 회로 부분은, 반도체 기판(11)상에 직접적으로 형성되어 있어도 좋고, 또는 외부 제어 IC에 마련된 것이라도 좋다. 케이블 등에 의해 접속된 다른 기관에 이 회로 부분을 마련하는 것도 가능하다.

[0101] 시스템 제어부(132)는, 반도체 기판(11)의 외부로부터 주어지는 클록이나 동작 모드를 지령하는 데이터 등을 수취함과 함께, 활상 장치(1)의 내부 정보를 출력하는 것이다. 시스템 제어부(132)는, 이에 더하여, 예를 들면 각 종의 타이밍 신호를 생성하는 타이밍 제너레이터를 가지며, 당해 타이밍 제너레이터에서 생성된 각종의 타이밍 신호를 기초로 행주사부(131), 수평 선택부(133) 및 열주사부(34) 등의 주변 회로의 구동 제어를 행한다.

[0102] 이와 같은 활상 장치(1)는, 활상 기능을 갖는 모든 타입의 전자 기기에 탑재할 수 있고, 예를 들면 디지털 스틸 카메라나 비디오 카메라 등의 카메라 시스템이나, 휴대 전화 등에 적용할 수 있다. 도 19에는, 그 한 예로서, 카메라(전자 기기(2))의 개략 구성을 도시한다. 전자 기기(2)는, 예를 들면 정지화 또는 동화를 촬영 가능한 비디오 카메라이고, 활상 장치(1), 광학계(광학 렌즈)(310), 셔터 장치(311), 신호 처리부(312) 및 구동부(313)를 갖고 있다.

[0103] 광학계(310)는, 피사체로부터의 상광(입사광)을 활상 장치(1)의 화소부(1a)로 유도하는 것이다. 광학계(310)는 복수의 광학 렌즈를 포함하고 있어도 좋다. 셔터 장치(311)는 활상 장치(1)에의 광조사 기간 및 차광 기간을 제어하고, 구동부(313)는, 이 셔터 장치(311)의 셔터 동작 및 활상 장치(1)의 전송 동작을 제어한다. 신호 처리부(312)는, 활상 장치(1)로부터 출력된 신호에 대해, 각종의 신호 처리를 행하는 것이다. 신호 처리 후의 영상 신호(Dout)는, 예를 들면 메모리 등의 기억 매체에 기억되든지, 또는 모니터 등에 출력되도록 되어 있다.

[0104] 이상, 실시의 형태 및 변형례를 들어 본 기술을 설명하였지만, 본 기술은 상기 실시의 형태 등으로 한정되는 것이 아니고, 여러가지 변형이 가능하다. 예를 들면, 상기 실시의 형태 등에서는, 활상 소자(10, 60)로서, 녹광을 검출하는 유기 광전 변환부(11G)와, 적광 및 청광을 검출하는 무기 광전 변환부(11B, 11R)를 적층시킨 경우에 관해 설명하였지만, 본 기술은 이 구성으로 한정되는 것이 아니다. 예를 들면, 유기 광전 변환부에서 적광 또는 청광을 검출하도록 하여도 좋고, 무기 광전 변환부에서 녹광을 검출하도록 하여도 좋다. 유기 광전 변환부, 무기 광전 변환부의 수나 그 비율도 상기에서 설명한 예로 한정되는 것이 아니고, 예를 들면 2 이상의 유기 광전 변환부를 마련하여도 좋다. 광전 변환부(유기 광전 변환부, 무기 광전 변환부)를 종방향으로 적층시킬 뿐만 아니라, 반도체 기판 면에 따라 병렬로 배치하도록 하여도 좋다.

[0105] 또한, 상기 실시의 형태 등에서는, 이면 조사형의 활상 소자(10, 10A, 60)의 구성을 예시하였지만, 표면 조사형에 적용시키는 것도 가능하다.

[0106] 또한, 상기 실시의 형태 등에서 설명한 각 구성 요소를 전부 구비하고 있을 필요는 없고, 또한, 다른 구성 요소를 구비하고 있어도 좋다.

[0107] 또한, 본 기술은 이하와 같은 구성을 취하는 것도 가능하다.

- [0108] (A1) 하나 이상의 제1 광전 변환부와, 상기 제1 광전 변환부에 대향하는 위치에 마련되고, 유기층을 포함함과 함께 최초에 광이 입사하는 제2 광전 변환부와, 상기 유기층의 광입사면을 덮는 자외선 방지막을 포함하는 고체 활상 소자.
- [0109] (A2) 상기 제2 광전 변환부는, 상기 자외선 방지막과 상기 유기층 사이의 상부 전극과, 상기 상부 전극에 상기 유기층을 사이에 두고 대향하는 하부 전극을 포함하는 상기 (A1)에 기재된 고체 활상 소자.
- [0110] (A3) 상기 자외선 방지막, 상기 상부 전극 및 상기 유기층의 평면 형상이 동일한 상기 (A2)에 기재된 고체 활상 소자.
- [0111] (A4) 상기 자외선 방지막은, 파장 400nm 이하의 광의 일부 또는 전체를 흡수하는 상기 (A1) 내지 (A3) 중 어느 하나에 기재된 고체 활상 소자.
- [0112] (A5) 상기 자외선 방지막의 파장 400nm 이하의 광에 대한 투과율은 80% 이하인 상기 (A4)에 기재된 고체 활상 소자.
- [0113] (A6) 상기 자외선 방지막은, 가시광을 투과하는 상기 (A1) 내지 (A5) 중 어느 하나에 기재된 고체 활상 소자.
- [0114] (A7) 상기 자외선 방지막의 가시광에 대한 투과율은 80% 이상인 상기 (A6)에 기재된 고체 활상 소자.
- [0115] (A8) 상기 자외선 방지막의 응력의 절대치는 500MPa 이하인 상기 (A1) 내지 (A7) 중 어느 하나에 기재된 고체 활상 소자.
- [0116] (A9) 상기 자외선 방지막은, 질화실리콘, 산화실리콘, 산질화실리콘, 산화알루미늄, 질화알루미늄, 산화티탄, 산화바나듐 및 산화크롬으로 중 적어도 어느 하나를 포함하는 상기 (A1) 내지 (A8) 중 어느 하나에 기재된 고체 활상 소자.
- [0117] (A10) 기판을 더 포함하며, 상기 제2 광전 변환부는 상기 기판상에 마련되어 있는 상기 (A1) 내지 (A9) 중 어느 하나에 기재된 고체 활상 소자.
- [0118] (A11) 상기 기판의 내부의, 상기 제2 광전 변환부와 평면시로 겹쳐지는 위치에 상기 제1 광전 변환부를 갖는 상기 (A10)에 기재된 고체 활상 소자.
- [0119] (A12) 상기 자외선 방지막은, 파장 400nm 이하의 광의 일부 또는 전부를 반사하는 상기 (A1) 내지 (A11) 중 어느 하나에 기재된 고체 활상 소자.
- [0120] (A13) 상기 유기층은, 제1 도전형 반도체 및 제2 도전형 반도체를 포함하고, 상기 상부 전극 및 하부 전극의 일방은 상기 제1 도전형 반도체, 타방은 상기 제2 도전형 반도체에 각각 접하여 있는 상기 (A2)에 기재된 고체 활상 소자.
- [0121] (A14) 상기 제2 광전 변환부는 특정한 파장역의 광을 흡수하는 상기 (A1) 내지 (A13) 중 어느 하나에 기재된 고체 활상 소자.
- [0122] (A15) 상기 제2 광전 변환부는 상기 특정한 파장역 이외의 광에 대해 70% 이상의 투과율을 갖는 상기 (A14)에 기재된 고체 활상 소자.
- [0123] (A16) 고체 활상 소자를 가지며, 상기 고체 활상 소자는, 하나 이상의 제1 광전 변환부와, 상기 제1 광전 변환부에 대향하는 위치에 마련되고, 유기층을 포함함과 함께 최초에 광이 입사하는 제2 광전 변환부와, 상기 유기층의 광입사면을 덮는 자외선 방지막을 구비한 전자 기기.
- [0124] (A17) 하나 이상의 제1 광전 변환부에 대향하는 위치에, 유기층을 성막하는 것과, 상기 유기층의 광입사면을 자외선 방지막으로 덮은 후, 상기 유기층을 패터닝하여 제2 광전 변환부를 마련하는 것을 포함하는 고체 활상 소자의 제조 방법.
- [0125] [B1] 기판에 배치된 적어도 하나의 제1 광전 변환부와, 상기 기판상에 배치되고, 유기 광전 변환층을 포함하는 제2 광전 변환부와, 상기 유기 광전 변환층의 광입사면을 덮는 자외선 방지막을 포함하는 고체 활상 소자.
- [0126] [B2] 광이 상기 유기 광전 변환층에 입사하기 전에, 상기 광이 상기 자외선 방지막에 입사하는 상기 [B1]에 기재된 고체 활상 소자.
- [0127] [B3] 상기 제2 광전 변환부는, 상기 자외선 방지막과 상기 유기 광전 변환층 사이의 상부 전극과, 상기 유기 광

전 변환층과 상기 기판 사이의 하부 전극을 포함하는 상기 [B1]에 기재된 고체 활상 소자.

[0128] 광은 약 400nm 이하의 파장을 갖는 광을 포함하고, 상기 자외선 방지막은, 약 400nm 이하의 파장을 갖는 광의 약 20% 이상을 흡수하는 상기 [B1]에 기재된 고체 활상 소자.

[0129] [B5] 상기 자외선 방지막은, 적어도 약 200nm의 두께를 갖는 상기 [B1]에 기재된 고체 활상 소자.

[0130] [B6] 상기 유기 광전 변환층은, 상부 전극과 하부 전극 사이에 있고, 상기 유기 광전 변환층의 단부, 상기 상부 전극의 단부, 및 상기 자외선 방지막의 단부는, 서로 약 500nm 이내인 상기 [B1]에 기재된 고체 활상 소자.

[0131] [B7] 상기 유기 광전 변환층은, 상기 유기 광전 변환층의 단부 상에 측면을 갖고, 상기 상부 전극은, 상기 상부 전극의 단부 상에 측면을 갖고, 상기 자외선 방지막은, 상기 유기 광전 변환층의 상면 전체에 접속되어 있고, 상기 유기 광전 변환층의 단부 상의 측면 및 상기 상부 전극의 단부 상의 측면에 접속되어 있는 상기 [B6]에 기재된 고체 활상 소자.

[0132] [B8] 상기 자외선 방지막은, 질화실리콘(SiN), 산화실리콘(SiO), 산질화실리콘(SiON), 산화알루미늄(AlO), 산화티탄(TiO), 산화바나듐(VO), 산화크롬(CrO) 및 질화알루미늄(AlN)으로 구성된 그룹으로부터 선택되는 상기 [B1]에 기재된 고체 활상 소자.

[0133] [B9] 상기 자외선 방지막은, 질화실리콘(SiN), 산화실리콘(SiO), 산질화실리콘(SiON), 산화알루미늄(AlO), 산화티탄(TiO), 산화바나듐(VO), 산화크롬(CrO) 및 질화알루미늄(AlN)으로 구성된 그룹으로부터 선택된 적어도 2종의 적층물인 상기 [B8]에 기재된 고체 활상 소자.

[0134] [B10] 상기 자외선 방지막의 응력은, 약 500MPa 이하의 절대치를 갖는 상기 [B1]에 기재된 고체 활상 소자.

[0135] [B11] 기판에 적어도 하나 이상의 제1 광전 변환부를 형성하고, 상기 기판상에 유기 광전 변환층을 형성하고, 상기 유기 광전 변환층의 광입사면을 덮는 자외선 방지막을 형성하고, 상기 유기 광전 변환층을 패터닝하여 제2 광전 변환부를 형성하는 것을 포함하는 고체 활상 소자의 제조 방법.

[0136] [B12] 상기 패터닝은, 플라즈마 조사를 이용한 드라이 에칭 공정인 상기 [B11]에 기재된 고체 활상 소자의 제조 방법.

[0137] [B13] 상기 플라즈마 조사시에, 상기 자외선 방지막은, 상기 유기 광전 변환층에 입사하는 약 400nm 이하의 파장을 갖는 광의 약 20% 이상을 흡수하는 상기 [B12]에 기재된 고체 활상 소자의 제조 방법.

[0138] [B14] 상기 자외선 방지막은, RF 파워 약 500W, 기판 온도 약 200°C, 압력 약 5Torr, 질소 유량 약 5000sccm, 실란 유량 약 500sccm 및 암모니아 유량 약 100sccm을 갖는 병행 평판형의 플라즈마 CVD장치를 이용하여 형성되는 상기 [B11]에 기재된 고체 활상 소자의 제조 방법.

[0139] [B15] 상기 유기 광전 변환층은, 상부 전극과 하부 전극 사이에 형성되고, 상기 유기 광전 변환층의 단부, 상기 상부 전극의 단부, 및 상기 자외선 방지막의 단부는, 서로 약 500nm 이내로 형성되는 상기 [B11]에 기재된 고체 활상 소자의 제조 방법.

[0140] [B16] 상기 유기 광전 변환층은, 상기 유기 광전 변환층의 단부 상에 측면을 갖고, 상기 상부 전극은, 상기 상부 전극의 단부 상에 측면을 갖고, 상기 자외선 방지막은, 상기 유기 광전 변환층의 상면 전체에 접속되어 있고, 상기 유기 광전 변환층의 단부 상의 측면 및 상기 상부 전극의 단부 상의 측면에 접속되어 있는 상기 [B11]에 기재된 고체 활상 소자의 제조 방법.

[0141] [B17] 상기 자외선 방지막은, 질화실리콘(SiN), 산화실리콘(SiO), 산질화실리콘(SiON), 산화알루미늄(AlO), 산화티탄(TiO), 산화바나듐(VO), 산화크롬(CrO) 및 질화알루미늄(AlN)으로 구성된 그룹으로부터 선택되는 상기 [B11]에 기재된 고체 활상 소자의 제조 방법.

[0142] [B18] 상기 자외선 방지막은, 질화실리콘(SiN), 산화실리콘(SiO), 산질화실리콘(SiON), 산화알루미늄(AlO), 산화티탄(TiO), 산화바나듐(VO), 산화크롬(CrO) 및 질화알루미늄(AlN)으로 구성된 그룹으로부터 선택된 적어도 2종의 적층물인 상기 [B11]에 기재된 고체 활상 소자의 제조 방법.

[0143] [B19] 상기 자외선 방지막은 개구와 함께 형성되어, 상기 자외선 방지막의 응력의 절대치는, 약 500MPa 이하인 상기 [B11]에 기재된 고체 활상 소자의 제조 방법.

[0144] [B20] 기판에 배치된 적어도 하나의 제1 광전 변환부와, 상기 기판상에 배치되고, 유기 광전 변환층을 포함하는 제2 광전 변환부와, 광이 상기 유기 광전 변환층에 입사하기 전에 상기 광이 입사하도록 상기 유기 광전 변환층

의 광입사면을 덮는 자외선 방지막을 포함하는 고체 활상 소자를 포함하는 전자 기기.

[0145] 다양한 수정, 조합, 하위 조합 및 변경은 관련 기술분야의 기술자의 설계의 요구 및 첨부된 청구항과 그 균등물 범위 내에 있는 다른 요인에 의하여 발생할 수 있음을 이해해야 한다.

### 부호의 설명

[0146] 1 : 활상 장치

10, 10A, 60 : 활상 소자

11 : 반도체 기판

11G, 11BA, 11RA : 유기 광전 변환부

11B, 11R : 무기 광전 변환부

12 : 층간 절연층

13a, 13b : 배선

14, 14R, 14B : 하부 전극

15, 15R, 15B : 화소 사이 절연막

16 : 유기 광전 변환층

16P : P형 반도체

16N : N형 반도체,

16PN : 공증착층

17, 17R, 17B : 상부 전극

18, 18R, 18B : 자외선 흡수막

68 : 자외선 흡수막

19 : 보호막

20 : 평탄화층

21 : 온 칩 렌즈

51 : 다층 배선층

53 : 지지 기판

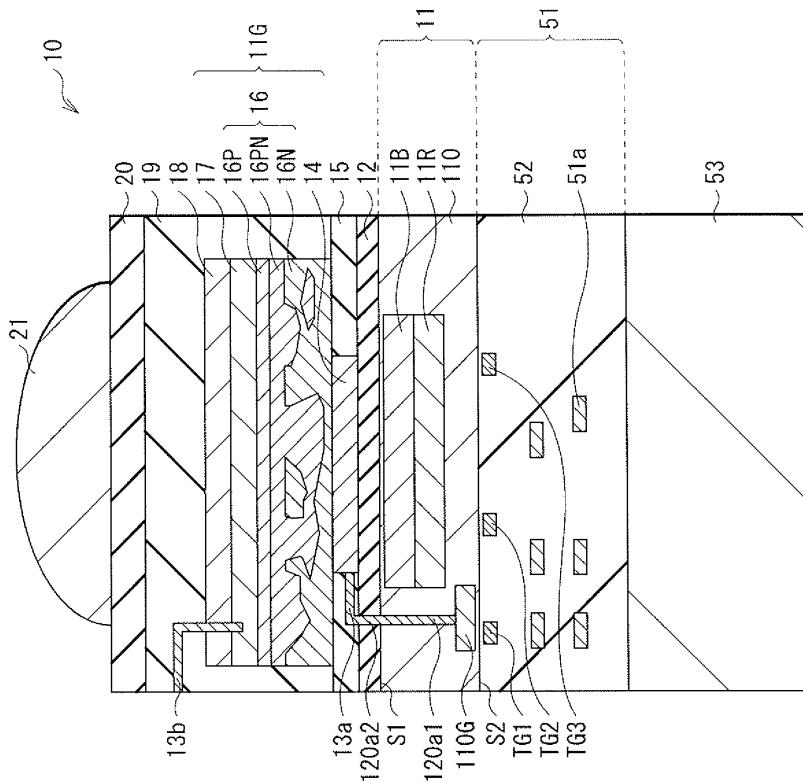
110 : 실리콘층

110G, 110G1, 110G2 : 녹용 축전층

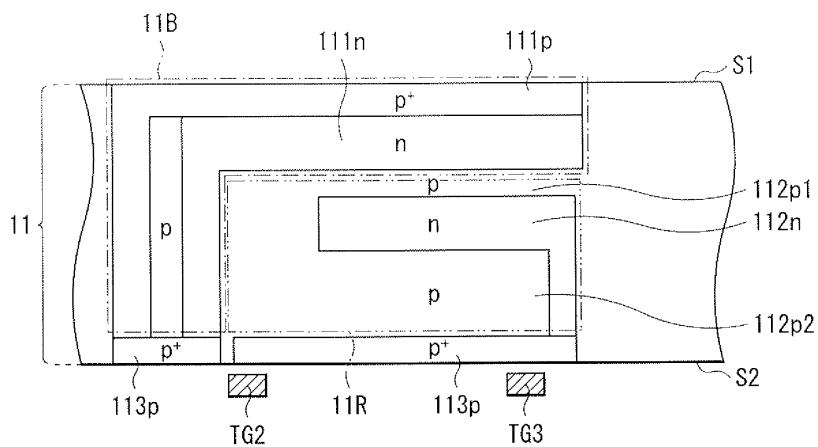
120a1, 120a2 : 도전성 플리그

## 도면

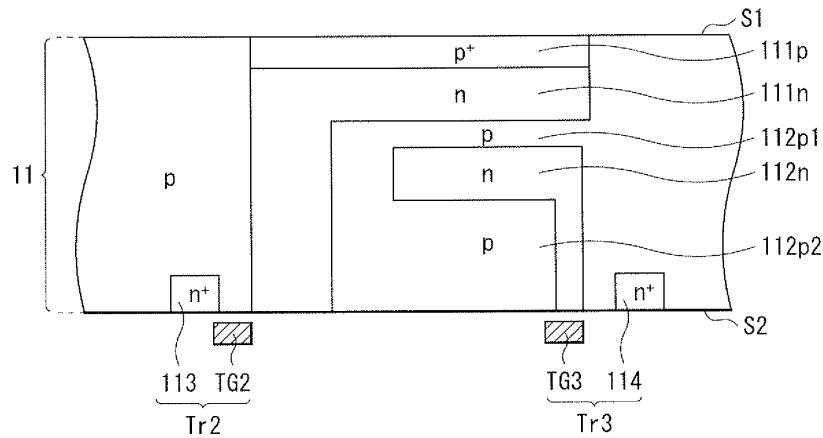
## 도면1



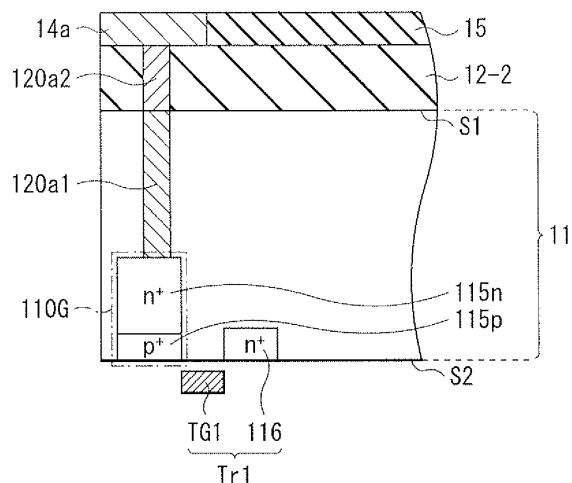
## 도면2a



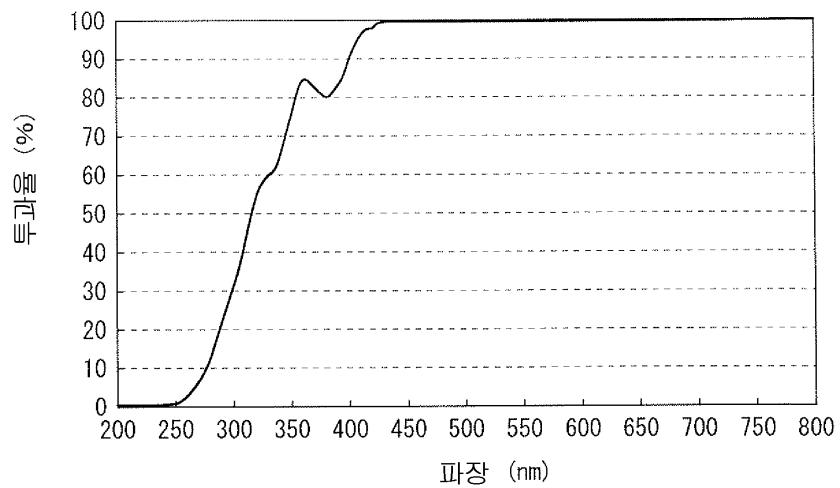
## 도면2b



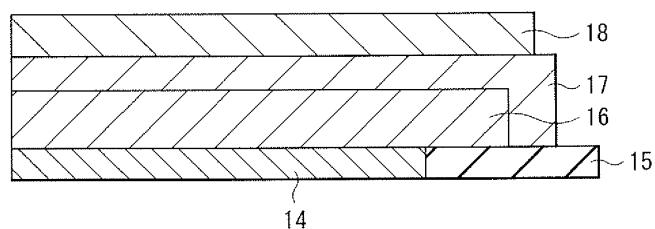
## 도면3

하측취출(전자)

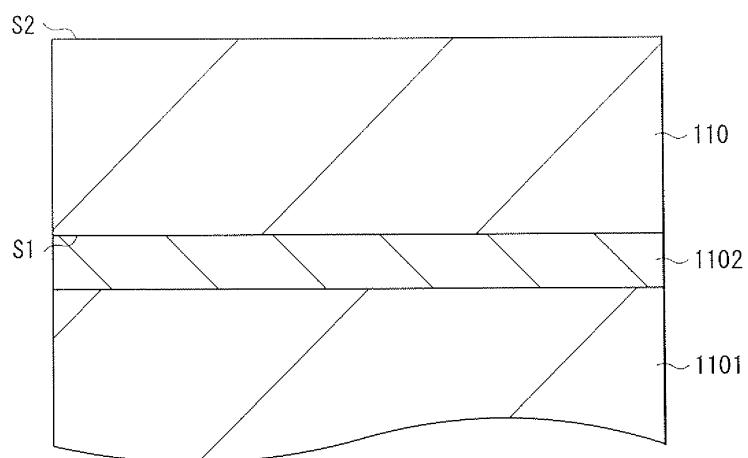
도면4



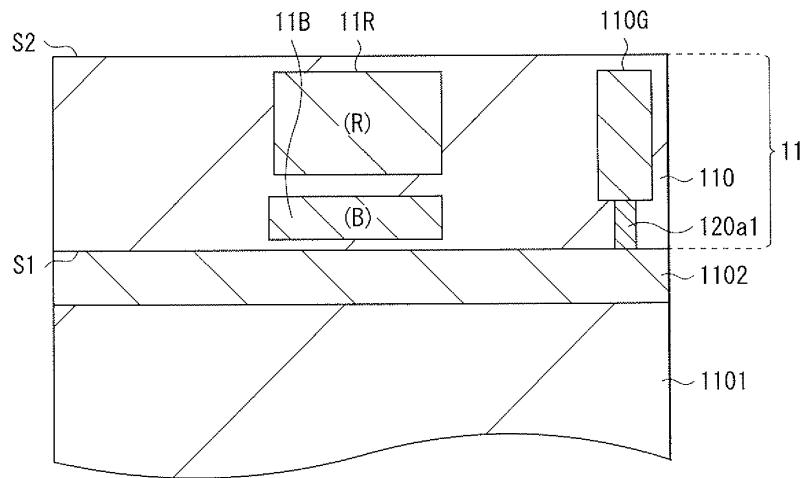
도면5



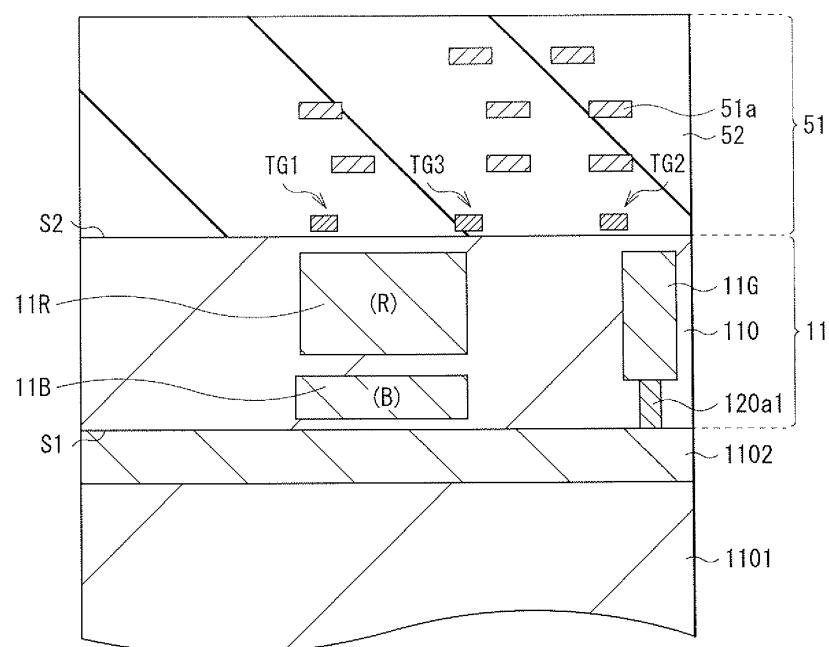
도면6a



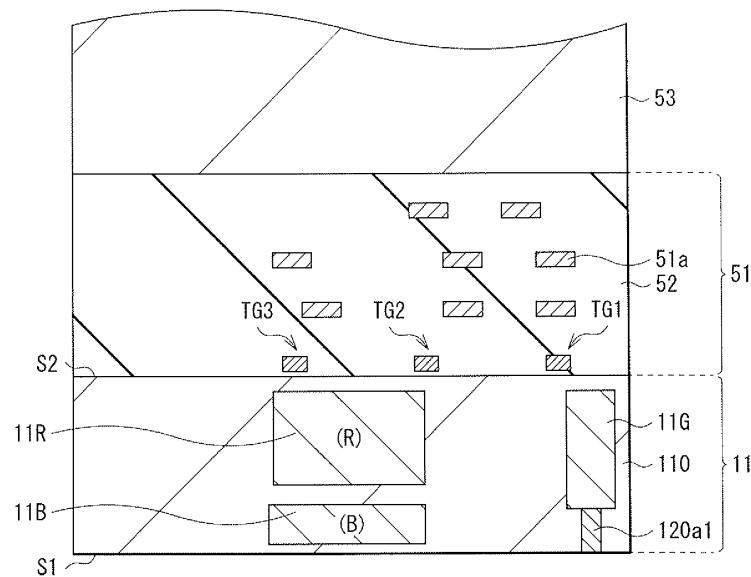
도면6b



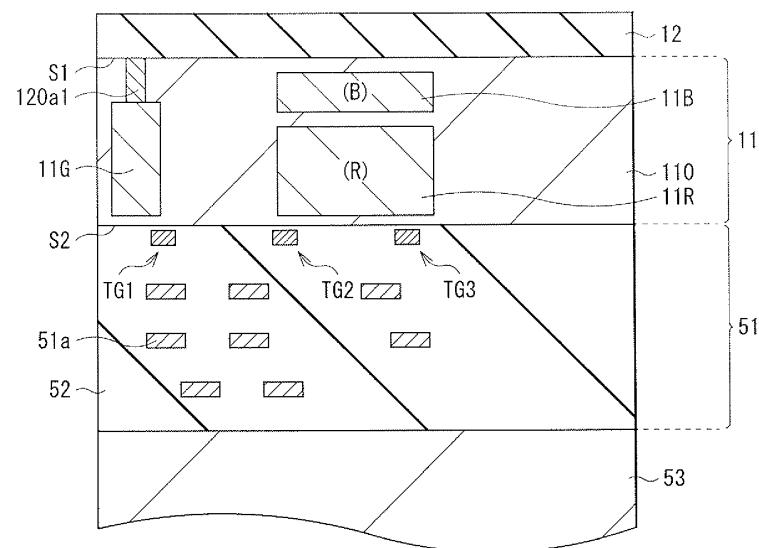
도면7



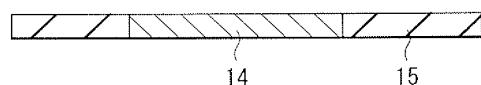
도면8



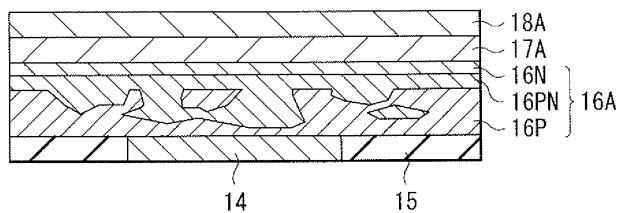
도면9



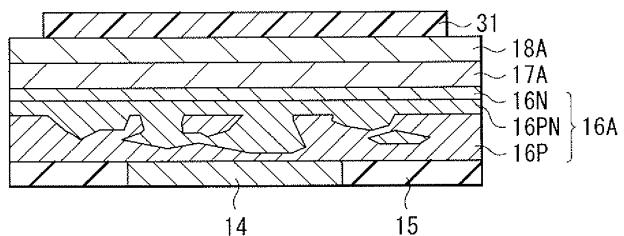
도면10a



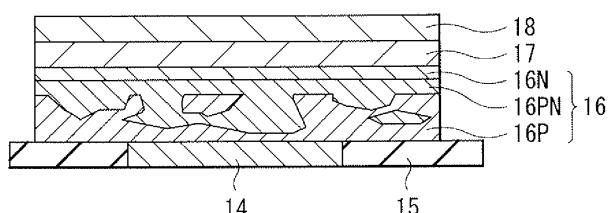
도면10b



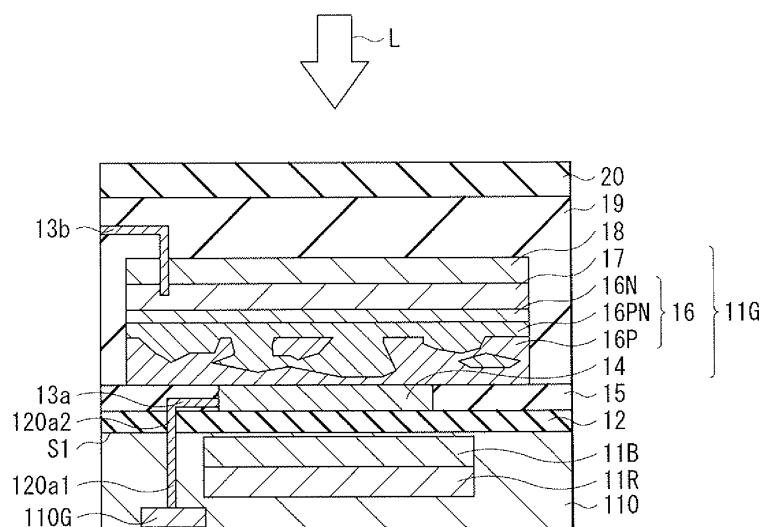
도면10c



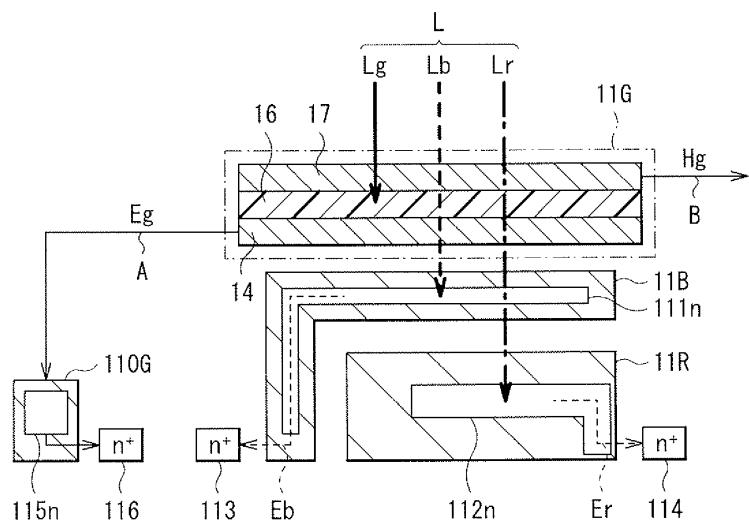
도면10d



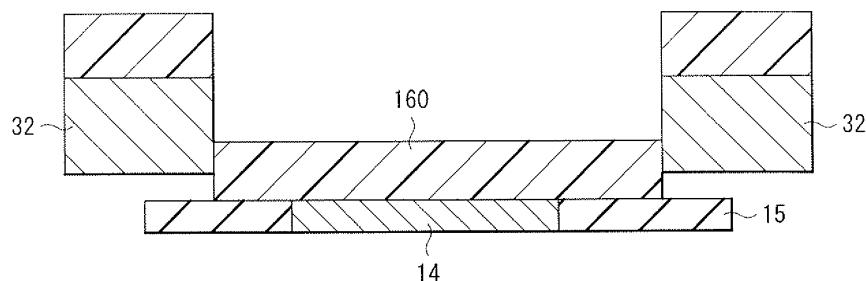
도면11



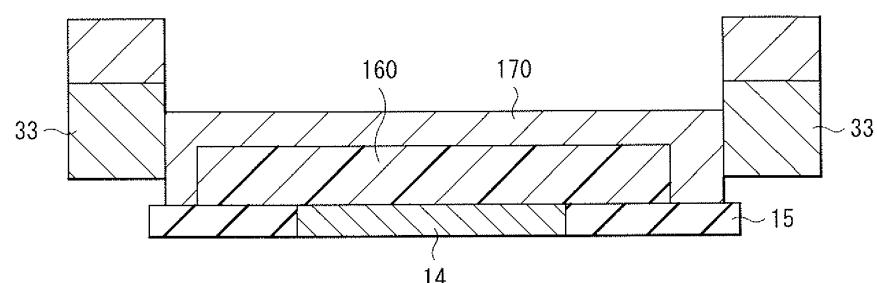
도면12



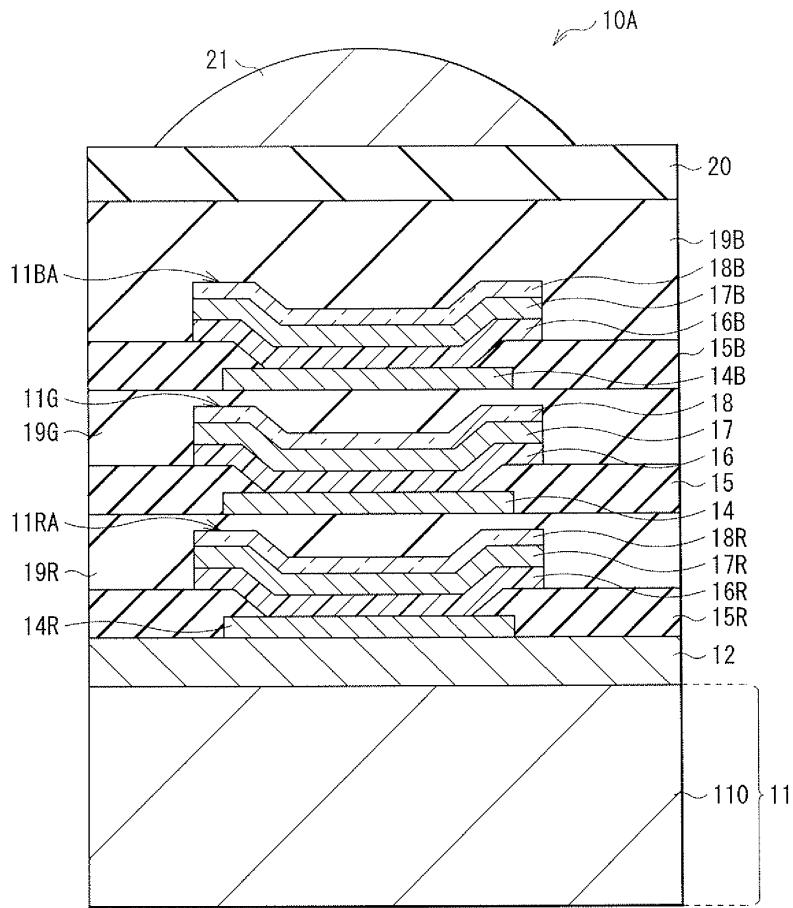
도면13a



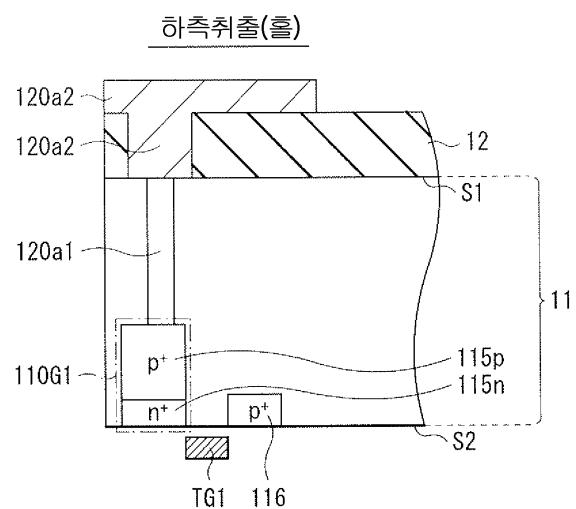
도면13b



도면14

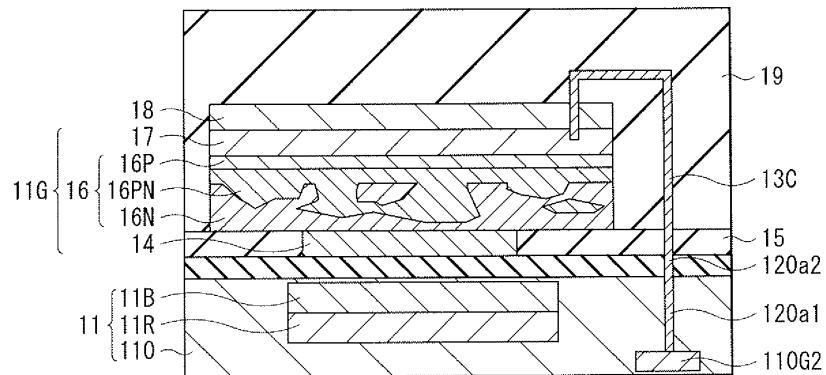


도면15

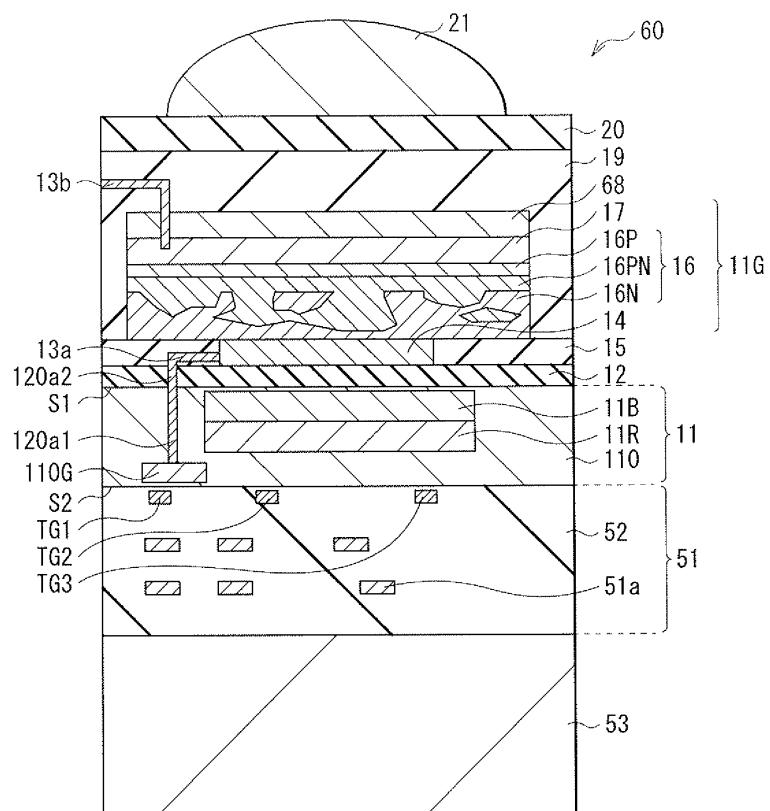


도면16

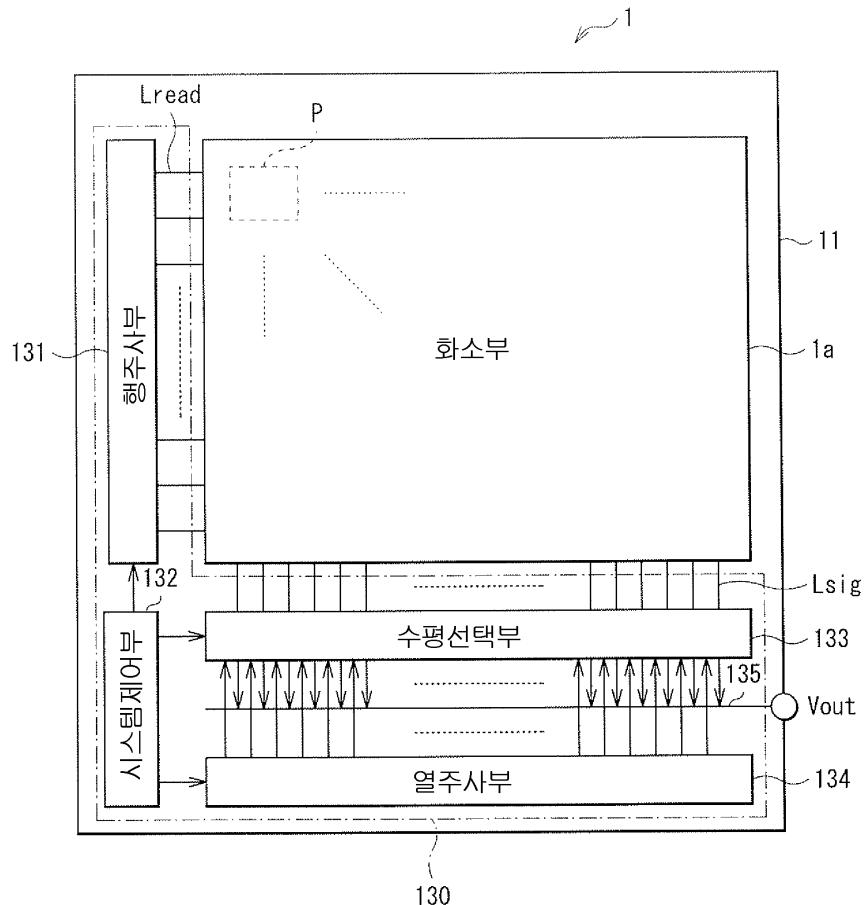
상층취출(전자/홀)



도면17



도면18



도면19

