

承辦人代碼：
大類：
I P C 分類：

本案已向：

美 國（地區） 申請專利，申請日期： 案號 ，☒有 ☐無主張優先權

2000.12.15 09/737,977

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

五、發明說明(1)

發明背景

發明領域

本發明係關於用於切換自一處傳送到另一處之電氣信號之電路。更特別的是，本發明係關於用於轉換在第一電位之電氣信號成為在第二電位（與第一電位不同）之對應電氣信號之切換（開關）電路。本發明包括用於選擇性啓動轉換開關電路之截斷選擇。

發明背景

輸出緩衝器係用於傳送想要之振幅及強度之電氣信號。信號傳送係藉由耦合在相同或不不同之半導體晶片上之有源裝置之匯流排--介面而發生。這些裝置可以彼此相鄰或是相距一段距離。在其他使用之間，輸出緩衝器包括那些用於轉換在一特定電腦系統板上或在一電腦系統之數個電路板之間之電氣信號。

半導體技術的發展致使低成本高可靠度之開關產生，這些開關為機械式繼電器之實現。當他們被用做單極，單擲之種類的繼電器時有一特定之使用，但並不限於此。由於高的切換速度及能傳送高電流而不失敗的能力，半導體開關係做為先前機械式繼電器之替代。這些開關通常被稱為傳送閘極或通過電晶體，因為他們使用電晶體--通常為 MOS 電晶體之特性以允許或避免信號通過。

眾所周知的是，半導體開關係廣泛用於各領域中。他們被使用在各種大型及小型的消費性產品，包括但不限於交通工具及家電產品。他們被用做類比路由器、電子

五、發明說明(2)

門及繼電器。他們亦被用做為數位多工器、路由器及電子門。

已為數位或類比應用發展出數個習知技術之傳送電子門或半導體開關。這些開關係用於傳送電氣信號至由在與輸入電氣信號相關之電位不同之電位之電源供應供應電源之系統。結果，需要具有能夠轉換在一電位電氣信號成為不同電位之對應信號，至少相對於與邏輯“高”相關之電位之開關。如在此領域中眾所周知的是，邏輯“高”信號與邏輯“低”信號之間之電位差可以是 0.4V 或是高達 5.0V。對於以互補金屬氧化物半導體 (CMOS) 為基礎的邏輯而言，邏輯“高”對應一額定 5.0V 電位（對 5.0V 之電源供應而言），及一額定 3.3V 電位（用於 3.3V 電源供應），而邏輯“低”係指接地 (GND) 或 0.0V。

上述與“高”及“低”信號相關之電位為理想值。事實上，信號電位通常落在與顯示值相關之一電位範圍內。因此，對於 3.3V 供應而言，“高”信號可能在 2.6V 供應，而“低”信號可能與 0.7V 相關。隨著用於供電給電路之電源供應之電位靠近 GND，信號電位之變化可能產生傳輸干擾 (glitch)。因此想要盡可能維持信號電位穩定。此外，重要的是設計半導體開關成為對信號變化較不敏感，但不犧牲作業能力，即是傳送速率及信號振幅。這對轉換電路是特別值得注意的，其中“高”電位之差異可以是 1.7V，如上所示。

五、發明說明(3)

典型的電位轉換匯流排開關之一範例係示於第 1 圖。匯流排 1 包括一組 12 個開關結構 SW1-SW12，每一個開關被設計成自各自輸入結點 a1-a12 傳送一位元資訊至對應的各個輸出節點 b1-b12。節點 a1-a12 係耦合至具有在第一電位之電源供應之延伸電路，而節點 b1-b12 係耦合至具有較耦合至節點 a1-a12 之延伸電路之電位低之電源供應之延伸電路（未示）。當然，應了解的是，匯流排可以包含更多或更少的開關組，做為欲被傳送之位元數目之函數。

如第 2 圖所示，開關結構之一範例為開關 SW1，在節點 a1 及節點 b1 之間耦合。另一個開關結構可以相似地被設計。耦合至節點 a1 之延伸電路係由高電位供應 Vcc1 供應電源，而耦合至節點 b1 之延伸電路係由較與 Vcc1 相關之電位低之高電位供應 Vcc2 來供應電源。兩者皆耦合至一共通的低電位軌道 GND。

開關 SW1 包括一傳送電晶體 M1，其源極耦合至節點 b1，而其汲極則耦合至節點 a1。電晶體 M1 最好是 NMOS 電晶體。當被在致能節點 EN 之傳送開關致能信號致能時，傳送電晶體 M1 被設計成傳送電氣信號自節點 a1 至節點 b1。傳送電晶體 M1 包括耦合至低電位電力軌道 GND 之部分，而低電位電力軌道 GND 對與節點 a1 及 b1 相關之延伸電路而言為普遍的。開關 SW1 更進一步包括第一反相器 IV1 及第二反相器 IV2。第一反相器 IV1 係耦合至 Vcc1 及 GND 之間，並包括一耦合至節

五、發明說明(4)

點 EN 之輸入。第二反相器 IV2 包括一對互補之反相電晶體 M2 及 M3。電晶體 M2 係一 PMOS 電晶體，其閘極耦合至 IV1 之輸出，源極耦合至假的高電位電力軌道 Prail，而其汲極為節點 C。電晶體 M3 為一 NMOS 電晶體，其閘極亦耦合至 IV1 之輸出，其源極耦合至 GND，且其汲極耦合至節點 C。Prail 之電位建立 IV2 之輸出電位至 M1 之閘極，所以由定義可知係低於 Vcc1 之電位。

繼續參考第 2 圖，Prail 之電位在習知技術中由橫跨二極體 D1 之二極體下降所建立。二極體 D1 具有高電位節點耦合至 Vcc1 及低電位節點耦合至電阻 R。正向偏壓二極體 D1 之輸出供應電位至 M2 之源極，此電位藉由與比電晶體機關之第二下降而被傳送到閘極 M1。此配置可以產生自 a1 至 b1 之信號電位之適當轉換。

假使想要使用開關來傳送瞬變信號而不是穩定狀態信號，則示於第 2 圖之開關電路之設計會有限制。具體地說，當邏輯信號瞬變發生時，改變軌道之電位之 Prail 上之雜訊可在對應之 b 節點上造成轉換誤差。該雜訊係由在輸入 a1-a12 上之數個同時邏輯低至邏輯高之瞬變所引起的。雜訊經由由第 2 圖中之電晶體 M1 代表之大對應傳送電晶體之汲極/閘極電容而引起欲射入 Prail 之電流。隨著該電晶體之有效電容器之一側之電壓改變，在電容器另一側之電壓亦改變，除非它是固定在電軌上或是一電壓參考。

五、發明說明(5)

二極體 D1 不會限制電晶體 M1 之閘極上之電壓改變。電阻 R 限制電壓改變，但是它在邊緣速率頻率上之阻抗大大小於有效電容器。結果，在電晶體 M1 之閘極上之電壓會升起。對於每個輸入而言，各個初極轉換電晶體之閘極會隨著“低至高”之瞬變而上升。當數個輸入開關實質上同時使過沖更為可能時，此有害上升被放大。時間延遲與過沖相關。時間延遲由與第二極體鉗位相關之寄生電容，M1 之閘極電容，及驅動電路之電容相關之 RC 時間常數所定義。當延遲超過能過渡開關想要之切換速率時，則不能被接受。因此，如第 2 圖所示之許多開關電路不適用於瞬變信號之適當切換。

因此，所需要的是一轉換切換電路，其包括一假軌電位產生器，此假軌電位產生器適用於建立適於將在一電位之電氣信號轉換為具有相同邏輯狀況但較低電位之電氣信號之電位位準。再者，所需要的是此種具有在想要位準鉗住假軌電位之設備之轉換切換電路，想要位準包括在信號上升邊緣期間在軌道上之瞬變雜訊情況之下。具有這些特性之切換（開關）電路包括能以很小的延遲自假軌道快速移除多出的電流之設備，使得轉換電路可以用來傳送瞬變轉換信號。通常是想要一轉換開關電路，其能選擇性地致能自輸入節點至輸出節點之信號轉換，否則會允許電氣信號在那些節點之間傳送而不需要轉換。

發明概述

五、發明說明(%)

本發明之一目的係提供一轉換開關電路，其包括一假軌電位產生器，適用於建立適於將在一電位之電氣信號轉換成具有相同邏輯情況但較低電位之電氣信號之電位位準。再者，本發明之另一目的係提供一轉換開關電路，具有將假軌電位鉗住在一想要位準之設備，包括在信號上升緣期間在軌道上之瞬變雜訊情況之下。本發明之另一目的係提供一轉換開關，其具有能以小延遲自假軌迅速移除多餘電流之設備，使得轉換電路可以用來傳送過渡轉換信號。更廣泛而言，本發明之另一目的係提供一轉換開關電路，其可被選擇性地被致能，以在需要時將信號自輸入節點轉換至輸出節點，否則會允許傳送電氣信號而不需要轉換。

本發明之這些及其化目的之達成係藉由引入活性鉗位元件至假軌產生器電路以置換被動電阻裝置（相對於第2圖之開關被描述）。具體而言，鉗位元件被設計成在開關作業時幾乎不開啓。隨著在假軌之電流增加，鉗位元件被更完整地開啓。它被設計成一電流放大器，所以它會自電軌下沈電流，較以電阻下沈電流更快。雖然鉗位元件之各種配置在此被完整地描述，但是一較佳配置包括 MOS 電晶體與一二極達靈頓組之結合。這個組合在自假軌饋回之電流穩定時，幾乎不產生功率消耗，但在軌道上之雜訊威脅要破壞自一節點至另一節點傳送之電氣信號之轉換時，它會很快地下沈電流。再者，該組合並不有害地影響假軌之標準功能，而是提供需要之電位下降，自高供應軌之電位至第2圖之傳送電晶體之閘

五、發明說明(7)

極。活性鉗位元件允許轉換開關電路用於瞬變及穩定狀態之信號轉換。本發明之主動鉗位元件可以被佈局成爲與複數個開關並聯使用之單一假軌相關之單一電路。或者，複數個開關可與他們自己的假軌及對應主動鉗位元件耦合。爲每一開關使用單一主動鉗位機制確保每一個開關彼此隔離。當與假軌並聯耦合時，在開關之間會有鏈結。

本發明之一相關但突出之方面係轉換截斷設備，在開關電路不需要轉換電氣信號自第一電位至較低的第二電位時被使用。在某些情況下，最好能提供一般設計之開關電路，它們可以被佈局在需要轉換的情況下或是不需要轉換的情況下。因此，本發明包括一偏壓旁路電路，其輸出係耦合至假軌。然而，取代提供至少一二極體下降至假軌，旁路電路耦合假軌直接至高電位供應軌。當至傳送電晶體之閘極之電位是實質的軌對軌時，旁路電路之輸入係耦合至控制邏輯以截斷電位減少產生器。否則，假軌產生器作業如所示。然而，應了解的是，旁路電路可以使用於與假軌之任何電流調節器之結合。具體而言，它可以與如第 2 圖之習知技術開關之電路一同使用，或可與如在此描述之主動鉗位元件一同被使用。

本發明之這些及其他優點可在檢視詳細描述、附圖及申請專利範圍中變得更明顯。

圖式之簡單描述

第 1 圖係用於傳送代表各別位元之電氣信號之相關轉

五、發明說明(8)

換匯流排開關之簡化表示。

第 2 圖係簡化之電路圖，顯示包括假軌產生次電路之習知轉換開關電路範例之設計。

第 3 圖為本發明之轉換開關電路之簡化表示。

第 4 圖為本發明之轉換開關電路之簡化電路圖，顯示 Prail 產生器次電路。

第 5 圖為本發明之轉換開關電路之假軌信號產生器電路之第一實施例之簡化電路圖。

第 6 圖為顯示範例偏壓參考電路之第 5 圖之假軌信號產生器電路之簡化電路圖。

第 7 圖為本發明之轉換開關電路之假軌信號產生器電路之第二實施例之簡化電路圖。

第 8 圖為本發明之轉換開關電路之假軌信號產生器電路之第三實施例之簡化電路圖。

第 9 圖為本發明之轉換開關電路之假軌信號產生器電路之第四實施例之簡化電路圖。

第 10 圖為一可選擇偏壓旁路電路之簡化電路圖。

第 11 圖為具有偏壓及旁路選擇之本發明之假軌信號產生器電路之一實施例之電路圖。

較佳實施例之描述

耦合在第一傳送節點 A 及第二傳送節點 B 之間之本發明之轉換開關電路 10 係示於第 3 圖。應了解的是，節點 A 可被耦合至延伸電路，以接收用於經由亦耦合至延伸電路之節點 B 傳送之電氣信號。耦合至節點 A 之延伸

五、發明說明(9)

電路係由高電位供應 V_{cc1} 供應電源，而耦合至節點 B 之延伸電路係由高電位供應 V_{cc2} 供應電源， V_{cc2} 較 V_{cc1} 小。開關電路 10 可以是電壓轉換匯流排之部份，如第 1 圖所示。

開關 10 包括一傳送電晶體 M1，其具有一源極耦合至節點 B，及一汲極耦合至節點 A'。電晶體 M1 最好是一 NMOS 電晶體。傳送電晶體 M1 被設計成當被致能時，令傳送電氣信號自節點 A 至節點 B。傳送電晶體 M1 包括耦合至對與節點 A 及 B 相關之延伸電路為普遍的低電位電軌 GND 之部份。開關 10 更進一步包括閘極控制分支 20，其具有耦合至電晶體 M1 之閘極之節點 C 上之輸出。閘極控制分支 20 被設計成在節點 A 之電位對應邏輯高時，在 M1 之閘極產生一電位，其小於節點 A 之電位，但是足以開啓 M1。供應至 M1 之閘極之電位最好與與 V_{cc2} 相關之電位等效。應意的是，複數個如電晶體 M1 之傳送電晶體可以並聯耦合至單一閘極控制分支 20。或者，為了提供隔離，每個傳送電晶體可耦合至其自己的閘極控制分支 20。

如第 4 圖所示，閘控制分支 20 包括第一反相器 IV1 及第二反相器 IV2。第一反相器 IV1 係耦合於 V_{cc1} 及 GND 之間，且包括經由節點 EN 與閘控制分支致能信號耦合之輸入。在節點 EN 之適當信號決定傳送電晶體 M1 及電路 10 是否能夠自 A 傳送一信號至 B。第二反相器 IV2 包括一對互補反相器 M2 及 M3。電晶體 M2 係一

五、發明說明(¹⁰)

PMOS 電晶體，具有耦合至 IV1 之輸出之閘極，耦合至假高電位電軌 Prail 之源極，及汲極，即是節點 C。電晶體 M3 係一 NMOS 電晶體，具有耦合至 IV1 之輸出之閘極，耦合至 GND 之源極及耦合至節點 C 之汲極。

Prail 之電位建立 IV2 之輸出之電位至 M1 之閘極，所以由定義而言是小於 Vcc1 之電位。

繼續參考第 4 圖，Prail 之電位藉由假軌產生器電路 30 在節點 D 建立。產生器電路 30 包括電壓調節器或任何種類之追蹤電壓參考 40。產生器電路 30 更進一步包括具有電位參考電路 60 之偏壓下拉電路 50。習知技術簡單地提供電阻於 Prail 及 GND 之間，而產生器電路 30 則被設計成在開關電路 10 為活性時自 Prail 將電流下沈。這在瞬變開關情況下是特別有利的，因為當 Prail 之電位在自邏輯低至邏輯高之電氣信號轉移之上升緣上增加時，產生器電路 30 將 Prail 之電位鉗位在適於自節點 A 轉換信號電位至節點 B 之電位。再者，當下沈電流較習知技術之簡單偏壓電阻更快速時，電位仍被維持。

如第 5 圖所示，電壓參考 40 及偏壓下拉電路 50 可以分別是如正向偏壓二極體 D1 之二極體設備及 PMOS 電晶體 M4。二極體 D1 具有耦合至 Vcc1 之電位節點及耦合至 Prail 之低電位節點。電晶體 M4 具有耦合至 D1 之低電位節點之源極及耦合至 GND 之汲極。M4 之閘極係耦合至參考電路 60 之輸出。參考電路 60 被設計成提供偏壓電流至 M4 之閘極，使得 M4 能夠在瞬變信號在如

五、發明說明(11)

示於第 1 圖之匯流排之匯流排上改變期間很快地自 Prail 下沈電流。雖然習知技術轉換開關最適於在穩態情況下轉換信號（只是由於在共同匯流排之電流注射進入 Prail 之相等物），但是偏壓下拉電路 50 及參考電路 60 之結合會造成轉換電路 10，其亦能切換過渡信號，而祇有合理的延遲。

如第 6 圖所示，參考電路 60 之一實施例包括偏壓樹 70，其具有耦合至電晶體 M4 之輸出。偏壓樹 70 係由第一電壓參考形成，如二極體 D2 所代表的二極體裝置，及第二二極體裝置，如二極體連線之 PMOS 電晶體 M5 及電阻 R1。應了解的是，D2 可以是二極體連線之 PMOS 電晶體，二極體連線之 NMOS 電晶體，或二極體連線之雙極電晶體。由第 6 圖之電路提供的活性鉗位如下作業，以在信號轉移期間使電氣信號自節點 A 轉換至節點 B。Vcc1 之電位藉由橫跨二極體之電位及橫跨電晶體 M5 之源極及汲極之電位而下降。節點 B 會維持在高電壓，以便“低至高”之轉換，除非有電阻負載將它往下拉或有一限制性二極體鉗將其電壓拉至與低電壓供應軌相關之電壓。

電阻 R1 可被選擇來調節經過樹 70 之電流。結果，在節點 E 之電位約為在 Vcc1 之下兩個 V_t 下降且是此電位被施加至 M4 之閘極。因為電晶體 M4 之閘極之電位及該電晶體之源極在 Vcc1 電位之下一 V_t 之下降，由於橫跨二極體裝置 D1 之下降，電晶體 M4 幾乎不開啓。但是

五、發明說明(12)

它還是開啓的，且可以立即自 Prail 下沈電流。它的回應時間較習知基於電阻之電位定義開關之回應時間快很多。在節點 F 之結果二極體下降電位，與橫跨電晶體 M1 之開關之 V_{gs} 電位下降結合，產生自節點 A 至節點 B 所需的電位轉換。因為 M5 被偏壓成只是稍微開啓，所以它產生很小的靜態 I_{cc} 電流。然而，當 Prail 注入電流時，隨著流經 D1/M4 分支之電流增加，電晶體 M4 更完全地開啓並放大電流下沈，使其快速地自 Prail 拉出。這個 Prail 的鉗位轉換成為在 M1 之閘極上之電位之鉗位。

當然，應了解的是，電晶體 M1 確實提供某種程度上的轉換。即是，它自 V_{cc} 下降 V_t 之電位。然而，因為有二極體 d1，下降為 $V_{cc}-V_t-V_d$ 。本發明係適於此種較大電位差之調節。應注意的是，在節點 B 之電位會維持在更高的位準，除非它耦合至將它下拉之電阻負載，或是耦合至一二極體鉗位，至接收裝置之較低之高電位軌。

偏壓下拉電路 50 之另一實施例係示於第 7-9 圖，偏壓下拉電路 50 包括 PMOS 電晶體 M4 及 NPN 雙極電晶體 Q1。前述之參考電路 60 可被用來維持電晶體 M4 祇是稍微開啓。然而，取代將電流下沈至 GND 的是，它是經由電晶體 M4 之汲極之耦合而指向 Q1 之基底。隨著自 Prail 之轉移電流增加且回到 M6 之源極，電晶體更被打開，增加電流至 Q1 之基底而將電晶體完全開啓。結果

五、發明說明(¹³)

是大大增加由於同時之信號轉移而自 Prail 下沉之電流。即是，與雙極電晶體，如電晶體 Q1 之作業相關之電流放大及傳送速度增進電流自 Prail 分叉之速率，較祇使用電晶體 M4 之速率快。第 7 圖之電路更進一步包含偏壓電阻 R2，耦合於 D2 之低電位節點及 M4 之汲極之間。此外，偏壓二極體 D3 具有耦合至 Q1 之基底及 GND 之高電極節點。R2 及 D3 使 Q1 偏壓成為想要之作業範圍。它們亦控制經過 D1 及 Q1 之穩態電流之量。

如第 8 圖所示，偏壓下拉電路 50 之第二實施例包括下拉 PMOS 電晶體 M4（耦合如前述），但是其汲極耦合至由 NPN 電晶體 Q2 及 NPN 電晶體 Q3 建立之 NPN 達靈頓電晶體組。如熟悉此領域者所知的是，達靈頓組較單一雙極電晶體提供更多的電流放大。因此，第 8 圖之偏壓電路提供更好的設備來鉗位與影響 Prail 之事件相關之電流。第 8 圖之電路之另一版本係示於第 9 圖中。示於此之偏壓電路除了下拉電晶體 M4 及達靈頓組之外，亦包括一電容裝置，如電容器 C1 以提供電流注入電晶體 Q2 之基底。其可在 Prail 之瞬變情況下較祇依賴流經電晶體 M4 之電流更快地開啓達靈頓組。電容器 C1 具有耦合至 Prail 的高電位節點及耦合至電晶體 Q2 之閘極之低電位節點。當然，電容器 C1 亦可耦合於 Prail 及第 7 圖之電晶體 Q1 之基底之間。

第 8 及 9 圖之電路更包含偏壓元件。具體而言，第一偏壓電阻 R2 係耦合於 D2 之低電位節點及 M4 之汲極之

五、發明說明(14)

間。第二偏壓電阻 R3 係耦合於 Q3 之放射極及 GND 之間。第一偏壓二極體 D3 具有耦合至 Q2 之基底之高電位節點，第二偏壓二極體 D4 具有耦合至 D3 之低電位節點之高電位節點及耦合至 GND 之低電位節點。在此描述之偏壓元件係用來使電晶體 Q2 及 Q3 偏壓成為想要的作業範圍。它們亦控制流經 D1 及 Q2 之穩態電流量。

雖然本發明之開關轉換電路 10 已由相關次電路顯示藉由保持電晶體 M5 隨時準備好的情況下，快速下沈自 Prail 之電流回到偏壓電路，但是可能想要選擇性地啟動此能力。第 10 圖顯示相關產生器電路 80 之簡圖，包括一偏壓旁路分支 90，並聯耦合至包括二極體設備 40 及偏壓下拉電路 50 之分支。偏壓旁路分支 90 包括 PMOS 電晶體 M8，其具有直接耦合至 Vcc1 之源極，耦合至 Prail 之汲極，及耦合至旁路致能節點 BEN 之閘極。節點 BEN 可以耦合至設定成使使用者允許與高電位軌 Vcc1 相關之電位經過 Prail 及傳送電晶體 M1 至耦合至節點 B 之延伸電路之任何適當的控制邏輯電路。如第 10 圖所示，當邏輯高被施加至 BEN 時，電晶體 M8 關閉，而產生器電路 80 之作業如同第 5 圖所描述，40/50 分支自 Prail 下沈電流。然而，如果 BEN 當邏輯低，則電晶體 M8 開啓。至參考電路 60 之控制信號關閉偏壓下拉電路 50。在電晶體 M8 開啓而電路 50 關閉的情況下，偏壓被繞過而完全的軌電位被施加至 Prail，因而到 M1 之閘極。應了解的是，偏壓旁路分支 90 或其等效物可以施

五、發明說明(¹⁵)

加至任何假軌產生電路，不論是提供於習知技術中，祇用於 DC 傳送的種類，或是描述於此之任何產生器電路皆是。它並不限於在此描述之偏壓電路之應用。

本發明之假軌產生器之較佳實施例係示於第 11 圖，具有一致能產生器電路 100。電路 100 包括輸入反相器 IV4，其耦合於 Vcc1 及 GND 之間，並具有耦合至產生器致能節點 EN1 之輸入，而產生器致能節點係耦合至一種在此領域中眾所周知之控制信號產生器。電路 100 更包括第一旁路 PMOS 電晶體 M10 及耦合至 IV4 之輸出之第一旁路 NMOS 電晶體 M11。電路 100 亦包括第一偏壓分支，第一偏壓分支係由二極體連線之電晶體 Q4 及具有末端電阻 R2 之二極體連線之 PMOS 電晶體 M12 所形成。電晶體 M12 之汲極係耦合至 Prail 電流下沈電晶體 M13 之閘極，其係以描述關於產生器電路 80 之方式來耦合。

繼續參考第 11 圖，由 PMOS 電晶體 M14-M16 形成之第二旁路階段係耦合至 Vcc1 且具有直接耦合至 Prail 的輸出汲極。應了解的是，更少或更多的旁路電晶體可以用於該階段，做為大小或電路 100 之其他組件之設定之函數。閘極耦合至反相器 IV5 之輸出之第二及第三旁路 NMOS 電晶體 M17 及 M18 具有耦合至 GND 之源極。M17 之汲極係耦合至下沈電晶體 M13 之汲極，且在產生器電路 100 被停止時下沈流經該分支之任何瞬變電流。產生器電路 100 更包括增補下沈分支，其包括由 NPN 電晶體

五、發明說明(16)

Q6 及 Q7 形成之達靈頓雙極電晶體組。達靈頓組放大下拉電晶體 M13 之下沈能力。達靈頓組係由由二極體連線之 NPN 電晶體 Q8 及 Q9 所建立的第二偏壓分支所偏壓。第二偏壓分支補充施加到電晶體 Q6 之基底之電流以較 M13 之汲極更快更強地開啓他們。產生器電路 100 使在 Prail 之瞬變電流振動之下沈更快速以致能由如電路 10 之開關造成之 AC 轉換切換。

雖然本發明以特定的實施例被描述，但應了解的是，所有變化、改變及等效物皆在下列申請專利範圍之範圍內。

符號說明

SW1-SW12... 開關

a1-a12... 輸入節點

b1-b12... 輸出節點

Vcc1、Vcc2... 高電位供應

M1... 傳送電晶體

EN... 致能節點

IV1... 第一反相器

IV2... 第二反相器

EN... 節點 EN

M2、M3... 反相電晶體

M4、M5... 電晶體

R1、R2... 電阻

Q1、Q2、Q3... NPN 雙極電晶體

五、發明說明(17)

D1、D2、D3、D4… 二極體

1… 匯流排

10… 開關電路

30… 假軌產生器電路

40… 電壓調節器/參考

50… 偏壓下拉電路

60… 電位參考電路

70… 偏壓樹

80… 產生器電路

90… 旁路分支

100… 致能產生器電路

四、中文發明摘要（發明之名稱： 具有截斷之選擇性配備的轉換開關 ）
電路

一種轉換開關，由傳送 MOS 電晶體描述，傳送 MOS 電晶體連接第一節點至第二節點，其中，第一節點指向較第二節點高之電壓。假軌產生器驅動 MOS 電晶體之閘極並提供 p 軌參考電壓，此電壓低於第一節點之電壓。產生器包括截斷主動鉗位電路，其鉗位 MOS 傳送電晶體之閘極至 p-軌電位，並在高電壓出現在 p-軌時自 p-軌下沈電流以維持 p-軌在恆定電位。

英文發明摘要（發明之名稱：

Translating switch circuit with disabling option

A translation switch is described with a transfer MOS transistor that connects a first node to second node where the first node is referenced to a higher voltage than is the second. A pseudo-rail generator drives the gate of the MOS transistor and provides a p-rail reference voltage lower in voltage to that of the first node. The generator includes a disableable active clamping circuit that clamps the gate of the MOS transfer transistor to the p-rail potential and sinks current from the p-rail when higher voltages appear on the p-rail to thereby maintain the p-rail at a substantially constant potential.

六、申請專利範圍

1. 一種轉換開關電路，用於轉換電氣信號自第一節點至第二節點，其中由第一電源供應指向之第一節點具有大於指向第二節點之第二電源供應電位之電位，該電路包含：

一傳送電晶體，其源極係耦合至第一節點，而其汲極則耦合至第二節點；

一閘控制電路，其包括假軌產生器電路及一反相器，其中該假軌產生器電路係由第一電源供應所供應，且假軌產生器電路之輸出為假軌線，其連接到該反相器，其中該反相器之輸出係耦合至該傳送電晶體之閘極；

其中，該假軌產生器電路包括電壓參考電路，其具有耦合至第一電源供應之高電位節點及耦合至偏壓下拉電路之低電位節點，其中該偏壓下拉電路具有耦合至電位參考電路之輸入，電位參考電路，其使該偏壓下拉電路偏壓而在穩態狀況下為開啓，且會以假軌之電位上升而允許電流放大，其中該假軌耦合至該電壓參考電路之低電位節點。

2. 如申請專利範圍第 1 項之電路，其中該傳送電晶體為一 NMOS 電晶體。
3. 如申請專利範圍第 1 項之電路，其中該電壓參考為一二極體裝置。
4. 如申請專利範圍第 3 項之電路，其中該偏壓下拉電路係一 PMOS 電晶體，其閘極係耦合至該電位參考電

六、申請專利範圍

路。

5. 如申請專利範圍第 4 項之電路，其中該電位參考電路包括一第一二極體參考裝置，其高電位節點係耦合至第一電源供應，而低電位節點係耦合至第二二極體參考裝置之高電位節點，其中第二二閘極參考裝置具有耦合至一電阻及 PMOS 電晶體之極體之低電位節點。
6. 如申請專利範圍第 5 項之電路，其中第一二極體參考裝置為一二極體。
7. 如申請專利範圍第 5 項之電路，其中第二二極體參考裝置為一二極體連線之 PMOS 電晶體。
8. 如申請專利範圍第 5 項之電路，其中該電阻為一電阻器。
9. 如申請專利範圍第 1 項之電路，其中該電壓參考為一二極體裝置，而偏壓下拉電路包括 PMOS 電晶體，其具有耦合至二極體裝置之低電位節點之源極，耦合至電位參考電路之閘極，及耦合至雙極電晶體之基底之汲極，其中雙極電晶體收集極耦合至該假軌。
10. 如申請專利範圍第 1 項之電路，其中該電壓參考電路為一二極體裝置，而偏壓下拉電路包括 PMOS 電晶體，其源極耦合至二極體裝置之低電位節點，閘極耦合至電位參考電路，而汲極則耦合至達靈頓電晶體組。

六、申請專利範圍

11. 如申請專利範圍第 10 項之電路，其中該達靈頓電晶體組包括第一雙極電晶體及第二雙極電晶體，其中第一雙極電晶體包括耦合至 PMOS 電晶體之汲極之基極，耦合至假軌之收集極，及耦合至第二雙極電晶體之基集之放射極，其中該第二雙極電晶體包括耦合至假軌之收集極。
12. 如申請專利範圍第 11 項之電路，其中更包含耦合在 PMOS 電晶體之源極及第一雙極電晶體之基極之間之電容器。
13. 如申請專利範圍第 1 項之電路，其中更包含與電壓參考並聯耦合之偏壓旁路分支。
14. 如申請專利範圍第 13 項之電路，其中該偏壓旁路分支包括一 PMOS 電晶體，其源極耦合至第一電源供應，其汲極耦合至假軌，其中 PMOS 電晶體之閘極耦合至致能電路。
15. 如申請專利範圍第 1 項之電路，其中該偏壓旁路分支包括一 PMOS 電晶體，其具有耦合至第一電源供應之源極及耦合至該假軌之汲極。
16. 一種轉換開關電路，用於轉換一電氣信號自第一節點至第二節點，其中，第一節點指向第一電源供應，其電位較第二節點指向之第二電源供應之電位大，電路包含：
傳送電晶體，其汲極耦合至第一節點，而源極則耦合至第二節點；

六、申請專利範圍

閘控制電路，耦合至傳送電晶體之閘極，其中該閘極控制電路連接該傳送電晶體之閘極至假軌線，此假軌線之電位等效於第二電源供應之電位；及

一偏壓旁路分支，耦合於第一供應軌及該假軌之間。

17. 如申請專利範圍第 16 項之電路，其中該偏壓旁路分支包括 PMOS 電晶體，其源極耦合至第一供應軌，其汲極耦合至該假軌，其中，該 PMOS 電晶體之閘極係耦合至致能電路。

18. 一種用於轉換電氣信號自第一節點至第二節點之方法，其中第一節點係指向第一電源供應，其電位較第二節點指向之第二電源供應之電位大，該方法包括下列步驟：

耦合傳送電晶體於第一節點及第二節點之間；

產生假軌電位，其低於第一電源供應之電位；

主動地對假軌電位鉗位；及

耦合該假軌電位至傳送電晶體之控制節點。

19. 如申請專利範圍第 18 項之方法，其中產生該假軌電位之步驟包括下列步驟：

將電壓參考電路之高電位節點耦合至第一電源供應；

將偏壓下拉電路之高電位節點耦合至電壓參考之低電位節點；

將偏壓下拉電路之高電位節點耦合至假軌電位節

六、申請專利範圍

點；及

將偏壓下拉電路之控制節點耦合至活性參考電路。

20. 如申請專利範圍第 19 項之方法，其中電壓參考為一二極體裝正。

21. 如申請專利範圍第 20 項之方法，其中偏壓下拉電路包括 PMOS 電晶體，其源極耦合至二極體裝置，而閘極則耦合至參考電路。

22. 如申請專利範圍第 21 項之方法，其中偏壓下拉電路進一步包括一雙極電晶體，其基極係耦合至 PMOS 電晶體之汲極，而收集極則耦合至二極體裝置。

23. 如申請專利範圍第 21 項之方法，其中偏壓下拉電路進一步包括達靈頓電晶體組，其具有一耦合至 PMOS 電晶體之汲極之控制節點。

24. 如申請專利範圍第 21 項之方法，其中有源參考電路包括第一二極體裝置，其具有耦合至第一電源軌之高電位節點及耦合至第二二極體裝置之低電位節點，其中，第二二極體裝置之低電位節點係耦合至電阻及 PMOS 電晶體之閘極。

25. 如申請專利範圍第 19 項之方法，其中進一步包含主動鉗位假軌電位之步驟之致能選擇旁路之步驟。

26. 如申請專利範圍第 25 項之方法，其中主動鉗位之致能選擇旁路之步驟包括下列步驟：將 PMOS 電晶體之源極耦合至第一電源軌，將 PMOS 電晶體之汲極耦

六、申請專利範圍

合至假軌電位，並將 PMOS 電晶體之閘極耦合至致能邏輯電路。

27. 一種電腦系統，其包括一或更多裝置，該種需要一或更多個電氣信號在第一節點及第二節點之間傳送及轉換，其中第一節點由第一電源供應供應電源，第二節點則由在低於第一電源供應之電位之電位之第二電源供應供應電源，此電腦系統包含一轉換開關電路，其包括：

- 一傳送電晶體，其汲極耦合至第一節點而源極則耦合至第二節點；及

- 一閘極控制電路，耦合至傳送電晶體之閘極，其中，閘極控制電路連接並主動鉗位傳送電晶體之閘極至具有低於第一電源供應之電位之電位之假軌線。

28. 一種轉換開關電路，用於轉換電氣信號自一第一節點至一第二節點，其中第一節點係指向電位大於第二電源供應之電位之第一電源供應，第二節點指向第二電源供應，此電路包含：

- 一開關，具有一控制節點；及

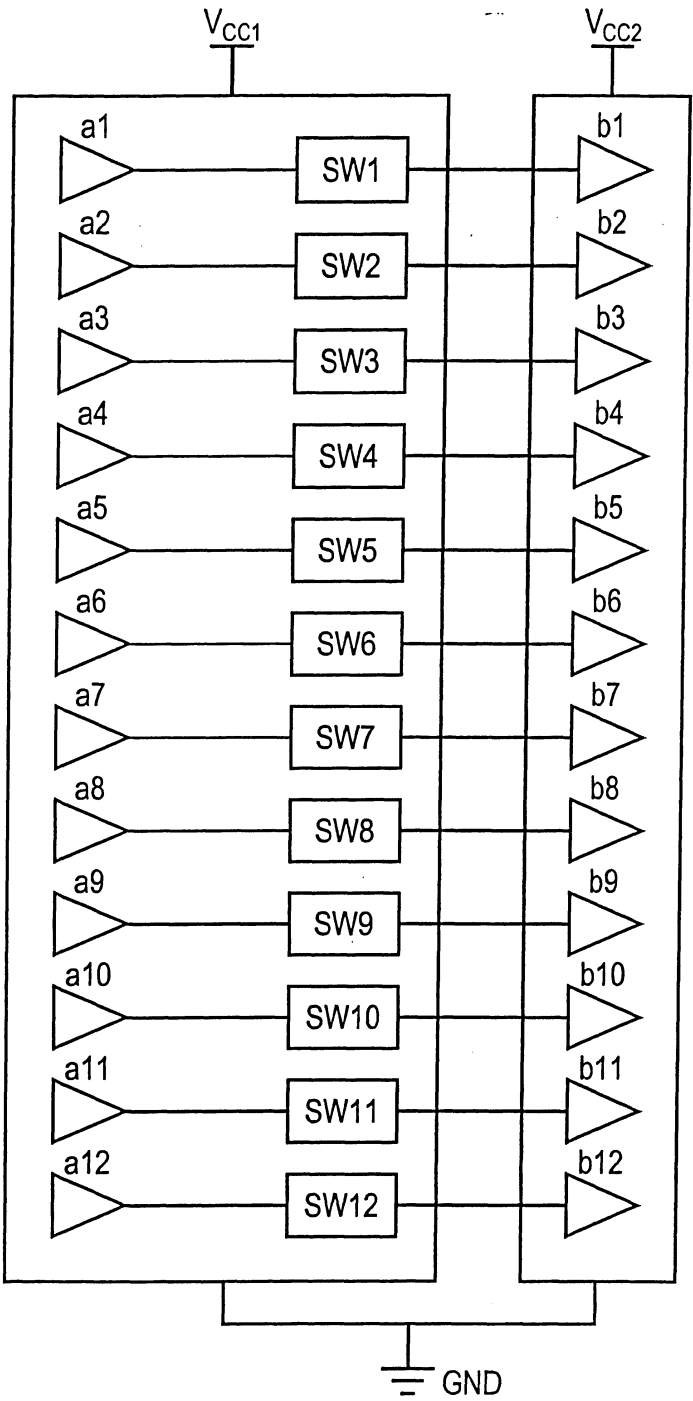
- 一控制節點電位調節器，耦合至開關之控制節點，其中控制節點電位調節器主動鉗位供應至控制節點之電位於低於第一電源供應之電位之位準。

+

1/7

90130619

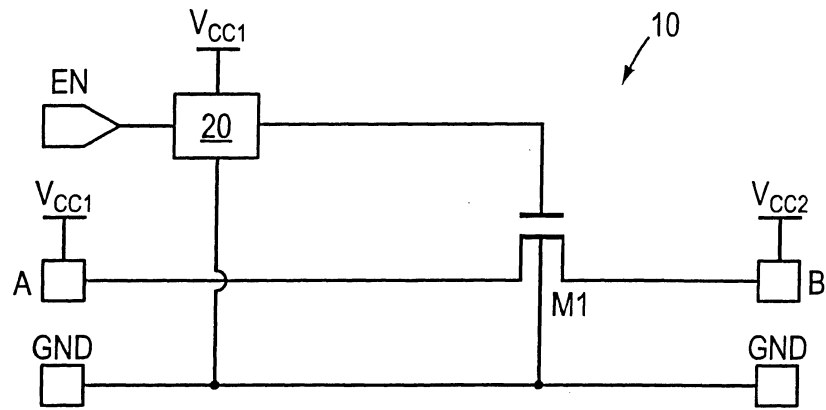
1



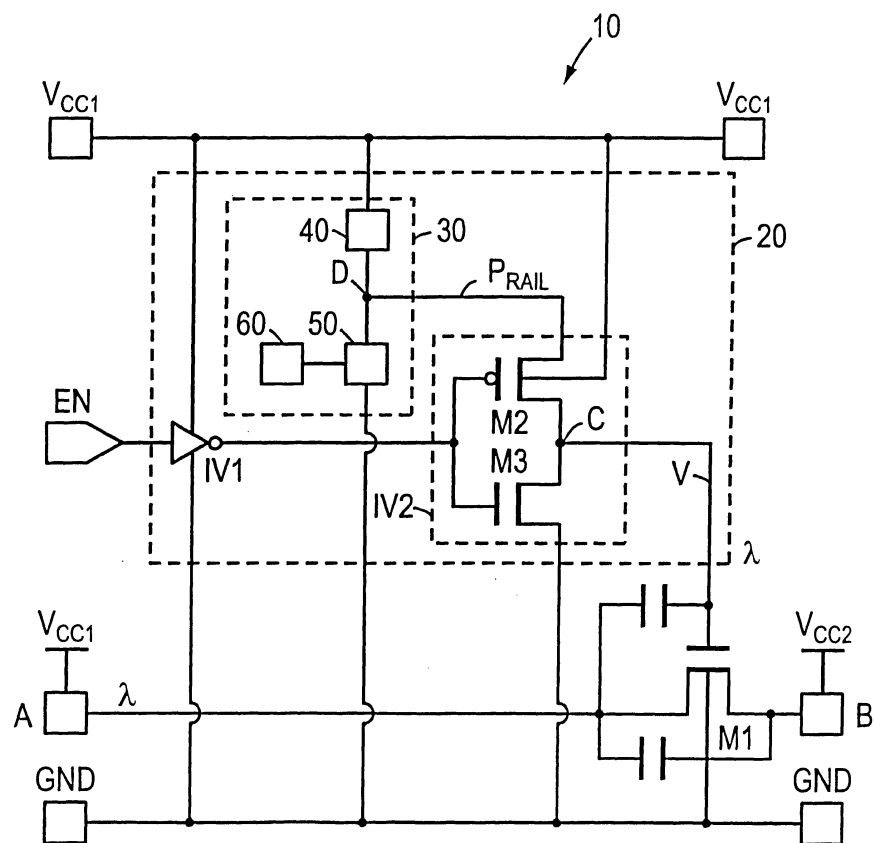
第 1 圖

+



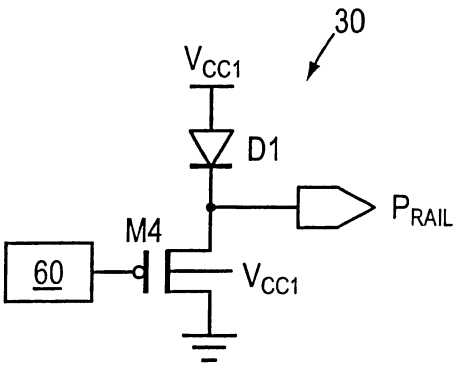


第 3 圖

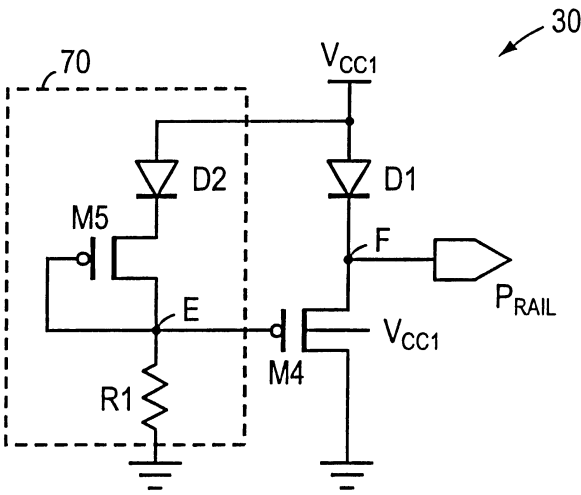


第4圖

+



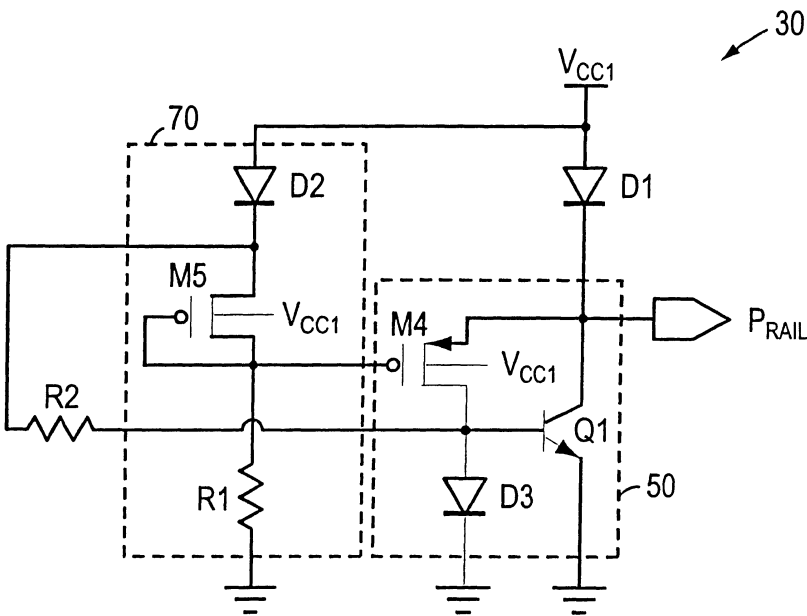
第 5 圖



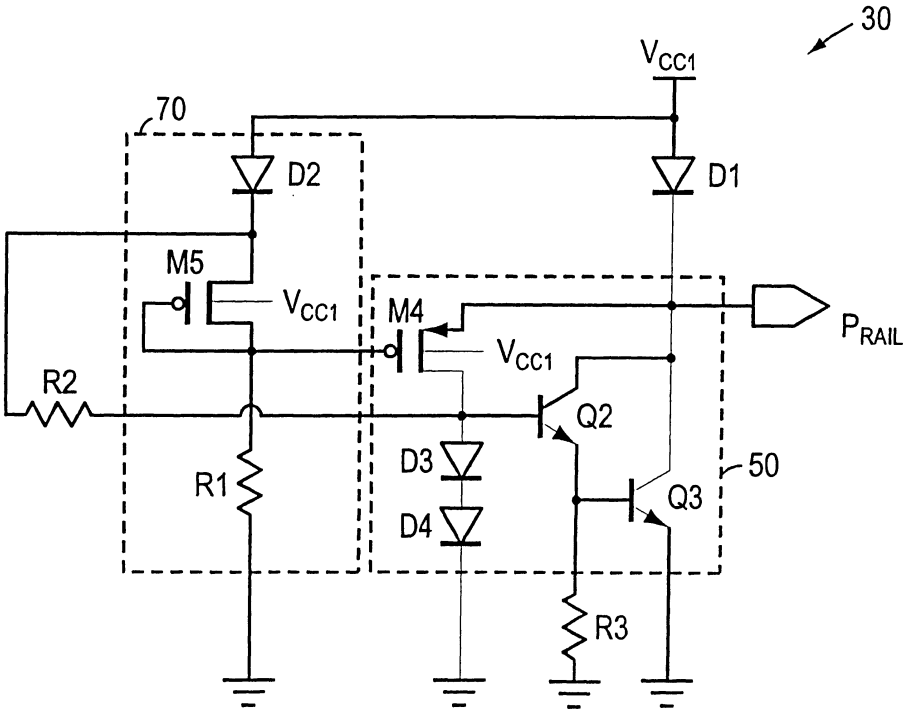
第 6 圖

+

+

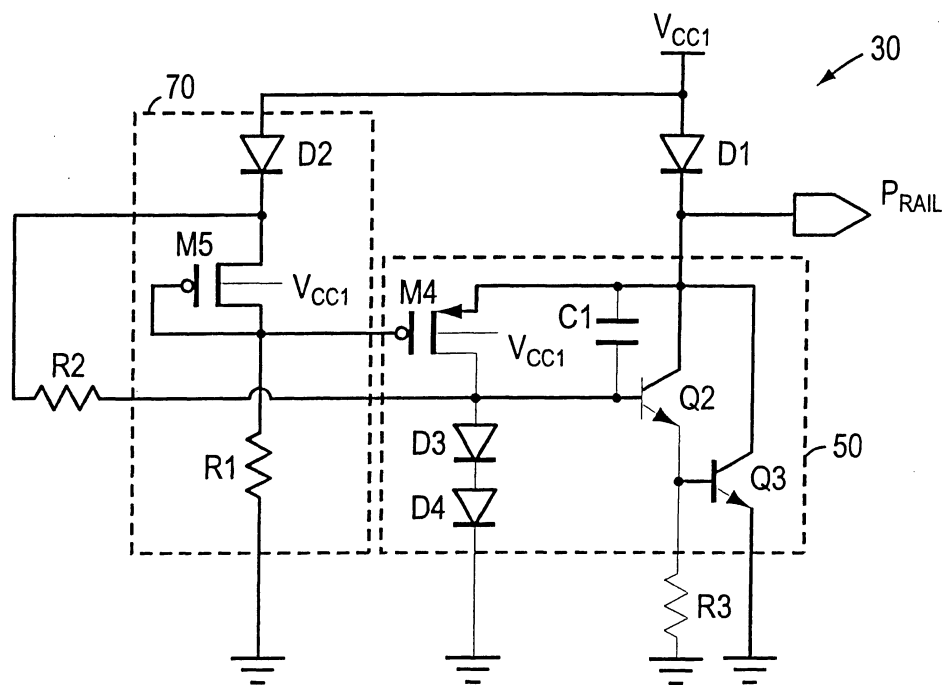


第 7 圖

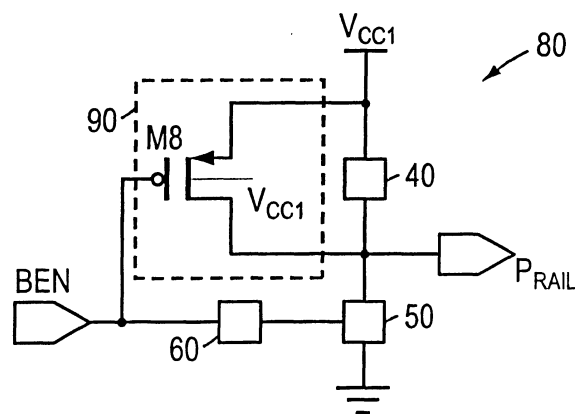


第 8 圖

+



第 9 圖



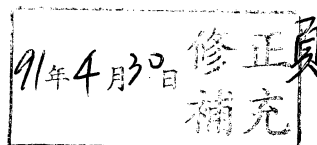
第 10 圖



公告本

FP12262C

申請日期	90.12.11
案號	90130619
類別	H03K 17/00



518823

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	具有截斷之選擇性配備的轉換開關電路
	英文	Translating switch circuit with disabling option
二、發明 創作人	姓名	1 古鐸崔隆 F. (Trenor F. Goodell) 2 布孟詹姆士 (James Boomer) 3 羅歐布蘭特 (Brent Rowe)
	國籍	1~3 美國
	住、居所	1 美國緬因州 04108 匹克島中央道 27 號 2 美國緬因州 04105 法茅斯哈拉克路 15 號 3 美國緬因州 04110 坎伯蘭羅素路 2 號
三、申請人	姓名 (名稱)	費查德半導體公司 Fairchild Semiconductor Corporation
	國籍	美國
	住、居所 (事務所)	美國緬因州 04106 南波特蘭流山路 82 號
	代表人 姓名	陶斯馬太 W. (Matthew W. Towse)