

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-200930

(P2013-200930A)

(43) 公開日 平成25年10月3日(2013.10.3)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 13/00 (2006.01)	G 1 1 C 13/00 1 2 O B	5 F 0 8 3
H O 1 L 27/105 (2006.01)	G 1 1 C 13/00 1 1 O R	
H O 1 L 27/10 (2006.01)	G 1 1 C 13/00 1 2 O A	
H O 1 L 45/00 (2006.01)	H O 1 L 27/10 4 4 8	
H O 1 L 49/00 (2006.01)	H O 1 L 27/10 4 8 1	
審査請求 未請求 請求項の数 5 O L (全 29 頁) 最終頁に続く		

(21) 出願番号 特願2012-69873 (P2012-69873)
 (22) 出願日 平成24年3月26日 (2012. 3. 26)

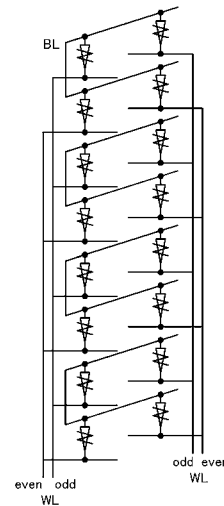
(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 110001612
 きさらぎ国際特許業務法人
 (72) 発明者 戸田 春希
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 Fターム(参考) 5F083 FZ10 GA05 GA06 GA09 GA10
 GA11 GA12 GA16 GA21 GA27
 JA60 LA02 LA03 LA04 LA05
 LA10 LA12 LA16 ZA10

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】製造の容易な半導体記憶装置の提供。
 【解決手段】半導体記憶装置は、複数の第1の配線、第1の配線と交差する複数の第2の配線、並びに複数の第1の配線及び第2の配線の交差部に設けられた複数のメモリセルを有するメモリマトを絶縁層を介して複数積層してなるメモリセルアレイを備える。メモリセルは、可変抵抗特性と電流整流特性とを有し、前記電流整流特性に応じて一端をアノード、他端をカソードとし、前記メモリセルアレイ内の前記メモリセルのアノードからカソードに向かう向きは全て同一であり、積層方向に配列された前記第2の配線は、n層(nは1以上の整数)おきに共通接続される。周辺回路は、選択メモリセルのセット、リセット及び読み出し動作に際して、選択メモリセルに接続された第1の配線及び第2の配線に固定電圧を印加し、その他の第1の配線及び第2の配線をフローティング状態にする。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

複数の第 1 の配線、前記第 1 の配線と交差する複数の第 2 の配線、並びに前記複数の第 1 の配線及び第 2 の配線の交差部に設けられた複数のメモリセルを有するメモリマットを絶縁層を介して複数積層してなるメモリセルアレイと、

前記メモリセルアレイに電圧を印加する周辺回路と

を備え、

前記メモリセルは可変抵抗特性と電流整流特性とを有し、前記電流整流特性に応じて一端をアノード、他端をカソードとし、

前記メモリセルアレイ内の前記メモリセルのアノードからカソードに向かう向きは全て同一であり、

積層方向に配列された前記第 1 の配線は、隣接する 2 つの層同士でそれぞれ共通接続され、

積層方向に配列された前記第 2 の配線は、奇数層同士及び偶数層同士でそれぞれ共通接続され、

前記周辺回路は、選択メモリセルのセット、リセット及び読み出し動作に際して、前記選択メモリセルに接続された前記第 1 の配線及び前記第 2 の配線に固定電圧を印加し、その他の前記第 1 の配線及び前記第 2 の配線をフローティング状態にし、

前記メモリセルは、

縦続接続された 2 つのセルユニットを含む縦列セルを有し、

前記各セルユニットは、物理状態が第 1 の状態と第 2 の状態とに変化可能で、経時的に前記第 2 の状態が前記第 1 の状態に遷移するよりも前記第 1 の状態が前記第 2 の状態に遷移し易い特性を有し、

前記メモリセルは、前記縦列セルの両方のセルユニットが前記第 2 の状態でないときに第 1 の値を記憶した状態、前記縦列セルの一方のセルユニットのみが前記第 2 の状態であるときに第 2 の値を記憶した状態、前記縦列セルの両方のセルユニットが前記第 2 の状態であるときに第 3 の値を記憶した状態である

ことを特徴とする半導体記憶装置。

【請求項 2】

複数の第 1 の配線、前記第 1 の配線と交差する複数の第 2 の配線、並びに前記複数の第 1 の配線及び第 2 の配線の交差部に設けられた複数のメモリセルを有するメモリマットを絶縁層を介して複数積層してなるメモリセルアレイと、

前記メモリセルアレイに電圧を印加する周辺回路と

を備え、

前記メモリセルは可変抵抗特性と電流整流特性とを有し、前記電流整流特性に応じて一端をアノード、他端をカソードとし、

前記メモリセルアレイ内の前記メモリセルのアノードからカソードに向かう向きは全て同一であり、

積層方向に配列された前記第 2 の配線は、 n 層 (n は 1 以上の整数) おきに共通接続され、

前記周辺回路は、選択メモリセルのセット、リセット及び読み出し動作に際して、前記選択メモリセルに接続された前記第 1 の配線及び前記第 2 の配線に固定電圧を印加し、その他の前記第 1 の配線及び前記第 2 の配線をフローティング状態にする

ことを特徴とする半導体記憶装置。

【請求項 3】

積層方向に配列された前記第 2 の配線は、奇数層同士及び偶数層同士でそれぞれ共通接続されている

ことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】

積層方向に配列された前記第 1 の配線は、隣接する 2 つの層同士でそれぞれ共通接続さ

10

20

30

40

50

れている

ことを特徴とする請求項3記載の半導体記憶装置。

【請求項5】

前記メモリセルは、縦続接続された2つのセルユニットを含む縦列セルを有し、

前記各セルユニットは、物理状態が第1の状態と第2の状態とに変化可能で、経時的に前記第2の状態が前記第1の状態に遷移するよりも前記第1の状態が前記第2の状態に遷移し易い特性を有し、

前記メモリセルは、前記縦列セルの両方のセルユニットが前記第2の状態でないときに第1の値を記憶した状態、前記縦列セルの一方のセルユニットのみが前記第2の状態であるときに第2の値を記憶した状態、前記縦列セルの両方のセルユニットが前記第2の状態であるときに第3の値を記憶した状態である

ことを特徴とする請求項1～4のいずれか1項記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書記載の技術は、半導体記憶装置に関する。

【背景技術】

【0002】

従来、電氣的に書き換え可能な不揮発性メモリとしては、フローティングゲート構造を有するメモリセルをNAND接続又はNOR接続してセルアレイを構成したフラッシュメモリが周知である。また、不揮発性で且つ高速なランダムアクセスが可能なメモリとして、強誘電体メモリも知られている。

【0003】

一方、メモリセルの更なる微細化を図る技術として、可変抵抗素子をメモリセルに使用した抵抗変化型メモリが提案されている。可変抵抗素子としては、カルコゲナイド化合物の結晶/アモルファス化の状態変化によって抵抗値を変化させる相変化メモリ素子、トンネル磁気抵抗効果による抵抗変化を用いるMRAM素子、導電性ポリマーで抵抗素子が形成されるポリマー強誘電RAM(PFRAM)のメモリ素子、電気パルス印加によって抵抗変化を起こすReRAM素子等が知られている。

【0004】

ReRAMとしては、一般にメモリセルマツ間で配線を共有し、配線層を介してメモリセルの電流整流方向を反転させる、いわゆるクロスポイント型のメモリセルアレイが採用されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2010-20863号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、製造の容易な半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

実施形態に係る半導体記憶装置は、複数の第1の配線、第1の配線と交差する複数の第2の配線、並びに複数の第1の配線及び第2の配線の交差部に設けられた複数のメモリセルを有するメモリマツを絶縁層を介して複数積層してなるメモリセルアレイを備える。メモリセルは、可変抵抗特性と電流整流特性とを有し、前記電流整流特性に応じて一端をアノード、他端をカソードとし、前記メモリセルアレイ内の前記メモリセルのアノードからカソードに向かう向きは全て同一であり、積層方向に配列された前記第2の配線は、n層(nは1以上の整数)おきに共通接続される。周辺回路は、選択メモリセルのセット、

10

20

30

40

50

リセット及び読み出し動作に際して、選択メモリセルに接続された第1の配線及び第2の配線に固定電圧を印加し、その他の第1の配線及び第2の配線をフローティング状態にする。

【図面の簡単な説明】

【0008】

【図1】第1の実施形態に係る半導体記憶装置の全体構成を示すブロック図である。

【図2】同半導体記憶装置のメモリセルアレイ構造を示す斜視図である。

【図3】同メモリセルアレイの等価回路図である。

【図4】同メモリセルアレイの等価回路図である。

【図5】同メモリセルの構成及び動作を説明するための模式図である。

10

【図6】同半導体記憶装置の状態遷移を説明するための模式図である。

【図7】同半導体記憶装置のホールド状態を説明するための回路図である。

【図8】同半導体記憶装置のスタンバイ状態を説明するための回路図である。

【図9】同半導体記憶装置の消去動作を説明するための回路図である。

【図10】同半導体記憶装置の消去動作を説明するためのタイムチャートである。

【図11】同半導体記憶装置の消去動作中における電位変化を説明するための模式図である。

【図12】同半導体記憶装置の消去動作の範囲を説明するための模式図である。

【図13】同半導体記憶装置の‘0’設定を説明するための回路図である。

【図14】同半導体記憶装置の‘0’設定を説明するためのタイムチャートである。

20

【図15】同半導体記憶装置の‘0’設定中における電位変化を説明するための模式図である。

【図16】同半導体記憶装置の‘1’設定を説明するための回路図である。

【図17】同半導体記憶装置の‘1’設定を説明するためのタイムチャートである。

【図18】同半導体記憶装置の‘1’設定中における電位変化を説明するための模式図である。

【図19】同半導体記憶装置の‘0’読み出しを説明するための回路図である。

【図20】同半導体記憶装置の‘0’読み出しを説明するためのタイムチャートである。

【図21】同半導体記憶装置の‘0’読み出し中における電位変化を説明するための模式図である。

30

【図22】同半導体記憶装置の‘1’読み出しを説明するためのタイムチャートである。

【図23】同半導体記憶装置の‘1’読み出し中における電位変化を説明するための模式図である。

【図24】同半導体記憶装置の‘1’読み出しを説明するための回路図である。

【図25】同半導体記憶装置の‘1’読み出しを説明するための回路図である。

【図26】同半導体記憶装置の‘1’読み出しを説明するための回路図である。

【図27】同半導体記憶装置の‘1’読み出しを説明するための回路図である。

【図28】同半導体記憶装置の‘1’読み出しを説明するための回路図である。

【図29】同半導体記憶装置の‘1’読み出しを説明するための回路図である。

【図30】同半導体記憶装置のメモリセルアレイ及び周辺回路の構成を説明するための回路図である。

40

【図31】同半導体記憶装置の選択線ブロックデコーダの構成を説明するための回路図である。

【図32】同半導体記憶装置のSSCC回路の構成例を示す回路図である。

【図33】同半導体記憶装置のメモリセルアレイ及び周辺回路のレイアウトを示す平面図である。

【図34】同半導体記憶装置のメモリセルアレイ及び周辺回路のレイアウトを示す概略図である。

【図35】同半導体記憶装置のビット線ドライバの配置例を示すブロック図である。

【図36】同半導体記憶装置のビット線ドライバの配置例を示す平面図である。

50

【図37】同半導体記憶装置のワード線ドライバの配置例を示すブロック図である。

【図38】同半導体記憶装置のbus fall & MUXの配置例を示す平面図である。

【図39】同半導体記憶装置のメモリシステムの構成例を示すブロック図である。

【図40】第2の実施形態に係る半導体記憶装置のメモリセルアレイの構成を説明するための回路図である。

【発明を実施するための形態】

【0009】

以下、図面を参照しながら実施形態に係る半導体記憶装置について説明する。

【0010】

[第1の実施形態]

[半導体記憶装置の概要]

図1は、実施形態に係る半導体記憶装置の構成図である。この半導体記憶装置は、メモリセルアレイ1と、このメモリセルアレイ1に対するデータ消去、データ書き込み及びデータ読み出しを制御するカラム制御回路2及びロウ制御回路3とを備える。メモリセルアレイ1は、絶縁層を介して複数積層されたメモリマットMM（メモリセル層）を有する。各メモリマットMMは、互いに交差する複数のビット線BL（第1の配線）及び複数のワード線WL（第2の配線）と、これらビット線BL及びワード線WLの各交差位置に接続されたメモリセルMCを有する。

【0011】

カラム制御回路2は、メモリマットMMのビット線BLに接続されている。カラム制御回路2は、メモリセルMCのデータ消去、メモリセルMCへのデータ書き込み及びメモリセルMCからのデータ読み出しを行うためにビット線BLを制御する。なお、以下において、メモリセルMCのデータ消去を「リセット」と呼び、メモリセルMCへのデータ書き込みを「セット」と呼ぶことがある。また、消去動作、書き込み動作及び読み出し動作をまとめて「アクセス動作」と呼ぶことがある。カラム制御回路2には、ビット線BLを選択し、アクセス動作に必要な電圧をビット線BLに供給するデコーダ及びマルチプレクサを含むビット線ドライバ2aと、読み出し動作時にメモリセルMCに流れる電流を検知・増幅してメモリセルMCが記憶するデータを判定するセンスアンプ2bを有する。

【0012】

一方、ロウ制御回路3は、メモリマットMMのワード線WLに接続されている。ロウ制御回路3は、アクセス動作時にワード線WLを選択する。ロウ制御回路3は、アクセス動作に必要な電圧をワード線WLに供給するワード線ドライバ3aを有する。なお、このロウ制御回路3は、カラム制御回路2と共にアクセス回路に含まれる。

【0013】

図2は、メモリセルアレイ1の一部を示す模式的な斜視図である。

メモリセルアレイ1は、クロスポイント型のメモリセルアレイである。メモリセルアレイ1のメモリマットMMは、平行に配設された複数のビット線BLと、これらビット線BLと交差する方向に平行に配設された複数のワード線WLを有する。ビット線BL及びワード線WLの各交差部には、両配線に挟まれるようにメモリセルMCが設けられている。メモリセルアレイ1は、前述の通り、このような複数のメモリマットMMを図示しない絶縁層を介して多層に積層することにより形成されている。

【0014】

図3及び図4は、図2に示したメモリセルアレイ1の等価回路図である。メモリセルMCは、後に詳細に述べるように、可変抵抗特性と非オーミック特性を有しており、電流が多く流れる向きを長い三角形で示している。したがって、三角形の基端側をアノード、先端側をカソードとする。図3及び図4に示す通り、メモリセルアレイ1においてメモリセルMCの電流整流方向は、全て同一である。又、図4に示す通り、積層方向に隣接する組毎にメモリマットMMの積層方向に重なるビット線BLが共通に接続されており、更に偶数層目のメモリマットMMのワード線WL及び奇数層目のメモリマットMMのワード線WLもそれぞれ共通に接続されている。本実施形態においては、ビット線BLの共有及びワ

10

20

30

40

50

ード線WLの共有によって、周辺回路の面積の縮小を図っている。

【0015】

いま、図3におけるメモリセルMC0001をアクセスする場合、メモリセルMC0011のアノード側に接続されたビット線BL00に選択ビット線電圧 U_b を供給し、メモリセルMC0001のカソード側に接続されたワード線WL01に選択ワード線電圧 V_w を供給する。これにより、例えば $U_b > V_w$ の場合、図中矢印の様に電流が流れてアクセスが行なわれる。選択されるメモリセルMC0001以外のメモリセルMCに接続されるビット線BLやワード線WLにどのような電位を与えるかは重要な点で、選択されたメモリセルMC0001が確実にアクセス出来るようにする必要がある。本実施形態においては後述するフローティングアクセス方式(FLA)を採用しており、非選択ビット線及び非

10

【0016】

[メモリセル]

次に、本実施形態に係るメモリセルMCについて説明する。メモリセルMCは、可変抵抗特性及び非オーミック特性を有する。この実施形態では、メモリセルMCが高抵抗である状態を「リセット状態」と呼び、低抵抗である状態を「セット状態」と呼ぶ。なお、ここでは、可変抵抗素子の代表としてイオンメモリを用いたメモリセルについて説明するが、低抵抗状態と高抵抗状態を印加する電圧とその極性によって切り替えて、低抵抗状態又は高抵抗状態をある程度保持できる素子であれば、その構成は問わない。また、ここでは、ダイオード特性を有する構成を積極的に導入した構成として検討するが、特にダイオード特性素子を構成に含まずとも、可変抵抗素子自体がダイオード特性を持っているのであれば、この特性部分を分離してダイオードとして考えればよい。

20

【0017】

図5は、実施形態におけるメモリセルMCの構成及びその特性を示す図である。この実施形態では、イオンメモリとして、単体素子(以下、「セルユニットCU」と呼ぶ。)を二つ重ねたもの(以下、「縦列セル」と呼ぶ。)を使用する。このように、セルユニットCUを二つ重ねることにより、セルユニットCUに生じるデータ保持変化の確率が自乗されて、メモリセルMC全体としてのデータ保持変化が実質的に少なくなるからである。

【0018】

メモリセルMCは、図5の最も左の模式的構造図に示すように、ビット線BL及びワード線WLの間に積層された2つのセルユニットCU1, CU2から構成される。セルユニットCU1は、ビット線BL側から順に配置された金属層11、アモルファスシリコン層12及びドーフトポリシリコン層13を有する。また、セルユニットCU2は、ドーフトポリシリコン層13側から順に配置された金属層21、アモルファスシリコン層22及びドーフトポリシリコン層23, 24を有する。金属層11, 21は、金属イオンの発生源として機能する。アモルファスシリコン層12は、金属のフィラメントが成長する媒体となる。ドーフトポリシリコン層13, 23は、金属層11, 21の対向電極となる。ドーフトポリシリコン層13, 23は、ドーピングのタイプをpタイプとしている。下側のセルユニットCU2の下に設けたドーフトポリシリコン層24は、ドーピングタイプがnタイプであり、その上のp型のドーフトポリシリコン層23と共にダイオードを形成している。アモルファスシリコン層12, 22は、その下のp型のドーフトポリシリコン層13, 23に対してnタイプに見えることから、この界面には寄生的なダイオードがあるとみなせる。

30

40

【0019】

図5の構成図の右側には、このメモリセルMCの状態と構成を模式的に表す図として、いくつかのセル状態における模式図を示している。金属フィラメントは下向きの縦長の三角形で示している。ドーフトポリシリコン層23, 24により形成される固定ダイオードは、ビット線BL側をアノード、ワード線WL側をカソードとするが、アモルファスシリコン層12, 22とドーフトポリシリコン層13, 23との界面に形成される寄生ダイオードは、これとは逆向きで、ワード線WL側をアノード、ビット線BL側をカソードとす

50

る。

【 0 0 2 0 】

図中(1)は、2つのセルユニットCU1, CU2のフィラメントが、共にアモルファスシリコン層12, 22を貫通していない場合である。この場合、2つの寄生ダイオードが現れている。

【 0 0 2 1 】

図中(2)は、2つのセルユニットCU1, CU2のフィラメントが、共にアモルファスシリコン層12, 22を貫通している場合である。この場合には、アモルファスシリコン層12, 22とドーフトポリシリコン層13, 23の界面がなくなるので寄生ダイオードは消滅する。

【 0 0 2 2 】

図中(3)は、上側のセルユニットCU1ではフィラメントがアモルファスシリコン層12を非貫通で、下側のセルユニットCU2ではフィラメントがアモルファスシリコン層22を貫通している場合である。この場合には、寄生ダイオードは上側のアモルファスシリコン層12とドーフトシリコン層13の界面にのみ現れている。

【 0 0 2 3 】

尚、セルユニットCU中のフィラメントがアモルファスシリコン層12, 22を貫いている状態は低抵抗のセット状態、フィラメントがアモルファスシリコン層12, 22と接触していない状態は高抵抗のリセット状態となる。又、以下において、フィラメントがアモルファスシリコン層12, 22と接触しかけている状態を「弱リセット状態」と呼ぶ。

【 0 0 2 4 】

次に、縦列セルでリテンション特性が大幅に改善されることの説明を行う。セルユニットCU1, CU2では、電極間で導電体が繋がり低抵抗になったセット状態は準安定な状態であり、電氣的、熱的などの擾乱により導電体は拡散して弱リセット状態を経てやがてリセット状態になる。リセット状態はアモルファスシリコン層12, 22内に金属イオンが僅かに拡散した状態として安定した状態を形成し、少々の擾乱では低抵抗状態には遷移することは無い。

【 0 0 2 5 】

そこで、本実施形態に係る半導体記憶装置においては、セルユニットCU1及びCU2が共にリセット状態である場合(以下、R/R)を‘2’状態とし、セルユニットCU1及びセルユニットCU2の一方がセット状態であり、他方がリセット状態である場合(以下、S/R又はR/S)と、一方が弱リセット状態であり、他方がリセット状態である場合(以下、WR/R又はR/WR)とを‘1’状態とし、セルユニットCU1及びセルユニットCU2が共にセット状態である場合(以下、S/S)と、セルユニットCU1及びセルユニットCU2が共に弱リセット状態である場合(以下、WR/WR)と、セルユニットCU1及びセルユニットCU2の一方がセット状態であり、他方が弱リセット状態である場合(以下、S/WR又はWR/S)とを‘0’状態としている。

【 0 0 2 6 】

選択メモリセルMCをある状態に遷移させる過程と、メモリセルMCの自発的及び自然的な緩和過程を示すと、図6に示すようになる。すなわち、実線で囲んだメモリセルMCの‘2’状態は消去状態であると共に安定状態であり、ある程度の擾乱に対してはほとんど不揮発的にこの状態を維持できる。一方、自然的な緩和により状態が変化しやすくなる準安定状態のうち、比較的变化しやすいのが図中破線の枠で囲ったメモリセルMCである。この状態のメモリセルMCは、セルユニットCU1, CU2の少なくとも一方がセット状態である。セット状態は弱リセット状態に変化しやすい。また、準安定状態のうち、擾乱が無ければその状態を維持できる比較的安定した準安定状態は、図中一点鎖線の枠で囲って示す。S/Sのうち強くフィラメントが形成された状態、WR/WR、R/WR及びWR/Rの各状態がこの準安定状態に相当する。これらの状態はセルユニットCU1, CU2が強いセット状態か、弱リセット状態のみ、またはリセット状態と弱リセット状態の組み合わせである場合である。この準安定状態は擾乱が無ければその状態に留まるこ

10

20

30

40

50

とができる。

【0027】

これらの準安定状態のうち強いセット状態は、擾乱があるとセット状態に遷移し、更にセット状態は弱リセット状態に遷移する。遷移後の弱リセット状態は、セット状態と容易に往き来できる高抵抗状態である。さらに弱リセット状態は、やがてリセット状態に遷移してセット状態には戻ることができない状態として安定化する。緩和過程としてはセット状態が弱リセット状態に緩和するのはごく容易であり、弱リセット状態がリセット状態に緩和するのは、かなり擾乱が大きいときと考えられる。

【0028】

以上の点について、選択メモリセルMCのみに電位設定により状態遷移を生じさせる過程を実線の矢印で示し、経時的な自然の緩和の過程のうち緩和が生じ易い状態遷移を破線の矢印で示し、緩和が生じ難い状態遷移を一点鎖線矢印で示した。R/R状態は、電位設定によりS/S状態に遷移させることができる。S/S状態とS/RまたはR/S状態との間は、電位設定により容易に遷移させることができる。S/S状態から緩和過程によって生じたWR/S及びS/WRからは、電位設定により、S/S状態、S/R状態またはR/S状態に容易に遷移させることができる。WR/SまたはS/WR状態からさらに緩和が進んだ準安定状態のWR/WR状態からは電位設定によりS/S状態に容易に遷移させることができる。S/RまたはR/S状態から緩和が進んだWR/RまたはR/WR状態からは電位設定によりS/RまたはR/S状態に容易に遷移させることができる。

10

【0029】

準安定状態のS/S状態からは、S/WR又はWR/S状態を経てWR/WR状態に緩和するので、セルユニット単体に比べてこの準安定状態から安定状態に緩和するのに時間がかかる。さらにWR/WR状態から一方のセルユニットCUがR状態になる緩和は比較的生じ難いので、セルが‘0’状態に留まる時間は長い。準安定状態であるWR/RやR/WR状態は、既に一方のセルユニットCUがリセット状態、すなわち高抵抗状態であるため、WR状態のセルユニットに大きな電氣的擾乱を伝える確率が減る。このため、WR/R状態やR/WR状態からR/R状態への緩和は生じ難くなる。

20

【0030】

縦列セルのリテンション特性は、以上のように、単体のセルユニットCUの特性に比べ格段に向上するが、さらに‘0’状態や‘1’状態でのリテンション不良に対して、より訂正がし易いECCを設けると、リテンションに対して良好なメモリシステムを構築できる。

30

【0031】

[動作]

次に、本実施形態に係る半導体記憶装置の動作について説明する。本実施形態に係る半導体記憶装置においては、選択メモリセルMCに際して非選択ビット線BL及び非選択ワード線WLをフローティング状態とするフローティングアクセス方式(FLA)を採用する。

【0032】

図7に示すように、例えば3×3のメモリセルMCからなるメモリマットMMを有し、上下のメモリマットMMでビット線BLとワード線WLとを共有しているメモリセルアレイ1において、アクセスに入る前の状態、すなわちメモリセルMCの状態を保持しているときをホールドと呼び、すべてのビット線BL及びワード線WLは接地レベルであるV_sに設定する。この状態ではセルはその抵抗状態を維持してデータがメモリセルアレイ1に固定された状態となる。どのメモリセルMCにも電位バイアスはかからない。

40

【0033】

次に、FLA方式を使うため、フローティングにするビット線BL及びワード線WLの電位を予め設定する過程を、イニシャルスタンドバイとアクティブスタンドバイの二つに分けて設定する。図8は、このようなスタンドバイ状態の電圧印加状態を示す図である。アクティブスタンドバイにおいては、選択線の電位変化が大きいために、隣接選択線の力

50

カップリングが大きいとフローティングの選択線が許容された電位範囲から外れてしまうような過程で、いずれの選択線もフローティングにしないで電位の変化と設定の維持を短い時間同時に行うスタンバイ過程である。スタンバイの後にアクティブ過程があるが、これは後述するように非選択となったビット線BL及びワード線WLなどをフローティング状態にする。

【0034】

アクセスモードは、消去、'0'状態設定、'1'状態設定、'0'読み出し、'1'読み出しの5つである。以下、それぞれのアクセスモードについて順に説明する。なお、以下において、非選択ビット線のうち、選択メモリマットMMに接続されているものを第1の非選択ビット線BLと、非選択メモリマットMMに接続されているものを第2の非選択ビット線BLと呼ぶ。又、上述の通り本実施形態に係る半導体記憶装置は偶数層目のメモリマットMMと、奇数層目のメモリマットMMとについて、それぞれ共通のワード線WLを有しているが、非選択ワード線のうち、選択メモリマットMMに接続されている方のワード線WLを第1の非選択ワード線と、選択メモリマットMMに接続されていない方のワード線WLを第2の非選択ワード線と呼ぶ。更に、選択ビット線BLの電位を U_b 、第1の非選択ビット線BLに設定される電位を U 、第2の非選択ビット線BLに設定される電位を U_{om} で表す。又、選択ワード線WLに設定される電位を V_w 、第1の非選択ワード線に設定される電圧を V 、第2の非選択ワード線に設定される電位を V_{anp} で表す。

10

【0035】

[消去]

消去は、セルユニットCU1, CU2をリセット状態にして'2'の状態のセルにする過程で、個別のセルをこの状態にし、かつ他のセルにディスタープを与えずに設定をすることが困難であるので、所定の消去領域を構成する複数本のビット線BLに接続されたメモリセルMCに対して同時に消去を行う。全てのワード線WLの設定は同じである。

20

【0036】

図9にビット線BLとワード線WLの電位設定のアクティブスタンバイ時のパターンを示し、図10にタイムチャートを示す。又、図11に、消去におけるビット線BL及びワード線WLの電位の変化のみを示す。図11において、設定時の電位を太い実線のバーで、ここからの変化後の電位を白抜きのバーで示した。以下、隣接するビット線BL及びワード線WLのカップリングを100%と仮定する。

30

【0037】

設定のための電位は大きな値を使うので、メモリセルMCの誤動作を防ぐべく、2段階で行われる。時刻 $t_0 \sim t_1$ まではホールド(hold)である。第1段階では、時刻 t_1 で、まず全てのビット線BLと全てのワード線WLに初期電圧 V_{min} を設定する。時刻 $t_1 \sim t_2$ がイニシャルスタンバイ(initial stand-by)である。即ち、縦列セルは、ホールドではビット線BLもワード線WLも接地電位 V_{ss} に設定されている。この状態でビット線BL及びワード線WLを設定電位に立ち上げると、ビット線BLの電位及びワード線WLの電位は、セルユニットCU1, CU2の中間ノードに対して瞬間的に高い電位になる。これにより、セルユニットCU1, CU2の状態が遷移してしまう可能性がある。イニシャルスタンバイは、このように、セルユニットCU1, CU2に状態変化を生じさせないために両者間のノードの電位を予め上昇させておく過程である。次に、時刻 t_2 で、消去を行わないビット線BLは、一点鎖線で示すようにメモリマットMMに関係なく初期電圧 V_{min} のままとし、消去を行うビット線BLには、実線のように接地電圧 V_{ss} を印加する。また、時刻 t_2 で、全てのワード線WLは V_{reset+} に設定する。時刻 t_2 から時間1の間はアクティブスタンバイである。アクティブスタンバイで、この設定を維持したあとでアクティブ状態となる。このアクティブ状態では、全てのビット線BLとワード線WLを点線で示すようにフローティング状態にする。フローティング状態を時刻 t_3 まで維持する。ここまでが第1段階である。

40

【0038】

第2段階では、時刻 t_3 でイニシャルスタンバイが開始され、消去を行うビット線B

50

Lには、再び接地電圧 V_{ss} を、消去を行わないビット線BLには V_{reset+} を与え、全てのワード線WLは $2V_{reset+}$ の設定とする。尚、 V_{reset+} は所定の電圧変化幅である。アクティブスタンドバイでは、イニシャルスタンドバイの設定を維持する。 t_3 から時間 t_2 の間この設定を維持したあとで、アクティブに移行し、再び全てのワード線WLとビット線BLをフローティングにする。

【0039】

しばらくフローティングを維持したあとは自然放電で電位が V_{ss} 近傍に落ち着くのを待つが、電圧の変化量が初期電圧 V_{min} を超えないようにして少しずつ電位を強制的に下げて接地電位 V_{ss} 近傍に持っていても良い。時刻 t_3 までの設定は縦列セルの中間ノードが電位設定に追従してセルユニットに状態遷移を生じるような擾乱が発生しないようにしつつ、消去するメモリセルMCについて準備的なセルユニットの遷移をするためである。時刻 t_3 以降が本来の消去が行われて‘2’状態が設定される過程である。尚、上記消去は、フローティング状態のビット線BLに隣接するビット線、又はフローティング状態のワード線に隣接するワード線WLに対する印加電圧を変動させる動作を含まないので、カップリングによる電位変動を生じない。

10

【0040】

図12に示すように、消去領域EAは、所定のビット線BLのまとまりごとに設定され、この設定された消去領域EAのみが‘2’状態に設定される。ビット線BLは、メモリセルMCを三次元化したメモリセルアレイ1において各層を形成するメモリマットMMごとに異なる選択回路群を持つ。これはメモリマットMMごとに個別の選択セルからデータを読み出すためであるが、これを利用して、メモリマットMMごとと、メモリマットMM内でのビット線BLのグループごとの消去を行うことができる。

20

【0041】

あるメモリマットMMの一定の消去領域EAを消去する場合の電位設定の概要を図12に示す。選択されたメモリマットMMも含めて、マトリクス内の全てのワード線WLは初期電圧 V_{min} から電圧 V_{reset+} を経て電圧 $2V_{reset+}$ へと各過程で設定される。消去領域EAは、図12のようにメモリマットMM内でまとまっても、分散していても良いし、異なるメモリマットMMにまたがって設定されても良いが、消去領域EAに含まれるビット線BLの電位は V_{min} から V_{ss} へと設定され、消去領域EAに含まれるビット線BL上の全てのメモリセルMCが消去される。消去領域EA以外のビット線BLは初期電圧 V_{min} から電圧 V_{reset+} へと設定される。電圧設定とフローティングの関係は図10に示した通りである。

30

【0042】

このような消去動作は、例えば、連続アクセスの単位、すなわちワード線WLをスキャンして複数のビット線BLに対して同時に行う連続アクセスに対応した上記複数ビット線BLの単位で行うことが可能である。また、ある領域ごとに一定のスキャンサイクルおきに消去を行って、新たなデータの設定を行うことも可能である。このように、消去の範囲、タイミングなど、いろいろなデータ転送のモードを仕様として設けることができる。

【0043】

次に、図11に基づき、他のメモリマットMMへの影響について考察する。図11には、アクセス対象のメモリマットMMのアクセス対象ビット線BLに印加する選択ビット線電圧を U_b で示している。この選択ビット線電圧 U_b は、選択ビット線BLと共通接続された上層又は下層のメモリマットMMの対応するビット線BLにも印加される。又、アクセス対象のメモリマットMMにおいて非選択ビット線BLに印加されるビット線電圧を U で示し、アクセス対象でないメモリマットMMで選択ビット線BLに接続されていないビット線BLに印加される電圧を U_{om} で示している。又、アクセス対象のメモリマットMMのアクセス対象ワード線WLに印加する選択ワード線電圧を V_w で示している。この選択ワード線電圧 V_w は、選択ワード線WLと共通接続された奇数層又は偶数層のメモリマットMMの対応するワード線WLにも印加される。又、アクセス対象のメモリマットMMにおいて非選択ワード線WLに印加されるワード線電圧を V で示し、アクセス対象でない

40

50

メモリマツトMMのワード線WLに印加される電圧を V_{anp} で示している。以後、この表記は消去以外の他のアクセスにおいても同様に使用する。

【0044】

消去動作の場合、消去対象のメモリマツトMMの全ワード線WLを選択ワード線とするので、 $V_w = V$ である。選択ビット線BLにつながるアクセス対象のメモリマツトMMの上層又は下層のメモリマツトMMのビット線BLには、電圧 $U_b = V_{ss}$ が印加されるが、アクセス対象のメモリマツトMMが奇数層（又は偶数層）である場合、その上層又は下層のメモリマツトMMは偶数層（又は奇数層）であるので、ワード線WLには電圧 $V_{anp} = V_{min}$ しか印加されず、誤消去が発生することはない。また、アクセス対象のメモリマツトMMが奇数層（又は偶数層）である場合、他の奇数層（又は偶数層）のメモリマツトMMのワード線WLにも $V = V_w = 2V_{reset} +$ が印加されることになるが、アクセス対象のメモリマツトMM以外にビット線BLに $U_b = V_{ss}$ が印加されるのは、偶数層（又は奇数層）であるため、その層のメモリマツトMMには $V_{reset} +$ しか印加されず、誤消去が発生することはない。

10

【0045】

[データ設定]

次に、データ設定過程について説明する。メモリセルMCへのデータ設定は、消去されたメモリセルMCのうち‘0’と‘1’を設定するメモリセルMCに‘0’を設定し、更に‘1’を設定する‘0’状態のメモリセルMCに‘1’を上書きすることによって行われる。選択されたワード線WLごとに、同時に書込みが行われる複数のビット線BLに接続されたメモリセルMCのうち、データ‘0’とデータ‘1’を設定するメモリセルMCに対して‘0’設定を行い、さらにデータ‘1’を設定するメモリセルMCに対して‘1’を上書きする。

20

【0046】

[‘0’設定]

図13は、消去過程により、‘2’に設定された状態のクロスポイントのメモリセルMCに‘0’を設定するための電位の設定パターンを示す図、図14は同じく電位の設定手順を示す図である。時刻 t_0 から電位の設定が始まるとして、まず全てのビット線BLとワード線WLを接地電圧 V_{ss} に設定する（hold）。時刻 t_1 において、メモリマツトMM内の全てのビット線BLとワード線WLを初期電圧 V_{min} に設定する。この設定を時刻 t_2 まで維持する（initial stand-by）。

30

【0047】

時刻 t_2 において、選択ビット線BLを、実線のように電圧 $2V_{set} + 2$ に、非選択ビット線BLを一点鎖線で示すように初期電圧 V_{min} に維持し、選択ワード線WLを実線で示すように接地電圧 V_{ss} に、非選択ワード線WLを一点鎖線で示すように電圧 $2V_{min}$ に設定して短い時間の間維持する（active stand-by）。その後、非選択ビット線BLと非選択ワード線WLをフローティングにする（active）。ここで、はメモリセルMCに含まれるダイオードのブレークダウン電圧である。この期間は隣接カップリングによって非選択ビット線BL及び非選択ワード線WLが、選択ビット線BL及び選択ワード線WLの影響を受けないようにする期間であり、設定電位間に僅かながら電流が流れる可能性があるので、できるだけ短くする。時刻 $t_2 +$ のあとはFLAとなり、メモリセルMCに‘0’が設定されると電流制限がビット線BLに働くのでビット線BLはフローティングになり電位が少しずつ低下する。

40

【0048】

フローティングの電位が初期電圧 V_{min} 位になった時刻 t_3 において、全てのビット線BLとワード線WLを接地電位 V_{ss} にしてこの過程を終了する。非選択セルには順逆バイアスの大きさで、最大でセット電圧 V_{set} か初期電圧 V_{min} しかかからないので、非選択セルが状態遷移を起こすことは無い。

【0049】

図15は、‘0’設定過程のビット線BL及びワード線WLの電位の変化のみを示した

50

図である。設定時の電位を太い実線のバーで、ここからの変化後の電位を白抜きのバーで示した。時間 t_0 の間はフローティングにせず隣接カップリングでの変動を抑えているので、非選択ビット線電圧 U や非選択ワードライン電圧 V は、設定したいレベルに留まり、白抜きバーで示したレベルを比べると、ビット線 BL とワード線 WL 間にかかる電圧は、選択ビット線電圧 U_b と選択ワード線電圧 V_w の間の電位差 $2V_{set} + 2V_{min}$ となる。これにより選択メモリセル MC には、選択メモリセル MC が '0' 状態に遷移するのに十分な順方向の高電圧がかかる。一方、選択メモリセル MC の上層又は下層の対応するビット線 BL にも電圧 U_b が印加されるが、対応するワード線 WL には、 V_{anp} しか印加されない。選択ビット線電圧 U_b と非選択ワード線電圧 V 、 V_{anp} の間の電位差は $2(V_{set} - V_{min}) + 2V_{min} - V_{set}$ であり、この電圧がセット電圧 V_{set} 以下の場合、すなわち $2V_{min} - V_{set}$ の場合には、状態遷移は起こらない。また、選択メモリセル MC につながるワード線 WL と同じグループのワード線 WL にも電圧 $V_w = V_{ss}$ が印加されるが、対応するメモリセル MC のビット線 BL には U 、 U_{om} しか印加されない。非選択ビット線電圧 U 、 U_{om} と選択ワード線電圧 V_w 、 V_{anp} の間の電位差は V_{min} であり、非選択ビット線 BL と選択ワード線 WL に接続されたメモリセル MC にも状態を遷移させる電圧はかからない。非選択ビット線 BL と非選択ワード線 WL の間には、フローティングとなるまでの順方向の余分な電流が増えるが、 FLA には移行できる。期間 t_1 をいかに短くできるかがパワーを減らすためのキーとなる。なお、寄生ダイオードのブレークダウン電圧 V_{br} は小さくでき、初期電圧 V_{min} 、セット電圧 V_{set} 及びリセット電圧 V_{reset} は、ほぼ同じ大きさに設定すれば、 $2(V_{min} - V_{set})$ は容易に満たすことができる。

【0050】

['1' 設定]

図16は、'0' 設定の過程のあとに続いて行われる '1' 状態をセルに書き込む '1' 設定過程の電位のパターンを示す図であり、図17は、同じく設定手順を示す図である。'1' 設定過程は、セルユニット $CU1$ 、 $CU2$ のうちの一つをリセット状態にする過程である。時刻 t_0 に電位の設定が始まり、選択したメモリセルアレイ1のすべてのワード線 WL とビット線 BL を接地電圧 V_{ss} に設定する ($hold$)。続いて t_1 において、選択ビット線 BL は接地電圧 V_{ss} に維持したままで、非選択のビット線 BL に V_{min} を印加し、選択ワード線 WL には初期電圧 V_{min} 、非選択ワード線 WL にはそれよりも低い電圧 $V_{min} - \Delta V$ に設定する ($initial\ stand-by$)。尚、'1' 設定においてはビット線 BL 及びワード線 WL の電位の変化が小さいので、 $active\ stand-by$ を用いない。時刻 t_2 からは FLA 動作になり、選択ビット線 BL を接地電圧 V_{ss} 、選択ワード線 WL を電圧 $V_{reset} + \Delta V$ にして非選択ビット線 BL と非選択ワード線 WL をフローティング状態にする ($active$)。時刻 t_3 で FLA が終了し、ビット線 BL 及びワード線 WL の全てを V_{ss} に設定する。

【0051】

図18は、'1' 設定過程のビット線 BL 及びワード線 WL の電位の変化のみを示した図である。設定時の電位を太い実線のバーで、ここからの変化後の電位を白抜きのバーで示した。ビット線 BL は FLA に入っても選択ビット線 BL の電位を変えないのでフローティングの非選択ビット線の変動もない。一方、選択ワード線 WL は初期電圧 V_{min} から電圧 $V_{reset} + \Delta V$ に持ち上げるので、フローティング状態である第1の非選択ワード線 WL はカップリング変動のない $V_{min} - \Delta V$ からカップリング100%の V_{reset} までの分布を持つ。非選択セルにリセット電圧 V_{reset} より大きな擾乱を発生させないためには、 $(V_{reset} + \Delta V) - (V_{min} - \Delta V) > V_{reset}$ 、即ち、 $2\Delta V > V_{min}$ を満たす様に ΔV 及び V_{min} を設定すれば良い。尚、第2の非選択ワード線 WL は、選択ワード線 WL の電位変動による影響を受けない。

【0052】

['0' 読み出し]

図19は、'0' 読み出し過程のビット線 BL 及びワード線 WL の電位のパターンを示

す図、図20は同じくタイミングチャートである。‘0’読み出し過程は、メモリセルMCが高抵抗であるか低抵抗であるかを判別する過程である。読み出し電圧Vreadは2に弱リセットをセットに遷移させることができる電圧の2倍程度の電圧を加えた電位とする。このとき時刻t1~t2のイニシャルスタンバイとアクティブスタンバイでは、すべてのビット線BL及びワード線WLを読み出し電圧Vreadにする。すなわち、 $U = U_b = U_{om} = V = V_w = V_{anp} = V_{read}$ と設定する。時刻t2~t3のアクティブでは選択ビット線電圧 $U_b = V_{read}$ 、選択ワード線電圧 $V_w = V_{ss}$ として他は全てフローティングにする。セルが‘0’状態であればセル電流が増えて電流制限回路が働き、選択ビット線電圧 U_b の電位がフローティングとなり下がるので‘0’状態の判定ができる。

10

【0053】

図21は、‘0’読み出し過程のビット線BL及びワード線WLの電位の変化のみを示した図である。設定時の電位を太い実線のバーで、ここからの変化後の電位を白抜きのバーで示した。ビット線BLはFLAに入っても選択ビット線BLの電位を変えないのでフローティングの非選択ビット線BLの変動もない。アクセス動作時には‘0’状態の選択メモリセルMCにのみ電流が流れる。又、選択ワード線電圧Vwを初期電圧Vreadから電圧Vssに引き下げると、フローティング状態である第1の非選択ワード線電圧Vは、カップリング変動のないVreadからカップリング100%のVssにまで分布する。ここで、VreadはVset以下であるため、非選択メモリセルMCの誤セットは生じない。尚、第2の非選択ワード線WLは、選択ワード線WLの電位変動による影響を受けない。

20

【0054】

[‘1’読み出し]

‘0’状態はセルが低抵抗であり、従来の抵抗の高低の判別で読み出せるが、セルの抵抗としてともに高抵抗である消去状態の‘2’状態と‘1’状態は判別が難しい。そこで高抵抗と判別されたセルに対して、‘1’状態のみ‘0’状態に遷移させることができることを用いて破壊的な‘1’読出しを行う。破壊的な読出しがされ、‘1’と判断されたセルは再び‘1’設定過程を行い‘1’状態に戻す。

【0055】

図22は、‘1’読出し過程を示すタイミングチャートである。図22に示すように、まず、全てのビット線BLとワード線WLの電位を時刻t0でVssを設定する(hold)。時刻t1では、選択ビット線電圧 U_b は V_{min-} に、非選択ビット線 U 、 U_{om} は V_{min-} に設定し、選択ワード線電圧Vwは V_{min-} に、非選択ワード線V、 V_{anp} は V_{min} に設定し、これをだけ維持する(initial stand-by, active stand-by)。時刻t1+からは選択ビット線電圧 U_b を V_{set+} に、選択ワード線電圧VwをVssにして、その他はフローティングにしてFLAの動作に入る(active)。選択メモリセルMCが‘1’状態であり、この‘1’読出し過程で‘0’状態に遷移すれば低抵抗のセルになり、電流が増加して電流制限回路が働き選択ビット線BLはフローティングになってその電位は下がり始める。これによって選択メモリセルMCが‘1’状態であることがわかり、‘2’状態と区別される。‘2’状態のセルは‘0’状態に遷移することがない。時刻t2では全てのビット線BL及びワード線WLをVssに設定してこの過程を終了する。

30

40

【0056】

図23は、‘1’読出し過程の電位の関係を示している。設定時の電位を太い黒いバーで、ここからの変化後の電位を白抜きのバーで示した。選択ビット線電位 U_b は V_{min-} から V_{set+} へと変化するので第1の非選択ビット線BLの電位Uはカップリングで V_{min-} からVsetの間に分布する。選択ワード線電位Vwは V_{min-} からVssへと変化するので、第1の非選択ワード線WLの電位Vは V_{min} との間に分布する。したがって、第1の非選択ビット線BLと選択ワード線WLとに接続された非選択メモリセルMCには最大でVsetの順方向電圧が印加されるが、寄生ダイオー

50

ドのブレークダウン電圧を考慮すればセルの状態遷移は生じない。又、選択ビット線BLと第1の非選択ワード線WLとに接続された非選択メモリセルMCには最大で $V_{set} +$ の順方向が印加されるが、誤セットを抑制するためにはこの非選択メモリセルMCに印加される電圧が V_{set} 以下であれば良い。即ち、 V_{set} となるように各種電圧値を設定する。更に、非選択ビット線BL及び非選択ワード線WLに接続されたメモリセルMCには、最大で V_{set} の逆方向電圧が印加されるため、この V_{set} は V_{reset} 以下となるように設定する。尚、 V_{set} は比較的小さい値であるため、以上の電圧設定は容易に実現される。尚、第2の非選択ビット線BLの電位 U_{om} は $V_{min} -$ でフローティングとなり、第2の非選択ワード線WLの電位 V_{anp} は V_{min} に設定されてフローティングとなる。

10

【0057】

図24～図29は、上述した‘1’読み出し過程の各時点でのビット線BL及びワード線WLに印加する電圧を示す図である。図24は、低抵抗と高抵抗の状態を判別する‘0’読み出し過程を終了した後を示し、図25～図29は、これに引き続く‘1’読み出し過程を示している。図25はスタンバイ、図26はアクティブ、図27はアクティブ後、図28は‘1’再書き込みスタンバイ、図29は‘1’再書き込みアクティブをそれぞれ示している。読み出しは、複数のビット線BLにまとめて行う並列読み出しが基本となるので、この場合について図を示している。

【0058】

図24に示すように、‘0’読み出し後の状態では、‘0’と判別された選択メモリセルMCに接続された選択ビット線電圧 U_b は、電流制限回路が働いて $V_{ss} + 2$ 程度の V_s なる電位に放電されている。高抵抗のセルの U_b は V_{read} の電位の設定のままである。この V_{read} のままの U_b に対して、‘1’状態か‘2’状態かの判定を行う。ここで選択されたビット線の‘0’状態と判定されたものは、どのビット線BLであるかの情報がレジスタに記憶されるとする。

20

【0059】

図25に示すスタンバイ過程では、選択するビット線BLに電位の設定を新たに行う。選択ビット線BLと選択ワード線WLには $V_{min} -$ 、非選択ビット線BLには $V_{min} -$ 、非選択ワード線WLには V_{min} を設定する。設定が終わり、図26に示すactiveに入ると、 $U_b = V_{set} +$ 、 $V_w = V_{ss}$ として他の全ての非選択線をフローティングにする。このactive過程は‘1’状態のセルを‘0’状態に遷移させる過程であり、電流制限が働くのは既に‘0’状態であるセルのビット線BLか新たに‘0’状態に遷移した‘1’状態のセルのビット線BLである。電流制限が働きフローティングになったビット線BLは非選択ビット線BLの一部と同様に放電され U_b は V_s になる。電流制限回路が働いたビット線から先に記憶した‘0’状態のセルのビット線BLに新たに加わったビット線BLを選んで、これを‘1’状態のセルのあるビット線BLと判別できる。このビット線BLの位置情報もレジスタに記憶される。選択ビット線BLのうち電流制限回路が最終的に働かなかったビット線BLが‘2’状態のセルのビット線BLと判別される。

30

【0060】

メモリ状態が破壊読出しされた‘1’状態のセルを再び‘1’状態に戻すのが次の再書き込み過程である。‘1’状態の再書き込みは、‘1’状態と判別されたビット線BLへの‘1’状態設定過程である。図27に示すように、‘1’読み出しのactive後においては、‘0’状態となったメモリセルMCの接続されたビット線BLの電位は V_s 程度になっている。レジスタのビット線BLの情報を元に、破壊読出しされた‘1’状態のビット線BLを選択できるので、選択ビット線BLを新たに設定して‘1’状態設定過程である再書き込み過程を行う。

40

【0061】

図28に示すように、スタンバイでは新たに設定された選択ビット線BL以外を全て非選択ビット線BLとして、非選択ワード線WLとともに $V_{min} -$ に設定し、新たな

50

選択ビット線 B_L を V_{ss} 、選択ワード線 W_L を V_{min} に設定する。すなわち、 $U = V = V_{min}$ 、 $U_b = V_{ss}$ 、 $V_w = V_{min}$ と設定する。図 29 に示すように、アクティブでは $U_b = V_{ss}$ 、 $V_w = V_{reset+}$ とし他を全てフローティングにする。これによって '1' 状態を再びセルに設定する。

【0062】

[周辺回路の構成]

次に、本実施形態に係る半導体記憶装置の周辺回路について説明する。

図 30 は、カラム制御回路 2 及びロウ制御回路 3 の構成を示すブロック図である。カラム制御回路 2 は、メモリセルマトリクス MM 内で隣接する複数のビット線 B_L をまとめてビット線ブロック B_LB として、同時にアクセスすることが可能である。

10

【0063】

ビット線ドライバ 2a は複数のビット線ブロックデコーダ LBD からなり、各ビット線ブロックデコーダ LBD には複数のビット線 B_L からなるビット線ブロック B_LB が接続される。ビット線ブロックデコーダ LBD は各ビット線ブロック B_LB からビット線 B_L を一本デコード選択し、 $SSCC$ 回路 2b に接続する。又、 $SSCC$ 回路 2b は各ビット線ブロックデコーダ LBD によってそれぞれ選択された複数のビット線 B_L に同時にアクセスし、それぞれについて個別に電流制限や電圧変化の検知を行う。

【0064】

ワード線ドライバ 3a は複数のワード線ブロックデコーダ LBD からなり、各ワード線ブロックデコーダ LBD には複数のワード線 W_L からなるワード線ブロック WLB が接続される。ワード線ブロックデコーダ LBD は各ワード線ブロック WLB からワード線 W_L を一本デコード選択し、更にその中から一本のワード線 W_L をデコード選択して電源回路に接続し、アクセスの過程に応じて電圧を印加する。

20

【0065】

尚、ビット線ブロックデコーダ LBD 及びワード線ブロックデコーダ LBD は同様に構成されているので、以下、選択線ブロックデコーダ LBD と呼ぶ。

【0066】

[選択線ブロックデコーダ LBD の構成]

図 31 は、選択線ブロックデコーダ LBD の構成例を示すブロック図である。図中、 $x y L_{1 \sim k}$ は、ビット線 B_L 又はワード線 W_L の事を表している。

30

【0067】

選択線ブロックデコーダ LBD においては、ビット線ブロック B_LB 又はワード線ブロック WLB (以下、「選択線ブロック LB 」と呼ぶ。) を構成する複数のビット線 B_L 又はワード線 W_L (以下、「選択線 $x y L$ 」と呼ぶ。) に、それぞれ $NMOS$ トランジスタを介してセンスノード LB_i 、選択電位供給ノード nU_1 、及び非選択電位供給ノード nU_2 が接続されており、それぞれ一つの選択線 $x y L$ を選択してセンスノード LB_i に接続する選択部 21a, 31a、選択された選択線 $x y L$ に電圧を供給する選択電位部 22a, 32a、及び選択されなかった選択線 $x y L$ に電圧を供給する非選択電位部 23a, 33a を構成している。

【0068】

40

選択電位部 22a, 32a を構成する複数の $NMOS$ トランジスタはそれぞれのゲートにアドレス信号 $*B_1 - *B_k$ を入力しており、一つのアドレス信号のみが "H" となる事によって一つの選択線 $x y L$ を選択線電位供給ノード nU_1 に接続して、予め選択電位 U_1 に充電する。

【0069】

非選択電位部 32a, 33a を構成する複数の $NMOS$ トランジスタはそれぞれのゲートにアドレス信号 $/ *B_1 - / *B_k$ を入力しており、選択電位部 22a, 32a において選択されなかった選択線 $x y L$ に対応するアドレス信号が "H" となる事によって非選択の選択線 $x y L$ を非選択電位 U_2 に充電する。

【0070】

50

次に、アドレス信号 * B 1 - * B k 及びアドレス信号 / * B 1 - / * B k が全て “ L ” となり、その代わりに選択部 2 1 a , 3 1 a を構成する複数の N M O S トランジスタのゲートに入力されたアドレス信号 B 1 - B k のうち、選択電位部 2 2 a , 3 2 a において選択されたアドレス信号 * B 1 - * B k に対応するアドレス信号が “ H ” となる。これによって選択された一つの選択線 x y L がセンスノード L B _ i に接続され、選択されなかった選択線 x y L はフローティング状態となる。

【 0 0 7 1 】

アドレス信号 B 1 - B k 、アドレス信号 * B 1 - * B k 及びアドレス信号 / * B 1 - / * B k 、はメモリセルアレイ 1 に接続された全ての選択線ブロックデコード L B D について共通に接続されている。又、ビット線ドライバ 2 a 内において、選択線ブロックデコード L B D と S S C C 回路 2 b の間には更に図示しないデコード回路が接続されており、選択メモリマツト M M に含まれる選択メモリセル M C のみが選択される様に構成されている。

10

【 0 0 7 2 】

[S S C C 回路 2 b の構成]

次に、図 3 2 を参照して S S C C 回路 2 b の構成について説明する。S S C C 回路 2 b は、ビット線 B L への電流の流入を遮断する部分である電流遮断部 (c u r r e n t c u t t e r : C C) 2 1 b と、この電流遮断部 2 1 b を制御し、かつメモリセル M C の抵抗状態をビット線 B L の電位レベルから検知する状態検出部 (s t a t e s e n s o r : S S) 2 2 b よりなる。全体の回路を S S C C と略記する。電流遮断部 2 1 b には、センスノード L B _ i が接続されている。電流遮断部 2 1 b は、動作モードに応じてセンスノード L B _ i に選択ビット線電圧 U b を印加する。

20

【 0 0 7 3 】

電流遮断部 2 1 b において制御信号 R S が入力される N チャネルトランジスタ N 1 は、S S C C 回路 2 b を選択ビット線 B L に接続しておりかつリセット動作を行う際に用いる経路である。この場合、制御信号 R S を常に “ H ” に設定し、センスノード L B _ i を低電位にして、選択メモリセル M C から S S C C 回路 2 b へと電流を流すことになる。このとき P M O S トランジスタ P 1 はオフとなるように状態検出部 2 2 b から制御される。状態検出部 2 2 b は、センスノード L B _ i のレベルがある程度低くなったら制御信号 g p を立ち上げるインバータ I V 1 と、インバータ I V 1 の出力を反転させるインバータ I V 2 と、インバータ I V 2 の出力をラッチするラッチ回路 L 1 から構成される。インバータ I V 1 は入力ノード L B _ i の電位レベルを反転する C M O S インバータで、その電源は U b である。インバータ I V 1 の出力信号 g p が電流遮断部 2 1 b の P M O S トランジスタ P 1 のゲートに入力し、そのオン/オフを制御する。ラッチ L 1 は、制御信号 g p を受けてセンスノード L B _ i の状態を保持する回路である。初期状態として制御信号 / s t a r t が ‘ H ’ であり制御信号 s e t は立ち上がっていない。ラッチ L 1 が働くのは制御信号 / s t a r t が ‘ L ’ になってからで制御信号 g p の状態を制御信号 s e t として出力する。ラッチ L 1 の電源は、入力側は U b 、出力側はセルの状態設定とは独立の電源 V d d によって制御信号 s e t の出力を安定して確保する。

30

【 0 0 7 4 】

[レイアウト]

次に、以上のように構成されたメモリセルアレイ 1 及び周辺回路のレイアウトについて説明する。図 3 3 は、メモリセルアレイ 1 及び周辺回路のレイアウトを示す平面図である。又、図 3 4 は、1 組のメモリセルアレイ 1 及び周辺回路に着目した概略図である。本実施形態に係る半導体記憶装置においては、メモリセルアレイ 1 及び周辺回路がマトリクス状に配置される。マトリクス状に配置された複数のメモリセルアレイ 1 のビット線 B L 方向には制御回路 M A T R I X c o n t r o l が配置され、ワード線 W L 方向にはアドレスとデータとのインターフェイス回路の集まりである a d d r e s s / d a t a I F が配置される。

40

【 0 0 7 5 】

50

制御回路 MATRIX controlからはビット線BL方向に延びるバスb1が引き出され、メモリセルアレイ1及び周辺回路を避けて基板上に形成されている。又、address/dataIFからはワード線WL方向に延び、メモリセルアレイ1及び後述するワード線デコード回路WLmux直上を通る複数のアドレスバスb2、及び後述する複数のビット線デコード回路BLmux及びbusfall&MUX直上を通る複数のデータバスb3が引き出されている。アドレスバスb2はワード線デコード回路WLmuxの間に形成された垂直配線を介してバスb1に接続されており、データバスb3はbusfall&MUXに形成された垂直配線を介して、バスb1に接続されている。ここで、データバスb3は多ビット並列でデータ転送を行い、多くのデータの転送のバンド幅を占めるので、バスの配線が多くかつ基板上の回路の位置からその配線領域も限られる。そこで、配線の面積縮小の為に、制御回路MATRIX controlから数えて奇数番目に配列されているメモリセルアレイ1を“O”グループ、偶数番目に配列されているメモリセルアレイ1を“E”グループとして、“O”グループについてのデータバスb3と“E”グループについてのデータバスb3を、それぞれ共有化する。従って、本実施形態に係る半導体記憶装置においては“O”グループに属するメモリセルアレイ1と、“E”グループに属するメモリセルアレイ1とに同時にアクセスはしない。尚、アクセスするメモリセルアレイ1の列の間に2列のアクセスしないメモリセルアレイ1の列を入れる様にする事も可能である。

10

【0076】

ビット線BL及びワード線WLは高さ方向に交互に配置され、互いに直交する。又、ビット線BL及びワード線WLは回路システム上の役割が全てのメモリマツトMMにおいて固定される。従って、メモリセルアレイ1の形状は長方形を底面とする直方体とする。メモリセルアレイ1の側面からは、ビット線BL及びワード線WLが、それぞれ交互に引き出されてビット線デコード回路BLmux及びワード線デコード回路WLmuxに接続される。従って、本実施形態においては、メモリセルアレイ1のビット線BL及びワード線WLから周辺回路への配線を行うため、メモリセルアレイ1の射影部分1'の4辺近傍を垂直配線領域としている。

20

【0077】

メモリセルアレイ1にアクセスするための周辺回路は、図示のようにメモリセルアレイ1下の基板上に設けられる。回路レイアウトはほぼメモリセルアレイ1射影部分1'の中心に対して二面对称D1を満たしている。メモリセルアレイ1射影部分1'のビット線BL方向側面にはビット線BL方向に配列された複数のビット線ドライバ2aからなるビット線デコード回路BLmuxが、ワード線WL方向側面にはワード線方向に配列された複数のワード線ドライバ3aからなるワード線デコード回路WLmuxが、それぞれ対向する辺同士で鏡映対称に配置される。又、メモリセルアレイ1の対角線方向の位置にはそれぞれ後述するbusfall&MUX(図33)が形成される。メモリセルアレイ1の射影部分1'中央には一組のSSCC回路2bが、SSCC回路2bとワード線デコード回路WLmuxとの間には周辺回路を駆動制御するコントロール回路4が、それぞれビット線BL方向に沿って鏡映対称に配置される。

30

【0078】

又、メモリセルアレイ1の射影部分1'中央にはSSCC回路2bとビット線デコード回路BLmuxとを接続するデータバス1aが形成され、ワード線デコード回路WLmuxと制御回路4との間には、ワード線デコード回路WLmuxと制御回路4とを接続し、ワード線WLの電圧レベルを調整するためのデータバス1bが形成されている。データバス1a及び1bは、外部との信号の入出力の為に、メモリセルアレイ1射影部分1'の四辺に形成された垂直配線を避け、メモリセルアレイ1の対角線方向に延びている。

40

【0079】

[ビット線デコード回路BLmuxのレイアウト]

次に、ビット線デコード回路BLmuxのレイアウトについて説明する。図35はビット線デコード回路BLmuxのレイアウト例を示すブロック図であり、図36は、同レイ

50

アウト例の平面図である。例えばメモリセルアレイ 1 が 8 層のメモリマット MM から構成されていた場合、ビット線 BL はメモリマット MM 2 層分について共通に形成されている。又、本実施形態において、各メモリマット MM 内のビット線 BL は交互に引き出されてそれぞれビット線ドライバ 2 a に接続される。従って、図 29 において説明した様なビット線ドライバ 2 a がメモリセルアレイ 1 の両端に 4 組ずつ配列され、二つのビット線デコード回路 BL mux となる。ビット線デコード回路 BL mux を構成するビット線ドライバ 2 a をそれぞれ 2 a A - 2 a D とすると、最も上層のメモリマット MM に接続されるビット線ドライバ 2 a A はメモリセルアレイ 1 から最も遠い位置に、最も下層のメモリマット MM に接続されるビット線ドライバ 2 a D はメモリセルアレイ 1 に最も近い位置に配置される。

10

【0080】

SSCC 回路 2 b 及びビット線ドライバ 2 a A - D は、それぞれデータバス 1 a によって接続される。データバス 1 a はビット線ドライバ 2 a A - D において共有されるデータバスであり、データバス 1 a を構成するデータ線はビット線ドライバ 2 a A - D を構成するビット線ブロックデコーダ LBD から引き出されたセンスノード LB_i に接続される。SSCC 回路 2 b への接続は、複数のビット線 BL について並列データ転送を行うべく同時に活性化される。

【0081】

[ワード線デコード回路 WL mux のレイアウト]

次に、ワード線デコード回路 WL mux のレイアウトについて説明する。図 37 はワード線ドライバ 3 a のレイアウト例を示すブロック図である。尚、平面図についてはビット線デコード回路 BL mux と同様であるため、省略する。本実施形態においては、基板側から偶数層目と奇数層目のメモリマット MM について、ワード線 WL をそれぞれ共通配線とする。又、各メモリマット MM について、ワード線 WL はメモリセルアレイ 1 側壁から交互に引き出される。従って、ワード線ドライバ 3 a はメモリセルアレイ 1 の両端に 2 組ずつ配列される。これら 2 組のワード線ドライバ 3 a をそれぞれ 3 a even, 3 a odd とすると、奇数層目のメモリマット MM に接続されるワード線ドライバ 3 a odd はメモリセルアレイ 1 に近い位置に、偶数層目のメモリセルマット MM に接続されるワード線ドライバ 3 a even はメモリセルアレイ 1 から遠い位置に配置される。

20

【0082】

ワード線ドライバ 3 a even 及び 3 a odd は、データバス 1 b によって図 34 中のコントロール回路に含まれる電源回路に接続される。ワード線ドライバ 3 a even 及び 3 a odd 中の各ワード線ブロックのセンスノード LB_i には、アドレス信号に応じて所定のセンスノード LB_i をデータバス 1 b に接続する WL decoder が接続される。

30

【0083】

[bus fall & MUX のレイアウト]

図 38 は、bus fall & MUX の配置例を示す平面図である。bus fall & MUX は、メモリセルアレイ 1 から基板部のバスにアドレス、データ及び各種制御信号を落とす部分である。又、bus fall & MUX は、その四辺にデコード回路 address/mux を有し、デコード回路 address/mux を介してアドレス信号の入出力を行う。

40

【0084】

本実施形態においては、各メモリセルマット MM のデータバスは共有化されてデータバス 1 a 及び 1 b に接続され、bus fall & MUX においてバス b1 及びデータバス b3 に接続される。一方、B1 - Bk 等のアドレスバスは個々のメモリセルマット MM ごとにビット線デコード回路 BL mux 及びワード線デコード回路 WL mux から独立して引き出され、アドレスバスを 45 度曲げて配線する 45 度配線部を介してデコード回路 address/mux に接続され、bus fall & MUX においてバス b1 及びアドレスバス b2 に接続される。

50

【 0 0 8 5 】

[メモリシステム]

図 39 は、本実施形態に係る半導体記憶装置を用いたメモリシステムの構成例を示す図である。本実施形態に係る半導体記憶装置は、何処までをメモリの構成要素として考えるかによってメモリ又はメモリシステムとなる。必要なデータ処理のブロックは、メモリセルアレイ 1、address / data I F の有するデータバッファ及びメモリアレイのデータ転送過程を制御するコントローラから構成される。メモリセルアレイ 1 内では随時 erase 領域が設定され、アクセスユニット又はグループ毎にデータの設定や読み出しが行われる。アクセスユニットのデータは、address / data I F の有するデータバッファによって一括して保持され、取り扱われる。又、address / data I F の有するデータバッファでは ' 0 ' 状態と ' 1 ' 状態の上書きの状態の情報等も保持される。

10

【 0 0 8 6 】

本実施形態においてはメモリセル M C の電流整流方向が全て同一であるので、メモリセルアレイ 1 のプロセスインテグレーションを単純化することが可能である。又、メモリマット M M 間を絶縁することによってビット線 B L とワード線 W L の役割が固定化されるので周辺回路の構成も単純化することが可能である。更に、本実施形態においてはメモリセル M C として製造が容易で、かつ信頼性の高い縦列セルを採用している。従って、本実施形態に係る半導体記憶装置は、信頼性が高く、かつ製造が容易である。

20

【 0 0 8 7 】

[第 2 の実施形態]

次に、第 2 の実施形態に係る半導体記憶装置について説明する。図 40 は、本実施形態に係る半導体記憶装置の、メモリセルアレイ 1 の構成を説明するための回路図である。本実施形態に係る半導体記憶装置は基本的には第 1 の実施形態と同様であるが、本実施形態においてはメモリマット M M 毎にビット線 B L を独立して形成する。このような構成によれば、第 1 の実施形態と比較して周辺回路の面積は増大するが、メモリセルアレイ 1 内におけるリーク電流を低減することが可能であり、メモリセルアレイ 1 のサイズを大きくすることが可能である。

【 0 0 8 8 】

[その他の実施形態]

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

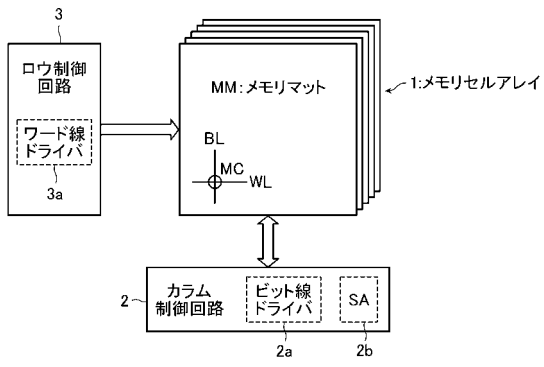
【 符号の説明 】

【 0 0 8 9 】

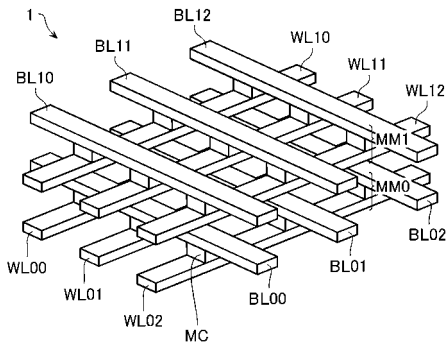
1 ... メモリセルアレイ、 2 ... カラム制御回路、 2 a ... ビット線ドライバ、 2 b ... S S C 回路、 3 ... ワード線制御回路、 3 a ... ワード線ドライバ。

40

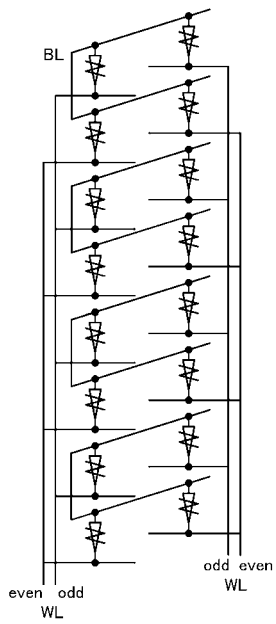
【 図 1 】



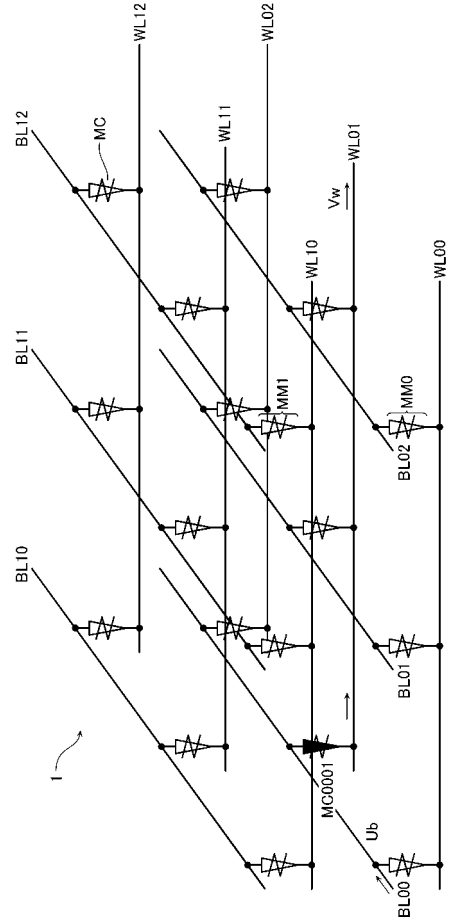
【 図 2 】



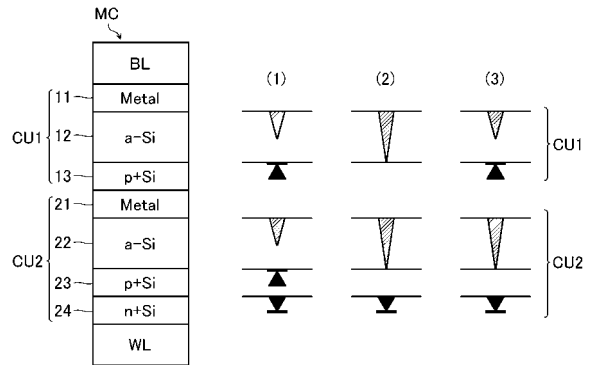
【 図 4 】



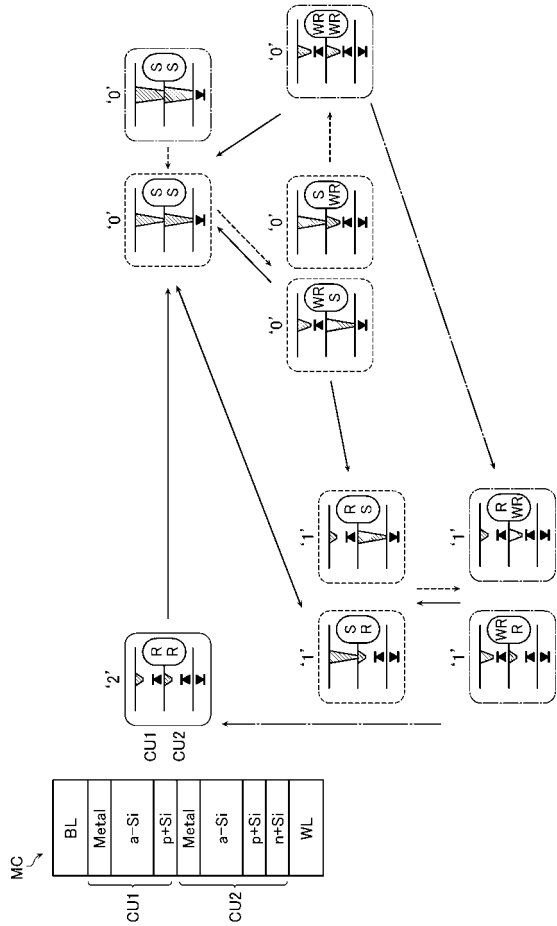
【 図 3 】



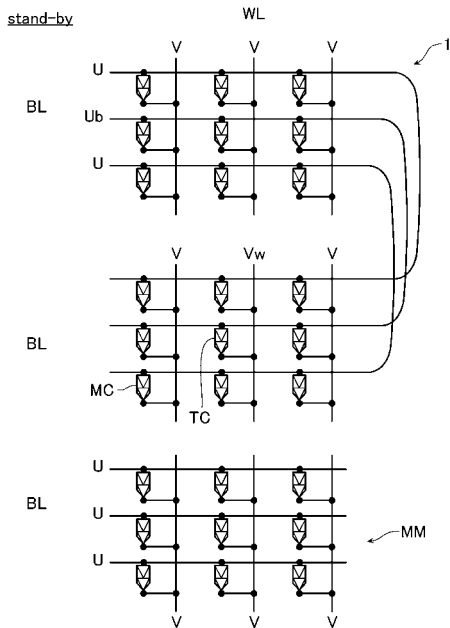
【 図 5 】



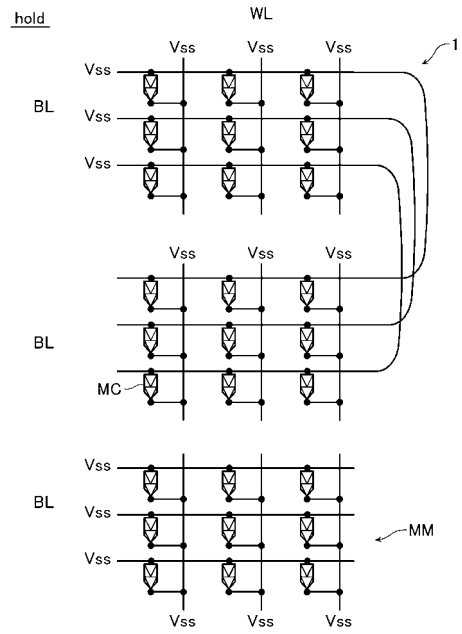
【 図 6 】



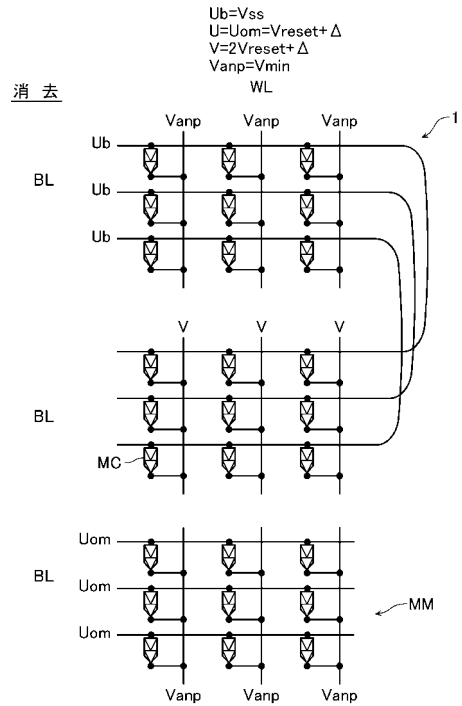
【 図 8 】



【 図 7 】

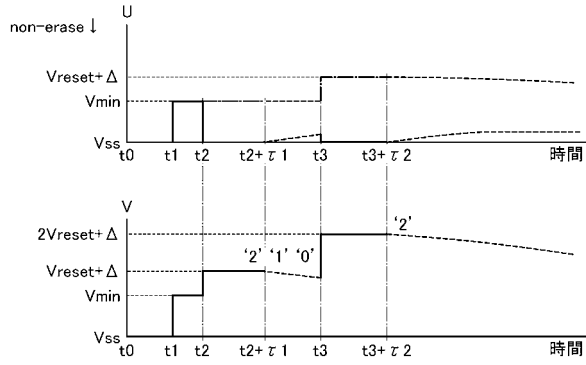


【 図 9 】

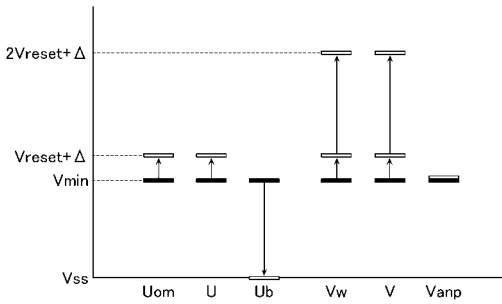


$$\begin{aligned}
 U_b &= V_{ss} \\
 U &= U_{om} = V_{reset} + \Delta \\
 V &= 2V_{reset} + \Delta \\
 V_{anp} &= V_{min}
 \end{aligned}$$

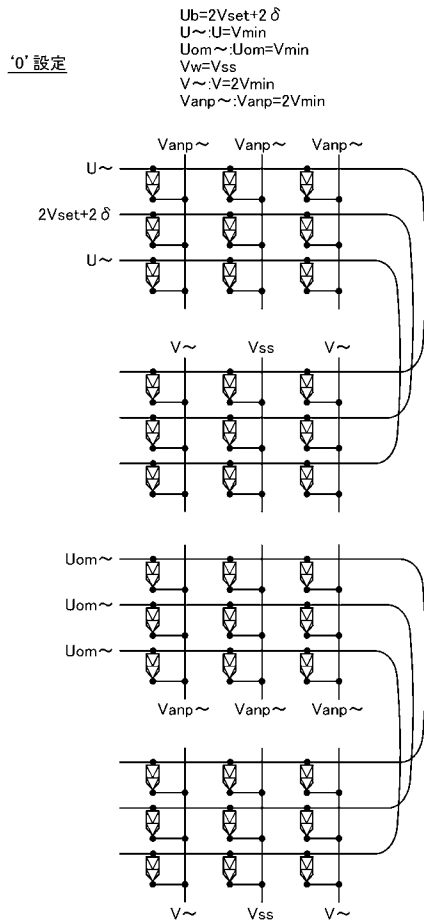
【 図 1 0 】



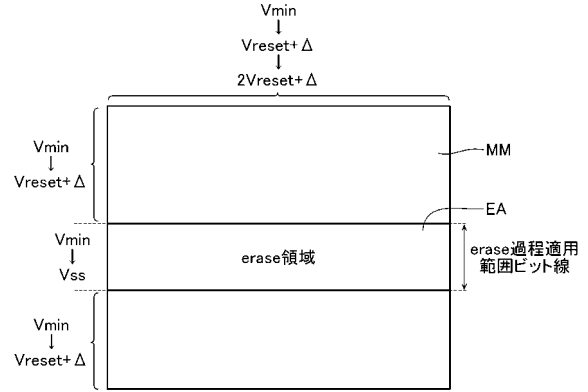
【 図 1 1 】



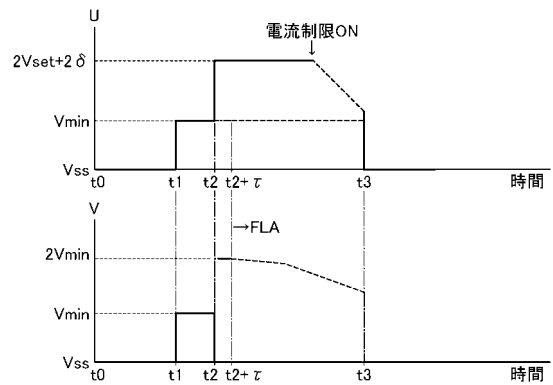
【 図 1 3 】



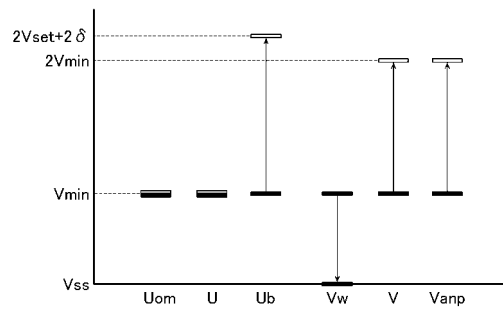
【 図 1 2 】



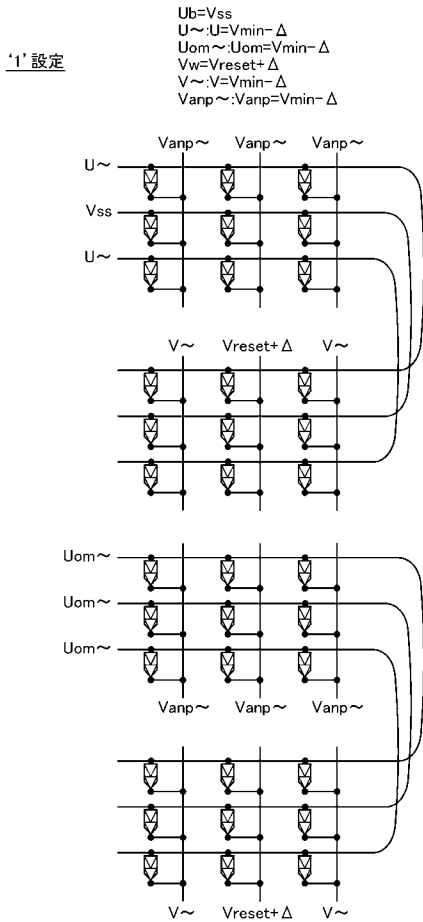
【 図 1 4 】



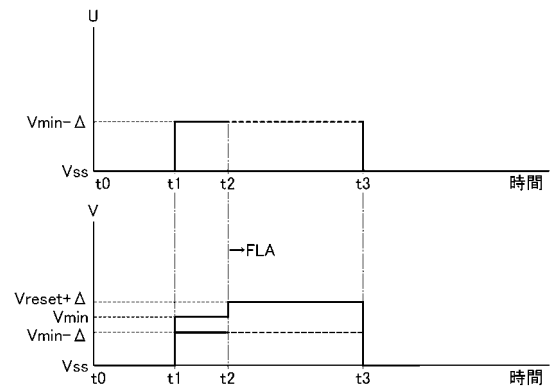
【 図 1 5 】



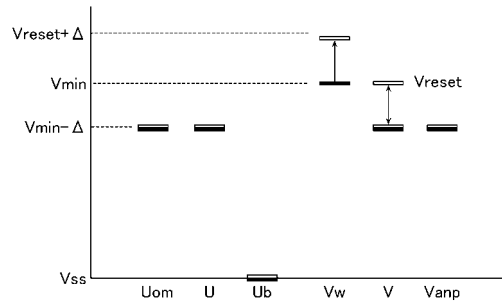
【 図 1 6 】



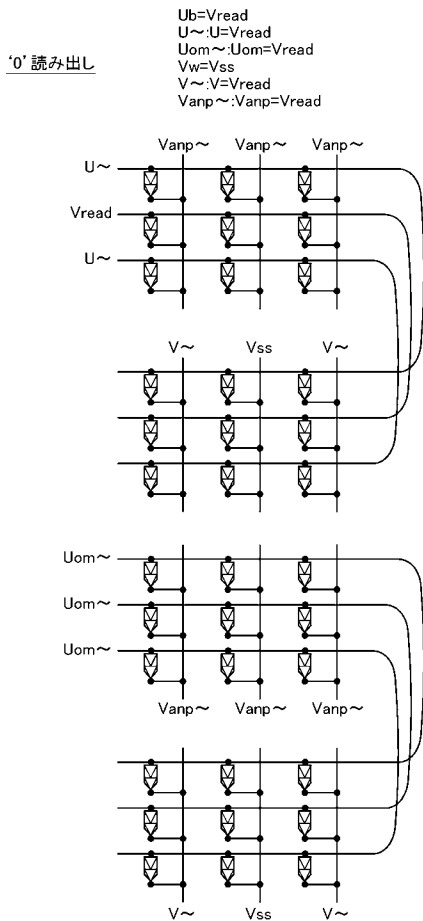
【 図 1 7 】



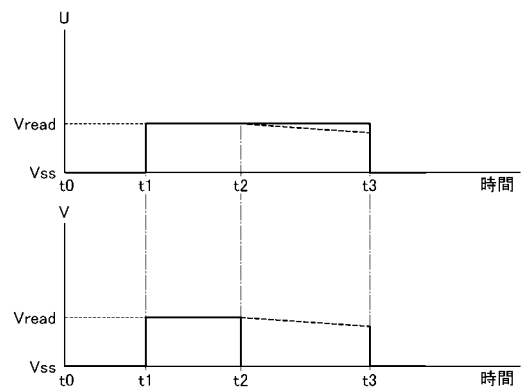
【 図 1 8 】



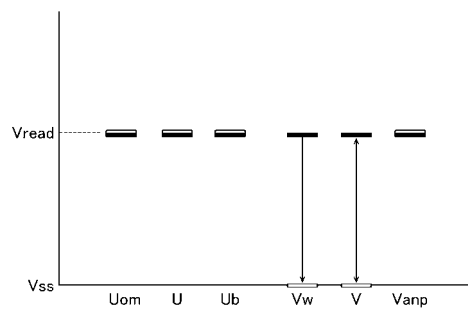
【 図 1 9 】



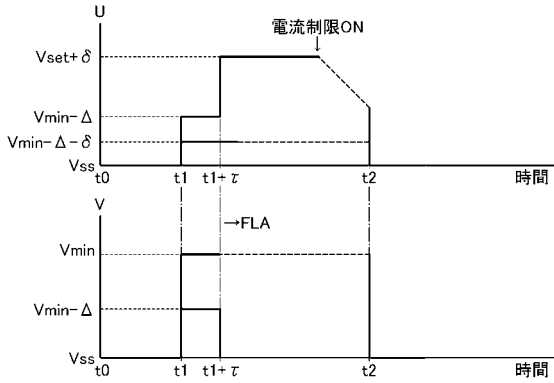
【 図 2 0 】



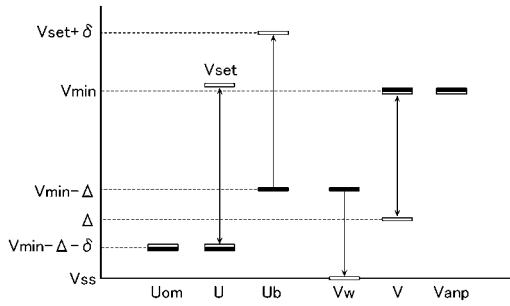
【 図 2 1 】



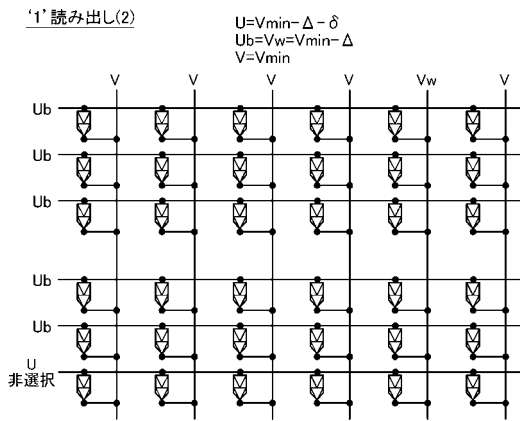
【 図 2 2 】



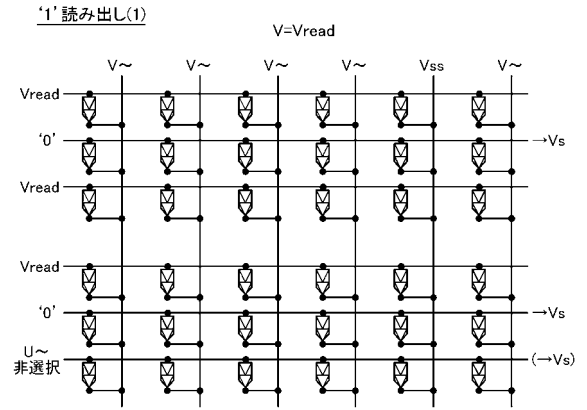
【 図 2 3 】



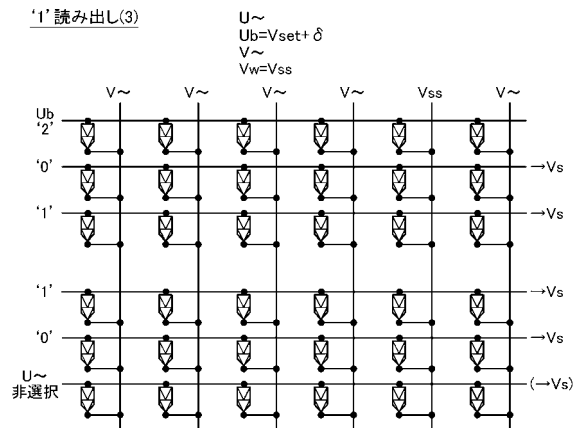
【 図 2 5 】



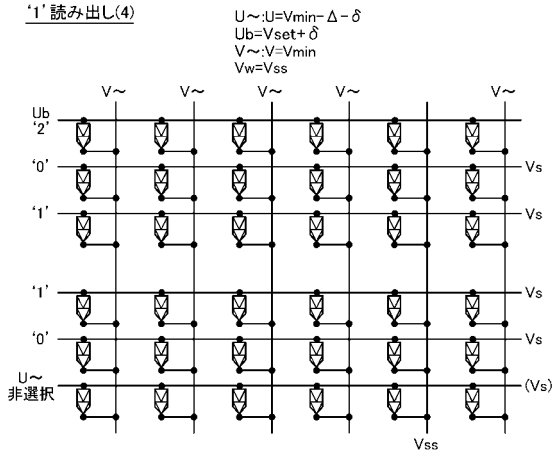
【 図 2 4 】



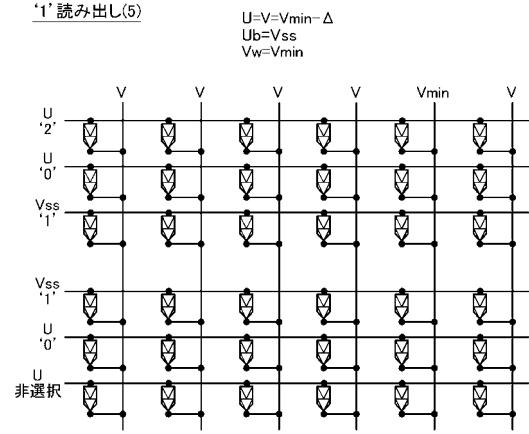
【 図 2 6 】



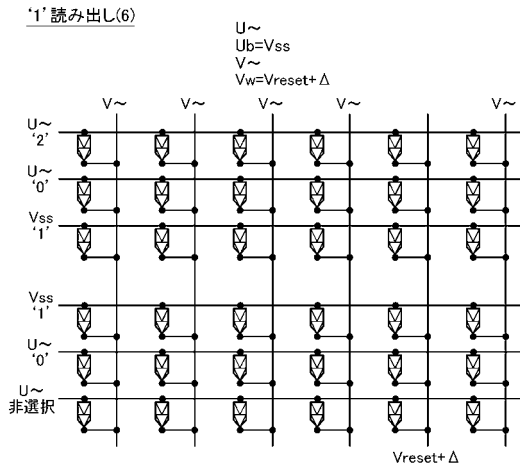
【図 27】



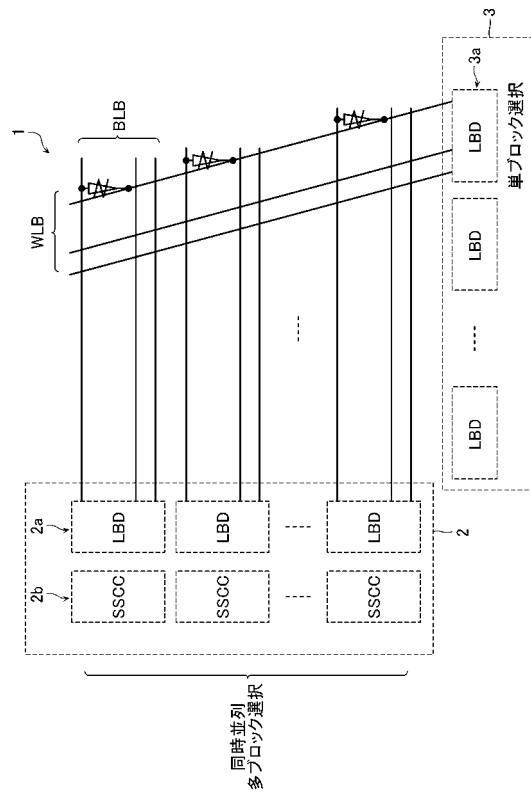
【図 28】



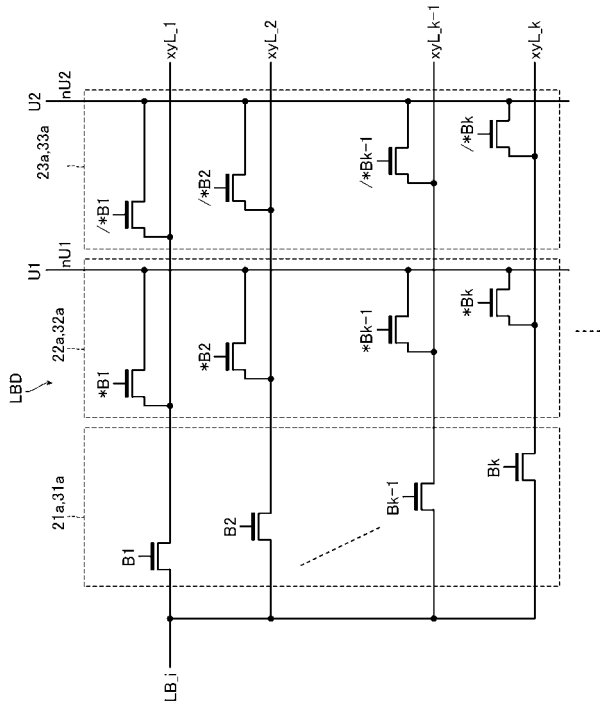
【図 29】



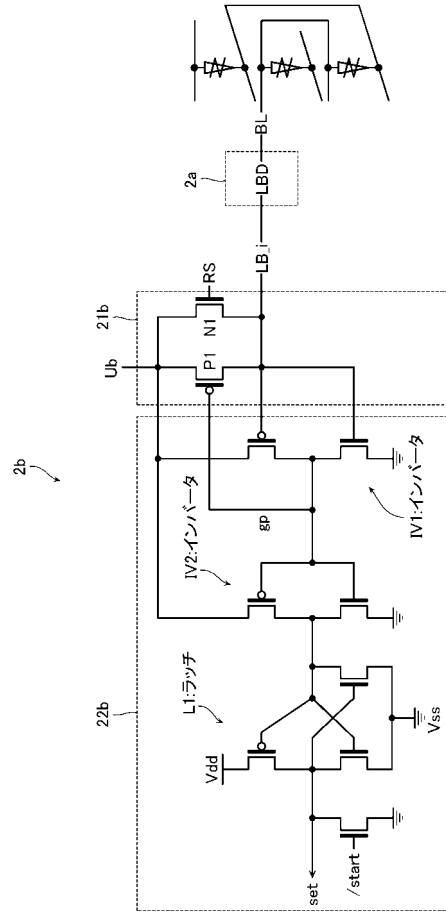
【図 30】



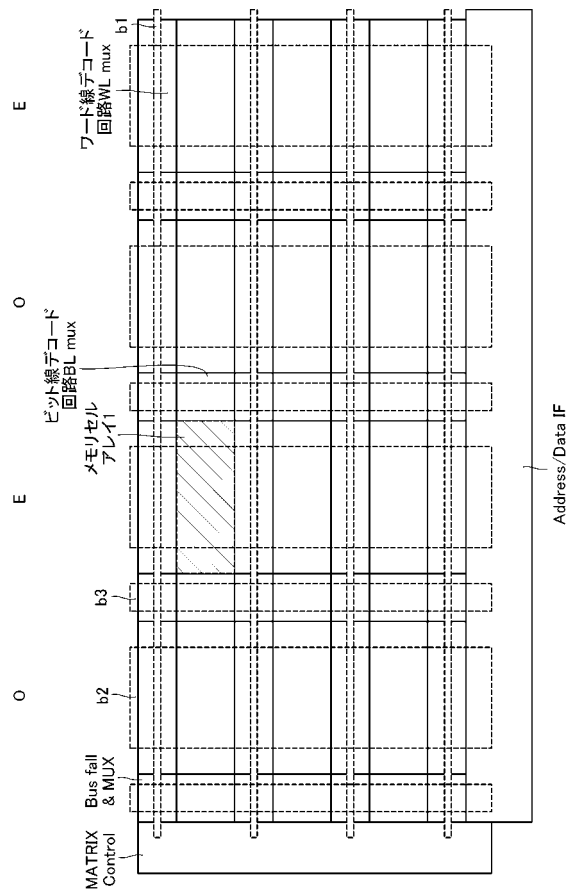
【図 3 1】



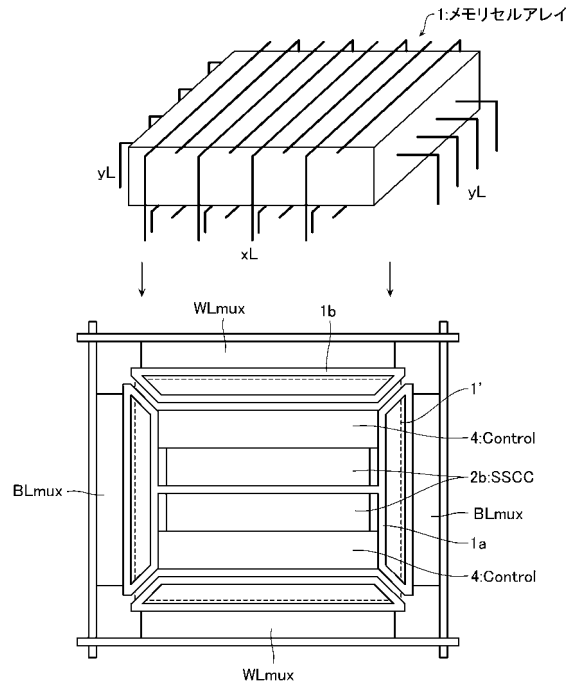
【図 3 2】



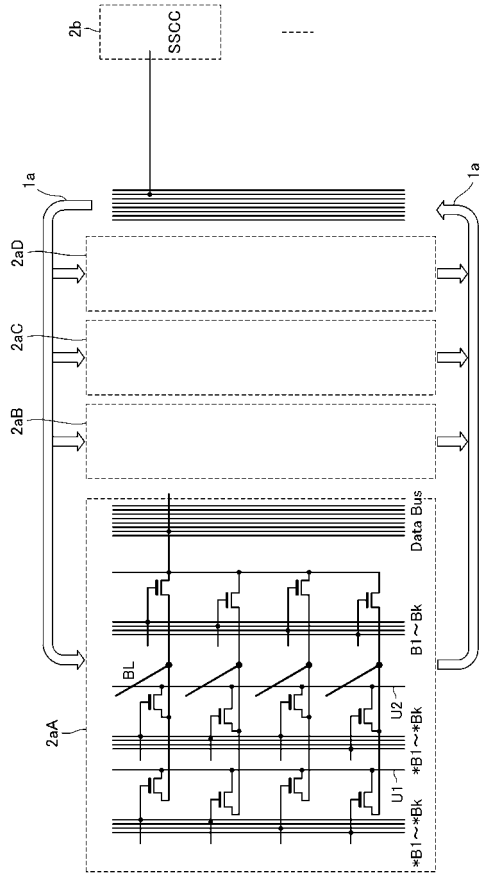
【図 3 3】



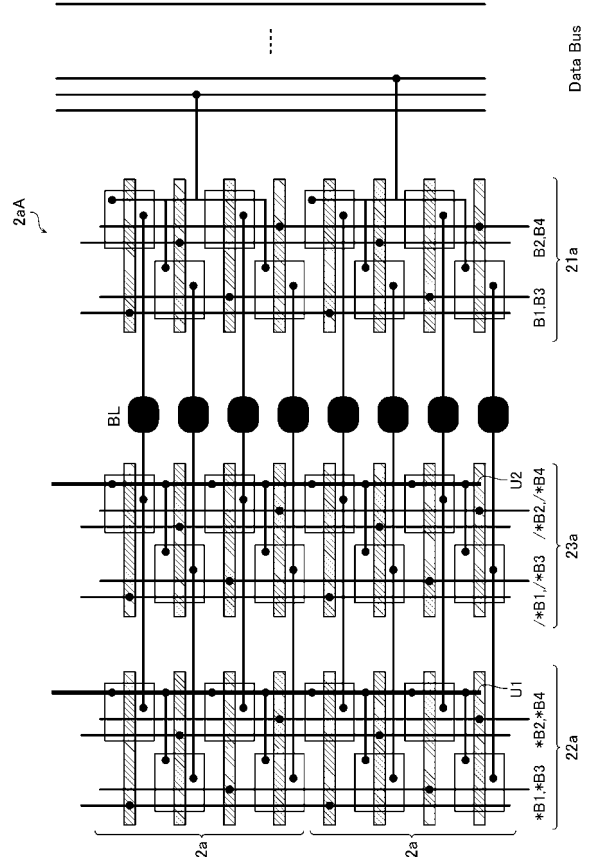
【図 3 4】



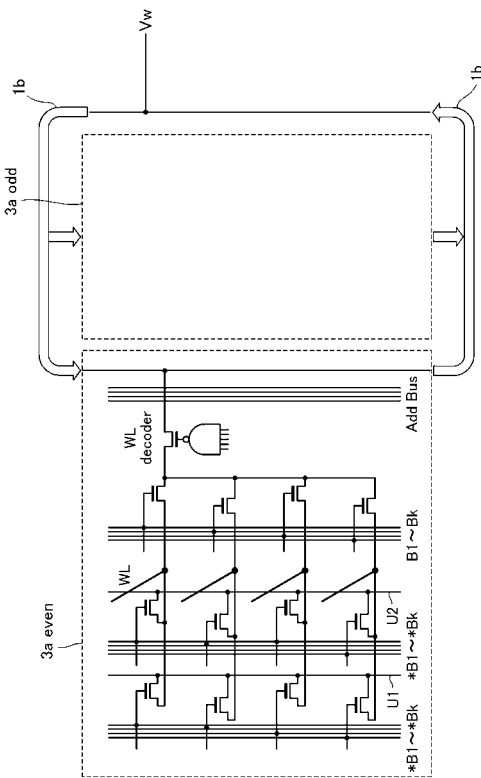
【 図 3 5 】



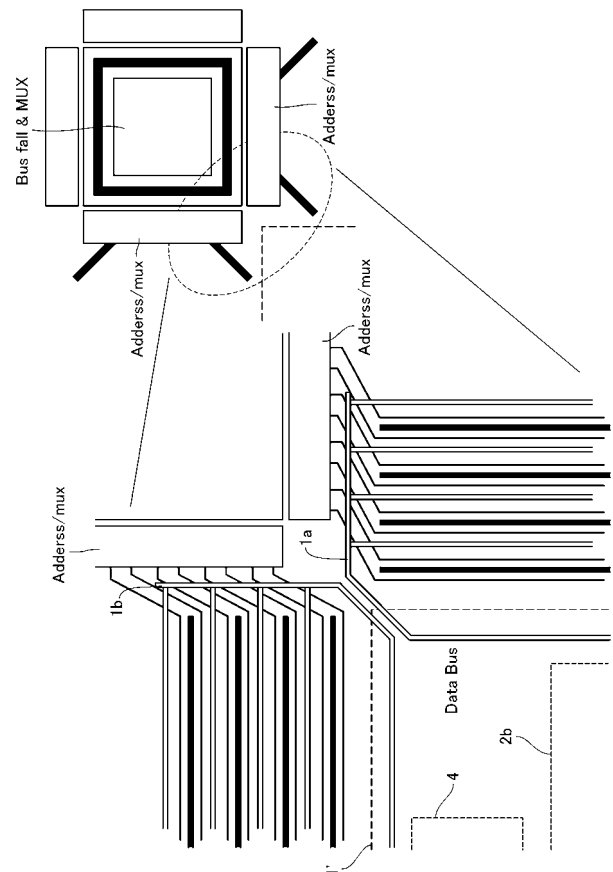
【 図 3 6 】



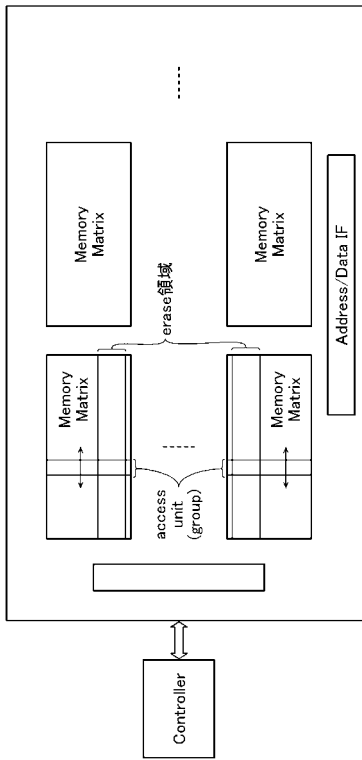
【 図 3 7 】



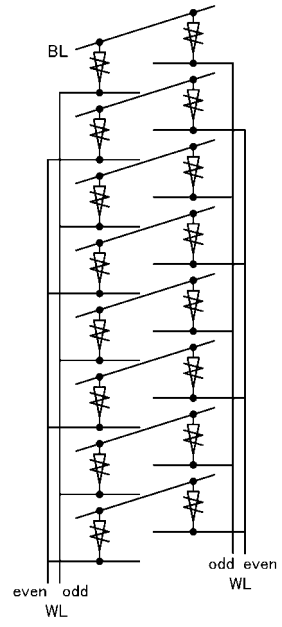
【 図 3 8 】



【 図 3 9 】



【 図 4 0 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 45/00 Z

H 0 1 L 49/00 Z