

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4507777号  
(P4507777)

(45) 発行日 平成22年7月21日(2010.7.21)

(24) 登録日 平成22年5月14日(2010.5.14)

(51) Int.Cl. F 1  
H02M 7/48 (2007.01) H02M 7/48 Z

請求項の数 3 (全 7 頁)

<p>(21) 出願番号 特願2004-264424 (P2004-264424)                  (22) 出願日 平成16年9月10日 (2004.9.10)                  (65) 公開番号 特開2006-81352 (P2006-81352A)                  (43) 公開日 平成18年3月23日 (2006.3.23)                  審査請求日 平成19年1月26日 (2007.1.26)</p>	<p>(73) 特許権者 000006747                  株式会社リコー                  東京都大田区中馬込 1 丁目 3 番 6 号                  (74) 代理人 100084250                  弁理士 丸山 隆夫                  (72) 発明者 福永 真一                  東京都大田区中馬込 1 丁目 3 番 6 号                  株式会社リコー内                    審査官 服部 俊樹</p>
--	---

最終頁に続く

(54) 【発明の名称】 電源制御装置

(57) 【特許請求の範囲】

【請求項 1】

所定の電圧を供給する第 1 の電源と、該第 1 の電源のオン、オフを監視する第 1 の監視手段と、所定の周波数のクロック信号を入力するデバイスと、をそれぞれ備えた第 1 の複数の基板と、

所定の電圧を供給する第 2 の電源と、該第 2 の電源のオン、オフを監視する第 2 の監視手段と、前記それぞれのデバイスとを接続線により接続し、該接続線に接続された所定の値のプルアップ抵抗及びプルダウン抵抗の値に応じて前記クロック信号の周波数を変更して前記第 1 の複数の基板のそれぞれのデバイスに出力するクロック発生手段と、前記第 1 の監視手段から出力されるそれぞれの監視信号を入力する制御手段と、を備えた第 2 の基板と、

を備え、

前記制御手段は、前記クロック発生手段から出力される前記所定の周波数のクロック信号の出力を、前記第 1 の複数の基板からの前記それぞれの監視信号の全てのアサートが検出されたとき、前記クロック発生手段及び前記プルアップ抵抗に接続された前記第 2 の電源を駆動して該プルアップ抵抗の値により制御する一方、前記第 1 の複数の基板からの前記それぞれの監視信号のいずれかひとつがアサート未検出の間は、前記プルダウン抵抗の値により制御することを特徴とする電源制御装置。

【請求項 2】

前記制御手段と前記プルダウン抵抗との間にスイッチ回路を備えたことを特徴とする請

求項 1 に記載の電源制御装置。

【請求項 3】

前記第 1 の複数の基板と第 2 の基板とを接続する接続線は、相互にデータ転送可能なバスによって構成されることを特徴とする請求項 1 又は 2 に記載の電源制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、液晶表示部材等の各種装置を駆動するための電力を供給する電源制御装置に関する。

【背景技術】

【0002】

特許文献 1 及び 2 には、複数のサブ基板のそれぞれに実装したデバイスに対してメイン基板のクロックジェネレータからクロック信号を出力する装置が記載されている。

【0003】

これらの装置では、メイン基板と複数のサブ基板とを有し、メイン基板には各サブ基板に供給されるクロックを発生するクロックジェネレータが設けられ、各サブ基板には、デバイスを作動させる電源が設けられている。クロックジェネレータは電源によってオンされたときに、内部のプルアップ抵抗と外部のプルダウン抵抗の有無により初期モードを決定する手段を有している。

【0004】

このようなシステムにおいて、デバイスには、図 4 に示す入力バッファの保護回路が設けられている。そして、クロック供給先のデバイス側の電源と、クロックジェネレータ側の電源とが異なっており、クロックジェネレータの電源が先にオンとなり、次に、サブ基板のデバイスの電源がオンとなる場合、デバイス側には上述した保護回路が設けられているため、デバイスの電源がオンとなっていない状態では、GNDと同じとなり、入力端から電源方向に電流が流れる。その結果、PULL DOWNされているのと同じになるため、クロックジェネレータの電源ON時の共有ピン設定がLOWとなり、HIGHにしたい場合には誤設定となる問題を有している。

【0005】

また、クロック供給先のデバイスに電源が入る前に、デバイスの入力端子にHIGHレベルの信号が印加された場合には、デバイスが破壊される問題も有している。

【特許文献 1】特開 2000 - 105566 号公報

【特許文献 2】特開 2001 - 5539 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、メイン基板側のクロックジェネレータの初期誤設定を防止すると共に、サブ基板側のデバイスに電源が入る前に、HIGHレベルの信号が印加されることを防止してデバイスの破壊を防止することが可能な電源制御装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

請求項 1 記載の発明の電源制御装置は、所定の電圧を供給する第 1 の電源と、該第 1 の電源のオン、オフを監視する第 1 の監視手段と、所定の周波数のクロック信号を入力するデバイスと、をそれぞれ備えた第 1 の複数の基板と、所定の電圧を供給する第 2 の電源と、該第 2 の電源のオン、オフを監視する第 2 の監視手段と、前記それぞれのデバイスとを接続線により接続し、該接続線に接続された所定の値のプルアップ抵抗及びプルダウン抵抗の値に応じて前記クロック信号の周波数を変更して前記第 1 の複数の基板のそれぞれのデバイスに出力するクロック発生手段と、前記第 1 の監視手段から出力されるそれぞれの監視信号を入力する制御手段と、を備えた第 2 の基板と、を備え、前記制御手段は、前記クロック発生手段から出力される前記所定の周波数のクロック信号の出力を、前記第 1 の

10

20

30

40

50

複数の基板からの前記それぞれの監視信号の全てのアサートが検出されたとき、前記クロック発生手段及び前記プルアップ抵抗に接続された前記第2の電源を駆動して該プルアップ抵抗の値により制御する一方、前記第1の複数の基板からの前記それぞれの監視信号のいずれかひとつがアサート未検出の間は、前記プルダウン抵抗の値により制御することを特徴とする。

【0008】

請求項2記載の発明は、請求項1に記載の電源制御装置であって、前記制御手段と前記プルダウン抵抗との間にスイッチ回路を備えたことを特徴とする。

【0009】

請求項3記載の発明は、請求項1又は2に記載の電源制御装置であって、前記第1の複数の基板と第2の基板とを接続する接続線は、相互にデータ転送可能なバスによって構成されることを特徴とする。

10

【発明の効果】

【0010】

本発明によれば、全てのサブ基板の監視手段からそれぞれの電源のオン信号が入力されたとき、制御手段がクロックジェネレータの電源をオンとするため、クロックジェネレータの初期誤設定を防止することができる。また、サブ基板のデバイスに電源が入る前に、クロックジェネレータからHIGHレベルの信号がデバイスに印加されることを防止するため、デバイスの破壊を防止することができる。

【発明を実施するための最良の形態】

20

【0011】

図1は、本発明の一実施形態における回路図を示す。この実施の形態では、一のメイン基板1に対し3つのサブ基板A、B、Cが対応している。

【0012】

メイン基板1にはクロックジェネレータ2が設けられていると共に、クロックジェネレータ2の電源としてのレギュレータREG\_Mが設けられている。クロックジェネレータ2は、REG\_Mから電圧VDD\_Mが印加されることにより駆動し、クロック信号を出力する。

【0013】

サブ基板A、B、Cのそれぞれには、クロックジェネレータ2からのクロック信号を受信するデバイスA、B、Cが設けられている。クロックジェネレータ2はデバイスA、B、Cのそれぞれに対し、クロック信号CLK\_A、CLK\_B、CLK\_Cを出力するものである。さらに、各サブ基板A、B、Cのそれぞれには、デバイスA、B、Cに電圧VDD\_A、VDD\_B、VDD\_Cを印加する電源としてのレギュレータREG\_A、REG\_B、REG\_Cが搭載されている。

30

【0014】

それぞれのレギュレータREG\_A、REG\_B、REG\_CにおけるON/OFF制御端子には、メイン基板1上に設けた制御手段としてのASICから制御信号PON\_A、PON\_B、PON\_Cが出力される。さらに、レギュレータREG\_A、REG\_B、REG\_CからデバイスA、B、Cに印加される電圧VDD\_A、VDD\_B、VDD\_Cを監視する監視手段としてのRESET\_IC3、4、5がサブ基板A、B、Cに設けられている。RESET\_IC3、4、5としては、ICが使用されている。各サブ基板A、B、CのRESET\_IC3、4、5からメイン基板1のASICに対し、監視信号VDET\_A、VDET\_B、VDET\_Cが出力される。

40

【0015】

また、メイン基板1には、レギュレータREG\_Mの監視手段としてのRESET\_IC6が設けられている。RESET\_IC6としてもICが使用されるものであり、このRESET\_IC6はASICに対し監視信号VDET\_Mを出力する。レギュレータREG\_MのON/OFF制御端子には、ASICから制御信号PON\_Mが入力される。

【0016】

50

メイン基板 1 のクロックジェネレータ 2 の内部には、各クロック信号  $CLK\_A$ 、 $CLK\_B$ 、 $CLK\_C$  に対応したプルアップ抵抗 7 が設けられている。各プルアップ抵抗 7 はクロックジェネレータ 2 の電源であるレギュレータ  $REG\_M$  に接続されており、 $120k$  の抵抗となっている。

【0017】

クロックジェネレータ 2 の電源投入時には、クロック信号  $CLK\_A$ 、 $CLK\_B$ 、 $CLK\_C$  はそれぞれ入力端子として機能してモードが設定される。モードの内容として代表的なのは出力クロック周波数である。この実施の形態において、クロックジェネレータ 2 の外部の  $CLK\_A$ 、 $CLK\_B$ 、 $CLK\_C$  端子に接続される各ラインには、 $10k$  程度のプルダウン抵抗 8 がそれぞれ接続されており、この場合、クロックジェネレータ 2 のモード設定は  $LOW$  となる。プルダウン抵抗 8 を設けない場合には、モード設定が  $HIGH$  となる。

10

【0018】

以下に、クロック信号に対するモード設定例を示す。

$CLK\_A$	$CLK\_B$	$CLK\_C$		
0	0	0	.....	100MHz
0	0	1	.....	110MHz
0	1	0	.....	120MHz
0	1	1	.....	130MHz
1	0	0	.....	140MHz

20

【0019】

次に、この実施の形態の作動について説明する。

メイン基板 1 の  $ASIC$  は、まず制御信号  $PON\_A$ 、 $PON\_B$ 、 $PON\_C$  をアサートし、サブ基板  $A$ 、 $B$ 、 $C$  の  $REG\_A$ 、 $REG\_B$ 、 $REG\_C$  を駆動して電源を発生させる。各サブ基板  $A$ 、 $B$ 、 $C$  のデバイス  $A$ 、 $B$ 、 $C$  に電源  $VDD\_A$ 、 $VDD\_B$ 、 $VDD\_C$  が印加される。各サブ基板  $A$ 、 $B$ 、 $C$  の  $RESET\_IC3$ 、 $4$ 、 $5$  はそれぞれの電源を監視し、電源が規定電圧に達すると監視信号  $VDET\_A$ 、 $VDET\_B$ 、 $VDET\_C$  がメイン基板 1 の  $ASIC$  にアサートされる。

【0020】

メイン基板 1 の  $ASIC$  が全ての監視信号  $VDET\_A$ 、 $VDET\_B$ 、 $VDET\_C$  がアサートされたことを確認したとき、 $ASIC$  は制御信号  $PON\_M$  をレギュレータ  $REG\_M$  にアサートする。これにより、レギュレータ  $REG\_M$  が電源を発生させ  $VDD\_M$  がクロックジェネレータ 2 に印加されるため、クロックジェネレータ 2 がクロック信号を出力する。このとき、クロックジェネレータ 2 の内部のプルアップ抵抗 7 と外部のプルダウン抵抗 8 の有無により動作モードを決定し周波数などのモードが決定する。

30

【0021】

このような実施の形態では、全てのサブ基板  $A$ 、 $B$ 、 $C$  の  $RESET\_IC3$ 、 $4$ 、 $5$  から監視信号  $VDET\_A$ 、 $VDET\_B$ 、 $VDET\_C$  がメイン基板 1 の  $ASIC$  にアサートしたときに、 $ASIC$  が制御信号  $PON\_M$  をレギュレータ  $REG\_M$  にアサートしてレギュレータ  $REG\_M$  がオンとなるため、クロックジェネレータ 2 の初期誤設定を防止することができる。

40

【0022】

また、サブ基板  $A$ 、 $B$ 、 $C$  のデバイス  $A$ 、 $B$ 、 $C$  に電源が入る前に、クロックジェネレータ 2 から  $HIGH$  レベルの信号がデバイス  $A$ 、 $B$ 、 $C$  に印加されることを防止できるため、デバイスの破壊を防止することができる。

【0023】

図 2 は、本発明の別の実施形態を示し、図 1 に示す実施の形態と同一の部材には同一の符号を付して対応させてある。

【0024】

この実施の形態では、サブ基板  $A$ 、 $B$ 、 $C$  のデバイス  $A$ 、 $B$ 、 $C$  がバス 11 によって接

50

続されることにより、デバイス A, B, C 相互のデータ転送が可能となっている。また、メイン基板 1 には、クロックジェネレータとしてのデバイス M が実装されている。

【0025】

さらに、メイン基板 1 には、抵抗回路 12 が設けられている。抵抗回路 12 は、バス 11 に接続される抵抗 13 と、この抵抗 13 に対して電圧 VDD\_PUP を印加する抵抗側電源であるレギュレータ REG\_M2 とを備えている。

【0026】

この実施の形態において、メイン基板 1 の ASIC は、全てのサブ基板 A, B, C のレギュレータ REG\_A, REG\_B, REG\_C が駆動したことを監視信号 VDET\_A, VDET\_B, VDET\_C によって検出する。この検出の後、制御信号 PON\_PUP を REG\_M2 にアサートして REG\_M2 を起動し、抵抗 13 に電圧 VDD\_PUP を印加する。

10

【0027】

このような実施の形態では、デバイス A, B, C がバス 11 によって接続されたシステムであっても電源の投入及び電源の切断が安全且つ確実にを行うことができるため、省エネに寄与することができる。また、電源の投入及び切断を確実にを行うため、デバイスの入力端に 0 ボルト以上の電位を印加したり、中間電位を印加することがなく、デバイスの破壊をさらに確実に防止することができる。

【0028】

図 3 は、請求項 3 に対応した別の実施の形態を示す。この実施の形態では、図 2 の構成に加えて、スイッチ回路 (SW1) 21 をメイン基板 1 に設けるものである。スイッチ回路 21 はバス 11 のプルアップ抵抗 13 とプルダウンを ENABLE にするスイッチであり、電圧 VDD\_PUP が印加されていないときに、pd\_en 信号がイネーブルになるように制御を行う。

20

【0029】

このような実施の形態では、スイッチ回路 21 が抵抗回路 12 をオンするため、貫通電流防止回路を設けなくても電源を安全に投入することができ、誤作動のないバスシステムとすることができる。

【図面の簡単な説明】

【0030】

【図 1】本発明の一実施形態を示す回路図である。

【図 2】本発明の別の実施形態を示す回路図である。

【図 3】本発明のさらに別の実施形態を示す回路図である。

【図 4】入力バッファの保護回路図である。

【符号の説明】

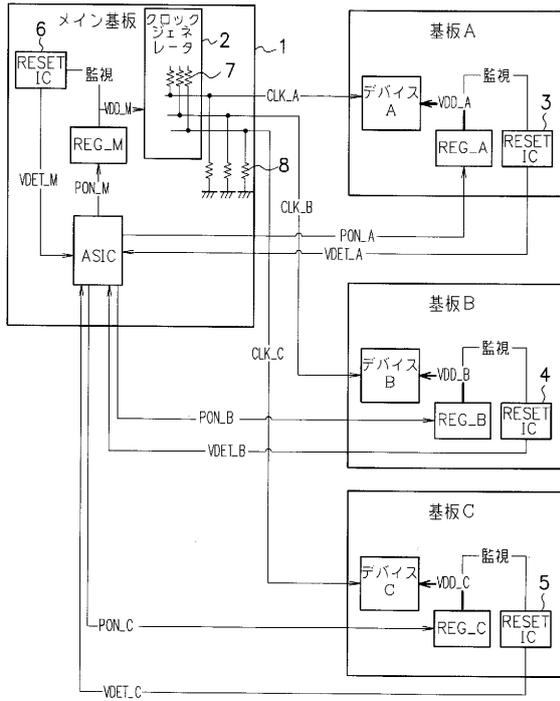
【0031】

- 1      メイン基板
- 2      クロックジェネレータ
- 3、4、5、6   監視手段 (RESET IC)
- 12     抵抗回路

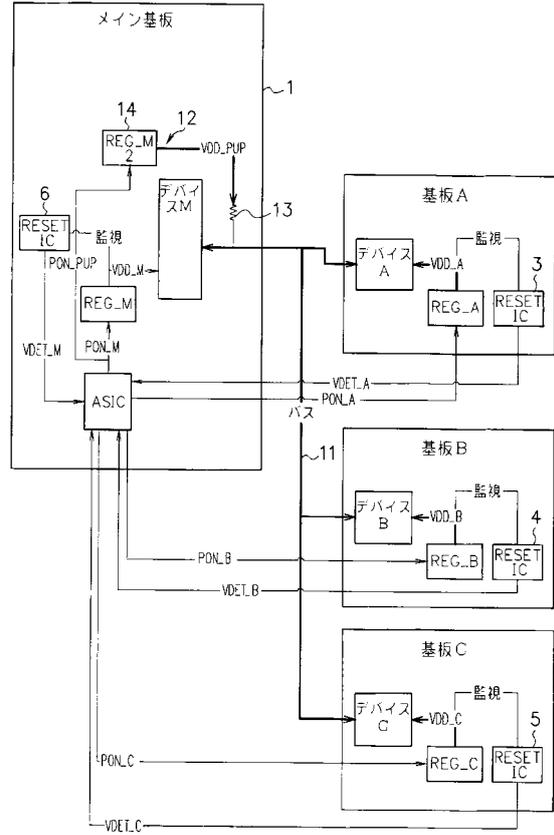
30

40

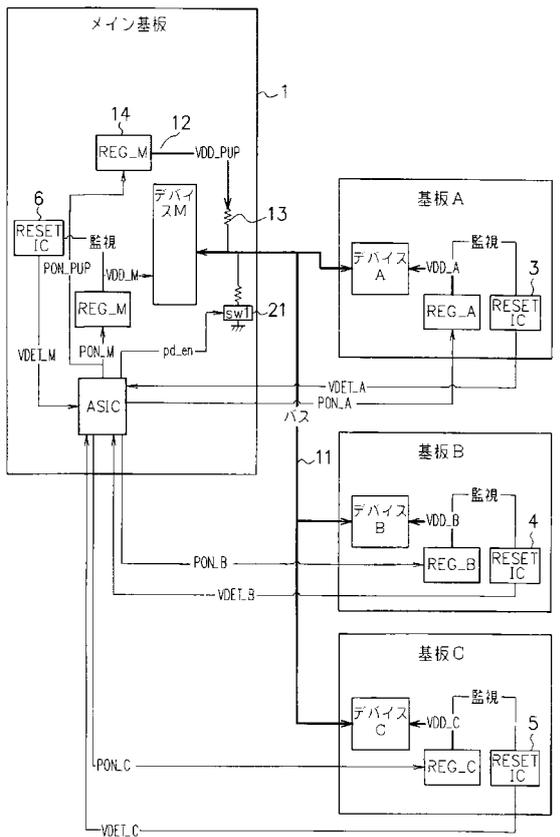
【図1】



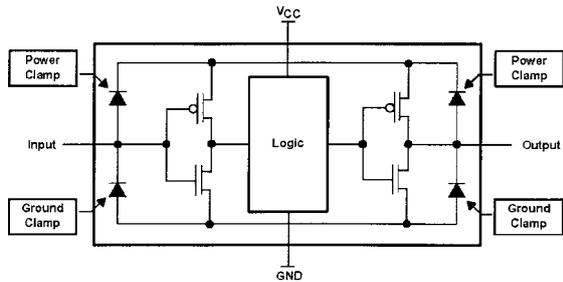
【図2】



【図3】



【図4】



---

フロントページの続き

(56)参考文献 特開平04 - 256112 (JP, A)  
特開平10 - 221112 (JP, A)  
特開平07 - 084688 (JP, A)  
特開2000 - 105566 (JP, A)

(58)調査した分野(Int.Cl., DB名)  
H02M 7/48