

(19) 中华人民共和国国家知识产权局



(12) 发明专利

(10) 授权公告号 CN 103050150 B

(45) 授权公告日 2015. 11. 18

(21) 申请号 201210592679. 9

审查员 曹雄斐

(22) 申请日 2012. 12. 31

(73) 专利权人 中国电子科技集团公司第十五研
究所

地址 100083 北京市海淀区北四环中路 211
号

(72) 发明人 吴歌 邓宝松

(74) 专利代理机构 北京理工大学专利中心
11120

代理人 高燕燕 杨志兵

(51) Int. Cl.

G11C 16/06(2006. 01)

(56) 对比文件

CN 1237253 A, 1999. 12. 01,

US 5872994 A, 1999. 02. 16,

权利要求书2页 说明书3页 附图1页

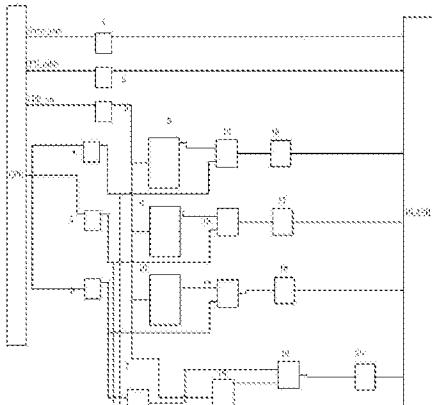
(54) 发明名称

FLASH 接口电路

(57) 摘要

本发明属于智能卡控制技术领域,特别涉及一种针对 FLASH 接口的电路。其技术方案是 : A. CPU 首先需对宽度配置寄存器的脉冲信号宽度进行设定 ;B. CPU 通过数据寄存器(1)、读写地址寄存器(2)将数据及地址写入 FLASH 存储器的相应端口 ;C. 宽度配置寄存器以脉冲宽度的形式控制时间,通过比较电路与计数器进行比较,当计数器计数达到设定的脉冲宽度时,脉冲发生器结束电平保持,形成脉冲,此时 FLASH 存储器进行相应的功能 ;D. 比较电路 D (19) 获取到最大脉冲宽度时,脉冲发生器 D (20) 向 FLASH 存储器发出使能信号,结束本次操作。本发明具有低功耗与面积小的特性。

B



CN 103050150

1. 一种 FLASH 接口电路, 它安装于 CPU 与 FLASH 存储器之间, 其特征是, 它包括: 数据寄存器(1)、读写地址寄存器(2)、使能信号发生电路(3)、宽度配置寄存器 A(4)、宽度配置寄存器 B(5)、宽度配置寄存器 C(6)、比较选择电路(7)、计数器 A(8)、计数器 B(9)、计数器 C(10)、比较电路 A(12)、比较电路 B(13)、比较电路 C(14)、计数器 D(15)、脉冲发生器 A(16)、脉冲发生器 B(17)、脉冲发生器 C(18)、比较电路 D(19) 和脉冲发生器 D(20);

其连接关系为: 数据寄存器(1)与读写地址寄存器(2)分别连接在 CPU 与 FLASH 存储器之间, 使能信号发生电路(3)一端与 CPU 连接, 另一端分为四路, 分别与计数器 A(8)、计数器 B(9)、计数器 C(10)及计数器 D(15)连接; 宽度配置寄存器 A(4)的一端与 CPU 连接, 另一端分为两路, 一路与比较选择电路(7)连接, 另一路与比较电路 A(12)连接, 比较电路 A(12)通过脉冲发生器 A(16)连接至 FLASH 存储器, 计数器 A(8)与比较电路 A(12)连接; 宽度配置寄存器 B(5)的一端与 CPU 连接, 另一端分为两路, 一路与比较选择电路(7)连接, 另一路与比较电路 B(13)连接, 比较电路 B(13)通过脉冲发生器 B(17)连接至 FLASH 存储器, 计数器 B(9)与比较电路 B(13)连接; 宽度配置寄存器 C(6)的一端与 CPU 连接, 另一端分为两路, 一路与比较选择电路(7)连接, 另一路与比较电路 C(14)连接, 比较电路 C(14)通过脉冲发生器 C(18)连接至 FLASH 存储器, 计数器 C(10)与比较电路 C(14)连接; 比较选择电路(7)与计数器 D(15)分别与比较电路 D(19)连接, 比较电路 D(19)通过脉冲发生器 D(20)连接至 FLASH 存储器;

CPU 首先需对宽度配置寄存器 A(4)、宽度配置寄存器 B(5)及宽度配置寄存器 C(6)的脉冲信号宽度进行设定;

CPU 通过宽度配置寄存器 A(4)、计数器 A(8)、比较电路 A(12)及脉冲发生器 A(16)向 FLASH 存储器发出擦除控制信号;

CPU 通过宽度配置寄存器 B(5)、计数器 B(9)、比较电路 B(13)及脉冲发生器 B(17)向 FLASH 存储器发出写入控制信号;

CPU 通过宽度配置寄存器 C(6)、计数器 C(10)、比较电路 C(14)及脉冲发生器 C(18)向 FLASH 存储器发出读取控制信号;

比较选择电路(7)用于比较宽度配置寄存器 A(4)、宽度配置寄存器 B(5)与宽度配置寄存器 C(6)中所设定的最大脉冲宽度。

2. 如权利要求 1 所述的一种 FLASH 接口电路, 其特征在于: 所述 FLASH 接口电路的工作流程为:

A. CPU 首先需对宽度配置寄存器 A(4)、宽度配置寄存器 B(5)及宽度配置寄存器 C(6)的脉冲信号宽度进行设定;

B. CPU 通过数据寄存器(1)、读写地址寄存器(2)将数据及地址存放在 FLASH 存储器的相应端口;

C. 宽度配置寄存器 A(4)、宽度配置寄存器 B(5)、宽度配置寄存器 C(6)以控制脉冲宽度的形式控制电平保持时间, 分别通过比较电路 A(12)、比较电路 B(13)、比较电路 C(14)与计数器 A(8)、计数器 B(9)、计数器 C(10)进行比较, 当计数器 A(8)、计数器 B(9)、计数器 C(10)计数达到设定的脉冲宽度时, 脉冲发生器 A(16)、脉冲发生器 B(17)、脉冲发生器 C(18)结束电平保持, 形成脉冲, 此时 FLASH 存储器进行相应的擦除、写入、读取功能;

D. 比较选择电路(7)比较宽度配置寄存器 A(4)、宽度配置寄存器 B(5)与宽度配置寄

存器 C(6) 中所设定的值，并输出最大脉冲宽度，计数器 D(15) 进行计数，当比较电路 D(19) 获取到最大脉冲宽度时，脉冲发生器 D(20) 向 FLASH 存储器发出使能信号，结束本次工作。

FLASH 接口电路

技术领域

[0001] 本发明属于智能卡控制技术领域，特别涉及一种针对 FLASH 接口的电路。

背景技术

[0002] 在智能卡行业芯片的设计中，特别是针对低功耗的要求较高的非接触智能卡芯片设计，存储器件的设计方面，成熟的设计方案一般使用 EEPROM 作为存储单元，因为其功耗低且读写电路设计简单，但缺点是面积较大。

[0003] FLASH 面积小，但是因其一般功耗较高的特性，很少用于非接触式智能卡产品。

发明内容

[0004] 本发明的目的是：提供一种针对 FLASH 接口的电路，具有低功耗与面积小的特性；

[0005] 本发明的技术方案是：一种 FLASH 接口电路，它安装于 CPU 与 FLASH 存储器之间，它包括：数据寄存器、读写地址寄存器、使能信号发生电路、宽度配置寄存器 A、宽度配置寄存器 B、宽度配置寄存器 C、比较选择电路、计数器 A、计数器 B、计数器 C、比较电路 A、比较电路 B、比较电路 C、计数器 D、脉冲发生器 A、脉冲发生器 B、脉冲发生器 C、比较电路 D 和脉冲发生器 D；

[0006] 其连接关系为：数据寄存器与读写地址寄存器分别连接在 CPU 与 FLASH 存储器之间，使能信号发生电路一端与 CPU 连接，另一端分为四路，分别与计数器 A、计数器 B、计数器 C 及计数器 D 连接；宽度配置寄存器 A 的一端与 CPU 连接，另一端分为两路，一路与比较选择电路连接，另一路与比较电路 A 连接，比较电路 A 通过脉冲发生器 A 连接至 FLASH 存储器，计数器 A 与比较电路 A 连接；宽度配置寄存器 B 的一端与 CPU 连接，另一端分为两路，一路与比较选择电路连接，另一路与比较电路 B 连接，比较电路 B 通过脉冲发生器 B 连接至 FLASH 存储器，计数器 B 与比较电路 B 连接；宽度配置寄存器 C 的一端与 CPU 连接，另一端分为两路，一路与比较选择电路连接，另一路与比较电路 C 连接，比较电路 C 通过脉冲发生器 C 连接至 FLASH 存储器，计数器 C 与比较电路 C 连接；比较选择电路与计数器 D 分别与比较电路 D 连接，比较电路 D 通过脉冲发生器 D 连接至 FLASH 存储器；

[0007] CPU 首先需对宽度配置寄存器 A、宽度配置寄存器 B 及宽度配置寄存器 C 的脉冲信号宽度进行设定；

[0008] CPU 通过宽度配置寄存器 A、计数器 A、比较电路 A 及脉冲发生器 A 向 FLASH 存储器发出擦除控制信号；

[0009] CPU 通过宽度配置寄存器 B、计数器 B、比较电路 B 及脉冲发生器 B 向 FLASH 存储器发出写入控制信号；

[0010] CPU 通过宽度配置寄存器 C、计数器 C、比较电路 C 及脉冲发生器 C 向 FLASH 存储器发出读取控制信号；

[0011] 比较选择电路用于比较宽度配置寄存器 A、宽度配置寄存器 B 与宽度配置寄存器 C 中所设定的最大脉冲宽度。

[0012] 本发明的有益效果是:(1)本发明采用了三个配置寄存器来分别配置读、写、擦三方面电路的控制信号时序,可根据不同型号的FLASH 电路时序配置要求发生不同的时序宽度,以适应多种型号;(2)本产品解决了标准 8051CPU 接口无法直接读写 FLASH 的问题,使得仅支持标准 8051 存储接口的 CPU 可以方便的读写普通的 FLASH 存储器件;(3)本发明具有低功耗与面积小的特性。

附图说明

[0013] 图 1 为本发明原理框图;

[0014] 数据寄存器 -1、读写地址寄存器 -2、使能信号发生电路 -3、宽度配置寄存器 A-4、宽度配置寄存器 B-5、宽度配置寄存器 C-6、比较选择电路 -7、计数器 A-8、计数器 B-9、计数器 C-10、比较电路 A-12、比较电路 B-13、比较电路 C-14、计数器 D-15、脉冲发生器 A-16、脉冲发生器 B-17、脉冲发生器 C-18、比较电路 D-19、脉冲发生器 D-20。

具体实施方式

[0015] 参见附图 1,一种 FLASH 接口电路,它安装于 CPU 与 FLASH 存储器之间,它包括:数据寄存器 1、读写地址寄存器 2、使能信号发生电路 3、宽度配置寄存器 A4、宽度配置寄存器 B5、宽度配置寄存器 C6、比较选择电路 7、计数器 A8、计数器 B9、计数器 C10、比较电路 A12、比较电路 B13、比较电路 C14、计数器 D15、脉冲发生器 A16、脉冲发生器 B17、脉冲发生器 C18、比较电路 D19 和脉冲发生器 D20;

[0016] 其连接关系为:数据寄存器 1 与读写地址寄存器 2 分别连接在 CPU 与 FLASH 存储器之间,使能信号发生电路 3 一端与 CPU 连接,另一端分为四路,分别与计数器 A8、计数器 B9、计数器 C10 及计数器 D15 连接;宽度配置寄存器 A4 的一端与 CPU 连接,另一端分为两路,一路与比较选择电路 7 连接,另一路与比较电路 A12 连接,比较电路 A12 通过脉冲发生器 A16 连接至 FLASH 存储器,计数器 A8 与比较电路 A12 连接;宽度配置寄存器 B5 的一端与 CPU 连接,另一端分为两路,一路与比较选择电路 7 连接,另一路与比较电路 B13 连接,比较电路 B13 通过脉冲发生器 B17 连接至 FLASH 存储器,计数器 B9 与比较电路 B13 连接;宽度配置寄存器 C6 的一端与 CPU 连接,另一端分为两路,一路与比较选择电路 7 连接,另一路与比较电路 C14 连接,比较电路 C14 通过脉冲发生器 C18 连接至 FLASH 存储器,计数器 C10 与比较电路 C14 连接;比较选择电路 7 与计数器 D15 分别与比较电路 D19 连接,比较电路 D19 通过脉冲发生器 D20 连接至 FLASH 存储器;

[0017] CPU 首先需对宽度配置寄存器 A4、宽度配置寄存器 B5 及宽度配置寄存器 C6 的脉冲信号宽度进行设定;

[0018] CPU 通过宽度配置寄存器 A4、计数器 A8、比较电路 A12 及脉冲发生器 A16 向 FLASH 存储器发出擦除控制信号;

[0019] CPU 通过宽度配置寄存器 B5、计数器 B9、比较电路 B13 及脉冲发生器 B17 向 FLASH 存储器发出写入控制信号;

[0020] CPU 通过宽度配置寄存器 C6、计数器 C10、比较电路 C14 及脉冲发生器 C18 向 FLASH 存储器发出读取控制信号;

[0021] 比较选择电路 7 用于比较宽度配置寄存器 A4、宽度配置寄存器 B5 与宽度配置寄存

器 C6 中所设定的最大脉冲宽度；

[0022] 工作流程为 :A. CPU 首先需对宽度配置寄存器 A4、宽度配置寄存器 B5 及宽度配置寄存器 C6 的脉冲信号宽度进行设定；

[0023] B. CPU 通过数据寄存器 1、读写地址寄存器 2 将数据及地址存放在 FLASH 存储器的相应端口；

[0024] C. 宽度配置寄存器 A4、宽度配置寄存器 B5、宽度配置寄存器 C6 以控制脉冲宽度的形式控制电平保持时间，分别通过比较电路 A12、比较电路 B13、比较电路 C14 与计数器 A8、计数器 B9、计数器 C10 进行比较，当计数器 A8、计数器 B9、计数器 C10 计数达到设定的脉冲宽度时，脉冲发生器 A16、脉冲发生器 B17、脉冲发生器 C18 结束电平保持，形成脉冲，此时 FLASH 存储器进行相应的擦除、写入、读取功能；

[0025] D. 比较选择电路 7 比较宽度配置寄存器 A4、宽度配置寄存器 B5 与宽度配置寄存器 C6 中所设定的值，并输出最大脉冲宽度，计数器 D15 进行计数，当比较电路 D19 获取到最大脉冲宽度时，脉冲发生器 D20 向 FLASH 存储器发出使能信号，结束本次操作。

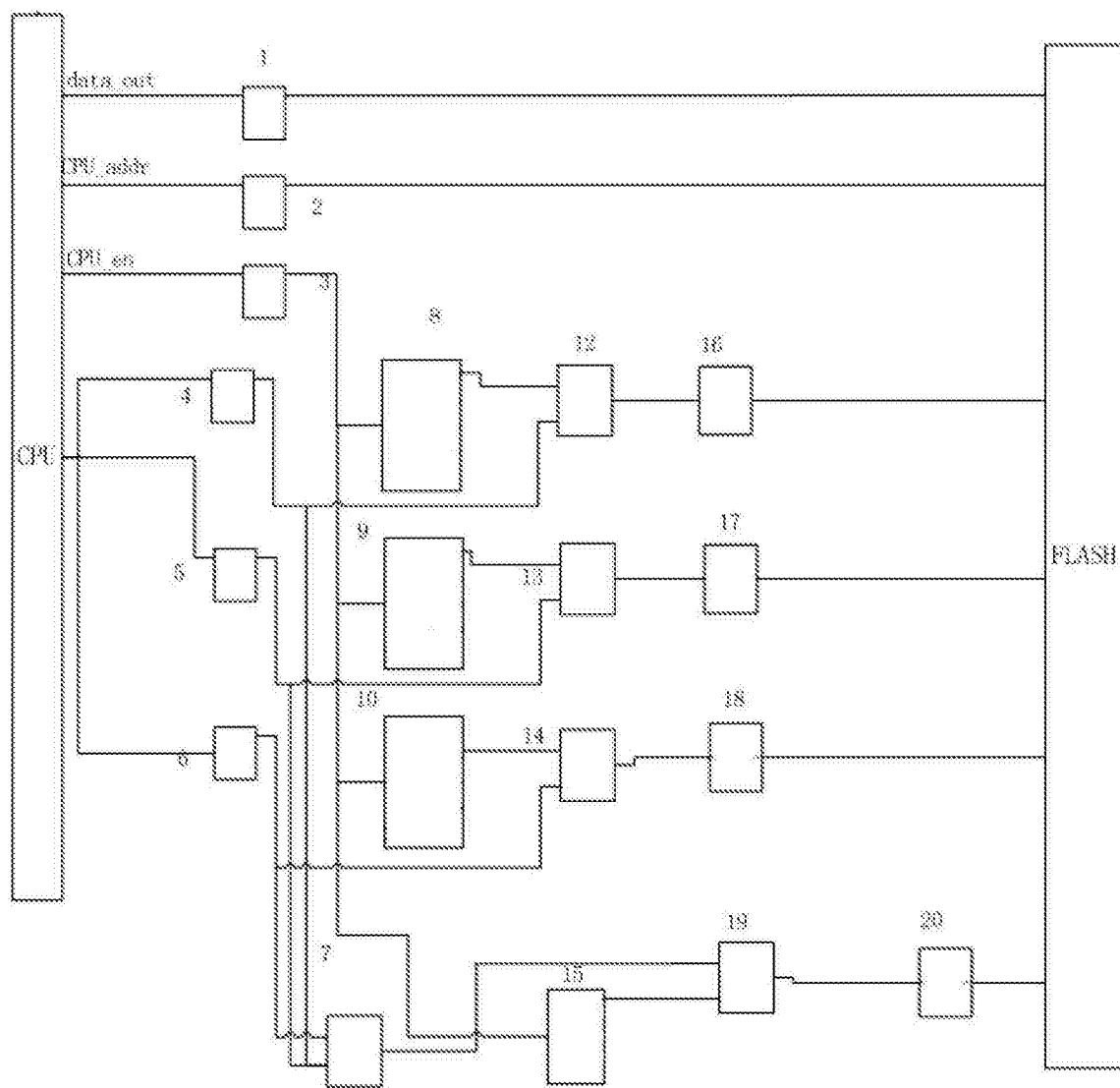


图 1