(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3875375号
(P3875375)
(45)発行日　平成19年1月31日(2007.1.31)　(24)登録日　平成18年11月2日(2006.11.2)

(51)Int.Cl.		F I		
H01L 21/02	(2006.01)	H01L	21/02	B
H01L 27/12	(2006.01)	H01L	27/12	Z

請求項の数 15　(全 25 頁)

(21)出願番号　特願平9-272541
(22)出願日　平成9年10月6日(1997.10.6)
(65)公開番号　特開平11-111581
(43)公開日　平成11年4月23日(1999.4.23)
審査請求日　平成15年4月23日(2003.4.23)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100089233
弁理士　吉田　茂明
(74)代理人　100088672
弁理士　吉竹　英俊
(74)代理人　100088845
弁理士　有田　貴弘
(72)発明者　岩松　俊明
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　山口　泰男
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
最終頁に続く

(54)【発明の名称】半導体装置の製造方法および半導体基板

(57)【特許請求の範囲】
【請求項１】
一方主面と、その反対側の他方主面と、側面部とを有し、前記一方主面のうち活性領域が形成される中央部が規定され、前記中央部の周辺領域と前記側面部とを含む端縁部が規定される半導体基板を用いた半導体装置の製造方法であって、
(ａ)前記半導体基板の前記中央部および前記端縁部を覆うように第１の酸化膜を形成する工程と、
(ｂ)前記中央部の前記第１の酸化膜の上部全面に、耐酸化性膜を形成する工程と、
(ｃ)前記耐酸化性膜をマスクとして、前記半導体基板の端縁部をさらに酸化することで、前記端縁部に前記第１の酸化膜よりも厚い第２の酸化膜を形成する工程とを備える、半導体装置の製造方法。
【請求項２】
前記半導体基板は、ＳＩＭＯＸ法で形成されたＳＯＩ基板であって、
前記一方主面の表面内には、全面に渡って順に積層形成された埋め込み酸化膜およびＳＯＩ層を備え、
前記工程(ｃ)は、
(ｃ－１)前記端縁部に延在する前記ＳＯＩ層を完全に酸化するとともに、前記端縁部の残りの部分も酸化するように前記第２の酸化膜を形成する工程を含む、請求項１記載の半導体装置の製造方法。
【請求項３】

前記半導体基板は、貼り合わせ法で形成されたＳＯＩ基板であって、
前記一方主面上には、全面に渡って順に積層形成された基板上酸化膜およびＳＯＩ層を備え、
前記工程(ｃ)は、
(ｃ－１)前記端縁部に延在する前記ＳＯＩ層を完全に酸化するとともに、前記端縁部の残りの部分も酸化するように前記第２の酸化膜を形成する工程を含む、請求項１記載の半導体装置の製造方法。
【請求項４】
前記半導体基板は、バルクシリコン基板であって、
前記端縁部および前記他方主面に形成されたポリシリコン層を備え、
前記工程(ｃ)は、
(ｃ－１)前記ポリシリコン層を完全に酸化しないように、前記第２の酸化膜を形成する工程を含む、請求項１記載の半導体装置の製造方法。
【請求項５】
一方主面と、その反対側の他方主面と、側面部とを有し、前記一方主面のうち活性領域が形成される中央部が規定され、前記中央部の周辺領域と前記側面部とを含む端縁部が規定される半導体基板を用いた半導体装置の製造方法であって、
(ａ)前記半導体基板の前記中央部および前記端縁部を覆うように第１の酸化膜を形成し、前記ＳＯＩ層の厚さを、半導体素子の形成に適合する厚さになるまで減ずる工程と、
(ｂ)前記中央部の前記第１の酸化膜の上部に、選択的に耐酸化性膜を形成する工程と、
(ｃ)前記耐酸化性膜をマスクとして、前記半導体基板の端縁部をさらに酸化することで、前記端縁部に前記第１の酸化膜よりも厚い第２の酸化膜を形成する工程とを備える、半導体装置の製造方法。
【請求項６】
前記工程(ｂ)は、
前記中央部において前記活性領域を規定するフィールド酸化膜の形成のためのパターンに合わせて前記耐酸化性膜でパターンを形成する工程を含み、
前記工程(ｃ)は、
前記中央部において前記耐酸化性膜の前記パターンに合わせて、前記第２の酸化膜を前記フィールド酸化膜として形成する工程を含む、請求項５記載の半導体装置の製造方法。
【請求項７】
一方主面と、その反対側の他方主面と、側面部とを有し、前記一方主面のうち活性領域が形成される中央部が規定され、前記中央部の周辺領域と前記側面部とを含む端縁部が規定される半導体基板を用いた半導体装置の製造方法であって、
(ａ)前記半導体基板の前記中央部および前記端縁部を覆うように酸化膜を形成する工程と、
(ｂ)前記中央部以外の前記酸化膜の上部にレジストマスクを形成する工程と、
(ｃ)前記レジストマスクをエッチングマスクとして、前記中央部の前記酸化膜を選択的に除去して前記半導体基板を露出させるとともに、前記端縁部に前記酸化膜を残す工程とを備える、半導体装置の製造方法。
【請求項８】
(ｄ)前記端縁部の前記酸化膜上に耐酸化性膜を形成する工程をさらに備える、請求項７記載の半導体装置の製造方法。
【請求項９】
前記半導体基板は、ＳＩＭＯＸ法で形成されたＳＯＩ基板であって、
前記一方主面の表面内には、全面に渡って順に積層形成された埋め込み酸化膜およびＳＯＩ層を備え、
前記工程(ａ)は、
前記中央部の前記ＳＯＩ層の厚さが、半導体素子の形成に適合する厚さになるまで薄くなるように前記酸化膜を形成する工程を含む、請求項７または請求項８記載の半導体装置の

製造方法。
【請求項１０】
一方主面と、その反対側の他方主面と、側面部とを有し、前記一方主面のうち活性領域が形成される中央部が規定され、前記中央部の周辺領域と前記側面部とを含む端縁部が規定される半導体基板を用いた半導体装置の製造方法であって、
前記半導体基板は、ＳＩＭＯＸ法で形成されたＳＯＩ基板であって、
前記一方主面の表面内には、全面に渡って順に積層形成された埋め込み酸化膜およびＳＯＩ層を備え、
(ａ)前記半導体基板の前記中央部および前記端縁部を覆うように第１の酸化膜を形成する工程と、
(ｂ)前記中央部の前記第１の酸化膜の上部全面に、レジストマスクを形成する工程と、
(ｃ)前記レジストマスクをエッチングマスクとして、前記半導体基板の端縁部の前記第１の酸化膜および前記ＳＯＩ層を選択的に除去して、前記埋め込み酸化膜を露出する工程と、
(ｄ)前記レジストマスクの下部の前記第１の酸化膜をさらに酸化して前記第１の酸化膜よりも厚い第２の酸化膜を形成するとともに、露出した前記埋め込み酸化膜をさらに厚くする工程とを備える、半導体装置の製造方法。
【請求項１１】
一方主面と、その反対側の他方主面と、側面部とを有し、前記一方主面のうち活性領域が形成される中央部が規定され、前記中央部の周辺領域と前記側面部とを含む端縁部が規定される半導体基板を用いた半導体装置の製造方法であって、
前記半導体基板は、ＳＩＭＯＸ法で形成されたＳＯＩ基板であって、
前記一方主面の表面内には、全面に渡って順に積層形成された埋め込み酸化膜およびＳＯＩ層を備え、
(ａ)前記半導体基板の前記中央部および前記端縁部を覆うように第１の酸化膜を形成する工程と、
(ｂ)前記中央部の前記第１の酸化膜の上部に、選択的にレジストマスクを形成する工程と、
(ｃ)前記レジストマスクをエッチングマスクとして、ドライエッチングにより前記半導体基板の端縁部の前記第１の酸化膜、前記ＳＯＩ層、前記埋め込み酸化膜を選択的に除去して、前記ＳＯＩ層下部の下地基板を露出する工程と、
(ｄ)前記レジストマスクの下部の前記第１の酸化膜をさらに酸化して前記第１の酸化膜よりも厚い第２の酸化膜を形成するとともに、露出した前記下地基板上に第３の酸化膜を形成する工程とを備える、半導体装置の製造方法。
【請求項１２】
前記工程(ｄ)は、
前記中央部の前記ＳＯＩ層の厚さが、半導体素子の形成に適合する厚さになるまで薄くなるように前記第２の酸化膜を形成する工程を含む、請求項１０または請求項１１記載の半導体装置の製造方法。
【請求項１３】
一方主面と、その反対側の他方主面と、側面部とを有し、前記一方主面のうち活性領域が形成される中央部が規定され、前記中央部の周辺領域と前記側面部とを含む端縁部が規定される半導体基板であって、
前記一方主面内には、順に積層形成された埋め込み酸化膜およびＳＯＩ層を備え、
前記端縁部には前記ＳＯＩ層を熱酸化して形成された前記埋め込み酸化膜に達する厚さの熱酸化膜を備える半導体基板。
【請求項１４】
一方主面と、その反対側の他方主面と、側面部とを有し、前記一方主面のうち活性領域が形成される中央部が規定され、前記中央部の周辺領域と前記側面部とを含む端縁部が規定される半導体基板であって、

前記一方主面内には、順に積層形成された埋め込み酸化膜およびＳＯＩ層を備え、
前記埋め込み酸化膜内にはシリコン島を含み、
前記端縁部に延在する前記埋め込み酸化膜内のシリコン島の密度は、前記中央部の前記埋め込み酸化膜内のシリコン島の密度よりも低いことを特徴とする半導体基板。
【請求項１５】
一方主面と、その反対側の他方主面と、側面部とを有し、前記一方主面のうち活性領域が形成される中央部が規定され、前記中央部の周辺領域と前記側面部とを含む端縁部が規定される半導体基板であって、
前記一方主面内には、順に積層形成された埋め込み酸化膜およびＳＯＩ層を備え、
前記埋め込み酸化膜内にはシリコン島を含み、
前記端縁部には前記埋め込み酸化膜および前記ＳＯＩ層が形成されていないことを特徴とする半導体基板。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体装置の製造方法および半導体基板に関し、特に基板端縁部からの発塵を防止した半導体装置の製造方法および半導体基板に関する。
【０００２】
【従来の技術】
ＳＯＩ（silicon on insulator）基板上に半導体素子が形成されたＳＯＩデバイスは、接合容量の減少、素子間分離耐圧の向上など、バルクデバイスに比べて優れた点を有しているが、以下に説明するようなＳＯＩデバイスに固有の問題も有している。
【０００３】
図４０にＳＯＩ基板１０の断面図を示す。ＳＯＩ基板１０は、シリコン基板１の上主面内に、埋め込み酸化膜２および単結晶シリコン層（以後、ＳＯＩ層と呼称）３が順に積層された構造を有している。そして、単結晶のシリコン基板１の端縁部および下主面にはポリシリコン層４が形成されている。このポリシリコン層４は、ウエハの製造過程またはトランジスタのウエハプロセスで取り込まれる重金属などの汚染物質をゲッタリングするためのもので、このようなポリシリコン層を有する構造はポリバックコート構造（ＰＢＣ構造）と呼称される。
【０００４】
ＳＯＩ基板の製造方法には、ＳＩＭＯＸ（separation by implanted oxygen）法や、貼り合わせ（bonding）法などがあるが、以下においてはＳＩＭＯＸ法で製造されたＳＯＩ基板（ＳＩＭＯＸ基板）を例に採って説明する。
【０００５】
ＳＩＭＯＸ法は単結晶のシリコン基板に酸素イオンを、例えば０．４×10^{18}／cm^2～３×10^{18}／cm^2のドーズ量で注入した後、１３５０℃程度の温度でアニールすることによりＳＯＩ構造を得るものである。
【０００６】
図４１にＳＯＩ基板１０の端縁部の部分詳細図を示す。なお、以後の説明においては、半導体基板を、上主面（半導体素子が形成される側）と、その中央部（活性領域を含む部分）と、中央部の周辺部および側面部を合わせた端縁部と、下主面とに区別して呼称する。
【０００７】
図４１は図４０に示す領域Ｘの詳細を示す図であり埋め込み酸化膜２およびＳＯＩ層３とポリシリコン層４とが交わる部分を示している。図４１に示すように、端縁部においては曲率の大きな曲面になっているので、垂直方向から行う酸素イオンの注入に際しては、酸素イオンが斜めに注入されることになり、実効的な注入エネルギーが低くなる。その結果、端縁部では埋め込み酸化膜２およびＳＯＩ層３の厚みが薄くなり、ＳＯＩ層３が剥離しやすい構造となる。
【０００８】

これに加えて、ＳＯＩデバイスの製造過程において行われるＳＯＩ３層の薄膜化工程がＳＯＩ層３の剥離を助長することになる。まず、図４２および図４３を用いてＳＯＩ層３の薄膜化工程を説明する。

【０００９】

ＳＯＩ基板１０におけるＳＯＩ層３の厚みは、基板製造時点では図４２に示すように適当な厚みで形成されている。ＳＯＩ層３の厚みを、所望の半導体装置のスペックに会わせて適宜薄くすることがＳＯＩ層３の薄膜化工程であり、ＳＯＩ層３を酸化し、形成された酸化膜を除去することでＳＯＩ層３の厚さを調整するものである。

【００１０】

図４３にＳＯＩ層３の上に酸化膜５を形成した状態を示す。酸化膜５の厚みは、一般的にはＳＯＩ基板１０の中央部、すなわち半導体素子形成領域（活性領域）のＳＯＩ層３の厚みに基づいて決定される。ここで問題となるのが先に説明したように、ＳＯＩ基板１０の端縁部ではＳＯＩ層３の厚みが薄い点であり、また、ＳＯＩ基板１０の端縁部にはポリシリコン層４が形成されている点である。ここで、図４２に示す領域Ｙを図４４においてさらに詳細に示し、図４３に示す領域Ｚを図４５においてさらに詳細に示す。また、図４６に酸化膜５を除去した状態を示す。

【００１１】

図４４に示すようにポリシリコン層４は単結晶粒ＧＰが多数集まって構成されている。そして、単結晶粒ＧＰの各々は結晶方位が個々に異なっているので、酸素イオン注入に際しては、チャネリングなどにより注入深さが異なり、埋め込み酸化膜２は一定の深さに形成されていない。

【００１２】

また、ポリシリコン層４の酸化レートは単結晶粒ＧＰの結晶方位により異なるので、ポリシリコン層４を酸化すると図４５に示すように単結晶粒ＧＰごとに酸化膜５の厚みが異なることになる。

【００１３】

そして、ＳＯＩ基板１０の端縁部ではＳＯＩ層３の厚みが薄いので、単結晶粒ＧＰによっては酸化膜５が埋め込み酸化膜２と接触したり、ＳＯＩ層３が完全に酸化されたりする場合がある。このような場合、ＳＯＩ層３が部分的に埋め込み酸化膜２および酸化膜５で囲まれる現象が生じることがある。例えば、図４５に示すＳＯＩ層３０は周囲を酸化膜５および埋め込み酸化膜２で囲まれている。

【００１４】

このような状態にあるＳＯＩ基板１０に対して、ＳＯＩ層の薄膜化のために、フッ酸等のエッチング液を用いて酸化膜５のウエットエッチングを行うと、図４６に示すように、酸化膜５だけでなく埋め込み酸化膜２もエッチングされ、ＳＯＩ層３０がリフトオフされてパーティクルとなり、エッチング液中を浮遊し、場合によってはＳＯＩ層３０がＳＯＩ基板１０の中央部に再付着する可能性がある。パーティクルが半導体素子形成領域に付着すると、半導体素子の形成不良の原因となり、製造歩留まりの低下の要因となる。

【００１５】

【発明が解決しようとする課題】

以上説明したように、従来の半導体基板、特にＳＯＩ基板においては基板端縁部のＳＯＩ層が剥離し、パーティクルとなって製造歩留まりの低下の要因となるという問題があった。また、ＳＯＩ基板以外の半導体基板においてもパーティクルの発生が問題となっている。

【００１６】

本発明は上記のような問題点を解消するためになされたもので、基板端縁部からの発塵を防止した半導体装置の製造方法および半導体基板を提供する。

【００１７】

【課題を解決するための手段】

本発明に係る請求項１記載の半導体装置の製造方法は、一方主面と、その反対側の他方主

面と、側面部とを有し、前記一方主面のうち活性領域が形成される中央部が規定され、前記中央部の周辺領域と前記側面部とを含む端縁部が規定される半導体基板を用いた半導体装置の製造方法であって、前記半導体基板の前記中央部および前記端縁部を覆うように第１の酸化膜を形成する工程(ａ)と、前記中央部の前記第１の酸化膜の上部全面に、選択的に耐酸化性膜を形成する工程(ｂ)と、前記耐酸化性膜をマスクとして、前記半導体基板の端縁部をさらに酸化することで、前記端縁部に前記第１の酸化膜よりも厚い第２の酸化膜を形成する工程(ｃ)とを備えている。

【００１８】

本発明に係る請求項２記載の半導体装置の製造方法は、前記半導体基板が、ＳＩＭＯＸ法で形成されたＳＯＩ基板であって、前記一方主面の表面内には、全面に渡って順に積層形成された埋め込み酸化膜およびＳＯＩ層を備え、前記工程(ｃ)が、前記端縁部に延在する前記ＳＯＩ層を完全に酸化するとともに、前記端縁部の残りの部分も酸化するように前記第２の酸化膜を形成する工程(ｃ－１)を含んでいる。

【００１９】

本発明に係る請求項３記載の半導体装置の製造方法は、前記半導体基板が、貼り合わせ法で形成されたＳＯＩ基板であって、前記一方主面上には、全面に渡って順に積層形成された基板上酸化膜およびＳＯＩ層を備え、前記工程(ｃ)が、前記端縁部に延在する前記ＳＯＩ層を完全に酸化するとともに、前記端縁部の残りの部分も酸化するように前記第２の酸化膜を形成する工程(ｃ－１)を含んでいる。

【００２０】

本発明に係る請求項４記載の半導体装置の製造方法は、前記半導体基板が、バルクシリコン基板であって、前記端縁部および前記他方主面に形成されたポリシリコン層を備え、前記工程(ｃ)が、前記ポリシリコン層を完全に酸化しないように、前記第２の酸化膜を形成する工程(ｃ－１)を含んでいる。

【００２１】

本発明に係る請求項５記載の半導体装置の製造方法は、一方主面と、その反対側の他方主面と、側面部とを有し、前記一方主面のうち活性領域が形成される中央部が規定され、前記中央部の周辺領域と前記側面部とを含む端縁部が規定される半導体基板を用いた半導体装置の製造方法であって、前記半導体基板の前記中央部および前記端縁部を覆うように第１の酸化膜を形成し、前記ＳＯＩ層の厚さを、半導体素子の形成に適合する厚さになるまで減ずる工程(ａ)と、前記中央部の前記第１の酸化膜の上部に、選択的に耐酸化性膜を形成する工程(ｂ)と、前記耐酸化性膜をマスクとして、前記半導体基板の端縁部をさらに酸化することで、前記端縁部に前記第１の酸化膜よりも厚い第２の酸化膜を形成する工程(ｃ)とを備えている。

【００２２】

本発明に係る請求項６記載の半導体装置の製造方法は、前記工程(ｂ)が、前記中央部において前記活性領域を規定するフィールド酸化膜の形成のためのパターンに合わせて前記耐酸化性膜でパターンを形成する工程を含み、前記工程(ｃ)が、前記中央部において前記耐酸化性膜の前記パターンに合わせて、前記第２の酸化膜を前記フィールド酸化膜として形成する工程を含んでいる。

【００２３】

本発明に係る請求項７記載の半導体装置の製造方法は、一方主面と、その反対側の他方主面と、側面部とを有し、前記一方主面のうち活性領域が形成される中央部が規定され、前記中央部の周辺領域と前記側面部とを含む端縁部が規定される半導体基板を用いた半導体装置の製造方法であって、前記半導体基板の前記中央部および前記端縁部を覆うように酸化膜を形成する工程(ａ)と、前記中央部以外の前記酸化膜の上部にレジストマスクを形成する工程(ｂ)と、前記レジストマスクをエッチングマスクとして、前記中央部の前記酸化膜を選択的に除去して前記半導体基板を露出させるとともに、前記端縁部に前記酸化膜を残す工程(ｃ)とを備えている。

【００２４】

本発明に係る請求項８記載の半導体装置の製造方法は、前記端縁部の前記酸化膜上に耐酸化性膜を形成する工程(ｄ)をさらに備えている。

【００２５】

本発明に係る請求項９記載の半導体装置の製造方法は、前記半導体基板が、ＳＩＭＯＸ法で形成されたＳＯＩ基板であって、前記一方主面の表面内には、全面に渡って順に積層形成された埋め込み酸化膜およびＳＯＩ層を備え、前記工程(ａ)が、前記中央部の前記ＳＯＩ層の厚さが、半導体素子の形成に適合する厚さになるまで薄くなるように前記酸化膜を形成する工程を含んでいる。

【００２６】

本発明に係る請求項１０記載の半導体装置の製造方法は、一方主面と、その反対側の他方主面と、側面部とを有し、前記一方主面のうち活性領域が形成される中央部が規定され、前記中央部の周辺領域と前記側面部とを含む端縁部が規定される半導体基板を用いた半導体装置の製造方法であって、前記半導体基板が、ＳＩＭＯＸ法で形成されたＳＯＩ基板であって、前記一方主面の表面内には、全面に渡って順に積層形成された埋め込み酸化膜およびＳＯＩ層を備え、前記半導体基板の前記中央部および前記端縁部を覆うように第１の酸化膜を形成する工程(ａ)と、前記中央部の前記第１の酸化膜の上部全面に、選択的にレジストマスクを形成する工程(ｂ)と、前記レジストマスクをエッチングマスクとして、前記半導体基板の端縁部の前記第１の酸化膜および前記ＳＯＩ層を選択的に除去して、前記埋め込み酸化膜を露出する工程(ｃ)と、前記レジストマスクの下部の前記第１の酸化膜をさらに酸化して前記第１の酸化膜よりも厚い第２の酸化膜を形成するとともに、露出した前記埋め込み酸化膜をさらに厚くする工程(ｄ)とを備えている。

【００２７】

本発明に係る請求項１１記載の半導体装置の製造方法は、一方主面と、その反対側の他方主面と、側面部とを有し、前記一方主面のうち活性領域が形成される中央部が規定され、前記中央部の周辺領域と前記側面部とを含む端縁部が規定される半導体基板を用いた半導体装置の製造方法であって、前記半導体基板が、ＳＩＭＯＸ法で形成されたＳＯＩ基板であって、前記一方主面の表面内には、全面に渡って順に積層形成された埋め込み酸化膜およびＳＯＩ層を備え、前記半導体基板の前記中央部および前記端縁部を覆うように第１の酸化膜を形成する工程(ａ)と、前記中央部の前記第１の酸化膜の上部に、選択的にレジストマスクを形成する工程(ｂ)と、前記レジストマスクをエッチングマスクとして、ドライエッチングにより前記半導体基板の端縁部の前記第１の酸化膜、前記ＳＯＩ層、前記埋め込み酸化膜を選択的に除去して、前記ＳＯＩ層下部の下地基板を露出する工程(ｃ)と、前記レジストマスクの下部の前記第１の酸化膜をさらに酸化して前記第１の酸化膜よりも厚い第２の酸化膜を形成するとともに、露出した前記下地基板上に第３の酸化膜を形成する工程(ｄ)とを備えている。

【００２８】

本発明に係る請求項１２記載の半導体装置の製造方法は、前記工程(ｄ)が、前記中央部の前記ＳＯＩ層の厚さが、半導体素子の形成に適合する厚さになるまで薄くなるように前記第２の酸化膜を形成する工程を含んでいる。

【００２９】

本発明に係る請求項１３記載の半導体装置の製造方法は、一方主面と、その反対側の他方主面と、側面部とを有し、前記一方主面のうち活性領域が形成される中央部が規定され、前記中央部の周辺領域と前記側面部とを含む端縁部が規定される半導体基板であって、前記一方主面内には、順に積層形成された埋め込み酸化膜およびＳＯＩ層を備え、前記端縁部には前記ＳＯＩ層を熱酸化して形成された前記埋め込み酸化膜に達する厚さの熱酸化膜を備えている。

【００３０】

本発明に係る請求項１４記載の半導体基板は、一方主面と、その反対側の他方主面と、側面部とを有し、前記一方主面のうち活性領域が形成される中央部が規定され、前記中央部の周辺領域と前記側面部とを含む端縁部が規定される半導体基板であって、前記一方主面

内には、順に積層形成された埋め込み酸化膜およびＳＯＩ層を備え、前記埋め込み酸化膜内にはシリコン島を含み、前記端縁部に延在する前記埋め込み酸化膜内のシリコン島の密度は、前記中央部の前記埋め込み酸化膜内のシリコン島の密度よりも低くなっている。

【００３１】

本発明に係る請求項１５記載の半導体基板は、一方主面と、その反対側の他方主面と、側面部とを有し、前記一方主面のうち活性領域が形成される中央部が規定され、前記中央部の周辺領域と前記側面部とを含む端縁部が規定される半導体基板であって、前記一方主面内には、順に積層形成された埋め込み酸化膜およびＳＯＩ層を備え、前記埋め込み酸化膜内にはシリコン島を含み、前記端縁部には前記埋め込み酸化膜および前記ＳＯＩ層が形成されていない。

【００３２】

【発明の実施の形態】

＜Ａ．実施の形態１＞

本発明に係る半導体基板の処理方法および半導体基板の実施の形態１を、処理工程を示す図１～図６を用いて説明する。なお、以後の説明においては、半導体基板を、上主面（半導体素子が形成される側）と、その中央部（活性領域を含む部分）と、中央部の周辺部および側面部を合わせた端縁部と、下主面とに区別して呼称する。

【００３３】

＜Ａ－１．処理方法＞

まず、図１に示すように、ＳＯＩ基板１０の全体を覆うようにシリコン酸化膜（以後、酸化膜と呼称）１１を１００～４００オングストロームの厚さに形成する。なお、酸化膜１１（第１の酸化膜）はＳＯＩ基板１０を７００～１１００℃程度の温度条件で熱酸化することで形成しても良いし、６００～８５０℃程度の温度条件でＣＶＤ法により形成しても良い。

【００３４】

ここで、ＳＯＩ基板１０は、単結晶のシリコン基板（バルクシリコン基板）１の上主面に、埋め込み酸化膜２および単結晶シリコン層（以後、ＳＯＩ層と呼称）３が順に積層された構造を有している。そして、単結晶のシリコン基板１の端縁部および下主面にはポリシリコン層４が形成されている。このポリシリコン層４は、ウエハの製造過程で取り込まれる重金属などの汚染物質をゲッタリングするためのもので、このようなポリシリコン層を有する構造はポリバックコート構造（ＰＢＣ構造）と呼称される。

【００３５】

以下においてはＳＩＭＯＸ法で製造されたＳＯＩ基板（ＳＩＭＯＸ基板）を例に採って説明する。

【００３６】

まず、酸化膜１１の全体を覆うように、６００～８５０℃程度の温度条件でＣＶＤ法により耐酸化性膜としてシリコン窒化膜（以後、窒化膜と呼称）１２を１０００～４０００オングストロームの厚さに形成する。

【００３７】

そして、ＳＯＩ基板１０の上主面（活性領域が形成される面）の中央部分を覆うようにレジストマスクＲ１を選択的に形成する。ＳＯＩ基板１０を上主面側から見た場合の平面図を図２に示す。図２に示すように、レジストマスクＲ１はＳＯＩ基板１０の端縁部には形成されていない。なお、レジストマスクＲ１の形成範囲は半導体素子が形成される活性領域を完全に覆うように設定される。

【００３８】

次に、レジストマスクＲ１をエッチングマスクとし、ドライエッチングにより窒化膜１２を選択的に除去することで、図３に示すようにレジストマスクＲ１の下部だけに窒化膜１２を残す。すなわち、レジストマスクＲ１で覆われないＳＯＩ基板１０の端縁部においては窒化膜１２が除去され、酸化膜１１が露出することになる。また、ＳＯＩ基板１０の下主面においては全面に渡って窒化膜１２を除去する。なお、窒化膜１２の除去に際しては

、例えば熱リン酸を用いたウエットエッチングを使用しても良い。

【００３９】

次に、図４に示す工程において、ＳＯＩ基板１０の端縁部および下主面を酸化して酸化膜１３（第２の酸化膜）を形成する。この酸化工程においてはＳＯＩ基板１０の端縁部および下主面において露出する酸化膜１１を下敷き酸化膜として使用し、ＬＯＣＯＳ（Local Oxide of Silicon）酸化と同様にして行う。なお、この酸化工程の条件は、窒化膜１２の下部以外のＳＯＩ層３が全て酸化される条件を選択する。例えば、窒化膜１２の下部のＳＯＩ層３の厚みが２０００オングストロームの場合は、酸化膜１３が５０００オングストローム以上となるようにする。

【００４０】

次に、図５に示す工程において、窒化膜１２を除去した後、窒化膜１２の下部のＳＯＩ層３の厚さを所望の半導体装置のスペックに会わせて適宜薄くする。すなわち、酸化膜１１をさらに酸化して厚くすることでＳＯＩ層３を薄くする。このとき、ＳＯＩ基板１０の端縁部および下主面に形成された酸化膜１３の厚みも増すことになる。なお、ＳＯＩ層３の厚さを１０００オングストローム薄くしたい場合には、酸化膜１１の厚みが２０００オングストローム厚くなるように酸化条件を設定する。

【００４１】

次に、図６に示す工程において、厚くなった酸化膜１１をウエットエッチングにより除去する。

【００４２】

＜Ａ－２．特徴的作用効果＞

以上説明したように、ＳＯＩ層３の薄膜化工程においては、ＳＯＩ基板１０の端縁部および下主面に形成された酸化膜１３の厚さも減少するが、もともと酸化膜１３の厚さは酸化膜１１よりも厚い上に、ＳＯＩ層３の薄膜化工程において厚さが増しているので、酸化膜１１のエッチングに際しても完全に除去されることはない。また、ＳＯＩ基板１０の端縁部および下主面にはＳＯＩ層３が残らないように酸化膜１３が形成されているので、ＳＯＩ層３が部分的にリフトオフされてパーティクルとなり、エッチング液中を浮遊するといった問題が発生せず、パーティクルの存在に起因する半導体素子の形成不良を防止し、ひいては製造歩留まりを向上することができる。

【００４３】

なお、端縁部および下主面に酸化膜１３が形成されたＳＯＩ基板１０の、上主面のＳＯＩ層３には、後の工程でＭＯＳトランジスタやバイポーラトランジスタなどを作り込むことでＤＲＡＭやＳＲＡＭ、ロジック回路などを構成することになる。

【００４４】

＜Ａ－３．変形例＞

以上の説明においては、ＰＢＣ構造を有するＳＯＩ基板について本発明を適用する例について説明したが、ＰＢＣ構造を有さないＳＯＩ基板においてもパーティクルが発生する場合があるので本発明を適用することができる。

【００４５】

図７に、ＰＢＣ構造を有さないＳＯＩ基板１００の最端縁部の断面図を示す。図７に示すようにシリコン基板１に酸素イオンを注入して埋め込み酸化膜２を形成する場合に、ＳＯＩ基板１００の最端縁部ＭＥにおいては、本来はＳＯＩ層であるべき部分に酸素イオンが注入され、酸化膜が形成される場合がある。このとき、最端縁部ＭＥの全てが酸化されるのではなく、部分的に粒状のシリコン単結晶領域（以後、シリコン島ＳＩと呼称）が残り、酸化膜のウエットエッチングに際してこのシリコン島ＳＩがパーティクルとしてエッチング液中に流出することがあるが、実施の形態１において説明したように、端縁部および下主面に酸化膜１３を形成することで、シリコン島ＳＩがパーティクルとなることを防止できる。

【００４６】

＜Ｂ．実施の形態２＞

以上説明した本発明に係る実施の形態１においては、ＳＯＩ基板１０の端縁部のＳＯＩ層３が、ウエットエッチングに際して部分的にリフトオフされてパーティクルとなる現象を防止する構成について説明したが、埋め込み酸化膜２内に含まれるシリコン島がパーティクルの源となる場合がある。

【００４７】

ここで、シリコン島について説明する。埋め込み酸化膜２の内部には図８に示すように複数のシリコン島ＳＩが存在している。シリコン島ＳＩは埋め込み酸化膜２をイオン注入によって形成する際に発生するものであり、ＳＩＭＯＸ基板に特有のものである。すなわち、酸素イオンをシリコン基板に注入することで埋め込み酸化膜２が形成されるが、その際に、酸素イオンと反応しないシリコン原子どうしがＳＩＭＯＸアニール工程で結合し、シリコンの塊を構成する。これがシリコン島ＳＩとなる。

【００４８】

このシリコン島ＳＩは埋め込み酸化膜２の比較的深い部分に多く存在するので、通常は埋め込み酸化膜２が多少エッチングされても表面に現れることはないが、ＳＯＩ基板１０の端縁部においては、図８に示すようにＳＯＩ層３および埋め込み酸化膜２の厚みが薄いので、エッチングにより露出し、場合によってはリフトオフされてパーティクルとなる。

【００４９】

以下、本発明に係る半導体基板の処理方法および半導体基板の実施の形態２として、シリコン島に起因するパーティクルを低減する構成について図８～図１１を用いて説明する。

【００５０】

＜Ｂ－１．処理方法＞

まず、図８に示すように、ＳＯＩ基板１０の全体を覆うように酸化膜２１（第１の酸化膜）を１００～４００オングストロームの厚さに形成する。なお、酸化膜２１はＳＯＩ基板１０を７００～１１００℃程度の温度条件で熱酸化することで形成しても良いし、６００～８５０℃程度の温度条件でＣＶＤ法により形成しても良い。

【００５１】

そして、ＳＯＩ基板１０の上主面（活性領域が形成される面）の中央部分を覆うようにレジストマスクＲ２を選択的に形成する。なお、レジストマスクＲ２の形成範囲は、活性領域が形成される領域を完全に覆うように設定される。

【００５２】

次に、レジストマスクＲ２をエッチングマスクとし、ドライエッチングによりレジストマスクＲ２に覆われない部分の酸化膜２１およびＳＯＩ層３を選択的に除去することで、図９に示すようにレジストマスクＲ２の下部だけに酸化膜２１およびＳＯＩ層３を残す。すなわち、レジストマスクＲ２で覆われないＳＯＩ基板１０の端縁部および下主面においては酸化膜２１およびＳＯＩ層３が除去され、埋め込み酸化膜２が露出することになる。

【００５３】

次に、レジストマスクＲ２を除去した後、図１０に示すようにレジストマスクＲ２の下部のＳＯＩ層３の厚さを所望の半導体装置のスペックに会わせて適宜薄くする。すなわち、酸化膜２１をさらに酸化して酸化膜２３（第２の酸化膜）を形成することでＳＯＩ層３を薄くする。なお、ＳＯＩ層３の厚さを１０００オングストローム薄くしたい場合には、酸化膜２３の厚みが酸化膜２１よりも２０００オングストローム厚くなるように酸化条件を設定する。このとき、ＳＯＩ基板１０の端縁部および下主面の埋め込み酸化膜２は酸化剤である酸素に曝されることになる。そして、酸素が埋め込み酸化膜２中を拡散してシリコン島ＳＩに達すると、シリコン原子と反応してシリコン酸化膜を形成するのでシリコン島ＳＩが消滅することになる。

【００５４】

＜Ｂ－２．特徴的作用効果＞

以上説明したように、ＳＯＩ層３の薄膜化工程においては、図１１に示すように、ＳＯＩ層３の薄膜化のために形成した酸化膜２３をウエットエッチングで除去した場合でも、ＳＯＩ基板１０の端縁部にはシリコン島ＳＩが少なくなっているので、シリコン島ＳＩがリ

フトオフされてパーティクルとなることが防止されることになる。
【００５５】
なお、上記の説明においては、ＳＯＩ層３の薄膜化のために酸化膜２１をさらに酸化して厚くする際に、シリコン島ＳＩを併せて消滅させる例を示したが、シリコン島ＳＩを消滅させ得るのであれば、他の酸化工程でシリコン島ＳＩを消滅させるようにしても良い。ただし、その酸化工程の前にＳＯＩ基板１０の端縁部がウエットエッチングに曝される工程が含まれている場合には適用できない。
【００５６】
＜Ｂ－３．処理方法の変形例＞
以上説明した本発明に係る実施の形態２においては、ＳＯＩ層３の薄膜化のために酸化膜２１をさらに酸化して厚くする際に、シリコン島ＳＩを併せて消滅させる例を示したが、ＳＯＩ基板１０の端縁部の埋め込み酸化膜２を除去することでシリコン島ＳＩがパーティクルとなるのを防止しても良い。
【００５７】
すなわち、図１２に示すように、ＳＯＩ基板１０の全体を覆うように酸化膜２１を形成し、ＳＯＩ基板１０の上主面の中央部分を覆うようにレジストマスクＲ２を選択的に形成する。
【００５８】
次に、レジストマスクＲ２をエッチングマスクとし、ドライエッチングによりレジストマスクＲ２に覆われない部分の酸化膜２１、ＳＯＩ層３、埋め込み酸化膜２を順次選択的に除去することで、図１３に示すようにレジストマスクＲ２の下部だけに酸化膜２１、ＳＯＩ層３、埋め込み酸化膜２を残す。そして、このドライエッチングをＳＯＩ基板１０の下主面に対しても施すことで、レジストマスクＲ２で覆われないＳＯＩ基板１０の端縁部および下主面においてはシリコン基板１（下地基板）が露出することになる。
【００５９】
次に、レジストマスクＲ２を除去した後、図１４に示すようにレジストマスクＲ２の下部のＳＯＩ層３の厚さを所望の半導体装置のスペックに会わせて適宜薄くする。すなわち、酸化膜２１をさらに酸化して酸化膜２３を形成することでＳＯＩ層３を薄くする。このとき、露出したシリコン基板１の表面には酸化膜２４が形成されることになる。
【００６０】
このように、ＳＯＩ基板１０の端縁部の埋め込み酸化膜２をドライエッチングで除去することで、ＳＯＩ基板１０の端縁部においてはシリコン島ＳＩが存在しなくなるので、ＳＯＩ層３の薄膜化のために形成した酸化膜２３のウエットエッチングによる除去に際してシリコン島ＳＩがパーティクルとなるのを防止することができる。
【００６１】
＜Ｃ．実施の形態３＞
以上説明した本発明に係る実施の形態１および２においては、ＳＩＭＯＸ基板の端縁部のＳＯＩ層がパーティクルとなる場合、およびＳＩＭＯＸ基板の埋め込み酸化膜内のシリコン島がパーティクルとなる場合を防止する構成について説明したが、貼り合わせ法で製造されたＳＯＩ基板（貼り合わせ基板）においてもパーティクルが発生する場合がある。
【００６２】
貼り合わせ基板は、シリコン基板の上主面（半導体素子を形成する主面）に酸化膜を形成し、その上に別のシリコン基板を貼り合わせ、当該別のシリコン基板を研磨して、所定の厚さにすることによってＳＯＩ構造を得るものである。このようにして形成されたＳＯＩ基板２００の端縁部の断面図を図１５に示す。
【００６３】
図１５において、シリコン基板１の上主面上に基板上酸化膜７およびシリコン層８が順に積層されてＳＯＩ構造を構成している。なお、基板上酸化膜７が埋め込み酸化膜に相当し、シリコン層８がＳＯＩ層に相当する。
【００６４】

このような構成のＳＯＩ基板２００においては、基板上酸化膜７およびシリコン層８の端縁部の面取り処理が完全ではなく、周縁に沿って凸凹部が連続するような平面視形状となっている場合があり、その凸凹部が基板の搬送中に剥離してパーティクルとなることがあった。

【００６５】

また、端縁部においては基板上酸化膜７が露出しているので、ウエットエッチングに際してエッチング液が侵入し、基板上酸化膜７が部分的に除去されてしまう場合があった。図１５に示すW領域の詳細図を図１６に示す。

【００６６】

図１６において、ＳＯＩ層８の端縁部の基板上酸化膜７が部分的に除去され、ＳＯＩ層８が部分的に浮いた状態となっている。このような状態では、ＳＯＩ層８が剥離しやすく、パーティクルとなる可能性が大であった。

【００６７】

以下、本発明に係る半導体基板の処理方法および半導体基板の実施の形態３として、貼り合わせ基板におけるパーティクルを低減する構成について図１７および図１８を用いて説明する。

【００６８】

＜Ｃ－１．処理方法＞

図１７に示すように、ＳＯＩ基板２００の全体を覆うように酸化膜３１（第１の酸化膜）を１００～４００オングストロームの厚さに形成する。なお、酸化膜３１はＳＯＩ基板２００を７００～１１００℃程度の温度条件で熱酸化することで形成しても良いし、６００～８５０℃程度の温度条件でＣＶＤ法により形成しても良い。

【００６９】

そして、酸化膜３１の全体を覆うように、６００～８５０℃程度の温度条件でＣＶＤ法により窒化膜３２（耐酸化性膜）を１０００～４０００オングストロームの厚さに形成する。

【００７０】

そして、ＳＯＩ基板２００の上主面（活性領域が形成される面）の中央部分を覆うようにレジストマスクＲ３を選択的に形成する。

【００７１】

次に、レジストマスクＲ３をエッチングマスクとし、ドライエッチングにより窒化膜３２を選択的に除去した後、レジストマスクＲ３を除去することで、上主面の中央部分だけに窒化膜３２を残す。すなわち、レジストマスクＲ３で覆われないＳＯＩ層８の端縁部からシリコン基板１の端縁部および下主面にかけては窒化膜３２が除去され、酸化膜３１が露出することになる。また、ＳＯＩ基板２００の下主面においては全面に渡って窒化膜３２を除去する。なお、窒化膜３２の除去に際しては、例えば熱リン酸を用いたウエットエッチングを使用しても良い。

【００７２】

そして、図１８に示す工程において、ＳＯＩ層８の端縁部からシリコン基板１の端縁部および下主面を酸化して酸化膜３３（第２の酸化膜）を形成する。この酸化工程においてはＳＯＩ層８の端縁部からシリコン基板１の端縁部および下主面において露出する酸化膜３１を下敷き酸化膜として使用し、ＬＯＣＯＳ酸化と同様にして行う。なお、この酸化工程の条件は、窒化膜３２の下部以外のＳＯＩ層８が全て酸化される条件を選択する。

【００７３】

なお、窒化膜３２を除去した後、窒化膜３２の下部のＳＯＩ層８の厚さを所望の半導体装置のスペックに会わせて適宜薄くする薄膜化工程は、実施の形態１において図５および図６を用いて説明した工程と同様であるので説明は省略する。

【００７４】

＜Ｃ－２．特徴的作用効果＞

以上説明したように、貼り合わせ基板であるＳＯＩ基板２００においては、ＳＯＩ層８の

端縁部からシリコン基板１の端縁部および下主面にかけて酸化膜３３が形成されているので、ＳＯＩ基板２００の搬送中や、ＳＯＩ層８の薄膜化工程におけるウエットエッチングにより基板上酸化膜７およびシリコン層８の端縁部が剥離してパーティクルが発生することが防止できる。

【００７５】

＜Ｄ．実施の形態４＞

以上説明した本発明に係る実施の形態１～３においては、ＳＯＩ基板におけるパーティクルの低減について説明したが、バルクシリコン基板であっても、ＰＢＣ構造を有する場合には、ポリシリコン層が剥離してパーティクルが発生する場合がある。すなわち、図４４を用いて説明したようにポリシリコン層は単結晶粒が多数集まって構成されているが、ポリシリコン層を酸化するに際して、酸化剤である酸素が単結晶粒の境界に侵入し、単結晶粒を囲むように酸化膜が形成される場合がある。このような状況で、酸化膜をウエットエッチングにより除去すると、単結晶粒がリフトオフされ、それがパーティクルとなる可能性が大であった。

【００７６】

以下、本発明に係る半導体基板の処理方法および半導体基板の実施の形態４として、バルクシリコン基板におけるパーティクルを低減する構成について図１９および図２０を用いて説明する。

【００７７】

＜Ｄ－１．処理方法＞

図１９において、単結晶のシリコン基板（バルクシリコン基板）１の端縁部および下主面にはポリシリコン層４が形成されている。なお、シリコン基板１およびポリシリコン層４で構成される基板をシリコン基板３００と呼称する。

【００７８】

図１９に示すように、シリコン基板３００の全体を覆うように酸化膜４１（第１の酸化膜）を１００～４００オングストロームの厚さに形成する。なお、酸化膜４１はシリコン基板３００を７００～１１００℃程度の温度条件で熱酸化することで形成しても良いし、６００～８５０℃程度の温度条件でＣＶＤ法により形成しても良い。

【００７９】

そして、酸化膜４１の全体を覆うように、６００～８５０℃程度の温度条件でＣＶＤ法により窒化膜４２（耐酸化性膜）を１０００～４０００オングストロームの厚さに形成する。

【００８０】

そして、シリコン基板３００の上主面（活性領域が形成される面）の中央部分を覆うようにレジストマスクＲ４を選択的に形成する。

【００８１】

次に、レジストマスクＲ４をエッチングマスクとし、ドライエッチングにより窒化膜４２を選択的に除去した後、レジストマスクＲ４を除去することで上主面の中央部分だけに窒化膜４２を残す。すなわち、レジストマスクＲ４で覆われないシリコン基板３００の端縁部においては窒化膜４２が除去され、酸化膜４１が露出することになる。また、シリコン基板３００の下主面においては全面に渡って窒化膜４２を除去する。なお、窒化膜４２の除去に際しては、例えば熱リン酸を用いたウエットエッチングを使用しても良い。

【００８２】

そして、図２０に示す工程において、シリコン基板３００の端縁部から下主面にかけて酸化膜４３（第２の酸化膜）を形成する。この酸化工程においてはシリコン基板３００の端縁部から下主面にかけて露出する酸化膜４１を下敷き酸化膜として使用し、ＬＯＣＯＳ酸化と同様にして行う。なお、この酸化工程の条件は、酸化膜４３の厚さが、ポリシリコン層４が全て酸化されず、かつ、後の工程におけるウエットエッチングで簡単に除去されない厚さ、例えば４０００～５０００オングストロームとなる条件を選択する。

【００８３】

＜Ｄ－２．特徴的作用効果＞
以上説明したように、シリコン基板３００の端縁部から下主面にかけては酸化膜４３が形成されており、その厚さはウエットエッチングで簡単に除去されない厚さとなっているので、酸化剤がポリシリコン層４の単結晶粒の境界に侵入し、単結晶粒を囲むように酸化膜が形成された場合であっても、ウエットエッチングに際してポリシリコン層４がリフトオフされてパーティクルになることが防止される。
【００８４】
＜Ｅ．実施の形態５＞
＜Ｅ－１．処理方法＞
本発明に係る半導体基板の処理方法および半導体基板の実施の形態５を、処理工程を示す図２１～図２３を用いて説明する。
【００８５】
まず、図２１に示すように、ＳＯＩ基板１０の全体を覆うように酸化膜５１を形成する。なお、酸化膜５１はＳＯＩ基板１０を７００～１１００℃程度の温度条件で熱酸化することで形成しても良いし、６００～８５０℃程度の温度条件でＣＶＤ法により形成しても良い。なお、シリコン基板１の端縁部および下主面にはポリシリコン層４が形成されＰＢＣ構造をなしている。
【００８６】
次に、図２２に示すようにＳＯＩ基板１０の端縁部および下主面を覆うようにレジストマスクＲ５を選択的に形成する。レジストマスクＲ５はＳＯＩ基板１０の上主面の中央部には形成されず、酸化膜５１が露出している。そして露出した酸化膜５１をウエットエッチングにより選択的に除去する。
【００８７】
その後、レジストマスクＲ５を除去することで、図２３に示すように、シリコン基板１の端縁部および下主面は酸化膜５１で覆われ、ＳＯＩ基板１０の上主面の中央部にはＳＯＩ層３が露出した構造が得られる。
【００８８】
＜Ｅ－２．特徴的作用効果＞
なお、露出したＳＯＩ層３の厚さを所望の半導体装置のスペックに会わせて適宜薄くする薄膜化工程は、実施の形態１において図５および図６を用いて説明した工程と同様であるので説明は省略するが、ＳＯＩ層３の薄膜化工程においても酸化膜５１が完全に除去されることはなく、酸化膜５１の下部のＳＯＩ層３が部分的にリフトオフされてパーティクルとなり、エッチング液中を浮遊するといった問題が発生せず、パーティクルの存在に起因する半導体素子の形成不良を防止し、ひいては製造歩留まりを向上することができる。
【００８９】
また、酸化膜５１の厚さを、ＳＯＩ層３を薄膜化するための厚さに設定すれば、薄膜化工程のために改めて酸化膜を形成する必要はなくなる。そのためには、ＳＯＩ層３の厚さが所望の半導体装置のスペックに合った厚さとなるように酸化膜５１の厚さを設定すれば良い。
【００９０】
＜Ｆ．実施の形態６＞
＜Ｆ－１．処理方法＞
本発明に係る半導体基板の処理方法および半導体基板の実施の形態６を、処理工程を示す図２４～図２８を用いて説明する。
【００９１】
まず、図２４に示すように、ＳＯＩ基板１０の全体を覆うように酸化膜６１（第１の酸化膜）を例えば１６００オングストロームの厚さに形成する。ここで酸化膜６１の厚さは、ＳＯＩ層３を薄膜化するための厚さに設定される。すなわち、ＳＯＩ層３の厚さが所望の半導体装置のスペックに合った厚さとなるように酸化膜６１の厚さが設定される。図２４に示す領域Ｚの詳細を図２５に示す。

【００９２】
なお、酸化膜６１はＳＯＩ基板１０を７００～１１００℃程度の温度条件で熱酸化することで形成しても良いし、６００～８５０℃程度の温度条件でＣＶＤ法により形成しても良い。なお、シリコン基板１の端縁部および下主面にはポリシリコン層４が形成されＰＢＣ構造をなしている。
【００９３】
次に、図２６に示すように、ＳＯＩ基板１０の上主面（活性領域が形成される面）の中央部分を覆うように、厚さ１０００～４０００オングストロームの窒化膜６２（耐酸化性膜）を形成する。窒化膜６２の形成方法は、ＣＶＤ法によりＳＯＩ基板１０の全体を覆うように形成した後、レジストマスクをＳＯＩ基板１０の上主面の中央部分を覆うように形成し、当該レジストマスクをエッチングマスクとしてドライエッチングにより窒化膜６２を選択的に除去することで形成する。
【００９４】
次に、図２７に示す工程において、ＳＯＩ基板１０の端縁部および下主面を酸化して酸化膜６３（第２の酸化膜）を形成する。この酸化工程においてはＳＯＩ基板１０の端縁部および下主面において露出する酸化膜６１を下敷き酸化膜として使用し、ＬＯＣＯＳ酸化と同様にして行う。なお、この酸化工程の条件は、窒化膜６２の下部以外のＳＯＩ層３が全て酸化される条件を選択する。例えば、窒化膜６２の下部のＳＯＩ層３の厚みが２０００オングストロームの場合は、酸化膜６３が５０００オングストローム以上となるようにする。
【００９５】
次に、図２８に示すように、窒化膜６２を除去した後、窒化膜６２の下部の酸化膜６１を除去することで、ＳＯＩ層３の厚さが所望の半導体装置のスペックに合った厚さで得られる。
【００９６】
以上説明したように下地酸化膜の厚さを、ＳＯＩ層の薄膜化に適した厚さに設定しておくことで、酸化膜の形成回数を削減することができるが、この方法は、先に説明した本発明に係る実施の形態２、３および５において適用しても良いことは言うまでもない。
【００９７】
＜Ｆ－２．特徴的作用効果＞
以上説明したように、ＳＯＩ層３の薄膜化工程においては、ＳＯＩ基板１０の端縁部および下主面に形成された酸化膜６３の厚さも減少するが、もともと酸化膜６３の厚さは酸化膜６１よりも厚いので、酸化膜６１のエッチングに際しても完全に除去されることはない。また、ＳＯＩ基板１０の端縁部および下主面にはＳＯＩ層３が残らないように酸化膜６３が形成されているので、ＳＯＩ層３が部分的にリフトオフされてパーティクルとなり、エッチング液中を浮遊するといった問題が発生せず、パーティクルの存在に起因する半導体素子の形成不良を防止し、ひいては製造歩留まりを向上することができる。
【００９８】
また、本実施例によれば、酸化膜を形成する工程は２回で済むので、工程数を削減できるとともに、ＳＯＩ層の薄膜化に関与する酸化工程が１回で済むのでＳＯＩ層の厚さの制御性が良好になる。
【００９９】
＜Ｇ．実施の形態７＞
以上説明した実施の形態１～６においてはＳＯＩ基板あるいはバルクシリコン基板の端縁部の処理を単独で行う場合についてのみ説明した。しかし、端縁部の処理工程と同時にＳＯＩ基板あるいはバルクシリコン基板の上主面（活性領域が形成される面）の中央部分における半導体素子の製造工程を行っても良いことは言うまでもない。
【０１００】
以下、図２９～図３２を用いて、実施の形態６におけるＳＯＩ基板の処理工程と同時に、中央部分において半導体素子の製造工程を行う例を説明し、図３３～図３９を用いて、実

施の形態５および実施の形態６を組み合わせたＳＯＩ基板の処理工程と同時に、中央部分において半導体素子の製造工程を行う例を説明する。

【０１０１】

なお、以下の説明においては実施の形態５および６で説明した構成と同じ構成には同じ符号を付し、重複する説明は省略する。

【０１０２】

＜Ｇ－１．実施の形態６の変形例＞

まず、図２９に示すように、ＳＯＩ基板１０の全体を覆うように酸化膜６１を例えば１６００オングストロームの厚さに形成する。なお、シリコン基板１の端縁部および下主面にはポリシリコン層４が形成されＰＢＣ構造をなしている。そして、酸化膜６１の全体を覆うように、窒化膜６２が１０００～４０００オングストロームの厚さに形成されている。

【０１０３】

また、ＳＯＩ基板１０の上主面の中央部分にはレジストマスクＲ６が選択的に形成されている。

【０１０４】

次に、レジストマスクＲ６をエッチングマスクとし、ドライエッチングにより窒化膜６２を選択的に除去して、レジストマスクＲ６の下部だけに窒化膜６２を残す。

【０１０５】

次に、図３０に示す工程において、ＳＯＩ基板１０の端縁部および下主面を酸化して酸化膜６３を形成する。この酸化工程においてはＳＯＩ基板１０の上主面中央部、端縁部および下主面において露出する酸化膜６１を下敷き酸化膜として使用し、ＬＯＣＯＳ酸化と同様にして行う。なお、この酸化工程の条件は、窒化膜６２の下部以外のＳＯＩ層３が全て酸化される条件を選択する。例えば、窒化膜６２の下部のＳＯＩ層３の厚みが２０００オングストロームの場合は、酸化膜６３が５０００オングストローム以上となるようにする。なお、ＳＯＩ基板１０の上主面中央部においては酸化膜６３はフィールド酸化膜（ＬＯＣＯＳ酸化膜）となる。

【０１０６】

次に、図３１に示す工程において、窒化膜６２を除去した後、窒化膜６２の下部の酸化膜６１を除去することで、ＳＯＩ層３の厚さが所望の半導体装置のスペックに合った厚さで得られる。このとき、ＳＯＩ基板１０の端縁部および下主面に形成された酸化膜６３の厚さも減少するが、もともと酸化膜６３の厚さは酸化膜６１よりも厚いので、酸化膜６１のエッチングに際しても完全に除去されることはない。

【０１０７】

なお、ＳＯＩ基板１０を上主面側から見た場合の平面図を図３２に示す。図３２に示すように、ＳＯＩ基板１０の端縁部には酸化膜６３が形成されており、中央部には活性領域ＡＲが形成されている。

【０１０８】

この後、ＳＯＩ基板１０の上主面中央部においては、フィールド酸化膜で規定される活性領域ＡＲにそれぞれ半導体素子を作り込むことになるが、その際にはＳＯＩ基板１０の端縁部および下主面は酸化膜６３で覆われており、またＳＯＩ基板１０の端縁部および下主面にはＳＯＩ層３が残らないように酸化膜６３が形成されているので、ＳＯＩ層３が部分的にリフトオフされてパーティクルとなり、エッチング液中を浮遊するといった問題が発生せず、パーティクルの存在に起因する半導体素子の形成不良を防止し、ひいては製造歩留まりを向上することができる。

【０１０９】

＜Ｇ－２．実施の形態５および６との組み合わせの変形例＞

まず、図３３に示すように、ＳＯＩ基板１０の全体を覆うように酸化膜６１を例えば１６００オングストロームの厚さに形成する。なお、シリコン基板１の端縁部および下主面にはポリシリコン層４が形成されＰＢＣ構造をなしている。そして、酸化膜６１の全体を覆うように、窒化膜６２を１０００～４０００オングストロームの厚さに形成する。

【０１１０】
次に、図３４に示すように、窒化膜６２の端縁部および下主面を覆うようにレジストマスクＲ７を選択的に形成する。レジストマスクＲ７はＳＯＩ基板１０の上主面の中央部には形成されず、窒化膜６２が露出している。そして露出した窒化膜６２をドライエッチングで除去し、その下の酸化膜６１をウエットエッチングで除去することで、ＳＯＩ層３が露出することになる。
【０１１１】
次に、図３５に示すように、上主面の中央部に酸化膜７１を例えば３００オングストロームの厚さに形成する。なお、酸化膜７１はＳＯＩ基板１０を７００～１１００℃程度の温度条件で熱酸化することで形成しても良いし、６００～８５０℃程度の温度条件でＣＶＤ法により形成しても良い。続いてＳＯＩ基板１０の全体を覆うように、窒化膜７２（耐酸化性膜）を例えば１５００オングストロームの厚さに形成する。また、ＳＯＩ基板１０の上主面の中央部分にはレジストマスクＲ８が選択的に形成されている。
【０１１２】
次に、レジストマスクＲ８をエッチングマスクとし、ドライエッチングにより窒化膜７２を選択的に除去することで、図３６に示すようにレジストマスクＲ８の下部だけに窒化膜７２を残す。なお、ＳＯＩ基板１０の端縁部においては窒化膜７２が除去されるが、その下部には窒化膜６２が残っている。
【０１１３】
次に、図３７に示す工程において、ＳＯＩ基板１０の端縁部および下主面を酸化して酸化膜７３を形成する。この酸化工程においてはＳＯＩ基板１０の上主面中央部、端縁部および下主面において露出する酸化膜７１を下敷き酸化膜として使用し、ＬＯＣＯＳ酸化と同様にして行う。なお、この酸化工程の条件は、窒化膜７２の下部以外のＳＯＩ層３が全て酸化される条件を選択する。例えば、窒化膜７２の下部のＳＯＩ層３の厚みが２０００オングストロームの場合は、酸化膜６３が５０００オングストローム以上となるようにする。なお、ＳＯＩ基板１０の上主面中央部においては酸化膜７３はフィールド酸化膜（ＬＯＣＯＳ酸化膜）となる。また、端縁部においては酸化膜７３は酸化膜６１と合体することになる。
【０１１４】
次に、図３８に示す工程において窒化膜７２をドライエッチングにより除去する。このときＳＯＩ基板１０の端縁部においては窒化膜６２もエッチングされるが、窒化膜６２は窒化膜７２よりも厚く形成されているので完全に除去されることはない。
【０１１５】
図３９に、ＳＯＩ基板１０の活性領域にＭＯＳトランジスタを形成した例を示す。図３９において、活性領域にＭＯＳトランジスタＭＴを形成した後、ＳＯＩ基板１０の上主面を層間絶縁膜ＩＬで覆い、その上に選択的にレジストマスクＲ９を形成する。そして、レジストマスクＲ９をエッチングマスクとして層間絶縁膜ＩＬを選択的に除去することになるが、端縁部および下主面は窒化膜６２で覆われているのでＳＯＩ層３が部分的にリフトオフされてパーティクルとなり、エッチング液中を浮遊するといった問題が発生しない。
【０１１６】
なお、以上の説明においては、ＳＯＩ基板１０の端縁部においては酸化膜と窒化膜の２層構造となっていたが、これを酸化膜、窒化膜、酸化膜の３層構造にしても良い。このようにすることで、ＬＯＣＯＳ酸化後に窒化膜を除去する際に、最上層の酸化膜が窒化膜のエッチングに対するマスクとなるので、端縁部における窒化膜がエッチングされることが防止される。
【０１１７】
以上説明した本発明に係る実施の形態１～７においては、酸化を防止する部分には窒化膜を形成した構成を示したが、酸化防止のマスクとして機能するのであれば窒化膜に限定されるものではない。すなわち、酸化剤である酸素を透過させず、自らも酸化されない耐酸化性膜であれば何でも良い。

【０１１８】
【発明の効果】
本発明に係る請求項１記載の半導体装置の製造方法によれば、端縁部に比較的厚い第２の酸化膜を形成するので、端縁部および他方主面にウエットエッチングにより剥離しやすい層が存在している場合でも、第２の酸化膜が保護膜として機能するので、上記剥離しやすい層が剥離してパーティクルとなり、エッチング液中を浮遊するといった問題が発生せず、パーティクルの存在に起因する半導体素子の形成不良を防止し、ひいては製造歩留まりを向上することができる。
【０１１９】
本発明に係る請求項２記載の半導体装置の製造方法によれば、ＳＩＭＯＸ法で形成されたＳＯＩ基板の端縁部において、端縁部に延在するＳＯＩ層を完全に酸化するとともに、端縁部の残りの部分を酸化するように第２の酸化膜が形成されているので、ウエットエッチングにより剥離しやすいＳＯＩ層が保護されることになり、ＳＯＩ層が剥離してパーティクルとなり、エッチング液中を浮遊するといった問題が発生せず、パーティクルの存在に起因する半導体素子の形成不良を防止し、ひいては製造歩留まりを向上することができる。
【０１２０】
本発明に係る請求項３記載の半導体装置の製造方法によれば、貼り合わせ法で形成されたＳＯＩ基板の端縁部において、端縁部に延在するＳＯＩ層を完全に酸化するとともに、端縁部の残りの部分を酸化するように第２の酸化膜が形成されているので、基板上酸化膜およびＳＯＩ層の端縁部の面取り処理が完全ではなく、周縁に沿って凸凹部が連続するような平面視形状となっている場合でも、当該部分が剥離することが防止されるとともに、基板上酸化膜の端縁部が、ウエットエッチングに際して部分的に除去されるといったことが防止できる。
【０１２１】
本発明に係る請求項４記載の半導体装置の製造方法によれば、バルクシリコン基板の端縁部および他方主面にポリシリコン層を備えた場合であっても、端縁部にはポリシリコン層を完全に酸化しないように第２の酸化膜が形成されているので、ウエットエッチングに際して、ポリシリコン層特有の構造に起因して、ポリシリコン層が剥離することが防止される。
【０１２２】
本発明に係る請求項５記載の半導体装置の製造方法によれば、第１の酸化膜をＳＯＩ層の薄膜化に適した厚さにするので、後の工程でＳＯＩ層の薄膜化を行う必要がなくなり、半導体基板の処理工程を簡略化することができる。
【０１２３】
本発明に係る請求項６記載の半導体装置の製造方法によれば、第２の酸化膜の形成とフィールド酸化膜の形成を同時に行うことができるので、半導体基板の処理工程を簡略化することができる。
【０１２４】
本発明に係る請求項７記載の半導体装置の製造方法によれば、半導体基板の端縁部に酸化膜を形成することが簡便にできるので、処理工程を大幅に簡略化して、処理コストの低減を図ることができる。
【０１２５】
本発明に係る請求項８記載の半導体装置の製造方法によれば、半導体基板の端縁部が酸化膜および第１の耐酸化性膜によってより強固に保護される。
【０１２６】
本発明に係る請求項９記載の半導体装置の製造方法によれば、酸化膜をＳＯＩ層の薄膜化に適した厚さにするので、後の工程でＳＯＩ層の薄膜化を行う必要がなくなり、半導体基板の処理工程を簡略化することができる。
【０１２７】

本発明に係る請求項１０記載の半導体装置の製造方法によれば、工程(ｄ)おいて、ＳＯＩ基板の端縁部の露出した前記埋め込み酸化膜が酸化剤である酸素に曝されることになるので、酸素が埋め込み酸化膜中を拡散して、ＳＩＭＯＸ法で形成されたＳＯＩ基板の埋め込み酸化膜に固有に存在するシリコン島に達すると、シリコン原子と反応してシリコン酸化膜を形成するのでシリコン島が消滅する。その結果、ＳＯＩ基板の端縁部の埋め込み酸化膜にはシリコン島が少なくなり、埋め込み酸化膜がウエットエッチングで除去されるような場合でも、シリコン島がリフトオフされてパーティクルとなることが防止される。

【０１２８】

本発明に係る請求項１１記載の半導体装置の製造方法によれば、ドライエッチングにより半導体基板の端縁部の第１の酸化膜、ＳＯＩ層、埋め込み酸化膜を選択的に除去するので、半導体基板の端縁部においてはＳＩＭＯＸ法で形成されたＳＯＩ基板の埋め込み酸化膜に固有に存在するシリコン島が存在しなくなり、ウエットエッチングに際してシリコン島がリフトオフされてパーティクルとなることが防止される。

【０１２９】

本発明に係る請求項１２記載の半導体装置の製造方法によれば、第２の酸化膜をＳＯＩ層の薄膜化に適した厚さにするので、後の工程でＳＯＩ層の薄膜化を行う必要がなくなり、半導体基板の処理工程を簡略化することができる。

【０１３０】

本発明に係る請求項１３記載の半導体装置の製造方法によれば、半導体基板の端縁部には埋め込み酸化膜に達する厚さの酸化膜を備えているので、ウエットエッチングにより剥離しやすいＳＯＩ層が保護されることになり、ＳＯＩ層が剥離してパーティクルとなり、エッチング液中を浮遊するといった問題が発生せず、パーティクルの存在に起因する半導体素子の形成不良を防止し、ひいては製造歩留まりを向上した半導体基板を得ることができる。

【０１３１】

本発明に係る請求項１４記載の半導体基板によれば、半導体基板の端縁部の埋め込み酸化膜内のシリコン島の密度が、一方主面の中央部の埋め込み酸化膜内のシリコン島の密度よりも低いので、埋め込み酸化膜がウエットエッチングで除去されるような場合でも、シリコン島がリフトオフされてパーティクルとなることを防止した半導体基板を得ることができる。

【０１３２】

本発明に係る請求項１５記載の半導体基板によれば、半導体基板の端縁部においては埋め込み酸化膜およびＳＯＩ層が形成されていないので、ウエットエッチングに際してシリコン島がリフトオフされてパーティクルとなることを防止した半導体基板を得ることができる。

【図面の簡単な説明】

【図１】　本発明に係る実施の形態１の半導体基板の処理工程を説明する断面図である。

【図２】　本発明に係る実施の形態１の半導体基板の処理工程を説明する平面図である。

【図３】　本発明に係る実施の形態１の半導体基板の処理工程を説明する断面図である。

【図４】　本発明に係る実施の形態１の半導体基板の処理工程を説明する断面図である。

【図５】　本発明に係る実施の形態１の半導体基板の処理工程を説明する断面図である。

【図６】　本発明に係る実施の形態１の半導体基板の処理工程を説明する断面図である。

【図７】　半導体基板の最端縁部の構成を示す断面図である。

【図８】　本発明に係る実施の形態２の半導体基板の処理工程を説明する断面図である。

【図９】　本発明に係る実施の形態２の半導体基板の処理工程を説明する断面図である。

【図１０】　本発明に係る実施の形態２の半導体基板の処理工程を説明する断面図である。

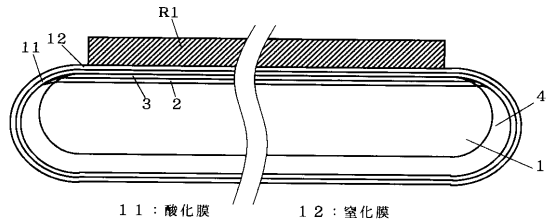
【図１１】　本発明に係る実施の形態２の半導体基板の処理工程を説明する断面図である。

【図１２】　本発明に係る実施の形態２の変形例の半導体基板の処理工程を説明する断面

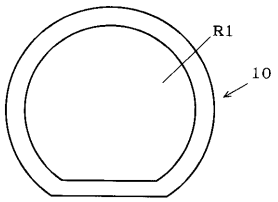
図である。
【図１３】　本発明に係る実施の形態２の変形例の半導体基板の処理工程を説明する断面図である。
【図１４】　本発明に係る実施の形態２の変形例の半導体基板の処理工程を説明する断面図である。
【図１５】　本発明に係る実施の形態３の半導体基板の処理工程を説明する断面図である。
【図１６】　本発明に係る実施の形態３の半導体基板の処理工程を説明する断面図である。
【図１７】　本発明に係る実施の形態３の半導体基板の処理工程を説明する断面図である。
【図１８】　本発明に係る実施の形態３の半導体基板の処理工程を説明する断面図である。
【図１９】　本発明に係る実施の形態４の半導体基板の処理工程を説明する断面図である。
【図２０】　本発明に係る実施の形態４の半導体基板の処理工程を説明する断面図である。
【図２１】　本発明に係る実施の形態５の半導体基板の処理工程を説明する断面図である。
【図２２】　本発明に係る実施の形態５の半導体基板の処理工程を説明する断面図である。
【図２３】　本発明に係る実施の形態５の半導体基板の処理工程を説明する断面図である。
【図２４】　本発明に係る実施の形態６の半導体基板の処理工程を説明する断面図である。
【図２５】　本発明に係る実施の形態６の半導体基板の処理工程を説明する断面図である。
【図２６】　本発明に係る実施の形態６の半導体基板の処理工程を説明する断面図である。
【図２７】　本発明に係る実施の形態６の半導体基板の処理工程を説明する断面図である。
【図２８】　本発明に係る実施の形態６の半導体基板の処理工程を説明する断面図である。
【図２９】　本発明に係る実施の形態７の半導体基板の処理工程を説明する断面図である。
【図３０】　本発明に係る実施の形態７の半導体基板の処理工程を説明する断面図である。
【図３１】　本発明に係る実施の形態７の半導体基板の処理工程を説明する断面図である。
【図３２】　本発明に係る実施の形態７の半導体基板の処理工程を説明する平面図である。
【図３３】　本発明に係る実施の形態７の半導体基板の処理工程を説明する断面図である。
【図３４】　本発明に係る実施の形態７の半導体基板の処理工程を説明する断面図である。
【図３５】　本発明に係る実施の形態７の半導体基板の処理工程を説明する断面図である。
【図３６】　本発明に係る実施の形態７の半導体基板の処理工程を説明する断面図である。
【図３７】　本発明に係る実施の形態７の半導体基板の処理工程を説明する断面図である。

。
【図３８】　本発明に係る実施の形態７の半導体基板の処理工程を説明する断面図である。
【図３９】　本発明に係る実施の形態７の半導体基板の処理工程を説明する断面図である。
【図４０】　ＳＯＩ基板の構成を示す断面図である。
【図４１】　ＳＯＩ基板の従来の処理工程を説明する断面図である。
【図４２】　ＳＯＩ基板の従来の処理工程を説明する断面図である。
【図４３】　ＳＯＩ基板の従来の処理工程を説明する断面図である。
【図４４】　ＳＯＩ基板の従来の処理工程における問題点を説明する断面図である。
【図４５】　ＳＯＩ基板の従来の処理工程における問題点を説明する断面図である。
【図４６】　ＳＯＩ基板の従来の処理工程における問題点を説明する断面図である。
【符号の説明】
７　基板上酸化膜、８　シリコン層、１１，１３，２１，２３，２４，３１，３３，４１，４３，５１，６１，６３，７１，７３　酸化膜、１２，３２，４２，６２，７２　窒化膜、ＡＲ　活性領域。

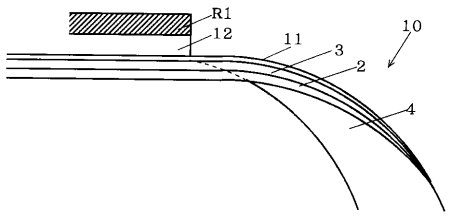
【図１】



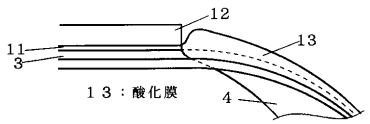
【図２】



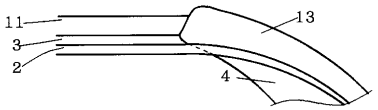
【図３】



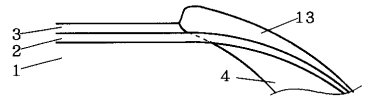
【図４】



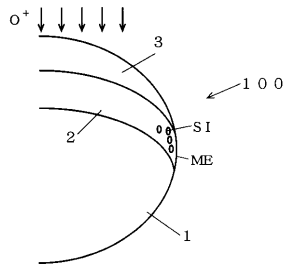
【図５】



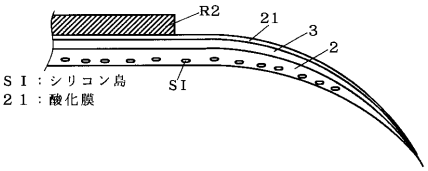
【図６】



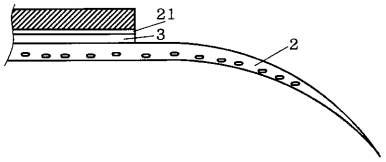
【図７】



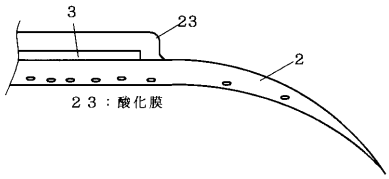
【図８】



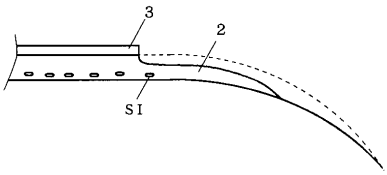
【図９】



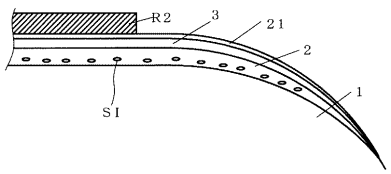
【図１０】



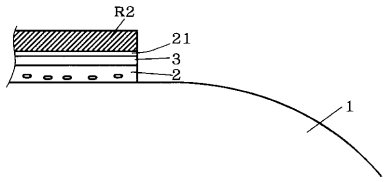
【図１１】



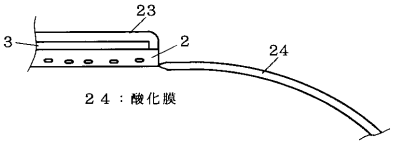
【図１２】



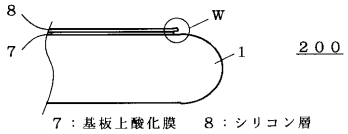
【図１３】



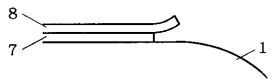
【図１４】



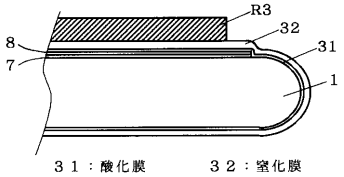
【図１５】



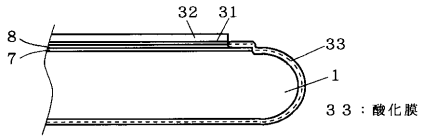
【図１６】



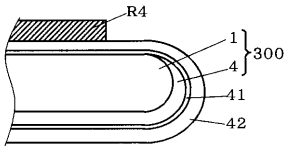
【図１７】



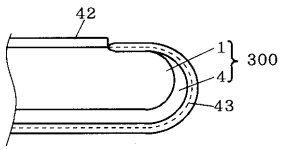
【図１８】



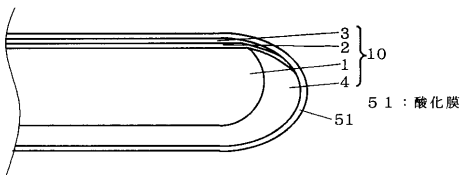
【図１９】



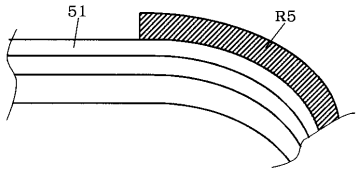
【図２０】



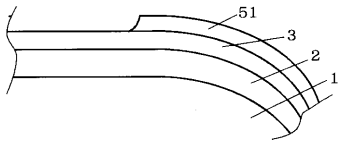
【図２１】



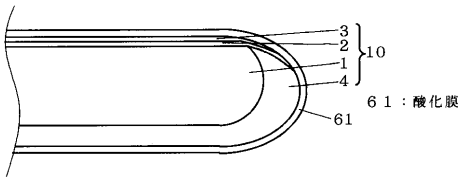
【図２２】



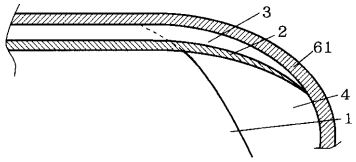
【図２３】



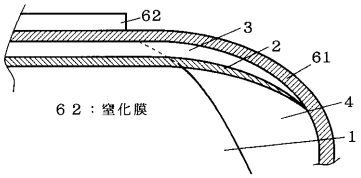
【図２４】



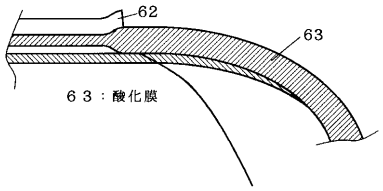
【図２５】



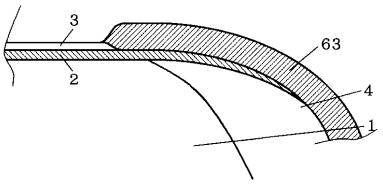
【図２６】



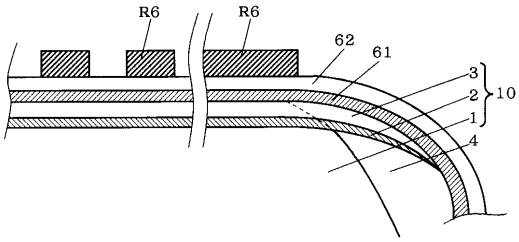
【図２７】



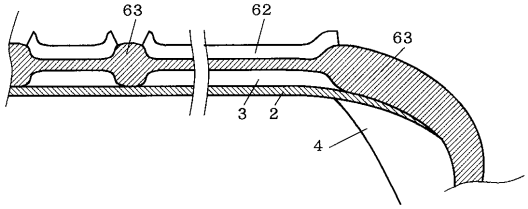
【図２８】



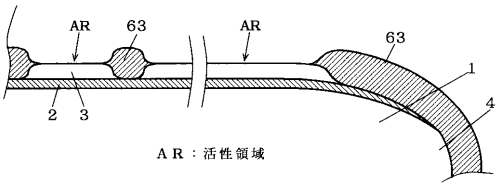
【図２９】



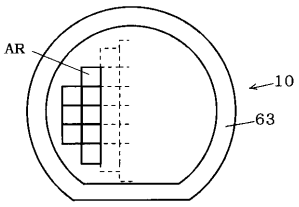
【図３０】



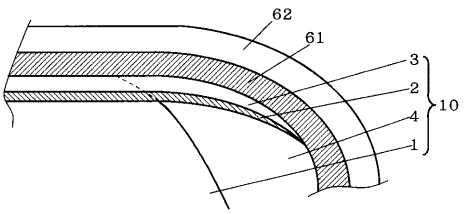
【図３１】



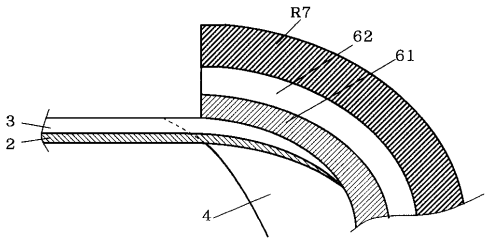
【図３２】



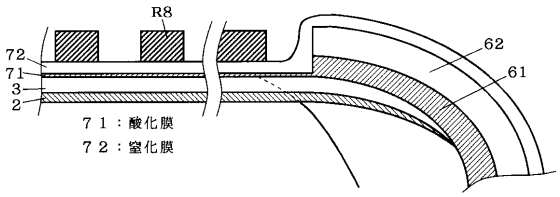
【図３３】



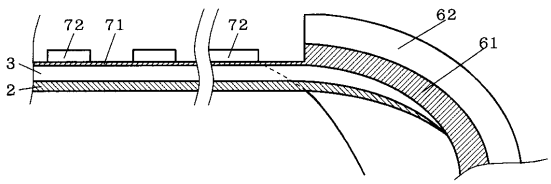
【図３４】



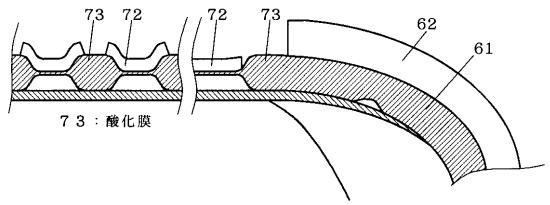
【図３５】



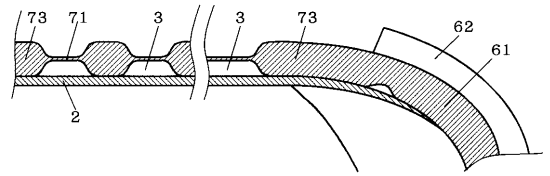
【図３６】



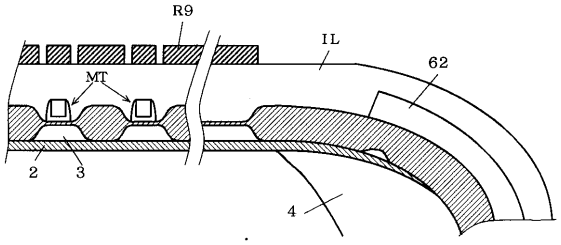
【図３７】



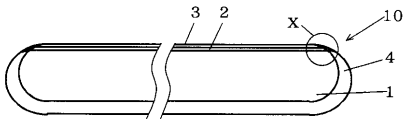
【図３８】



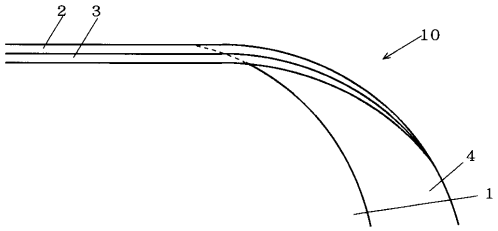
【図３９】



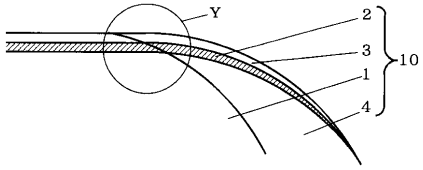
【図４０】



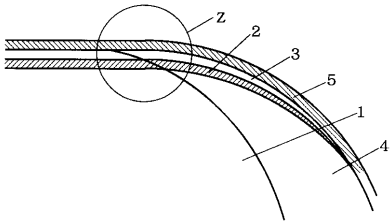
【図４１】



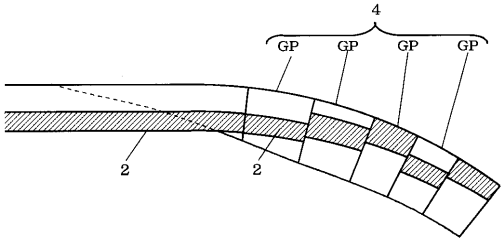
【図４２】



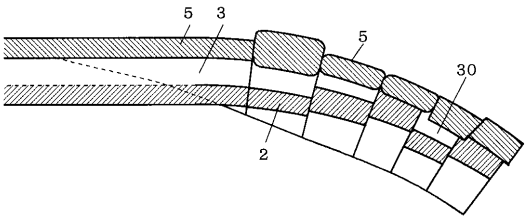
【図４３】



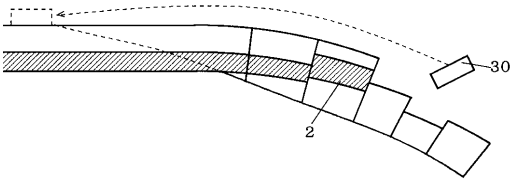
【図４４】



【図４５】



【図４６】



フロントページの続き

(72)発明者　一法師　隆志
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　前田　茂伸
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内
(72)発明者　平野　有一
東京都千代田区丸の内二丁目２番３号　三菱電機株式会社内

審査官　大嶋　洋一

(56)参考文献　特開平０９－１３５０３０（ＪＰ，Ａ）
特開平０５－３２６６８５（ＪＰ，Ａ）
特開平０９－０１７９８４（ＪＰ，Ａ）
特開平０４－１２９２６７（ＪＰ，Ａ）
特開平０５－０４７７２６（ＪＰ，Ａ）
特開平０９－１２９６３１（ＪＰ，Ａ）
特開平０９－０４５６７８（ＪＰ，Ａ）
特開平０９－０６４３２２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/02
H01L 27/12