

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/136 (2006.01)		(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년05월26일 10-0583979 2006년05월22일
(21) 출원번호 (22) 출원일자	10-2000-0006450 2000년02월11일	(65) 공개번호 (43) 공개일자	10-2001-0081250 2001년08월29일
(73) 특허권자	엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지		
(72) 발명자	류순성 경상북도구미시황상동금봉타운202동501호 곽동영 대구광역시달서구송현동그린맨션103동1108호 김후성 서울특별시성북구상월곡동55-1055/5 정유호 경상북도구미시진평동642-3번지LGPhilipsLCD 김용완 경상북도구미시진평동642-3번지LGPhilipsLCD 박덕진 대구광역시북구태전동한라아파트104동601호 이우채 경상북도구미시진평동642-3번지LG.PhilipsLCD		
(74) 대리인	특허법인네이트		

심사관 : 박남현

(54) 액정 표시장치 제조방법 및 그 제조방법에 따른액정표시장치

요약

본 발명은 액정 표시장치의 제조공정에 있어서, 마스크의 수를 줄여 제품의 생산 수율과 불량률을 감소시키는 것이다.

특히, 스토리지 캐패시터에서 게이트 배선과 화소전극의 단락으로 발생할 수 있는 불량을 개선하기 위해 본 발명에서는 기판과; 상기 기판 상에 형성된 게이트 배선과; 상기 게이트 배선과 교차하여 연장된 데이터 배선과; 상기 데이터 배선을 덮는 보호막과; 상기 데이터 배선의 아래에 형성되고, 상기 데이터 배선의 폭과 동일한 폭의 불순물 반도체층과; 상기 불순물

반도체층의 아래에 형성되고, 상기 보호막의 폭 방향의 가장자리 보다 소정거리 내측에 형성된 순수 반도체층과; 상기 게이트 배선 및 데이터 배선의 교차점 부근에 위치한 박막 트랜지스터와; 상기 박막 트랜지스터와 연결되고, 상기 데이터 배선과 소정간격 오버랩된 화소전극을 포함하는 액정 표시장치의 어레이 기판에 관해 개시하고 있다.

대표도

도 6d

명세서

도면의 간단한 설명

도 1은 일반적인 액정 표시장치의 한 화소부에 해당하는 단면을 도시한 단면도.

도 2는 일반적인 액정 표시장치의 한 화소부에 해당하는 평면을 도시한 평면도.

도 3a 내지 도 3d는 도 2의 절단선 III-III으로 자른 단면의 제작공정을 도시한 공정도.

도 4는 도 2의 A 부분을 확대한 도면.

도 5는 도 4의 절단선 V-V로 자른 단면을 도시한 단면도.

도 6a 내지 도 6d는 종래 액정 표시장치를 도시한 도 2의 절단선 III-III과, A 부분의 단면을 본 발명에 따른 액정 표시장치의 제작 방법으로 제작하는 공정을 도시한 공정도.

도 7은 도 6d의 U 부분을 확대한 도면.

도 8a와 도 8b는 본 발명의 제 2 실시예에 따른 데이터 배선부의 단면의 제작공정을 도시한 도면.

도 9는 본 발명의 제 2 실시예의 다른 예를 도시한 도면.

<도면의 주요 부분에 대한 부호의 설명>

102 : 게이트 전극 150 : 게이트 절연막

152 : 순수 비정질 실리콘 154 : 불순물 비정질 실리콘

106 : 소스 전극 108 : 드레인 전극

104 : 데이터 배선 112 : 보호막

114 : 화소전극 114' : 불량화소

CH : 채널

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 화상 표시장치에 관한 것으로, 더욱 상세하게는 박막 트랜지스터(Thin Film Transistor : TFT)를 포함하는 액정 표시장치(Liquid Crystal Display : LCD)의 제조방법 및 그 제조 방법에 따른 액정 표시장치에 관한 것이다.

특히, 본 발명은 액정 표시장치를 제조하는데 있어서, 사용되는 마스크 수를 줄여 제조하는 방법 및 그 방법에 의해 제조된 액정 표시장치에 관한 것이다.

액정 표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자 배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

현재에는 전술한 바 있는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동행렬 액정 표시장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

일반적으로 액정 표시장치를 구성하는 기본적인 부품인 액정 패널의 구조를 살펴보면 다음과 같다.

도 1은 일반적인 액정 패널의 단면을 도시한 단면도이다.

액정 패널(20)은 여러 종류의 소자들이 형성된 두 장의 기판(2, 4)이 서로 대응되게 형성되고, 상기 두 장의 기판(2, 4) 사이에 액정층(10)이 개재된 형태로 위치하고 있다.

상기 액정 패널(20)에는 색상을 표현하는 컬러필터가 형성된 상부 기판(4)과 상기 액정층(10)의 분자 배열방향을 변환시킬 수 있는 스위칭 회로가 내장된 하부 기판(2)으로 구성된다.

상기 상부 기판(4)은 색을 구현하는 컬러필터층(8)과, 상기 컬러필터층(8)을 덮는 공통전극(12)이 형성되어 있다. 상기 공통전극(12)은 액정(10)에 전압을 인가하는 한쪽전극의 역할을 한다. 상기 하부 기판(2)은 스위칭 역할을 하는 박막 트랜지스터(S)와, 상기 박막 트랜지스터(S)로부터 신호를 인가 받고 상기 액정(10)으로 전압을 인가하는 다른 한쪽의 전극역할을 하는 화소전극(14)으로 구성된다.

상기 화소전극(14)이 형성된 부분을 화소부(P)라고 한다.

그리고, 상기 상부 기판(4)과 하부 기판(2)의 사이에 주입되는 액정(10)의 누설을 방지하기 위해, 상기 상부 기판(4)과 하부 기판(2)의 가장자리에는 실란트(sealant : 6)로 봉인되어 있다.

상기 도 1에 도시된 하부 기판(2)의 평면도를 나타내는 도 2에서 하부 기판(2)의 작용과 구성을 상세히 설명하면 다음과 같다.

도 2는 종래 액정 표시장치의 한 화소부에 해당하는 평면을 도시한 평면도로서, 하부 기판(2)에는 화소전극(14)이 형성되어 있고, 상기 화소전극(14)의 수직 및 수평 배열 방향에 따라 각각 데이터 배선(24) 및 게이트 배선(22)이 형성되어 있다.

그리고, 능동행렬 액정 표시장치의 경우, 화소전극(14)의 한쪽 부분에는 상기 화소전극(14)에 전압을 인가하는 스위칭 소자인 박막 트랜지스터(S)가 형성되어 있다. 상기 박막 트랜지스터(S)는 게이트 전극(26), 소스 및 드레인 전극(28, 30)으로 구성된다.

또한, 상기 드레인 전극(30)은 상기 화소전극(14)과 드레인 콘택홀(30')을 통해 전기적으로 연결되어 있다.

또한, 상기 게이트 배선(22)의 일부분에는 스토리지 캐패시터(C_{st})가 형성되어 상기 화소전극(14)과 더불어 전하를 저장하는 역할을 수행한다.

상기 데이터 배선(24)과 상기 박막 트랜지스터(S)를 보호하는 보호막(40)이 형성된다.

상술한 능동행렬 액정 표시장치의 동작을 살펴보면 다음과 같다.

스위칭 박막 트랜지스터(S)의 게이트 전극(26)에 전압이 인가되면, 데이터 신호가 화소전극(14)으로 인가되고, 게이트 전극(26)에 신호가 인가되지 않는 경우에는 화소전극(14)에 전압이 인가되지 않는다.

액정 표시장치를 구성하는 액정 패널의 제조공정은 매우 복잡한 여러 단계의 공정이 복합적으로 이루어져 있다. 특히, 박막 트랜지스터(S)가 형성된 하부 기판은 여러 번의 마스크 공정을 거쳐야 한다.

최종 제품의 성능은 이런 복잡한 제조공정에 의해 결정되는데, 가급적이면 공정이 간단할수록 불량률이 발생할 확률이 줄어들게 된다. 즉, 하부 기판에는 액정 표시장치의 성능을 좌우하는 주요한 소자들이 많이 형성되므로, 제조 공정을 단순화하여야 한다.

일반적으로 하부 기판의 제조공정은 만들고자 하는 각 소자에 어떤 물질을 사용하는가 혹은 어떤 사양에 맞추어 설계하는가에 따라 결정되는 경우가 많다.

예를 들어, 과거 소형 액정 표시장치의 경우는 별로 문제되지 않았지만, 12인치 이상의 대면적 액정 표시장치의 경우에는 게이트 배선에 사용되는 재질의 고유 저항 값이 화질의 우수성을 결정하는 중요한 요소가 된다. 따라서, 대면적의 액정 표시소자의 경우에는 알루미늄 또는 알루미늄 합금과 같은 저항이 낮은 금속을 사용하는 것이 바람직하다.

이하, 종래의 능동행렬 액정 표시장치의 제조공정을 도 2의 절단선 III-III으로 자른 단면의 공정도인 도 3a 내지 도 3d를 참조하여 설명하면 다음과 같다.

일반적으로 액정 표시장치에 사용되는 박막 트랜지스터의 구조는 역 스테거드(Inverted Staggered)형 구조가 많이 사용된다. 이는 구조가 간단하면서도 성능이 우수하기 때문이다.

또한, 상기 역 스테거드형 박막 트랜지스터는 채널 형성 방법에 따라 백 채널 에치형(back channel etch : EB)과 에치 스타퍼형(etch stopper : ES)으로 나뉘며, 구조가 간단한 백 채널 에치형 구조가 적용되는 액정 표시소자 제조공정에 관해 설명한다.

먼저, 기판(1)에 이물질이나 유기성 물질을 제거하고, 증착될 게이트 물질의 금속 박막과 유리기판의 접착성(adhesion)을 좋게 하기 위하여 세정을 실시한 후, 스퍼터링(sputtering)에 의하여 금속막을 증착한다.

도 3a는 상기 금속막 증착 후에 제 1 마스크로 패터닝하여 게이트 전극(26)을 형성하는 단계를 도시한 도면이다. 능동행렬 액정 표시장치의 동작에 중요한 게이트 전극(26) 물질은 RC 딜레이(delay)를 작게 하기 위하여 저항이 작은 알루미늄이 주류를 이루고 있으나, 순수 알루미늄은 화학적으로 내식성이 약하고, 후속의 고온 공정에서 힐락(hillock) 형성에 의한 배선 결함문제를 야기하므로, 알루미늄 배선의 경우는 합금의 형태로 쓰이거나 적층구조가 적용되기도 한다.

도 3b는 상기 게이트 전극(26) 및 노출된 기판(1)의 전면에 걸쳐 절연막(50)을 증착한다. 또한, 상기 게이트 절연막(50) 상에 연속으로 반도체 물질인 순수 비정질 실리콘(a-Si:H : 52)과 불순물 비정질 실리콘(n⁺ a-Si:H : 54)을 증착한다.

그리고, 상기 불순물 비정질 실리콘(54) 상부에 제 2 금속층을 증착한 후, 제 2 마스크로 패터닝하여 소스 및 드레인 전극(28, 30)과 데이터 배선(24)을 형성한다. 그리고, 상기 패터닝된 제 2 금속층(24, 28, 30)을 마스크로 하여 그 하부에 형성된 불순물 비정질 실리콘(54)을 제외한 부분의 불순물 비정질 실리콘(54)을 제거하여 채널(channel ; CH)을 형성한다.

상기 채널(CH)은 상기 소스 및 드레인 전극(28, 30)을 마스크로 하여 상기 소스 전극(28)과 상기 드레인 전극(30) 사이에 존재하는 불순물 비정질 실리콘(54)을 제거하여 형성한다. 만약, 상기 소스 전극(28)과 상기 드레인 전극(30) 사이에 존재하는 불순물 반도체층(54)을 제거하지 않으면 박막 트랜지스터의 전기적 특성에 심각한 문제가 발생할 수 있으며, 성능에서도 큰 문제가 생긴다.

상기 불순물 비정질 실리콘(54)의 제거에는 신중한 주의가 요구된다. 실제 불순물 비정질 실리콘(54)의 식각시에는 그 하부에 형성된 순수 비정질 실리콘(52)과 식각 선택비가 없으므로 순수 비정질 실리콘(52)을 약 50 ~ 100 nm 정도 과식각을 시키는데, 식각 균일도(etching uniformity)는 박막 트랜지스터의 특성에 직접적인 영향을 미친다.

이후, 상기 불순물 비정질 실리콘(54)을 제거하여 채널(CH)을 형성한 후, 상기 제 2 금속층 상의 전면을 덮는 보호막(40)을 증착하고, 도 3c에 도시된 도면에서와 같이 드레인 전극(30)의 일부가 노출되도록 드레인 콘택홀(30')과 상기 데이터 배선(24)을 덮도록 패터닝한다.

이 때, 상기 패터닝된 보호막(즉, 데이터 배선, 소스 및 드레인 전극을 덮는 보호막) 이외의 부분은 동시에 식각한다. 즉, 보호막(40)과 순수 반도체층(52)과 게이트 절연막(50)이 동시에 식각된다.

도 4d는 화소전극(14)을 형성하는 단계를 도시한 도면으로 상기 드레인 콘택홀(30')을 통해 노출된 드레인 전극(30)과 상기 화소전극(14)은 접촉하게 된다.

상술한 바와 같이 단 4번의 마스크 공정만으로 액정 표시장치의 제작이 가능하기 때문에 제품의 수율을 향상할 수 있다.

발명이 이루고자 하는 기술적 과제

상술한 종래의 액정 표시장치의 제조방법은 4번의 마스크만으로 액정 표시장치를 제작할 수 있음으로, 액정 표시장치의 제작시 마스크의 미스 얼라인으로 인한 수율 감소를 방지할 수 있다.

그러나, 도 2의 A 부분을 확대한 평면도인 도 4에 도시된 도면에서와 같이, 상기 화소전극(14)의 형성시 불량패턴(14')이 발생할 수 있다.

상기 불량패턴(14')은 데이터 배선(24)과 접촉하게 되어 점불량(dot defect)으로 발전할 수 있다.

즉, 상기 도 4의 절단선 V-V로 자른 단면을 도시한 도 5에 도시된 바와 같이 상기 보호막(40)과 순수 비정질 실리콘(52)과 게이트 절연막(50)이 일괄 식각되기 때문에 식각된 측면에서는 상기 순수 비정질 실리콘(52)의 측면이 노출되게 된다.

이 때, 화소전극(14)에 불량패턴(14')이 발생하게 되면, 상기 측면이 노출된 순수 비정질 실리콘(52)과 불량패턴의 화소전극(14')이 단락(short)되어 추후, 화소전극에 인가된 신호의 누설이 심화될 수 있다.

상기와 같이 신호의 누설이 심화되면, 액정 표시장치의 화질에 심각한 결과를 초래할 수 있다.

그리고, 상기 불량패턴(14')에 의한 화소전극과 데이터 배선간의 단락을 줄이기 위해 종래에는 상기 화소전극(14)과 상기 데이터 배선(24)의 상부에 형성된 보호막(40)의 수직 구조를 L의 길이만큼 이격되게 형성하였다. 따라서, 상기 이격된 거리 L 만큼은 개구부에서 제외되며, 개구율의 감소의 원인이 된다.

또한, 상기 데이터 배선(24)과 접촉하는 순수 비정질 실리콘(52)과 상기 화소전극(14)과의 거리가 짧기 때문에 상기 데이터 배선(24)에 신호가 인가될 때, 상기 인가된 데이터 배선(24)의 신호에 의해 상기 순수 비정질 실리콘(52)에 전기장이 발생하게 된다. 따라서, 상기 순수 비정질 실리콘(54)에서 발생한 전기장이 인접한 화소전극(14)에 영향을 미쳐서 크로스-토크의 현상이 발생할 수 있다.

상술한 문제점을 해결하기 위해 본 발명에서는 불량화소 패턴으로 인한 데이터 배선과 화소전극간의 단락을 방지하는데 그 목적이 있다.

또한, 본 발명은 개구율을 향상하는데 또 다른 목적이 있다.

또한, 4 마스크로 제작된 액정 표시장치의 안정된 구조를 확보하는데 본 발명의 또 다른 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위해 본 발명에서는 기관과; 상기 기관 상에 형성된 게이트 배선과; 상기 게이트 배선과 교차하여 연장된 데이터 배선과; 상기 데이터 배선을 덮는 보호막과; 상기 데이터 배선의 아래에 형성되고, 상기 데이터 배선의 폭과 동일한 폭의 불순물 반도체층과; 상기 불순물 반도체층의 아래에 형성되고, 상기 보호막의 폭 방향의 가장자리 보다

소정거리 내측에 형성된 순수 반도체층과; 상기 게이트 배선 및 데이터 배선의 교차점 부근에 위치한 박막 트랜지스터와; 상기 박막 트랜지스터와 연결되고, 상기 데이터 배선과 소정간격 오버랩된 화소전극을 포함하는 액정 표시장치의 어레이 기판을 제공한다.

또한, 본 발명에서는 게이트 전극을 갖는 게이트 배선이 형성된 기판을 구비하는 단계와; 상기 기판 상에 절연막, 순수 반도체층, 불순물 반도체층, 금속층을 순서대로 증착하는 단계와; 상기 금속층을 식각하여 데이터 배선을 형성하는 단계와; 상기 식각된 데이터 배선을 마스크로하여 그 하부 이외의 부분에 형성된 상기 불순물 반도체층을 식각하는 단계와; 상기 식각된 불순물 반도체층에 의해 노출된 순수 반도체층 및 상기 데이터 배선을 덮는 보호막을 형성하는 단계와; 상기 데이터 배선이 연장된 방향으로 상기 데이터 배선의 폭보다 크게 상기 보호막과, 순수 반도체층과, 절연막을 동시에 건식식각하여 데이터 배선부 패터를 형성하는 단계와; 상기 식각된 보호막의 상부 및 기판 전면에 걸쳐 투명도전성 물질을 증착하고, 네거티브 포토레지스트 및 배면노광으로 화소전극을 형성하는 단계와; 상기 화소전극과 상기 데이터 배선부 패터를 형성하는 단계 사이에 상기 데이터 배선부 패터의 상기 절연막의 양 가장자리 부의 상부에 형성된 보호막의 양 가장자리가 언더컷 형상이 되게 상기 순수 반도체층을 과식각하는 단계를 포함하는 액정 표시장치의 어레이 기판 제조방법을 제공한다.

본 발명에 따른 액정 표시장치의 제조방법에서는 종래의 4 마스크에 의해 제조되는 액정 표시장치에서 발생할 수 있는 화소전극과 데이터 배선간의 단락을 소정의 식각과정을 거쳐 극복하고자 한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다.

제 1 실시예

도 6a 내지 도 6d는 종래의 액정 표시장치의 평면을 도시한 도 2의 절단선 III-III으로 자른 단면과, A 부분의 단면을 본 발명에 따른 액정 표시장치의 제작과정으로 제작하는 과정을 도시한 도면이다.

여기서, 도 2의 III-III으로 자른 단면은 스위칭 소자인 박막 트랜지스터의 부분이고, 도 2의 A는 데이터 배선부분의 단면을 도시한다.

먼저, 도 6a는 기판(1) 상에 제 1 금속층을 증착하고, 제 1 마스크로 패터닝하여, 게이트 전극(102)을 형성하는 단계를 도시한 도면이다.

상기 제 1 금속층은 크롬(Cr), 몰리브덴(Mo), 텅스텐(Ta) 등의 금속이 사용된다.

도 6b는 상기 게이트 전극(102)의 상부 및 기판(1)의 전면에 걸쳐 절연막(150), 순수 반도체층(152), 불순물 반도체층(154), 제 2 금속층을 순서대로 적층하고, 패터닝하고, 상기 제 2 금속층을 패터닝하여 소스 및 드레인 전극(106, 108)과 데이터 배선(104)을 각각 형성한다.

이 때, 상기 패터닝된 제 2 금속층(106, 108, 104)을 마스크로 하여, 그 하부에 존재하는 불순물 반도체층(154)을 제외한 부분의 불순물 반도체층을 식각하여, 박막 트랜지스터의 채널(CH)을 형성한다.

이후, 채널이 형성된 박막 트랜지스터 및, 데이터 배선(104)과 기판 전면을 덮는 보호막(112)을 증착한다.

도 6c는 상기 기판 전면에 걸쳐 증착된 보호막(112)을 식각하는 단계를 도시하고 있다.

상기 도 6b에서 증착된 보호막(112)은 도 6c에서 두 부분으로 나뉘게 된다. 즉, 식각되는 보호막(112b)과 패터닝으로 남는 보호막(112a)이 그것인데, 상기 식각되는 보호막(112b)과 그 하부에 형성된 모든 박막(순수 반도체층, 절연막)을 동시에 식각하게 된다.

이하, 상기과 같이 식각되는 보호막(Passivation ; 112a)과 그 하부에 형성되는 식각되는 순수 반도체층(Active ; 152b), 식각되는 절연막(Insulator ; 150b)을 합쳐서 PAI(Passivation, Active, Insulator ; PAI) 식각부라 칭한다.

역으로, 패터닝으로 남는 데이터 배선(104) 부분의 보호막(112a), 순수 반도체층(152a), 절연막(150a) 부분을 PAI 패터닝부라 칭한다.

즉, 상기 보호막(112)의 식각에 의해 상기 식각 되는 보호막(112b) 부분은 도 6c에서 E 부분으로 표시할 수 있다.

여기서, U 부분으로 표시되는 부분은 상기 순수 반도체층(152)이 그 상/하부에 형성된 보호막(112a) 및 절연막(150a)의 식각 단면으로부터 안쪽으로 과식각됨을 표시한다.

본 발명의 핵심이라 할 수 있는 부분으로, 상기 PAI 식각부를 형성할 때, PAI 식각 단면부에 의해 노출된 순수 반도체층(152a)의 가장자리 부분(U)을 식각 단면부로부터 안쪽으로 과식각되게 식각한다. 상기과 같이 순수 반도체층(152a) 부분만을 식각할 수 있는 방법은 보호막(112a), 순수 반도체층(152a), 절연막(150a)이 각각 다른 성분의 조합으로 이루어지며, 이들 상호간의 식각 선택비가 다르기 때문에 가능하다.

도 6d는 화소전극(114)을 형성하는 단계를 도시한 도면이다.

상기 화소전극(114)은 상기 드레인 전극(108)과 접촉되게 기판(1) 상에 직접 형성된다.

여기서, 상기 PAI 패터닝에는 상기 순수 반도체층(152a)이 그 상/하에 형성된 보호막(112a) 및 절연막(150a)의 식각 측면부로부터 안쪽으로 과식각된 형상(U)임을 알 수 있다. 반대로, 상기 U 부분에서는 상기 보호막(112a)이 언더컷(under cut) 형상임을 알 수 있다. 이는 전기한바 있지만, 도 6c의 PAI 패터닝 형성시 식각 선택비에 의해 상기 순수 반도체층(152a) 부분이 과식각된 결과에 의한 것이다.

도 7은 도 6d의 U 부분을 확대한 도면으로, 상기 화소전극(114)을 형성할 때, 불량화소패턴(114')에 의해 PAI 패터닝에 상기 불량화소패턴(114')이 단락 되어도, 상기 데이터 배선(104)부와는 단락 되지 않기 때문에 점결함(dot defect)으로 발전하지 않게 된다.

즉, 종래의 액정 표시장치의 데이터 배선부분의 단면을 도시한 도 5와 비교할 때, 도 5에서는 불량화소패턴(14')이 데이터 배선(24)과 접촉하는 순수 반도체층(52)과 단락되어 점결함이 발생하게 된다. 따라서, 불량화소패턴(14')이 발생 하더라도 단락을 방지하기 위해 화소전극(14)과 식각부 측면과 L 만큼의 거리를 두게 됨으로 개구율이 감소하게 된다.

그러나 본 발명에 따른 액정 표시장치의 PAI 패터닝은 데이터 배선(104)과 접촉하는 순수 반도체층(152a)이 식각부 측면에서 안쪽으로 과식각되기 때문에 불량화소패턴(114')에 의한 단락이 발생하지 않기 된다. 따라서, PAI 패터닝의 측면으로 상기 화소전극(114)을 형성하여도 되기 때문에 개구율을 향상할 수 있는 장점이 있다.

제 2 실시예

본 발명의 제 2 실시예는 화소전극의 형성시 네거티브 포토 레지스트에 의한 배면노광 방식으로 화소전극을 형성하는 액정 표시장치의 제조방법에 관한 것이다.

이하, 설명될 부분은 제 1 실시예의 액정 표시장치 제조방법을 도시한 도 6a 내지 도 6d에서 도 6c와 도 6d의 공정에 관한 것이다. 상기 도 6c의 이전 공정은 같기 때문에 설명을 생략한다. 또한, 본 발명의 핵심적인 부분은 데이터 배선부분(PAI 패터닝)이므로, 데이터 배선부분을 중심으로 설명한다.

도 8a는 도 6c에서 PAI 패터닝을 형성하고, 투명 도전막(115)과 네거티브 포토 레지스트(PR)를 도포한 상태를 도시한 도면이다.

상기 네거티브 PR은 빛을 인가 받은 부분이 추후 PR 현상과정에서 패터닝으로 남는 특성을 갖게 된다. 따라서, 네거티브 PR을 도포한 후, 배면노광을 하게 되면, PAI 패터닝에는 빛이 인가되지 않기 때문에 추후, 투명도전막(115)이 형성되지 않게 된다.

도 8b는 배면노광에 의해 패터닝된 화소전극(114)의 형상을 도시한 도면이다.

즉, 기판(1) 상에 형성된 절연막(150a)과 접하며, 상기 화소전극(114)이 형성됨을 알 수 있다.

여기서, 도 8b에 도시된 화소전극(114)의 형상은 도 8a의 순수 반도체층(152)의 U 부분을 제거하지 않고 배면노광할 때의 형성된 패터닝으로, 상기 순수 반도체층(152a)의 U 부분은 상기 화소전극(114)을 형성한 후 제거하게 된다.

도 9는 상기 도 8a의 순수 반도체층(152a) 부분의 U 부분을 제거한 후, 배면노광에 의해 생성된 화소전극(114)의 패턴 형상을 도시하고 있다.

상기 화소전극(114)이 상기 보호막(112a)의 상부까지 O의 길이만큼 오버랩되어 형성됨을 알 수 있다.

즉, 도 8a에서 상기 순수 반도체층(152a)의 U 부분을 O의 길이만큼 과식각한 후, 배면노광을 함으로서, 과식각된 길이 O만큼이 상기 화소전극(114)의 길이가 보상된다.

즉, 도 8b와 도 9에 도시된 화소전극의 형상의 차이는 상기 순수 반도체층(152a)의 U 부분을 남기고 배면노광 하느냐, 아니면, 식각하고 배면노광 하느냐의 차이인 것이다.

상기와 같이 배면노광에 의해 화소전극을 형성하면, 화소전극과 데이터 배선간의 이격된 부분이 없기 때문에 개구율을 향상할 수 있는 장점이 있다.

상술한 바와 같이 본 발명의 실시예에 따라 액정 표시장치를 제작하면, 불량화소패턴과 데이터 배선과의 단락을 방지할 수 있는 장점이 있다.

또한, 배면노광에 의한 화소전극의 형성시 개구율을 향상할 수 있는 장점이 있다.

발명의 효과

상술한 본 발명의 실시예로 액정 표시장치를 제작할 경우 4 번의 마스크만으로 액정 표시장치를 제작할 수 있기 때문에 수율을 향상할 수 있는 장점이 있다.

또한, 데이터 배선의 단면부에서 보호막과 동시에 패터닝된 순수 반도체층을 식각 단면부로부터 안쪽으로 과식각함으로서, 불량화소패턴과 데이터 배선과의 단락을 방지할 수 있는 장점이 있다.

그리고, 배면노광에 의해 화소전극을 형성하면, 데이터 배선부와 화소전극과의 이격된 부분이 없기 때문에 개구율이 향상되는 장점이 있다.

(57) 청구의 범위

청구항 1.

기관과;

상기 기관 상에 형성된 게이트 배선과;

상기 게이트 배선과 교차하여 연장된 데이터 배선과;

상기 데이터 배선을 덮는 보호막과;

상기 데이터 배선의 아래에 형성되고, 상기 데이터 배선의 폭과 동일한 폭의 불순물 반도체층과;

상기 불순물 반도체층의 아래에 형성되고, 상기 보호막의 폭 방향의 가장자리 보다 소정거리 내측에 형성된 순수 반도체층과;

상기 게이트 배선 및 데이터 배선의 교차점 부근에 위치한 박막 트랜지스터와;

상기 박막 트랜지스터와 연결되고, 상기 데이터 배선과 소정간격 오버랩된 화소전극

을 포함하는 액정 표시장치의 어레이 기관.

청구항 2.

청구항 1에 있어서,

상기 화소전극은 인듐-틴-옥사이드(ITO), 인듐-징크-옥사이드(IZO)로 구성된 집단에서 선택된 물질인 액정 표시장치의 어레이 기관.

청구항 3.

게이트 전극을 갖는 게이트 배선이 형성된 기관을 구비하는 단계와;

상기 기관 상에 절연막, 순수 반도체층, 불순물 반도체층, 금속층을 순서대로 증착하는 단계와;

상기 금속층을 식각하여 데이터 배선을 형성하는 단계와;

상기 식각된 데이터 배선을 마스크로하여 그 하부 이외의 부분에 형성된 상기 불순물 반도체층을 식각하는 단계와;

상기 식각된 불순물 반도체층에 의해 노출된 순수 반도체층 및 상기 데이터 배선을 덮는 보호막을 형성하는 단계와;

상기 데이터 배선이 연장된 방향으로 상기 데이터 배선의 폭보다 크게 상기 보호막과, 순수 반도체층과, 절연막을 동시에 건식식각하여 데이터 배선부 패터를 형성하는 단계와;

상기 식각된 보호막의 상부 및 기관 전면에 걸쳐 투명도전성 물질을 증착하고, 네거티브 포토레지스트 및 배면노광으로 화소전극을 형성하는 단계와;

상기 화소전극과 상기 데이터 배선부 패터를 형성하는 단계 사이에 상기 데이터 배선부 패터의 상기 절연막의 양 가장자리부의 상부에 형성된 보호막의 양 가장자리가 언더컷 형상이 되게 상기 순수 반도체층을 과식각하는 단계

를 포함하는 액정 표시장치의 어레이 기관 제조방법.

청구항 4.

청구항 3에 있어서,

상기 데이터 배선부 패터의 상기 순수 반도체층을 과식각하는 단계는 상기 화소전극 형성 전인 액정 표시장치의 어레이 기관 제조방법.

청구항 5.

청구항 3에 있어서,

상기 데이터 배선부 패터의 상기 순수 반도체층을 과식각하는 단계는 상기 화소전극 형성 후인 액정 표시장치의 어레이 기관 제조방법.

청구항 6.

청구항 3 또는 청구항 4중 어느 한 항에 있어서,

상기 화소전극은 상기 데이터 배선부 패턴의 상기 과식각된 순수 반도체층의 길이만큼 상기 데이터 배선부 상에 오버랩된 액정 표시장치의 어레이 기판 제조방법.

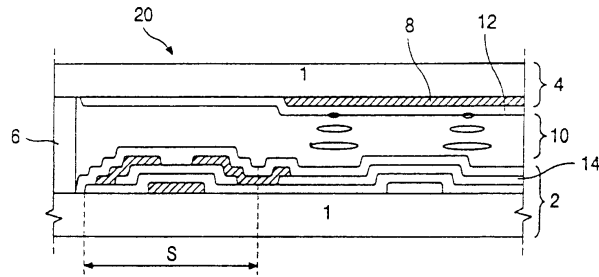
청구항 7.

청구항 3에 있어서,

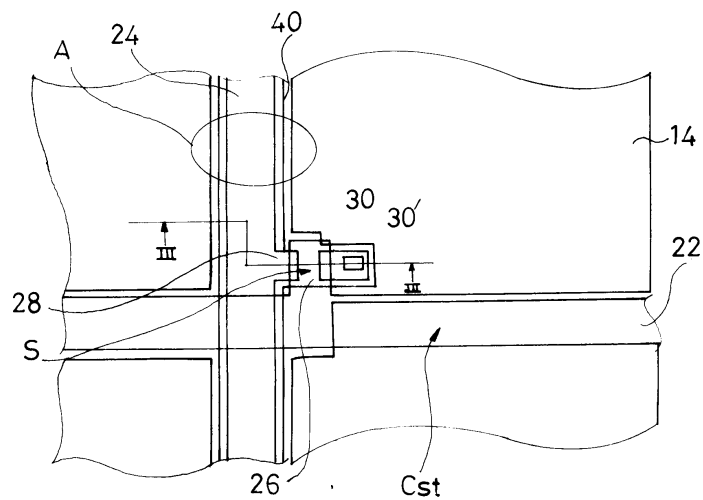
상기 화소전극은 인듐-틴-옥사이드(ITO), 인듐-징크-옥사이드(IZO)로 구성된 집단에서 선택된 물질인 액정 표시장치의 어레이 기판 제조방법.

도면

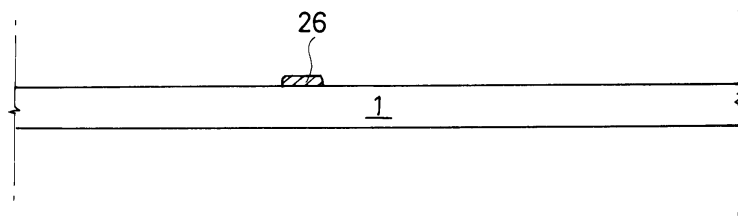
도면1



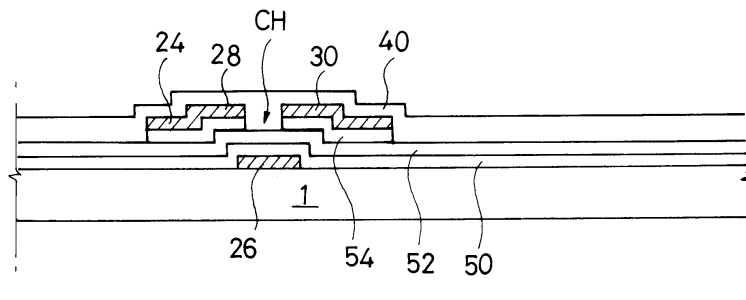
도면2



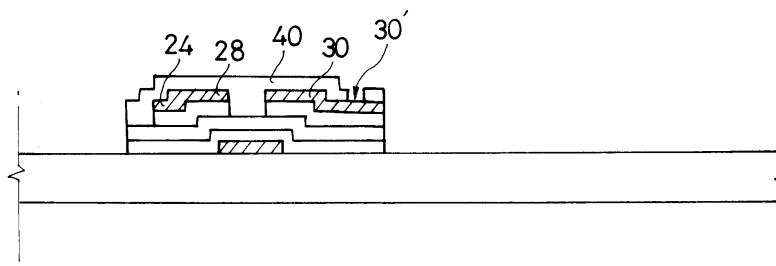
도면3a



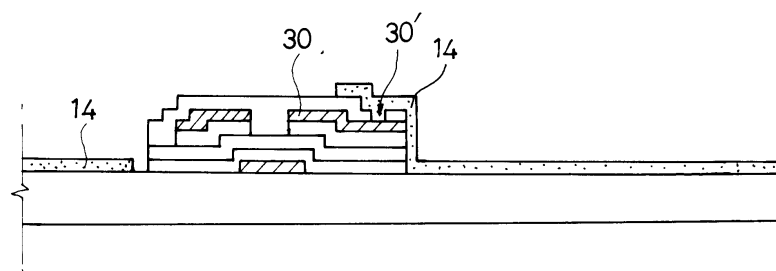
도면3b



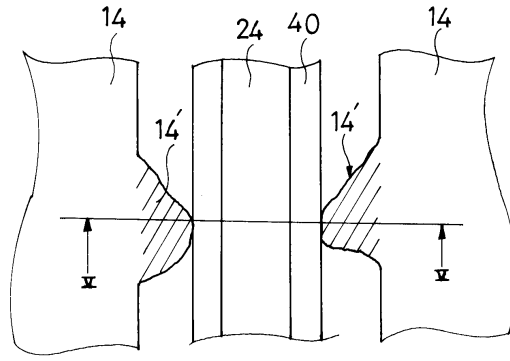
도면3c



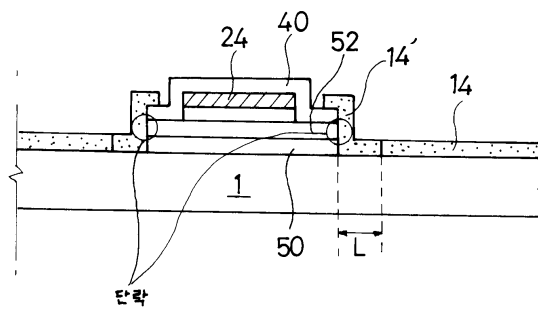
도면3d



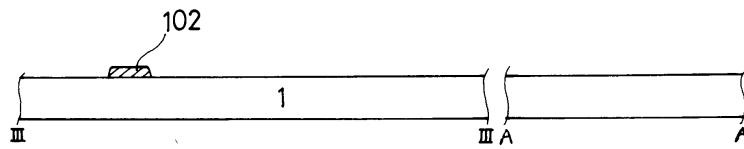
도면4



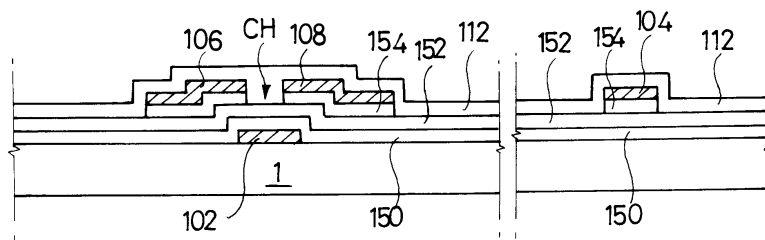
도면5



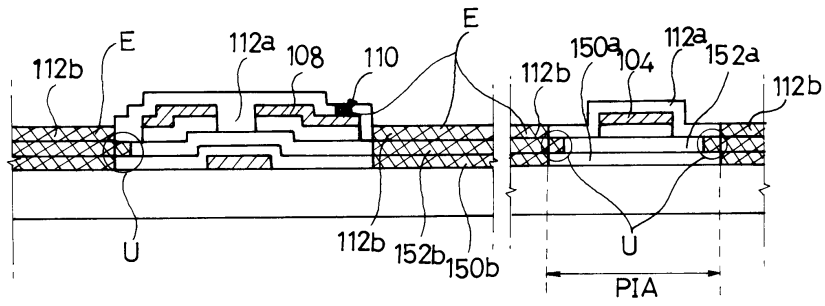
도면6a



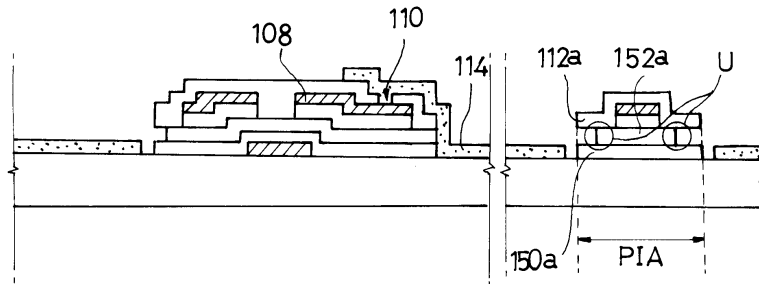
도면6b



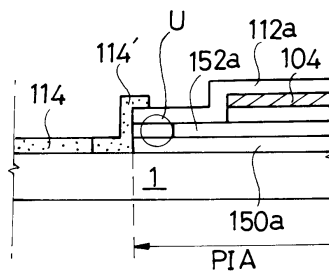
도면6c



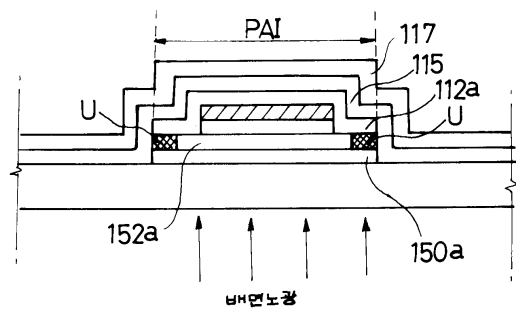
도면6d



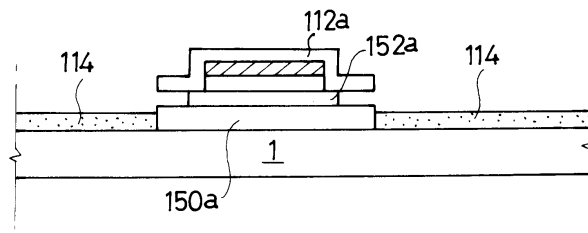
도면7



도면8a



도면8b



도면9

