



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2013년01월29일  
 (11) 등록번호 10-1227291  
 (24) 등록일자 2013년01월22일

(51) 국제특허분류(Int. Cl.)  
**G11C 11/413** (2006.01)  
 (21) 출원번호 10-2007-7011213  
 (22) 출원일자(국제) 2005년10월25일  
 심사청구일자 2010년10월25일  
 (85) 번역문제출일자 2007년05월17일  
 (65) 공개번호 10-2007-0084313  
 (43) 공개일자 2007년08월24일  
 (86) 국제출원번호 PCT/US2005/038468  
 (87) 국제공개번호 WO 2006/055190  
 국제공개일자 2006년05월26일  
 (30) 우선권주장  
 10/991,910 2004년11월18일 미국(US)  
 (56) 선행기술조사문헌  
 US6512705 B1  
 전체 청구항 수 : 총 4 항

(73) 특허권자  
**프리스케일 세미컨덕터, 인크.**  
 미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄  
 캐논 드라이브 웨스트 6501  
 (72) 발명자  
**레밍톤, 스코트 아이.**  
 미국 78731 텍사스주 오스틴 캣 크릭 런 6912  
**부르네트, 제임스 디.**  
 미국 78731 텍사스주 오스틴 라우렐리지 레인  
 3804  
 (74) 대리인  
**백만기, 양영준**

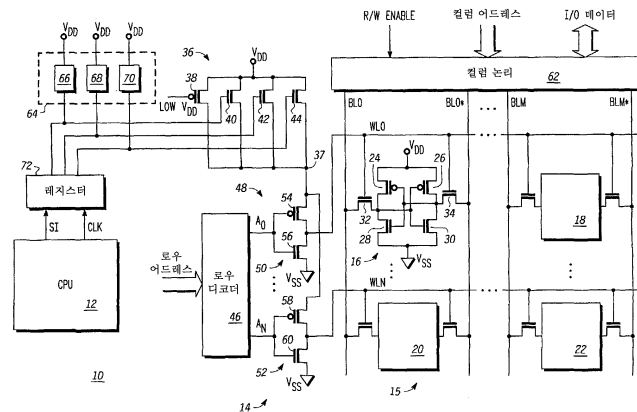
심사관 : 한선경

**(54) 발명의 명칭 SRAM용 워드선 구동 회로 및 그를 위한 방법**

**(57) 요약**

SRAM(static random access memory; 14)은 정상 동작 모드 및 저전압 동작 모드를 갖는다. 메모리 어레이(15)는 전원 전압을 수신하기 위한 제1 전원 노드(VDD)에 연결된 메모리 셀들(16)을 포함한다. 복수의 워드선 구동기는 메모리 어레이(15)의 워드선들 및 제2 전원 노드(37)에 연결된다. 워드선 구동 전압 감소 회로(36)는 제1 전원 노드(VDD)에 연결된 입력 및 제2 전원 노드(37)에 연결된 출력을 구비하고, 낮은 전원 전압 신호에 응답하여 입력상의 전압에 대한 출력상의 전압을 감소시키고, 따라서 메모리 셀(16)의 정적 잡음 마진을 향상시킨다.

**대표도 - 도1**



**특허청구의 범위**

**청구항 1**

전원 전압을 수신하기 위한 제1 전원 노드에, 워드선들에, 및 비트선들에 연결된 메모리 셀들을 포함하는 메모리 어레이;

상기 워드선들에 및 제2 전원 노드에 연결된 복수의 워드선 구동기; 및

상기 제1 전원 노드에 연결된 입력 및 상기 제2 전원 노드에 연결된 출력을 구비하고, 낮은 공급 전압 신호(low supply voltage signal)에 응답하여 상기 입력상의 전압에 관하여 상기 출력상의 전압을 감소시키기 위한 전압 감소 회로 - 상기 낮은 공급 신호는 상기 전원 전압이 감소된다는 것을 나타냄 -

를 포함하는 회로.

**청구항 2**

정상 동작 모드(normal mode of operation) 및 전원 전압이 감소되는 감소 전력 동작 모드(reduced power mode of operation)를 구비하는 회로 - 상기 감소 전력 동작 모드는 낮은 공급 전압 신호로 표시됨 - 로서,

상기 전원 전압을 수신하기 위한 제1 전원 노드에, 워드선들에, 및 비트선들에 연결된 메모리 셀들을 구비하는 메모리 어레이; 및

상기 워드선들에 연결되고, 상기 정상 동작 모드 동안에 상기 제1 전원 노드에 인가되는 전압을 제공하고, 상기 감소 전력 동작 모드 동안에 상기 제1 전원 노드에 인가되는 전압 미만으로 감소된 전압을 제공하는 워드선 구동 수단

을 포함하는 회로.

**청구항 3**

전원 전압을 수신하기 위한 제1 전원 노드에, 워드선들에, 및 비트선들에 연결되는 메모리 셀들을 구비하는 메모리 어레이;

상기 워드선들에 및 제2 전원 노드에 연결되는 복수의 워드선 구동기; 및

상기 제1 전원 노드 및 상기 제2 전원 노드에 연결되고, 정상 동작 모드에서 제1 공급 전압을 상기 제2 전원 노드에 제공하고, 또한 상기 전원 전압이 감소되는 제2 동작 모드로 진입한 것에 응답하여 상기 제2 동작 모드 동안 상기 제1 전원 노드에 제공된 전압보다 낮은 전압을 상기 제2 전원 노드에 제공하기 위한 전압 제어 수단

을 포함하는 회로.

**청구항 4**

전원 전압을 수신하기 위한 제1 전원 노드에, 워드선들에, 및 비트선들에 연결되는 메모리 셀들을 구비하는 메모리 어레이; 및 상기 워드선들에 및 제2 전원 노드에 연결되는 복수의 워드선 구동기를 포함하는 메모리를 동작시키는 방법으로서,

제1 동작 모드 동안, 제1 레벨과 동일한 전압들을 상기 제1 전원 노드 및 상기 제2 전원 노드에 인가하는 단계; 및

상기 제1 전원 노드에 인가되는 전압이 제2 레벨 - 상기 제2 레벨은 상기 제1 레벨보다 낮음 - 에 있는 제2 동작 모드 동안, 상기 제2 레벨보다 낮은 전압을 상기 제2 전원 노드에 인가하는 단계

를 포함하는 방법.

**청구항 5**

삭제

**청구항 6**

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

## 명세서

### 기술분야

[0001] 본 발명은 일반적으로 데이터 처리 시스템에 관한 것으로, 보다 구체적으로는, SRAM(static random access memory)용 워드선 구동 회로 및 그를 위한 방법에 관한 것이다.

### 배경기술

[0002] SRAM은 일반적으로 데이터 처리 시스템에서의 캐시 메모리와 같이, 고속을 필요로 하는 애플리케이션에서 사용

된다. SRAM은 보통 로우 및 컬럼으로 구성된(organized) 메모리 셀들의 어레이로 구현된다. 각각의 SRAM 셀은 1 비트 데이터를 저장하고 차동 저장 노드(differential storage nodes)에서 교차-연결된(cross-coupled) 입력 및 출력을 구비하는 한 쌍의 인버터로 구현된다. SRAM 셀은 "쌍안정(bistable)", 즉, 두 개의 가능 논리 레벨 중 하나에서 안정된다. 셀의 논리 상태는 두 개의 인버터 출력 중 논리 하이(logic high)인 출력에 의해 판정되고, 충분한 크기 및 지속 기간의 전압을 적절한 셀 입력에 인가함으로써 상태 변경이 실시될 수 있다.

[0003] 오늘날 내장형 SRAM을 위한 많은 애플리케이션은, 집적 회로가 저전력 모드로 동작하는 동안 메모리 어레이에 액세스하는 능력을 요구한다. 그러나, 전원 전압이 감소하면 셀의 정적 잡음 마진(static noise margin)이 감소한다. 셀이 불충분한 잡음 마진을 갖는다면, 셀이 판독 동작을 위해 액세스될 때 셀에 저장된 논리 상태가 의도치 않게 변경될 수 있다. 이는 일반적으로 "판독 방해(read disturb)"로 불린다.

[0004] 따라서, 바람직한 것은, 충분한 정적 잡음 마진을 갖고 저 전압에서 동작하도록 허용되는 메모리, 및 그 메모리를 동작시키기 위한 방법이다.

**실시예**

[0006] 일반적으로, 본 발명은 내장형 SRAM을 구비하는 데이터 처리 시스템을 제공한다. 저전력 동작 모드 동안, 메모리의 워드선 구동 회로에 제공된 전원 전압은 메모리 셀에 제공되는 전원 전압 미만(below)의 소정 전압으로 감소한다. 워드선 구동 전압을 전원 전압 미만으로 감소시킴으로써, 저전압 동작에 대한 메모리 어레이의 정적 잡음 마진이 향상된다.

[0007] 도 1은, 본 발명에 따른 데이터 처리 시스템(10)을 부분적 개략도 형태와 부분적 블록도 형태로 도시한다. 데이터 처리 시스템(10)은 CPU(central processing unit; 12), 메모리(14), 워드선 구동 전원 제어 회로(36), 퓨즈 블록 회로(64), 및 레지스터(72)를 포함한다. 메모리(14)는 메모리 어레이(15), 로우 디코더(46), 워드선 구동 회로(48), 및 컬럼 논리(62)를 포함한다. 메모리 어레이(15)는 전형적인 SRAM 셀(16, 18, 20, 22)을 구비한다. 메모리 셀(16)은 종래의 6 트랜지스터 셀이고 P-채널 풀업 트랜지스터(24, 26), N-채널 풀다운 트랜지스터(28, 30), 및 N-채널 액세스 트랜지스터(32, 34)를 포함한다. 어레이(15)의 모든 메모리 셀은 메모리 셀(16)과 동일하다. 워드선 구동 전원 제어 회로(36)는 P-채널 트랜지스터(38)와 N-채널 트랜지스터(40, 42, 44)를 포함하는 복수의 트랜지스터, 퓨즈 블록 회로(64), 및 레지스터(72)를 포함한다. 워드선 구동 회로(48)는 워드선 구동기(50) 및 워드선 구동기(52)를 포함한다. 데이터 처리 시스템(10)은 도면에 도시되지 않은 그 외의 회로들을 포함할 수도 있다는 것에 유의한다.

[0008] 메모리 어레이(15)에서, 메모리 셀들은 로우 및 컬럼으로 구성된다. 메모리 셀의 컬럼은 비트선 쌍 및 비트선 쌍에 연결된 모든 메모리 셀을 포함한다. 예를 들어, "BL0"과 "BL0\*"로 표시된 비트선 쌍 및 셀(16, 20)은 하나의 컬럼을 구성한다. 마찬가지로, 비트선 BLM과 BLM\* 및 메모리 셀(18, 22)은 M+1(여기서, M은 정수)개 컬럼을 구비하는 메모리 어레이 내에서 또 다른 컬럼을 구성한다. 별표(\*)가 있는 신호명(signal name)은 동일한 이름을 갖지만 별표가 없는 신호의 논리적 보수(logical complement)이다. 메모리 어레이(15)의 로우는 워드선 및 워드선에 연결된 모든 메모리 셀을 포함한다. 예를 들어, "WL0"로 표시된 워드선 및 메모리 셀(16, 18)은 하나의 로우를 구성한다. 마찬가지로, 워드선 WLN 및 메모리 셀(20, 22)은 N+1(여기서, N은 정수)개 로우를 구비하는 메모리 어레이 내에서 또 다른 로우를 구성한다. 도 1에는 2개의 컬럼 및 로우만 도시하고 있지만, 메모리 어레이는 일반적으로 많은 로우 및 컬럼을 포함한다.

[0009] 비트선 쌍 각각은 컬럼 논리(62)에 연결되고, 컬럼 논리(62)는, 예를 들어, 컬럼 디코더, 감지 증폭기 및 비트선 부하들을 포함한다. "R/W ENABLE"로 표시된 판독/기입 인에이블 신호는 컬럼 논리(62)로의 입력으로서 제공되어 메모리 어레이로(to) 기입할지, 또는 메모리 어레이로부터(from) 판독할지 여부를 판정한다. 기입 동작 동안, "COLUMN ADDRESS"로 표시된 컬럼 어드레스는, 메모리 어레이의 컬럼들 중, "I/O DATA"로 표시된 데이터 단말에서 기입 데이터를 수신할 컬럼을 선택한다. 판독 동작 동안, COLUMN ADDRESS는 컬럼들 중에서 I/O DATA 단말들에 판독 데이터를 제공할 컬럼을 선택한다. 로우 디코더(46)는 "ROW ADDRESS"로 표시된 로우 어드레스를 수신하기 위한 복수의 입력을 구비한다. 로우 디코더는, ROW ADDRESS의 수신에 응답하여, 어드레스 신호(A<sub>0</sub>-A<sub>N</sub>)를 제공하여 메모리 어레이(15)로의 액세스(판독 혹은 기입) 동안 워드선 중 하나를 선택한다. 어드레스 신호 A<sub>0</sub>-A<sub>N</sub> 각각은 워드선 구동 회로(50, 52)로 표시된 대응 워드선 구동기에 제공된다. 상술한 실시예에서, 워드선 구동기는 인버터로 구현된다. 다른 실시예에서, 워드선 구동기는, 예를 들면, 비-반전 버퍼 회로와 같은 다른 회로일 수도 있다. 메모리(14)의 판독 및 기입 동작은 공지된 것으로 이후에 설명되지 않을 것이다.

- [0010] 위드선 구동기(50)는 P-채널 풀업 트랜지스터(54) 및 N-채널 풀다운 트랜지스터(56)를 포함한다. 위드선 구동기(52)는 P-채널 풀업 트랜지스터(58)와 N-채널 풀다운 트랜지스터(60)를 포함한다. 위드선 구동기(50)에서, N-채널 트랜지스터(56)의 소스 단말은  $V_{SS}$ 로 표시된 전원 전압 단말에 연결된다. 공통으로 접속된 트랜지스터들(54, 56)의 드레인은 위드선 전압 WLO에 대한 출력 단말을 제공한다. 위드선 구동 회로(52)의 트랜지스터들(58, 60)은 위와 동일한 방식으로 서로 연결된다.
- [0011] 저전력 동작 동안, 위드선 구동 전원 제어 회로(36)는 위드선 구동 회로 각각에 대해 전원 전압  $V_{DD}$ 보다 소정 전압만큼 낮은 전원 전압을 제공한다. 상술한 실시예에서, 소정 전압은 트랜지스터의 임계 전압( $V_T$ ) 강하(drop)이다. 도 1은 위드선 구동 전원 회로(36)에 3개의 N-채널 트랜지스터(40, 42, 44)를 도시한다. 상술한 실시예에서, 이 트랜지스터들 각각은 선택될 때 서로 다른 전압 강하를 제공하기 위해 서로 다른  $V_T$ 로 구현된다. 트랜지스터(40, 42, 44)는  $V_{DD}$ 와 내부 전원 노드(37) 사이에 병렬로 연결된다. P-채널 트랜지스터(54, 58)의 소스 단말 역시 내부 전원 노드(37)에 연결된다. 다른 실시예에서는, 3개의 트랜지스터(40, 42, 44)보다 많을 수도 있고 적을 수도 있다. N-채널 트랜지스터(40, 42, 44)의 게이트는 레지스터(72)에 연결된다. 레지스터(72)는 CPU(12)에 의해 기입 및 판독되는 복수의 프로그램가능 비트를 포함한다. CPU(12)는 레지스터(72)의 비트를 프로그래밍하기 위한 "SI"로 표시된 직렬 단말 및 레지스터(72)에 "CLK"로 표시된 클록 신호를 제공하기 위한 클록 단말을 구비한다. 레지스터(72)의 각 비트는 트랜지스터(40, 42, 44) 중 하나에 대응한다.
- [0012] 복수의 퓨즈 회로를 구비하는 퓨즈 블록(64) 역시 N-채널 트랜지스터(40, 42, 44)의 게이트에 연결된다. 퓨즈 회로의 유형은 본 발명을 설명하는데 중요하지 않고, 메모리에서 리턴던시를 구현하기 위한 것으로 종래의 퓨즈 회로가 사용될 수 있다는 것에 유의한다. 일 실시예에서, 퓨즈 블록 회로는  $V_{DD}$ 에 연결된 하나의 단말과 N-채널 트랜지스터(도시되지 않음)의 드레인에 연결된 제2 단말을 구비하는 레이저 단절가능 퓨즈(laser blowable fuse)(도시되지 않음)를 포함할 수도 있다. N-채널 트랜지스터의 게이트는 데이터 처리 시스템의 전력 상승(power up)시 하이 바이어스된다. N-채널 트랜지스터의 드레인은 교차-연결된 래치 회로(cross-coupled latch circuit)(도시되지 않음)의 입력에 연결된다. 퓨즈가 그대로인(intact) 경우, 교차-연결된 래치의 출력이 논리 로우가 되도록 교차-연결된 래치의 입력은 하이로 된다. 퓨즈가 단절된(blown) 경우, 교차-연결된 래치의 입력이 로우가 되어, N-채널 트랜지스터(40, 42, 44) 중 하나에 제공된 교차-연결된 래치의 출력이 논리 하이로 되도록 한다. 또 다른 실시예에서, 퓨즈 회로는 또 다른 방식으로 구현될 수도 있다. 퓨즈들 중 하나가 단절된 경우, 대응 퓨즈 회로(66, 68, 또는 70)는 대응 트랜지스터(40, 42, 또는 44)의 게이트에 전원 전압  $V_{DD}$ 을 각각 연결한다.
- [0013] 메모리(14)의 정상 동작 동안, "LOW  $V_{DD}$ "로 표시된 인에이블 신호가 논리 로우 전압에 제공되어 트랜지스터(38)가 전도성을 갖도록 한다. 위드선 구동 회로(48)에 대한 전원 전압이 P-채널 트랜지스터(38)를 통해 제공되고 이는  $V_{DD}$ 와 사실상 동일하다. 위드선 WLO-WLN 중 하나가 선택될 때, 위드선 구동 회로는 사실상  $V_{DD}$ 와 동일한 논리 하이 위드선 전압을 제공한다. 선택되지 않은 위드선은 대략 접지 전위( $V_{SS}$ )로 유지된다.
- [0014] 데이터 처리 시스템(10)의 저전압 동작 동안, 전력을 절약하기 위해 전원 전압은 낮아진다. 낮은 공급 전압은 SRAM의 동작에 대해 해로운 영향을 미칠 수 있다. 예를 들어, 메모리 동작을 신뢰할 수 없게 되는 범위까지 메모리 셀의 정적 잡음 마진이 낮아질 수도 있다. 낮은 공급 전압에서 정적 잡음 마진을 늘리기 위해, 상술한 실시예에서는 위드선 전압을 전원 전압 미만의 소정 전압, 예를 들어,  $V_{DD}$  미만의  $V_T$ 로 줄인다. 이는 정적 잡음 마진을 늘리게 할 것이고 따라서 낮은 공급 전압에서 메모리 동작을 신뢰할 수 있게 허용할 것이다.
- [0015] 메모리 어레이(15)의 테스트 동안, 레지스터(72)가 사용되어 트랜지스터(40, 42, 44) 각각을 선택하고, 차례로, 위드선 구동기에  $V_{DD}$  미만의 서로 다른 전원 전압들을 제공한다. 어레이(15)의 메모리 셀들의 낮은  $V_{DD}$  동작은 트랜지스터(40, 42, 44)에 의해 제공된 위드선 구동 전압 각각에 대해 차례로 판정된다. 트랜지스터(40, 42, 또는 44)가 메모리(14)의 최저 전압 동작을 제공하는 것으로 판정될 때, 최저  $V_{DD}$  동작을 제공하는 트랜지스터(40, 42, 또는 44)의 게이트에 대응하는 퓨즈 회로(66, 68, 또는 70)가 단절된다. 퓨즈 회로의 퓨즈는 전기적으로 또는 레이저로 단절될 수 있다. 단절 퓨즈 회로는, 전원 전압이 존재할 때 그 트랜지스터의 게이트를 영구적으로 바이어스한다.
- [0016] 데이터 처리 시스템(10)이 저전력 모드에 진입할 때, 인에이블 신호 LOW  $V_{DD}$ 가 논리 하이 전압으로서 어설트되어

(asserted) P-채널 트랜지스터(38)가 사실상 비-전도성이 되도록 한다. 바람직하게, 인에이블 신호 LOW  $V_{DD}$ 는 데이터 처리 시스템(10) 외부의 소스에 의해 제공된다. 그러나, 그 외의 실시예에서, 인에이블 신호 LOW  $V_{DD}$ 는 CPU(12)와 같은 데이터 처리 시스템(10) 상의 또 다른 회로, 또는 도면에 도시되지 않은 다른 회로에 의해 제공될 수도 있다. 워드선 구동 회로를 위한 전원은 N-채널 트랜지스터(40, 42, 44) 중 선택된 것을 경유하여 제공된다. 예로서, 데이터 처리 시스템(10)의 전원 전압이 정규로 1.2 볼트 공칭(nominal)이라면, 저전력 모드 동안  $V_{DD}$ 에 제공된 전원 전압은 0.8 볼트 이하일 수 있다. N-채널 트랜지스터(40, 42, 44)의 임계 전압은, 예를 들어, 대략 40mV, 60mV, 및 80mV인 것으로 각각 선택될 수도 있다. 만약, 예를 들어, N-채널 트랜지스터(40)에 의해 제공된 전압이 최저 전력 동작을 제공한다면, 그 때, 퓨즈 회로(66)는 단절되고 워드선 전압 WL0은 대략  $V_{DD}$  마이너스 40mV와 같다.

[0017] SRAM 비트셀 설계에서, 하나의 중요한 기준은 베타( $\beta$ )비(ratio)로 불린다. 메모리 셀의 베타비는 풀다운 트랜지스터의 폭/길이(W/L)비 대 액세스 트랜지스터의 W/L비이다. 베타비는 액세스 속도 및 셀 안정성에 영향을 미친다. 일반적으로, 주어진 셀 사이즈에 대해, 높은 베타비는 낮은 액세스 속도의 대가로 셀 안정성을 향상시킨다. 워드선 전압을 낮추는 것은 베타비를 증가시키는 효과를 갖는다.

[0018] 본 발명의 그 외의 실시예에서, 저전압 동작 동안 워드선 전압은 서로 다른 방식으로 제어될 수도 있다. 예를 들어, 트랜지스터(40, 42, 44)는 전압 분배기로 대체될 수도 있다. 또한, 복수의 직렬 접속된 트랜지스터가 트랜지스터(40, 42, 44) 대신 사용될 수도 있다. 또한, 전원 전압은 외부에 설치될 수도 있다.

[0019] 저전압 동작 동안  $V_{DD}$  미만의 워드선 전압을 제공하기 위해 복수의 워드선 구동 전원 트랜지스터를 사용함으로써, 메모리의 정적 잡음 마진 및 신뢰도를 향상시킨다. 또한, 본 발명은 정상 동작 모드 동안 고속 동작을 위해 대략 VDD와 동일한 워드선 전압으로 메모리가 동작하도록 허용한다.

[0020] 앞선 상세에서, 본 발명은 특정한 실시예를 참조하여 설명되었다. 그러나, 아래 청구항에서 설명되는 바와 같은 본 발명의 범위에서 벗어나지 않는 한 다양한 수정 및 변경이 실시될 수 있다는 것을 당업자는 이해할 것이다. 따라서, 명세서 및 도면은 제한적인 의미보다는 예시적인 것으로 간주되고, 그러한 모든 수정은 본 발명의 범주 내에 포함되도록 의도된다.

[0021] 이득, 그 외의 장점, 및 문제에 대한 해결책, 및 임의의 요소(들)이 특정 실시예와 관련하여 위에서 설명되었다. 그러나, 임의의 이득, 장점 혹은 해결책을 발생시키거나 더욱 명백하게 하는 이득, 장점, 문제에 대한 해결책, 및 임의의 요소(들)이, 임의의 혹은 모든 청구항들의 결정적(critical), 필수적(required), 또는 본질적(essential) 특징 혹은 요소로서 해석되어서는 안 된다. 여기서 사용된, "포함한다(comprises)", "포함하는(comprising)" 또는 그 외에 그들의 다른 변경된 표현들은 비-배타적인 포함 관계(non-exclusive inclusion)를 커버하도록 의도된 것으로, 그 결과, 요소들의 리스트를 포함하는 프로세서, 방법, 항목, 또는 장치는 단지 이러한 요소들만을 포함하는 것이 아니라, 그러한 프로세스, 방법, 항목, 또는 장치에 확실히 리스트되지 않았거나 원래 있지 않았던 그 외의 요소들을 포함할 수도 있다.

### 도면의 간단한 설명

[0005] 도 1은, 본 발명에 따른 데이터 처리 시스템을 부분적 개략도 형태와 부분적 블록도 형태로 도시한다.

도면

도면1

