



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I787172 B

(45)公告日：中華民國 111 (2022) 年 12 月 21 日

(21)申請案號：106106332

(22)申請日：中華民國 106 (2017) 年 02 月 24 日

(51)Int. Cl. : H01L21/02 (2006.01)

H01L21/762 (2006.01)

(30)優先權：2016/02/26 法國

1651642

(71)申請人：法商索泰克公司 (法國) SOITEC (FR)

法國

里昂克羅德 貝爾那大學 (法國) UNIVERSITE CLAUDE BERNARD LYON 1

(FR)

法國

法國國家科學研究中心 (法國) LE CENTRE NATIONAL DE LA RECHERCHE

SCIENTIFIQUE (FR)

法國

(72)發明人：斐格 克里斯多福 FIGUET, CHRISTOPHE (FR)；科諾強克 奧列格

KONONCHUK, OLEG (US)；阿拉薩德 卡山姆 ALASSAAD, KASSAM (FR)；費

洛 加布里埃爾 FERRO, GABRIEL (FR)；蘇利耶 維若尼克 SOULIERE,

VERONIQUE (FR)；維堤蘇 克里斯朵 VEYTIZOU, CHRISTELLE (FR)；伊高揚

塔古依 YEGHOYAN, TAGHUI (AM)

(74)代理人：陳絲倩；郭建中

(56)參考文獻：

US 2013/0084689A1

US 2015/0115480A1

審查人員：陳志遠

申請專利範圍項數：16 項 圖式數：3 共 19 頁

(54)名稱

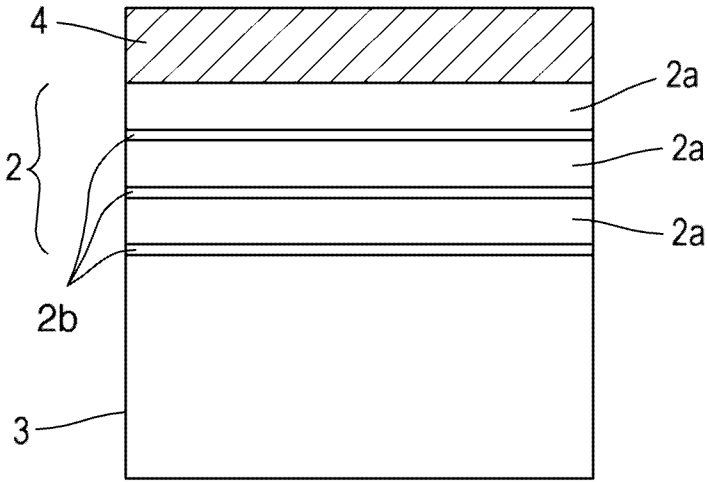
用於半導體結構的支撐件

(57)摘要

本發明與用於半導體結構之一支撐件(1)有關，其在一基底底材(3)上包含一電荷捕捉層(2)。該電荷捕捉層(2)由一多晶主要層(2a)，以及被插入該主要層(2a)中或介於該主要層(2a)與該基底底材(3)間，由一矽碳合金或碳組成之至少一中間層(2b)所構成，該中間層(2b)具有大於 1000 ohm.cm 之電阻率。

The invention relates to a support (1) for a semiconductor structure comprising a charge-trapping layer (2) on a base substrate (3). The trapping layer (2) consists of a polycrystalline main layer (2a) and, interposed in the main layer (2a) or between the main layer (2a) and the base substrate (3), at least one intermediate polycrystalline layer (2b) composed of a silicon and carbon alloy or carbon, the intermediate layer (2b) having a resistivity greater than 1000 ohm.cm.

指定代表圖：



符號簡單說明：

- 1 . . . 支撐件
- 2 . . . 捕捉層
- 2a . . . 主要層
- 2b . . . 中間層
- 3 . . . 基底底材
- 4 . . . 絕緣層

圖1



I787172

【發明摘要】

【中文發明名稱】 用於半導體結構的支撐件

【英文發明名稱】 SUPPORT FOR A SEMICONDUCTOR STRUCTURE

【中文】

本發明與用於半導體結構之一支撐件(1)有關，其在一基底底材(3)上包含一電荷捕捉層(2)。該電荷捕捉層(2)由一多晶主要層(2a)，以及被插入該主要層(2a)中或介於該主要層(2a)與該基底底材(3)間，由一矽碳合金或碳組成之至少一中間層(2b)所構成，該中間層(2b)具有大於1000 ohm.cm之電阻率。

【英文】

The invention relates to a support (1) for a semiconductor structure comprising a charge-trapping layer (2) on a base substrate (3). The trapping layer (2) consists of a polycrystalline main layer (2a) and, interposed in the main layer (2a) or between the main layer (2a) and the base substrate (3), at least one intermediate polycrystalline layer (2b) composed of a silicon and carbon alloy or carbon, the intermediate layer (2b) having a resistivity greater than 1000 ohm.cm.

【指定代表圖】 第（1）圖。

【代表圖之符號簡單說明】

1支撐件

2捕捉層

2a主要層

2b中間層

3基底底材

4絕緣層

【特徵化學式】

【發明說明書】

【中文發明名稱】 用於半導體結構的支撐件

【英文發明名稱】 SUPPORT FOR A SEMICONDUCTOR STRUCTURE

【技術領域】

【0001】 本發明與用於半導體結構的支撐件有關。

【先前技術】

【0002】 積體元件（integrated devices）通常製作在底材上，這些底材主要作為積體元件製造時的支撐件。然而，因為集積程度以及對積體元件效能水平期望的提高，使得元件效能水平與其製造時所用底材特性之間的耦合程度也日益提升。此情況對射頻元件而言尤然，射頻元件處理頻率介於大約3 kHz與300 GHz間的訊號，此頻率範圍內的訊號多應用於電信領域（通話系統、Wi-Fi、藍牙等等）。

【0003】 元件／底材耦合的一個例子是，高頻訊號發出的電磁場在積體元件中傳遞，進入底材深處並與位於底材中的電荷載子互動。其結果便是訊號的部分能量因為耦合損失（loss of coupling）及串擾（crosstalk）可能對組件間造成影響，而不必要地浪費了。

【0004】 元件／底材耦合的第二個例子是，底材的電荷載子可能造成不樂見的諧波產生，這些諧波可能干擾訊號在積體元件中的傳遞並降低訊號的品質。

【0005】 當所用底材在一支撐件與積體元件形成於其上及其中的有用層之間包含一層埋置絕緣體時，尤其可以觀察到這些現象。被捕獲在絕緣體中的

電荷會在這層絕緣體下方、在支撐件中導致累積，帶補充符號（complementary signs）的電荷形成一導電平面。在此導電平面中，移動電荷很容易與有用層的組件所產生的電磁場強烈地相互作用。

【0006】 要防止或限制這種現象，已知可在埋置絕緣體與支撐件之間，直接在絕緣體下方，插入一電荷捕捉層，例如1至5微米的多晶矽層。形成多晶的晶粒的连接處會構成電荷載子的陷阱，這些電荷載子可來自捕捉層本身或底下的支撐件。如此便可防止絕緣體下方導電平面的出現。

【0007】 元件／底材的耦合接著取決於電磁場與支撐件的移動電荷相互作用的強度。這些電荷的密度及／或遷移率取決於支撐件的電阻率。

【0008】 當底材的電阻率相對大（並因此呈現相對低的電荷密度），大於1000 ohm.cm時，一層1至5微米的捕捉層可適於限制元件／底材的耦合。這樣便可保持訊號的完整性及有用層的積體元件的射頻效能。

【0009】 另一方面，當底材的電阻率較低，低於1000 ohm.cm時，或當積體元件的預期效能很高時，最好能夠形成一很厚的捕捉層，大於5微米，或甚至10或15微米，以將電荷可在其中移動的區域推入底材更深處。這樣可防止移動電荷與電磁場的相互作用傳遞到太深處，並進一步改進有用層的積體元件的效能。

【0010】 然而，已觀察到捕捉層的厚度大於5微米時，無法帶來預期的效能改進。

【0011】 美國專利申請公開第2015/0115480號揭露一底材，其包含用於半導體底材之一支撐件，該支撐件被組構成設有一捕捉層，該捕捉層由矽、矽鍺、碳化矽及/或鍺的多晶或非晶層之一堆疊而形成。這些層經過鈍化（passivated），

亦即其介面由一薄層的絕緣體組成，例如氧化矽或氮化矽。依照該公開案內容，其鈍化係透過使這些層的自由表面在製作期間曝露於富含氧或氮的環境下的而獲得。

【0012】 依照該公開案內容，當底材在曝露於非常高溫下時，例如捕捉層的製作期間或在底材上製作積體元件期間，捕捉層的多層結構可防止多晶捕捉層發生再結晶現象。當捕捉層再結晶時，即使只是局部再結晶，底材的射頻效能及待形成在底材上的積體元件的射頻效能都會受影響，當然，這些影響都是不樂見的。

【0013】 但該公開案所提出的支撐件並沒有提供讓人完全滿意的解決方案。

【0014】 首先，該公開案所設想的形成經鈍化絕緣體薄層通常在溫度下不穩定，尤其當絕緣體為二氧化矽時更是如此。將支撐件曝露在高溫下可能導致多晶層中的氧化物溶解，以及鈍化層的消失。若繼續以高溫處理支撐件，捕捉層將容易發生再結晶。

【0015】 若將這些絕緣鈍化層形成為具有足夠厚度以確保高溫下的穩定性，它們又會對存在於支撐件及堆疊之層中的電荷構成擴散屏障。當堆疊之一層中的陷阱完全充滿電荷載子時，電荷載子將繼續被限制在該層中並在其中累積，而無法被驅趕到堆疊之其他層中可用的陷阱。底材的射頻效能將因此而受損。

【0016】 此外，被捕獲在相對厚的絕緣鈍化層中的電荷可能造成導電平面在其表面下方形成，而重蹈前文所述在SOI結構的埋置氧化物層下方所觀察到的

現象。捕捉層的多晶結構只能部分彌補這一數量的額外電荷。底材的射頻效能將因而再次受損。

【發明內容】

【0017】 本發明旨在克服上述全部或部分缺點。

【0018】 為此，本發明提出用於半導體結構之一支撐件，其在一基底底材上設有一電荷捕捉層。依照本發明，所述捕捉層由一多晶主要層及至少一中間層所構成，該至少一中間層由一矽碳合金或碳組成，且被插入該主要層中或介於該主要層與該基底底材間，該中間層具有大於1000 ohm.cm之電阻率。

【0019】 這樣，捕捉層在高溫下便可保持穩定，又沒有習知技術中絕緣鈍化層的缺點。

【0020】 不論單獨實施或以技術上可實現的任何組合實施，本發明其他有利且非限制性特徵包括：基底底材具有大於1000 ohm.cm的電阻率；捕捉層具有大於10微米的厚度；支撐件包含介於1至10個間的中間層；多晶主要層由尺寸介於100 奈米與1000奈米間之矽晶粒所組成；每一中間層具有小於10奈米或5 奈米之厚度；支撐件包含電荷捕捉層上之一絕緣層；多晶中間層由具有大於5%的碳之一矽碳合金組成，例如碳化矽。

【0021】 本發明之標的亦與一半導體結構有關，該半導體結構包含一上述支撐件、該支撐件上之絕緣層，及該絕緣層上之有用層。所述有用層可包含至少一組件。

【0022】最後，本發明之標的與一種用於製作半導體結構的方法有關，該方法包括以下步驟：a. 提供如前文所述的支撐件；b. 在該支撐件上形成半導體結構。

【0023】步驟b可包括將一有用層轉移到支撐件上。

【0024】所述有用層可包含至少一積體元件。

【圖式簡單說明】

【0025】本發明的其他特徵及優點將在以下參考所附圖示的詳細說明中顯現，其中：

圖1概要描繪依照本發明之半導體結構用支撐件；

圖2描繪一多晶層之厚度與該多晶層表面上晶粒平均尺寸兩者間的關係；

圖3概要描繪包含本發明之支撐件之一絕緣體上半導體類型底材。

【實施方式】

【0026】圖1概要描繪依照本發明之半導體結構用支撐件。該支撐件1可為標準尺寸的圓形晶片形式，其直徑可為，舉例而言，200 毫米或300毫米，或甚至450毫米。但本發明並不受限於這些尺寸或形式。

【0027】因此，在半導體結構為成品或半成品積體元件的情況下，支撐件1可為具有矩形或正方形縱向截面之一材料塊，其尺寸可對應於積體元件的尺寸，從數毫米至數公分不等。

【0028】支撐件1包含一基底底材3，其厚度通常為數百微米。尤其當支撐件1係為了接受高預期射頻效能的半導體結構時，基底底材可具有大於1000

ohm.cm，最好大於3000 ohm.cm，的高電阻率。這樣一來，容易在基底底材中移動的電荷、電洞或電子的密度便可受到限制。但本發明並不受限於具有此類電阻率的基底底材，當基底底材具有更平常的電阻率時（大約數百 ohm.cm或更小），本發明亦可實現射頻性能的優點。

【0029】基於可取得性和成本原因，基底底材最好由矽製成。舉例而言，基底底材可為含低量間隙氧（interstitial oxygen）之一CZ底材，其具有之電阻率眾所周知可大於1000 ohm.cm。作為替代方案，基底底材亦可由另一材料形成，例如藍寶石、碳化矽等等。

【0030】支撐件1亦包含與基底底材3直接接觸之一捕捉層2。如前所述，捕捉層的作用是捕捉可能存在於支撐件1中的任何電荷載子，並限制該等電荷載子的移動。當支撐件1因設有發射穿透支撐件1的電磁場之半導體結構，而電磁場容易與這些電荷相互作用時尤其如此。

【0031】依照本發明，捕捉層2包含一多晶主要層2a。

【0032】同樣基於可取得性和成本原因，主要層2a最好由多晶矽製成。但其亦可由另一種半導體及多晶材料製成，或有一部分（例如圖1中捕捉層2的其中一個主要層2a）由另一種半導體及多晶材料製成。例如鍺、矽鍺等等。

【0033】在所有情況下，主要層2a具有高於3000 ohm.cm的高電阻率。為此目的，主要層2a沒有經過刻意摻雜，亦即主要層2a所具有的摻雜物濃度低於每立方公分 10^{14} 個原子。主要層2a可富含氮或碳以提高其電阻率特性。

【0034】捕捉層2亦可包括插入主要層2a間，或介於主要層2a與基底底材3間之至少一中間層2b，該至少一中間層2b由一矽碳合金或碳組成，且具有高於1000 ohm.cm之電阻率。這些材料在高溫下非常穩定，亦即，就算曝露在超過製

作半導體結構通常所用溫度（500至1300°C）的非常高溫下，這些材料仍可保持其微觀及巨觀結構。如下文所詳述，構成中間層的矽碳合金或碳，可經由沉積矽及碳而形成，或經由表面碳化（surface carbonisation）而形成。中間層本質上通常是多晶的，但當其係經由將結晶之基底底材3碳化而形成時，中間層可具有結晶性質或部分結晶性質。

【0035】 依照本發明，捕捉層2由主要層2a及至少一中間層2b構成。捕捉層2不包含其他層，尤其電絕緣層，因其可能改變本發明所述捕捉層的有利特性。

【0036】 經由將至少一中間層2b插入多晶主要層2a或其下方，可形成在高溫下穩定之一堆疊，其可防止多晶主要層2a在支撐件1可能經歷的任何熱處理期間發生再結晶。

【0037】 在使用高電阻率半導體材料的情況下，使用絕緣材料相關的缺點獲得了克服。此外，本發明的電阻率特性及多晶特性也有助於將電荷捕獲在捕捉層2中，類似於在主要層2a中發生者。

【0038】 當支撐件1包含複數個中間層2b時，這些中間層2b可為相同或不同性質，其性質可從上述材料列表中選定。

【0039】 捕捉層2由基底底材上方的主要層2a及至少一中間層2b構成，因此，捕捉層2形成了在高溫下穩定的半導體結構的一個支撐，亦即捕捉層2幾乎不會發生再結晶，而且能有效捕捉電荷載子。事實上，捕捉層2具有密度非常高的陷阱供電荷使用。

【0040】 此外，經由將至少一中間層2b插入主要層2a，發明人驚訝地觀察到，形成厚度大於2 微米的捕捉層2是可能的，從而改善了支撐件的射頻效能。

【0041】 茲參照圖2說明該特性如下。在標準的CZ矽底材上，依照習知技術形成厚度增加的多個多晶矽層。每一多晶矽層及其表面上的晶粒平均尺寸，由掃描式電子顯微鏡術（SEM）成像方式記錄。

【0042】 圖2中的圖表以黑色方塊呈現多晶層之厚度（X軸，單位為微米）與其表面上晶粒平均尺寸（Y軸，單位為奈米）間的關係。可觀察到的是，多晶層越厚，晶粒尺寸越大。

【0043】 為了將殘留的電荷載子區域推入支撐件更深處，可能需要一厚捕捉層。但如發明人所觀察到的，這會造成捕捉層表面上的晶粒尺寸增加。該表面係預定被放置在半導體結構下方，故容易受到強烈電磁場的影響。因此，半導體結構的射頻效能會對該表面處及其附近的電荷載子的行為非常敏感。

【0044】 然而，晶粒尺寸增加會在兩方面造成問題。首先，較大的晶粒會降低晶粒的連接處密度（join density）。這些連接處會形成受歡迎的載子捕捉區，捕捉陷阱的密度也會降低。

【0045】 再者，晶粒也會對位於其中的電荷載子形成約束空間。在較大晶粒中，例如在約為一積體元件大小的晶粒中，從元件的角度看，電荷的表現會如同在無缺陷材料中一樣。

【0046】 當捕捉層的多晶晶粒較大時，這兩方面會結合起來降低支撐件的射頻效能。

【0047】 補充研究顯示，晶粒尺寸必須最好介於100奈米（低於此，則無法確保晶粒的熱穩定性，且有在溫度下再結晶的風險）與1000奈米（高於此，則支撐件的射頻效能會受影響）之間。就厚度大於約5微米的捕捉層及其整個厚度而言，此種晶粒特徵從來沒有實現過。

【0048】 在與前述示例完全相同的一基底底材上，形成大約8微米厚之一多晶矽中間層。在該層一半的地方，形成一個1奈米厚的碳化矽層。該多晶矽層表面上測量到的晶粒尺寸大約為800奈米。

【0049】 在一第二基底底材上，形成大約13微米厚之一多晶矽層。五個80奈米厚的碳化矽層被平均插入該多晶矽層。該多晶矽層表面上測量到的晶粒尺寸大約為800奈米。

【0050】 在一第三底底材上，形成大約13微米厚之一多晶矽層。11個40奈米厚的碳化矽層被平均插入該多晶矽層。該多晶矽層表面上測量到的晶粒尺寸大約為125奈米。

【0051】 上述三個測量值在圖2的圖表中分別以方塊A、B、C標示。

【0052】 從圖2可明顯看出，插入中間層可控制捕捉層厚度中晶粒尺寸的變化，且可獲得尺寸介於100與1000奈米間的晶粒，甚至對大於5或10微米的捕捉層亦然。

【0053】 依照對這些結果的非限制性假設解釋，與多晶矽主要層相較，由矽碳合金組成的中間層具有較大的網格參數（mesh parameter）差異，中間層的網格參數小於主要層的網格參數。這種方式會產生非常高的結晶缺陷密度，且多晶矽層與中間層的磊晶關係會在其生長期間喪失。在一中間層下方的主要層的特定多晶排列會喪失，且無法在該中間層周圍的主要層部分中再現。

【0054】 從這些觀察可確立依照本發明的捕捉層2的有利特徵。

【0055】 因此，捕捉層可有利地包含介於1與10個之間的中間層。這樣便可控制捕捉層2a中的晶粒尺寸，而無需形成過於複雜和昂貴的堆疊，對於厚度大於5微米甚至大於10微米的捕捉層2亦然。

【0056】較佳者為，由一矽碳合金或碳所形成之每一中間層2b具有之網格參數，小於形成主要層2a之材料之網格參數。

【0057】有利者為，位於兩個連續的中間層之間的主要層2a的厚度，可介於0.2與2.5微米之間。這樣便可防止晶粒在此主要層的頂端部分中變得過大。

【0058】捕捉層2可具有大於2或甚至10微米之厚度。不論捕捉層的厚度大於或小於前述限制，主要層2a都可由尺寸介於100與1000奈米之間的晶粒組成。如此便可獲得一支撐件1，其射頻效能比依照習知技術所製作的支撐件的射頻效能有大幅改進。

【0059】形成中間層的矽碳合金或碳所具有的熱膨脹係數，可與形成主要層2a的材料的熱膨脹係數非常不同。在此情況下，最好將主要層2a的厚度限制在，舉例而言，小於10或5奈米。如此便可避免在支撐件1經歷高溫時在支撐件1中產生應變。

【0060】矽碳合金可為碳化矽或碳摻雜之矽。碳摻雜之矽最好具有超過5%的碳。

【0061】最後，如圖1所示，支撐件可在捕捉層2上直接設有一絕緣層4。該絕緣層4為選擇性的，其可有助於支撐件1與半導體結構的組裝。

【0062】依照本發明製作支撐件1特別簡單，而且可以業界的標準沉積設備來實現。

【0063】依照示例，提供基底底材3，將其置於一常規沉積室中。如發明所屬技術領域眾所周知，基底底材3可在沉積前加以製備，以從其表面去除一層原生氧化物（native oxide）。此步驟不是強制性的，氧化物也可以保留。事實上，

只要後續的熱處理沒有使該氧化物（從1至2奈米）因溶解而完全消失，沒有任何絕緣效果（因穿隧效應透過該層氧化物而傳導）也可以。

【0064】 所述沉積室在大約1000°C溫度下有一前驅氣體流（例如SiH₄）通過，以增加主要層2a，在本例中，主要層2a由多晶矽製成。

【0065】 在所述沉積過程中的給定時刻，可將一第二前驅氣體引入沉積室達一段時間，以形成中間層2b。作為示例，第二前驅氣體可包含甲烷(CH₄)、乙烷(C₂H₆)、丙烷(C₃H₈)、乙炔(C₂H₂)、乙烯(C₂H₄)等等，或由甲烷(CH₄)、乙烷(C₂H₆)、丙烷(C₃H₈)、乙炔(C₂H₂)、乙烯(C₂H₄)等等組成。

【0066】 在這段時間內，第一前驅氣體流可被中斷，以形成富含碳或由碳組成的中間層2b。

【0067】 作為替代方案，在這段時間內，第一前驅氣體流可繼續維持，以形成由矽碳合金組成的中間層2b。該合金的碳矽比例可經由調整各個前驅氣體的流動而加以控制。

【0068】 該順序可重複以形成所需的捕捉層2，不同氣體流循環的持續時間決定分隔連續層2a，2b的厚度。

【0069】 當希望將一碳中間層2b設置在主要層2a下方並與基底底材3接觸時，最好去除可能蓋住基底底材3的原生氧化物層。在沒有第一前驅氣體的情況下，可將基底底材在大約1000°C溫度下直接曝露於第二前驅氣體C₃H₈中，以形成碳中間層2b。若基底底材3本身具有結晶性質，則所述碳中間層2b可能具有結晶性質或部分結晶性質。

【0070】 要形成富含碳的主要層2a，亦可提供用於從多晶矽形成該層的這一部分，並使該層在富含碳的大氣環境下，例如C₃H₈，進行回火。回火步驟可

在沉積設備中原地進行，其方式為將富含碳的大氣環境引入沉積室，接著沉積主要層2a。

【0071】 不論選擇以何種方式沉積捕捉層2，皆可在沉積階段結束時獲得符合本發明之支撐件1。支撐件1可在捕捉層2那一側進行選擇性的研磨步驟，以提供有助於支撐件1與半導體結構組裝的平滑表面。

【0072】 支撐件可被提供成設有以習知方式沉積之一絕緣層4，例如氧化矽或氮化矽。絕緣層4亦可經過研磨。

【0073】 如前所述，支撐件1的目的是在捕捉層2的同一側接受一半導體結構。

【0074】 該半導體結構可以許多方式形成在支撐件1上，但本發明有利之處為，所述形成包括將一有用層5移轉至支撐件上之一步驟。

【0075】 如所屬技術領域中已知者，前述移轉通常經由將一施體底材的表面組裝在支撐件1上來進行。支撐件1可被提供成設有或沒有絕緣層4。經由相同方式，施體底材可預先被提供成設有一絕緣層6，其性質可與絕緣層4相同或不同。舉例而言，絕緣層6可為氧化矽或氮化矽。

【0076】 在組裝步驟後，可將施體底材的厚度減少以形成所述有用層5。該步驟可透過機械薄化或化學薄化進行。亦可沿著先前引入施體底材的脆弱區域進行斷裂，例如根據Smart Cut技術之原理進行。

【0077】 完成有用層5的步驟，例如一研磨步驟，在還原或中性大氣環境下進行的一熱處理步驟，或一犧牲氧化（sacrificial oxidation）步驟，可與所述之厚度減少步驟連結。

【0078】當施體底材為一簡單底材，亦即不包含任何積體元件時，可形成包含本發明支撐件之一絕緣體上半導體類型底材，在該底材中，有用層5為一層空白半導體，如圖3所示。然後，該底材可用於形成積體元件。

【0079】當施體底材業已經過處理以在其表面上形成積體元件時，在本發明方法的最後，可獲得包含這些元件的有用層5。

【0080】在本說明書中，「半導體結構」係指一積體元件，不論是否由半導體材料形成。舉例而言，積體元件可為表面聲波型元件，其通常被製作在一層壓電材料，例如鉭酸鋰（lithium tantalate），的上面或當中。

【0081】「半導體結構」亦指一層空白元件材料，不論是否以半導體材料為主，在此層中可形成積體元件。

【符號說明】

1支撐件

2捕捉層

2a主要層

2b中間層

3基底底材

4絕緣層

5有用層

6絕緣層

【生物材料寄存】

【發明申請專利範圍】

【請求項1】 用於半導體結構之一支撐件(1)，該支撐件(1)包括在一基底底材(3)上設有一電荷捕捉層(2)，其特徵在於該電荷捕捉層(2)由一多晶矽主要層(2a)，以及被插入該主要層(2a)當中或介於該主要層(2a)與該基底底材(3)間，由一矽碳合金或碳組成之結晶之至少一中間層(2b)所構成，該至少一中間層(2b)具有大於1000 ohm.cm之電阻率。

【請求項2】 如申請專利範圍第1項之支撐件(1)，其中該基底底材(3)具有大於1000 ohm.cm之電阻率。

【請求項3】 如申請專利範圍第1或2項之支撐件(1)，其中該電荷捕捉層(2)具有大於5或10微米之厚度。

【請求項4】 如申請專利範圍第1項之支撐件(1)，其包括介於1與10個之間的中間層(2b)。

【請求項5】 如申請專利範圍第1項之支撐件(1)，其包括由碳組成，介於該主要層(2a)與該基底底材(3)間之一單一中間層(2b)。

【請求項6】 如申請專利範圍第1項之支撐件(1)，其中該多晶主要層(2a)由尺寸介於100 奈米與1000奈米間之矽晶粒組成。

【請求項7】 如申請專利範圍第1項之支撐件(1)，其中每一中間層(2b)具有小於10奈米或5 奈米之厚度。

【請求項8】 如申請專利範圍第1項之支撐件(1)，其包括該電荷捕捉層(2)上之一絕緣層(4)。

【請求項9】 如申請專利範圍第1項之支撐件(1)，其中結晶之該至少一中間層(2b)由一矽碳合金組成，該矽碳合金具有大於5%的碳。

【請求項10】 如申請專利範圍第9項之支撐件(1)，其中該至少一中間層(2b)為碳化矽。

【請求項11】 如申請專利範圍第1項之支撐件(1)，其中該至少一中間層(2b)之結晶為多晶。

【請求項12】 一半導體結構，其包括：
如申請專利範圍第1至11項中任一項之一支撐件；
該支撐件上之一絕緣層(4, 6)；
該絕緣層上之一有用層(5)。

【請求項13】 如申請專利範圍第12項之半導體結構，其中該有用層(5)包含至少一積體元件。

【請求項14】 一種用於製作一半導體結構之方法，其包括以下步驟：
a. 提供如申請專利範圍第1至11項中任一項之一支撐件(1)；
b. 在該支撐件(1)上形成所述半導體結構。

【請求項15】 如申請專利範圍第14項之方法，其中所述形成步驟b包括將一有用層(5)移轉至該支撐件上。

【請求項16】 如申請專利範圍第15項之方法，其中該有用層(5)包含至少一積體元件。

【發明圖式】

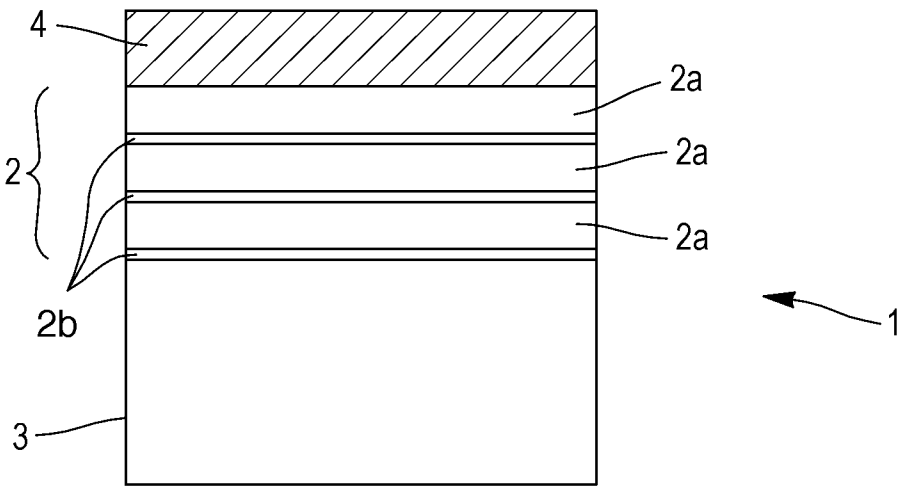


圖1

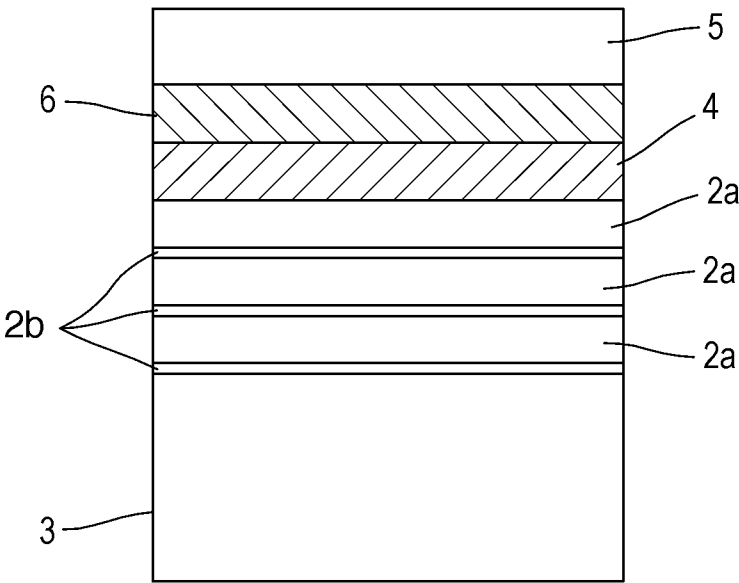


圖3

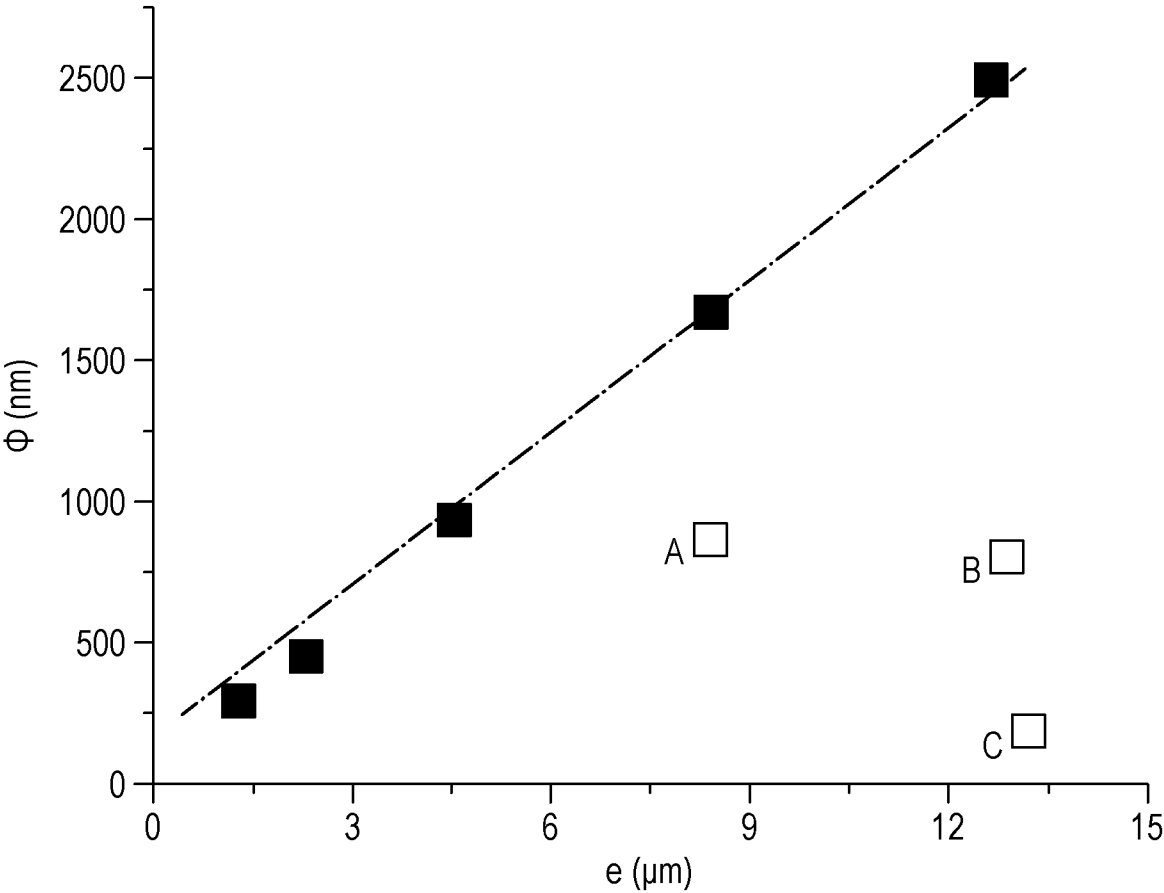


圖2