

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成22年6月24日(2010.6.24)

【公開番号】特開2009-211231(P2009-211231A)

【公開日】平成21年9月17日(2009.9.17)

【年通号数】公開・登録公報2009-037

【出願番号】特願2008-51477(P2008-51477)

【国際特許分類】

G 0 6 F 12/00 (2006.01)

G 0 6 F 12/08 (2006.01)

G 1 1 C 16/02 (2006.01)

G 0 6 F 12/02 (2006.01)

【F I】

G 0 6 F 12/00 5 6 0 B

G 0 6 F 12/08 5 5 1 B

G 0 6 F 12/08 5 5 7

G 0 6 F 12/00 5 9 7 U

G 0 6 F 12/08 5 0 1 F

G 0 6 F 12/08 5 0 3 B

G 1 1 C 17/00 6 0 1 A

G 1 1 C 17/00 6 0 1 T

G 0 6 F 12/02 5 7 0 A

【手続補正書】

【提出日】平成22年5月6日(2010.5.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体メモリから構成される第 1 の記憶領域と、

前記第 1 の記憶領域以上のデータ記憶容量を有する退避バッファと、

消去単位であるブロックを複数含む不揮発性半導体メモリから構成される第 2 及び第 3 の記憶領域と、

前記不揮発性半導体メモリの記憶領域を、1 以上の前記ブロックに対応付けられた論理ブロック単位で前記第 2 及び第 3 の記憶領域に割り当てるコントローラと、を具備し、

前記コントローラは、

セクタ単位の複数のデータを前記第 1 の記憶領域に記憶する第 1 の処理と、

前記第 1 の記憶領域から出力されるデータを、前記セクタ単位の 2 以上の自然数倍である第 1 の管理単位で前記第 2 の記憶領域に記憶する第 2 の処理と、

前記第 1 の記憶領域から出力されるデータを、前記第 1 の管理単位の 2 以上の自然数倍である第 2 の管理単位で前記第 3 の記憶領域に記憶する第 3 の処理と、

前記第 2 の記憶領域に割り当てられた論理ブロック数が所定値を超えている場合に、前記第 2 の記憶領域内の有効データを整理して、前記論理ブロック数を所定値以下に戻す第 4 の処理と、

書き込み要求の発行から所定時間が経過した場合に、前記第 4 の処理を中断して、前記第 1 の記憶領域に記憶されている全ての有効データを前記退避バッファに書き込む第 5

の処理と、

を実行することを特徴とするメモリシステム。

【請求項 2】

前記コントローラは、前記第 2 の記憶領域に割り当てられた論理ブロックの一部を、前記第 2 の処理の対象とならない前記退避バッファとして管理することを特徴とする請求項 1 に記載のメモリシステム。

【請求項 3】

前記コントローラは、前記第 1 の記憶領域及び前記退避バッファを前記第 1 の管理単位で管理することを特徴とする請求項 2 に記載のメモリシステム。

【請求項 4】

前記コントローラは、前記第 5 の処理実行後に、前記書き込み要求に伴う入力データを、前記第 1 の記憶領域を経由して前記第 3 の記憶領域に書き込む第 6 の処理を実行することを特徴とする請求項 1 に記載のメモリシステム。

【請求項 5】

前記コントローラは、前記第 6 の処理実行後に、前記第 4 の処理を再開することを特徴とする請求項 4 に記載のメモリシステム。

【請求項 6】

前記第 4 の処理は、前記第 2 の記憶領域に記憶された前記第一の管理単位の有効データを、前記第 2 の管理単位のデータに統合して、前記第 3 の記憶領域に記憶する処理を含むことを特徴とする請求項 1 に記載のメモリシステム。

【請求項 7】

前記第 4 の処理は、前記第 2 の記憶領域に記憶された前記第一の管理単位の有効データを集め、前記第 2 の記憶領域に割り当てられた新しい論理ブロックに書き直す処理を含むことを特徴とする請求項 1 に記載のメモリシステム。

【請求項 8】

半導体メモリから構成される第 1 の記憶領域と、  
前記第 1 の記憶領域以上の記憶容量を有する退避バッファと、  
消去単位であるブロックを複数含む不揮発性半導体メモリから構成される第 2、第 3、及び第 4 の記憶領域と、  
前記不揮発性半導体メモリの記憶領域を、1 以上の前記ブロックに対応付けられた論理ブロック単位で前記第 2、第 3、及び第 4 の記憶領域に割り当てるコントローラと、を具備し、

前記コントローラは、

セクタ単位の複数のデータを前記第 1 の記憶領域に記憶する第 1 の処理と、

前記第 1 の記憶領域から出力されるデータを、前記セクタ単位の 2 以上の自然数倍である第 1 の管理単位で前記第 4 の記憶領域に記憶する第 2 の処理と、

前記第 1 の記憶領域から出力されるデータを、前記第 1 の管理単位の 2 以上の自然数倍である第 2 の管理単位で前記第 3 の記憶領域に記憶する第 3 の処理と、

前記第 4 の記憶領域に割り当てられた論理ブロック数が所定値を超えている場合に、前記第 4 の記憶領域から前記第 2 の記憶領域に論理ブロックを移動する第 4 の処理と、

前記第 2 の記憶領域に割り当てられた論理ブロック数が所定値を超えている場合に、前記第 2 の記憶領域内の有効データを整理して、前記論理ブロック数を所定値以下に戻す第 5 の処理と、

書き込み要求の発行から所定時間が経過した場合に、前記第 4 及び第 5 の処理を中断して、前記第 1 の記憶領域に記憶されている全ての有効データを前記退避バッファに書き込む第 6 の処理と、

を実行することを特徴とするメモリシステム。

【請求項 9】

前記コントローラは、前記第 4 の記憶領域に割り当てられた論理ブロックの一部を、前記第 2 の処理の対象とならない前記退避バッファとして管理することを特徴とする請求項

8 に記載のメモリシステム。

**【請求項 10】**

前記コントローラは、前記第 1 の記憶領域及び前記退避バッファを前記第 1 の管理単位で管理することを特徴とする請求項 9 に記載のメモリシステム。

**【請求項 11】**

前記コントローラは、前記第 6 の処理実行後に、前記書き込み要求に伴う入力データを、前記第 1 の記憶領域を経由して前記第 3 の記憶領域に書き込む第 7 の処理を実行することを特徴とする請求項 8 に記載のメモリシステム。

**【請求項 12】**

前記コントローラは、前記第 7 の処理実行後に、前記第 4 及び第 5 の処理の少なくとも一方を再開することを特徴とする請求項 11 に記載のメモリシステム。

**【請求項 13】**

前記コントローラは、前記第 4 の記憶領域を論理ブロック単位の F I F O 構造により管理し、

前記第 4 の処理は、前記第 4 の記憶領域に割り当てられた順序が最も古い論理ブロックを前記第 2 の記憶領域に移動する処理を含むことを特徴とする請求項 8 に記載のメモリシステム。

**【請求項 14】**

前記第 5 の処理は、前記第 2 の記憶領域に記憶された前記第一の管理単位の有効データを、前記第 2 の管理単位のデータに統合して、前記第 3 の記憶領域に記憶する処理を含むことを特徴とする請求項 8 に記載のメモリシステム。

**【請求項 15】**

前記第 5 の処理は、前記第 2 の記憶領域に記憶された前記第一の管理単位の有効データを集め、前記第 2 の記憶領域に割り当てられた新しい論理ブロックに書き直す処理を含むことを特徴とする請求項 8 に記載のメモリシステム。

**【請求項 16】**

半導体メモリから構成される第 1 の記憶領域と、  
前記第 1 の記憶領域以上の記憶容量を有する退避バッファと、  
消去単位であるブロックを複数含む不揮発性半導体メモリから構成される第 2、第 3、第 4、及び第 5 の記憶領域と、

前記不揮発性半導体メモリの記憶領域を、1 以上の前記ブロックに対応付けられた論理ブロック単位で前記第 2、第 3、第 4、及び第 5 の記憶領域に割り当てるコントローラと、  
を具備し、

前記コントローラは、

セクタ単位の複数のデータを前記第 1 の記憶領域に記憶する第 1 の処理と、

前記第 1 の記憶領域から出力されるデータを、前記セクタ単位の 2 以上の自然数倍である第 1 の管理単位で前記第 4 の記憶領域に記憶する第 2 の処理と、

前記第 1 の記憶領域から出力されるデータを、前記第 1 の管理単位の 2 以上の自然数倍である第 2 の管理単位で前記第 5 の記憶領域に記憶する第 3 の処理と、

前記第 4 の記憶領域に割り当てられた論理ブロック数が所定値を超えている場合に、前記第 4 の記憶領域から前記第 2 の記憶領域に論理ブロックを移動する第 4 の処理と、

前記第 5 の記憶領域に割り当てられた論理ブロック数が所定値を超えている場合に、前記第 5 の記憶領域から前記第 3 の記憶領域に論理ブロックを移動する第 5 の処理と、

前記第 2 の記憶領域に割り当てられた論理ブロック数が所定値を超えている場合に、前記第 2 の記憶領域内の有効データを整理して、前記論理ブロック数を所定値以下に戻す第 6 の処理と、

前記第 3 の記憶領域に割り当てられた論理ブロック数が所定値を超えている場合に、前記第 3 の記憶領域内の有効データを整理して、前記論理ブロック数を所定値以下に戻す第 7 の処理と、

書き込み要求の発行から所定時間が経過した場合に、前記第 4、第 5、第 6、及び第

7 の処理を中断して、前記第 1 の記憶領域に記憶されている全ての有効データを前記退避バッファに書き込む第 8 の処理と、

を実行することを特徴とするメモリシステム。

**【請求項 17】**

前記コントローラは、前記第 4 の記憶領域に割り当てられた論理ブロックの一部を、前記第 2 の処理の対象とならない前記退避バッファとして管理することを特徴とする請求項 16 に記載のメモリシステム。

**【請求項 18】**

前記コントローラは、前記第 1 の記憶領域及び前記退避バッファを前記第 1 の管理単位で管理することを特徴とする請求項 17 に記載のメモリシステム。

**【請求項 19】**

前記コントローラは、前記第 8 の処理実行後に、前記書き込み要求に伴う入力データを、前記第 1 の記憶領域を経由して前記第 3 の記憶領域に書き込む第 9 の処理を実行することを特徴とする請求項 16 に記載のメモリシステム。

**【請求項 20】**

前記コントローラは、前記第 9 の処理実行後に、前記第 4、第 5、第 6、及び第 7 の処理の少なくとも一つを再開することを特徴とする請求項 19 に記載のメモリシステム。

**【請求項 21】**

前記コントローラは、前記第 4 の記憶領域を論理ブロック単位の F I F O 構造により管理し、

前記第 4 の処理は、前記第 4 の記憶領域に割り当てられた順序が最も古い論理ブロックを前記第 2 の記憶領域に移動する処理を含むことを特徴とする請求項 16 に記載のメモリシステム。

**【請求項 22】**

前記コントローラは、前記第 5 の記憶領域を論理ブロック単位の F I F O 構造により管理し、

前記第 5 の処理は、前記第 5 の記憶領域に割り当てられた順序が最も古い論理ブロックを前記第 3 の記憶領域に移動する処理を含むことを特徴とする請求項 16 に記載のメモリシステム。

**【請求項 23】**

前記第 6 の処理は、前記第 2 の記憶領域に記憶された前記第一の管理単位の有効データを、前記第 2 の管理単位のデータに統合して、前記第 3 の記憶領域に記憶する処理を含むことを特徴とする請求項 16 に記載のメモリシステム。

**【請求項 24】**

前記第 6 の処理は、前記第 2 の記憶領域に記憶された前記第一の管理単位の有効データを集め、前記第 2 の記憶領域に割り当てられた新しい論理ブロックに書き直す処理を含むことを特徴とする請求項 16 に記載のメモリシステム。

**【請求項 25】**

前記第 7 の処理は、前記第 3 の記憶領域に記憶された前記第二の管理単位の有効データを集め、前記第三の記憶領域に割り当てられた新しい論理ブロックに書き直す処理を含むことを特徴とする請求項 16 に記載のメモリシステム。

**【手続補正 2】**

**【補正対象書類名】** 明細書

**【補正対象項目名】** 0140

**【補正方法】** 削除

**【補正の内容】**