

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成22年6月24日(2010.6.24)

【公開番号】特開2009-211231(P2009-211231A)

【公開日】平成21年9月17日(2009.9.17)

【年通号数】公開・登録公報2009-037

【出願番号】特願2008-51477(P2008-51477)

【国際特許分類】

G 06 F 12/00 (2006.01)

G 06 F 12/08 (2006.01)

G 11 C 16/02 (2006.01)

G 06 F 12/02 (2006.01)

【F I】

G 06 F 12/00 5 6 0 B

G 06 F 12/08 5 5 1 B

G 06 F 12/08 5 5 7

G 06 F 12/00 5 9 7 U

G 06 F 12/08 5 0 1 F

G 06 F 12/08 5 0 3 B

G 11 C 17/00 6 0 1 A

G 11 C 17/00 6 0 1 T

G 06 F 12/02 5 7 0 A

【手続補正書】

【提出日】平成22年5月6日(2010.5.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体メモリから構成される第1の記憶領域と、

前記第1の記憶領域以上のデータ記憶容量を有する退避バッファと、

消去単位であるブロックを複数含む不揮発性半導体メモリから構成される第2及び第3の記憶領域と、

前記不揮発性半導体メモリの記憶領域を、1以上の前記ブロックに対応付けられた論理ブロック単位で前記第2及び第3の記憶領域に割り当てるコントローラと、を具備し、

前記コントローラは、

セクタ単位の複数のデータを前記第1の記憶領域に記憶する第1の処理と、

前記第1の記憶領域から出力されるデータを、前記セクタ単位の2以上の自然数倍である第1の管理単位で前記第2の記憶領域に記憶する第2の処理と、

前記第1の記憶領域から出力されるデータを、前記第1の管理単位の2以上の自然数倍である第2の管理単位で前記第3の記憶領域に記憶する第3の処理と、

前記第2の記憶領域に割り当てられた論理ブロック数が所定値を超えている場合に、前記第2の記憶領域内の有効データを整理して、前記論理ブロック数を所定値以下に戻す第4の処理と、

書き込み要求の発行から所定時間が経過した場合に、前記第4の処理を中断して、前記第1の記憶領域に記憶されている全ての有効データを前記退避バッファに書き込む第5

の処理と、

を実行することを特徴とするメモリシステム。

**【請求項 2】**

前記コントローラは、前記第2の記憶領域に割り当てられた論理ブロックの一部を、前記第2の処理の対象とならない前記退避バッファとして管理することを特徴とする請求項1に記載のメモリシステム。

**【請求項 3】**

前記コントローラは、前記第1の記憶領域及び前記退避バッファを前記第1の管理単位で管理することを特徴とする請求項2に記載のメモリシステム。

**【請求項 4】**

前記コントローラは、前記第5の処理実行後に、前記書き込み要求に伴う入力データを、前記第1の記憶領域を経由して前記第3の記憶領域に書き込む第6の処理を実行することを特徴とする請求項1に記載のメモリシステム。

**【請求項 5】**

前記コントローラは、前記第6の処理実行後に、前記第4の処理を再開することを特徴とする請求項4に記載のメモリシステム。

**【請求項 6】**

前記第4の処理は、前記第2の記憶領域に記憶された前記第一の管理単位の有効データを、前記第2の管理単位のデータに統合して、前記第3の記憶領域に記憶する処理を含むことを特徴とする請求項1に記載のメモリシステム。

**【請求項 7】**

前記第4の処理は、前記第2の記憶領域に記憶された前記第一の管理単位の有効データを集め、前記第2の記憶領域に割り当てられた新しい論理ブロックに書き直す処理を含むことを特徴とする請求項1に記載のメモリシステム。

**【請求項 8】**

半導体メモリから構成される第1の記憶領域と、

前記第1の記憶領域以上の記憶容量を有する退避バッファと、

消去単位であるブロックを複数含む不揮発性半導体メモリから構成される第2、第3、及び第4の記憶領域と、

前記不揮発性半導体メモリの記憶領域を、1以上の前記ブロックに対応付けられた論理ブロック単位で前記第2、第3、及び第4の記憶領域に割り当てるコントローラと、を具備し、

前記コントローラは、

セクタ単位の複数のデータを前記第1の記憶領域に記憶する第1の処理と、

前記第1の記憶領域から出力されるデータを、前記セクタ単位の2以上の自然数倍である第1の管理単位で前記第4の記憶領域に記憶する第2の処理と、

前記第1の記憶領域から出力されるデータを、前記第1の管理単位の2以上の自然数倍である第2の管理単位で前記第3の記憶領域に記憶する第3の処理と、

前記第4の記憶領域に割り当てられた論理ブロック数が所定値を超えている場合に、前記第4の記憶領域から前記第2の記憶領域に論理ブロックを移動する第4の処理と、

前記第2の記憶領域に割り当てられた論理ブロック数が所定値を超えている場合に、前記第2の記憶領域内の有効データを整理して、前記論理ブロック数を所定値以下に戻す第5の処理と、

書き込み要求の発行から所定時間が経過した場合に、前記第4及び第5の処理を中断して、前記第1の記憶領域に記憶されている全ての有効データを前記退避バッファに書き込む第6の処理と、

を実行することを特徴とするメモリシステム。

**【請求項 9】**

前記コントローラは、前記第4の記憶領域に割り当てられた論理ブロックの一部を、前記第2の処理の対象とならない前記退避バッファとして管理することを特徴とする請求項

8に記載のメモリシステム。【請求項10】

前記コントローラは、前記第1の記憶領域及び前記退避バッファを前記第1の管理単位で管理することを特徴とする請求項9に記載のメモリシステム。

【請求項11】

前記コントローラは、前記第6の処理実行後に、前記書き込み要求に伴う入力データを、前記第1の記憶領域を経由して前記第3の記憶領域に書き込む第7の処理を実行することを特徴とする請求項8に記載のメモリシステム。

【請求項12】

前記コントローラは、前記第7の処理実行後に、前記第4及び第5の処理の少なくとも一方を再開することを特徴とする請求項11に記載のメモリシステム。

【請求項13】

前記コントローラは、前記第4の記憶領域を論理ブロック単位のFIFO構造により管理し、

前記第4の処理は、前記第4の記憶領域に割り当てられた順序が最も古い論理ブロックを前記第2の記憶領域に移動する処理を含むことを特徴とする請求項8に記載のメモリシステム。

【請求項14】

前記第5の処理は、前記第2の記憶領域に記憶された前記第一の管理単位の有効データを、前記第2の管理単位のデータに統合して、前記第3の記憶領域に記憶する処理を含むことを特徴とする請求項8に記載のメモリシステム。

【請求項15】

前記第5の処理は、前記第2の記憶領域に記憶された前記第一の管理単位の有効データを集め、前記第2の記憶領域に割り当てられた新しい論理ブロックに書き直す処理を含むことを特徴とする請求項8に記載のメモリシステム。

【請求項16】

半導体メモリから構成される第1の記憶領域と、  
前記第1の記憶領域以上の記憶容量を有する退避バッファと、  
消去単位であるブロックを複数含む不揮発性半導体メモリから構成される第2、第3、第4、及び第5の記憶領域と、  
前記不揮発性半導体メモリの記憶領域を、1以上の前記ブロックに対応付けられた論理ブロック単位で前記第2、第3、第4、及び第5の記憶領域に割り当てるコントローラと、  
を具備し、

前記コントローラは、  
セクタ単位の複数のデータを前記第1の記憶領域に記憶する第1の処理と、  
前記第1の記憶領域から出力されるデータを、前記セクタ単位の2以上の自然数倍である第1の管理単位で前記第4の記憶領域に記憶する第2の処理と、  
前記第1の記憶領域から出力されるデータを、前記第1の管理単位の2以上の自然数倍である第2の管理単位で前記第5の記憶領域に記憶する第3の処理と、

前記第4の記憶領域に割り当てられた論理ブロック数が所定値を超えている場合に、前記第4の記憶領域から前記第2の記憶領域に論理ブロックを移動する第4の処理と、

前記第5の記憶領域に割り当てられた論理ブロック数が所定値を超えている場合に、前記第5の記憶領域から前記第3の記憶領域に論理ブロックを移動する第5の処理と、  
前記第2の記憶領域に割り当てられた論理ブロック数が所定値を超えている場合に、前記第2の記憶領域内の有効データを整理して、前記論理ブロック数を所定値以下に戻す第6の処理と、

前記第3の記憶領域に割り当てられた論理ブロック数が所定値を超えている場合に、前記第3の記憶領域内の有効データを整理して、前記論理ブロック数を所定値以下に戻す第7の処理と、

書き込み要求の発行から所定時間が経過した場合に、前記第4、第5、第6、及び第

7の処理を中断して、前記第1の記憶領域に記憶されている全ての有効データを前記退避バッファに書き込む第8の処理と、  
を実行することを特徴とするメモリシステム。

**【請求項17】**

前記コントローラは、前記第4の記憶領域に割り当てられた論理ブロックの一部を、前記第2の処理の対象とならない前記退避バッファとして管理することを特徴とする請求項16に記載のメモリシステム。

**【請求項18】**

前記コントローラは、前記第1の記憶領域及び前記退避バッファを前記第1の管理単位で管理することを特徴とする請求項17に記載のメモリシステム。

**【請求項19】**

前記コントローラは、前記第8の処理実行後に、前記書き込み要求に伴う入力データを、前記第1の記憶領域を経由して前記第3の記憶領域に書き込む第9の処理を実行することを特徴とする請求項16に記載のメモリシステム。

**【請求項20】**

前記コントローラは、前記第9の処理実行後に、前記第4、第5、第6、及び第7の処理の少なくとも一つを再開することを特徴とする請求項19に記載のメモリシステム。

**【請求項21】**

前記コントローラは、前記第4の記憶領域を論理ブロック単位のFIFO構造により管理し、

前記第4の処理は、前記第4の記憶領域に割り当てられた順序が最も古い論理ブロックを前記第2の記憶領域に移動する処理を含むことを特徴とする請求項16に記載のメモリシステム。

**【請求項22】**

前記コントローラは、前記第5の記憶領域を論理ブロック単位のFIFO構造により管理し、

前記第5の処理は、前記第5の記憶領域に割り当てられた順序が最も古い論理ブロックを前記第3の記憶領域に移動する処理を含むことを特徴とする請求項16に記載のメモリシステム。

**【請求項23】**

前記第6の処理は、前記第2の記憶領域に記憶された前記第一の管理単位の有効データを、前記第2の管理単位のデータに統合して、前記第3の記憶領域に記憶する処理を含むことを特徴とする請求項16に記載のメモリシステム。

**【請求項24】**

前記第6の処理は、前記第2の記憶領域に記憶された前記第一の管理単位の有効データを集め、前記第2の記憶領域に割り当てられた新しい論理ブロックに書き直す処理を含むことを特徴とする請求項16に記載のメモリシステム。

**【請求項25】**

前記第7の処理は、前記第3の記憶領域に記憶された前記第二の管理単位の有効データを集め、前記第三の記憶領域に割り当てられた新しい論理ブロックに書き直す処理を含むことを特徴とする請求項16に記載のメモリシステム。

**【手続補正2】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0140

**【補正方法】**削除

**【補正の内容】**