(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년12월26일
(11) 등록번호 10-1476624
(24) 등록일자 2014년12월19일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
(21) 출원번호 10-2008-0055559
(22) 출원일자 2008년06월13일
심사청구일자 2013년06월13일
(65) 공개번호 10-2008-0110519
(43) 공개일자 2008년12월18일
(30) 우선권주장
JP-P-2007-00158746 2007년06월15일 일본(JP)
(56) 선행기술조사문헌
JP02137373 A
JP2003243415 A
KR1020050021295 A
KR1020060113485 A
전체 청구항 수 : 총 26 항

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
오누마 히데토
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이에네루기 켄큐쇼 나이
(74) 대리인
이화익

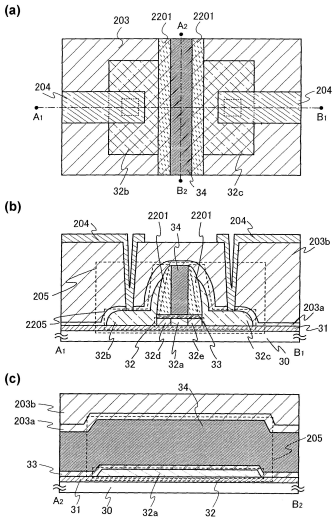
심사관 : 설관식

(54) 발명의 명칭 **반도체 장치의 제작 방법**

(57) 요 약

본 발명은, S값이 작고 온 전류의 저하가 억제된 응답성이 뛰어난 반도체 장치를 제작한다. 소스 영역 또는 드레인 영역의 막 두께가 채널 형성 영역의 막 두께보다 두꺼운 반도체 층을 형성한다. 이러한 반도체 층을 사용한 반도체 장치의 제작 방법으로서는, 기판 위에 제 1 반도체 층을 형성하고, 제 1 반도체 층 위에 제 1 절연층과 도전층을 형성하고, 도전층의 측면에 제 2 절연층을 형성하고, 제 1 절연층과 도전층과 제 2 절연층 위에 제 2 반도체 층을 형성하고, 부분적으로 형성한 레지스트를 마스크로서 사용하여 제 2 반도체 층을 에칭하고, 제 1 반도체 층과 제 2 반도체 층을 가열 처리함으로써 요철(凹凸) 형상을 가지는 반도체 층을 형성한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

반도체 장치의 제작 방법에 있어서,

기판 위에 제 1 반도체 층을 형성하는 단계와;

상기 제 1 반도체 층 위에 제 1 절연층을 형성하는 단계와;

상기 제 1 절연층 위에 제 1 도전층을 형성하는 단계와;

상기 제 1 도전층의 측면에 제 2 절연층을 형성하는 단계와;

상기 제 1 반도체 층의 일부와 상기 제 2 절연층의 측면에 접하는 제 2 반도체 층을 형성하는 단계와;

요철 형상을 갖는 반도체 층을 형성하기 위하여, 상기 제 1 반도체 층과 상기 제 2 반도체 층에 가열 처리를 행하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 2

제 1 항에 있어서,

요철 형상을 갖는 상기 반도체 층 위에 제 3 절연층을 형성하는 단계와;

상기 제 3 절연층에, 요철 형상을 갖는 상기 반도체 층에 도달하는 콘택트 홀을 형성하는 단계와;

상기 제 3 절연층 위에, 상기 콘택트 홀을 통하여 요철 형상을 갖는 상기 반도체 층과 전기적으로 접속되는 제 2 도전층을 형성하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 3

제 1 항에 있어서,

상기 제 2 반도체 층은, 상기 제 2 절연층을 덮고,

상기 방법은,

상기 제 2 반도체 층 위에 부분적으로 레지스트를 형성하는 단계와;

상기 레지스트를 마스크로서 사용하여 상기 제 1 도전층 위의 상기 제 2 반도체 층을 에칭하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 4

반도체 장치의 제작 방법에 있어서,

기판 위에 제 1 반도체 층을 형성하는 단계와;

상기 제 1 반도체 층 위에 제 1 절연층을 형성하는 단계와;

상기 제 1 절연층 위에 제 1 도전층을 형성하는 단계와;

상기 제 1 도전층 위에 제 2 절연층을 형성하는 단계와;

상기 제 1 도전층과 상기 제 2 절연층 각각의 측면에 제 3 절연층을 형성하는 단계와;

상기 제 1 반도체 층, 상기 제 2 절연층 및 상기 제 3 절연층 위에 제 2 반도체 층을 형성하는 단계와;

상기 제 2 반도체 층 위에 부분적으로 레지스트를 형성하는 단계와;

상기 레지스트를 마스크로서 사용하여 상기 제 2 절연층 위의 상기 제 2 반도체 층을 에칭하는 단계와;

요철 형상을 갖는 반도체 층을 형성하기 위하여, 상기 제 1 반도체 층과 상기 제 2 반도체 층에 가열 처리를 행하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 5

제 4 항에 있어서,

요철 형상을 갖는 상기 반도체 층 위에 제 4 절연층을 형성하는 단계와;

상기 제 4 절연층에, 요철 형상을 갖는 상기 반도체 층에 도달하는 콘택트 홀을 형성하는 단계와;

상기 제 4 절연층 위에, 상기 콘택트 홀을 통하여 요철 형상을 갖는 상기 반도체 층과 전기적으로 접속되는 제 2 도전층을 형성하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

불순물 원소는, 상기 제 2 절연층이 형성되기 전에, 상기 제 1 반도체 층에 첨가되는, 반도체 장치의 제작 방법.

청구항 7

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

불순물 원소는, 상기 가열 처리가 행해지기 전에, 상기 제 2 반도체 층에 첨가되는, 반도체 장치의 제작 방법.

청구항 8

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 가열 처리는 퍼니스 어닐로를 사용하는 열 어닐법, 레이저 어닐법, 램프 어닐법, 또는 급속열처리(RTA)법에 의하여 행해지는, 반도체 장치의 제작 방법.

청구항 9

제 3 항 또는 제 4 항에 있어서,

상기 레지스트는 상기 제 1 도전층과 상기 제 1 도전층 위에 형성된 상기 제 2 반도체 층의 총 두께보다 작은 두께를 갖도록 형성되는, 반도체 장치의 제작 방법.

청구항 10

제 5 항에 있어서,

상기 레지스트는, 상기 제 1 도전층, 상기 제 2 절연층, 및 상기 제 2 절연층 위에 형성된 상기 제 2 반도체 층의 총 두께보다 작은 두께를 갖도록 형성되는, 반도체 장치의 제작 방법.

청구항 11

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제 1 반도체 층은 단결정 규소 층인, 반도체 장치의 제작 방법.

청구항 12

반도체 장치의 제작 방법에 있어서,

절연 표면 위에 섬 형상의 결정질 반도체 층을 형성하는 단계와;

게이트 절연층을 개재하여 상기 결정질 반도체 층의 채널 형성 영역 위에 게이트 전극을 형성하는 단계와;

상기 게이트 전극의 측면들에 절연층들을 형성하는 단계와;

소스 영역과 드레인 영역을 형성하기 위하여 상기 결정질 반도체 층의 부분들에 불순물 원소를 첨가하는 단계와;

상기 절연층들의 측면들에 접하는 반도체 층으로서, 상기 소스 영역의 상면과 상기 드레인 영역의 상면

위에 상기 반도체 층을 형성하는 단계와;

상기 반도체 층이 상기 소스 영역과 상기 드레인 영역의 결정 구조에 의거하여 결정화되도록 가열 처리를 행하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 13

반도체 장치의 제작 방법에 있어서,

절연 표면 위에 섬 형상의 제 1 반도체 층을 형성하는 단계와;

게이트 절연층을 개재하여 상기 제 1 반도체 층의 채널 형성 영역 위에 게이트 전극을 형성하는 단계와;

상기 제 1 반도체 층의 일부에 불순물 원소를 첨가하는 단계와;

상기 제 1 반도체 층의 일부와 상기 절연 표면과 직접 접하는 제 2 반도체 층을 형성하는 단계와;

상기 제 1 반도체 층과 상기 제 2 반도체 층에 제 1 가열 처리를 행하여서, 상기 채널 형성 영역의 두께가 소스 영역의 두께보다 작은 제 3 반도체 층을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 14

제 13 항에 있어서,

상기 제 2 반도체 층의 결정성장은 상기 제 1 가열 처리에서 일어나는, 반도체 장치의 제작 방법.

청구항 15

제 13 항에 있어서,

상기 제 1 가열 처리를 행한 후 상기 불순물 원소의 열 활성화를 위한 제 2 가열 처리를 행하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 16

제 13 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 제 1 가열 처리는 열 어닐법으로 행해지는, 반도체 장치의 제작 방법.

청구항 17

제 13 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 제 1 반도체 층은 단결정 규소 층인, 반도체 장치의 제작 방법.

청구항 18

제 13 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 제 1 반도체 층은, 가열처리를 사용하여 비정질 반도체 층을 결정화하여서 형성된 층인, 반도체 장치의 제작 방법.

청구항 19

제 13 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 제 2 반도체 층은, 비정질 반도체 층을 포함하는, 반도체 장치의 제작 방법.

청구항 20

제 13 항 또는 제 15 항에 있어서,

상기 제 2 반도체 층의 에피택셜 성장은 상기 제 1 가열 처리에서 일어나는, 반도체 장치의 제작 방법.

청구항 21

반도체 장치의 제작 방법에 있어서,

제 2 기판의 일부를 제 1 층으로서 분할하여서 제 1 기판 위에 상기 제 1 층을 설치하는 단계와;

상기 제 1 층을 에칭하여 섬 형상의 제 1 층을 형성하는 단계와;

게이트 절연층을 개재하여 상기 섬 형상의 상기 제 1 층에 있어서의 채널 형성 영역 위에 게이트 전극으로서 도전층을 형성하는 단계와;

상기 도전층의 측면들에 제 1 절연층들을 형성하는 단계와;

상기 섬 형상의 상기 제 1 층에 소스 영역으로서 제 1 영역을, 드레인 영역으로서 제 2 영역을 형성하는 단계로서, 상기 채널 형성 영역은 상기 제 1 영역과 상기 제 2 영역 사이에 위치되는 상기 단계와;

상기 섬 형상의 상기 제 1 층과 직접 접하고, 상기 도전층, 상기 제 1 영역, 상기 제 2 영역 및 상기 제 1 절연층들을 덮는 제 2 층을 형성하는 단계와;

상기 제 2 층의 상기 도전층과 중첩된 부분을 제거함으로써 상기 제 2 층을 분리하여 상기 분리된 제 2 층이 상기 제 1 영역, 상기 제 2 영역 및 상기 제 1 절연층들 위에 남아 있도록 하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 22

제 21 항에 있어서,

상기 도전층 위에 또한 상기 도전층과 직접 접하게 제 2 절연층을 형성하는 단계를 더 포함하고,

상기 제 2 층은 상기 제 2 절연층을 더욱 덮는, 반도체 장치의 제작 방법.

청구항 23

제 21 항에 있어서,

상기 도전층과 상기 도전층 위에 형성된 상기 제 2 층의 총 두께보다 작은 두께를 갖도록 상기 제 2 층 위에 레지스트를 형성하는 단계를 더 포함하고,

상기 제 2 층의 상기 부분은 상기 레지스트를 마스크로서 사용하여서 제거되는, 반도체 장치의 제작 방법.

청구항 24

제 21 항 내지 제 23 항 중 어느 한 항에 있어서,

상기 제 2 층은 비정질 반도체 층을 포함하는, 반도체 장치의 제작 방법.

청구항 25

제 21 항 내지 제 23 항 중 어느 한 항에 있어서,

상기 제 1 기판은 유리 기판을 포함하는, 반도체 장치의 제작 방법.

청구항 26

제 21 항 내지 제 23 항 중 어느 한 항에 있어서,

상기 제 2 기판은 단결정 규소기판을 포함하는, 반도체 장치의 제작 방법.

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은, 반도체 장치의 제작 방법에 관한 것이다.

배 경 기 술

[0002] 최근, 유리 등의 절연 표면을 갖는 기판 위에 박막 트랜지스터(이하, ＴＦＴ라고도 한다)를 형성하고, 박막 트랜지스터를 스위칭 소자 등으로서 이용하는 반도체 장치의 제작이 왕성하게 행해지고 있다. 또한, 박막 트랜지스터로서, 절연 표면을 갖는 기판 위에 CVD법, 포토리소그래피법 등을 사용하여 섬 형상의 반도체 막을 형성하고, 섬 형상의 반도체 막의 일부를 트랜지스터의 채널 형성 영역으로서 이용하는 구성이 제안되어 있다.

[0003] 그러한 가운데, 박막 트랜지스터의 특성을 향상시키기 위하여, 반도체 막의 막 두께를 얇게 함으로써 S값(여기서 S값이란, 드레인 전압을 일정하게 하여 드레인 전류를 1자릿수 변화시키는 서브스레시홀드 영역에서의 게이트 전압 값을 말한다)을 작게 한 박막 트랜지스터를 제작하는 방법이 제안되어 있다. 그렇지만, 반도체 막의 막 두께를 얇게 함으로써, 소스 영역 및 드레인 영역의 저항 및 콘택트 저항이 증대하고, 온 전류의 저하를 초래한다는 문제가 있었다.

[0004] 그래서, 이들의 문제를 해소하기 위하여, 소스 영역 또는 드레인 영역의 막 두께에 비교하여 채널 형성 영역의 막 두께를 얇게 형성한 반도체 층을 사용한 박막 트랜지스터가 제안되어 있다(예를 들면, 특허문헌 1 및 특허문헌 2, 비특허문헌 1).

[0005] [특허문헌 1] 특개소 61-48975

[0006] [특허문헌 2] 특개평 5-110099

[0007] [비특허문헌 1] Electrochemical Society Proceedings Volume98-22, PP.204-220

발명의 내용

해결 하고자하는 과제

[0008] 그렇지만, 종래의 방법으로는, 특허문헌 1에 나타나 있는 바와 같이 막 두께가 상이한 반도체 층을 평탄한 절연 기판 표면에 형성하는 데는, 소정의 막 두께의 채널 형성 영역을 형성하기 위하여 반도체 층을 선택적으로 에칭할 필요가 있고, 공정이 불안정하다는 문제가 있다. 또한, 특허문헌 2에 나타내는 방법으로는, 반도체 층의 표면을 평탄화하기 위하여 에칭 처리를 행하기 때문에, 공정수가 증가한다. 또한, 비특허문헌 1에 나타내는 방법으로는, 반도체 층을 2회 퇴적한 후에 에칭할 필요가 있고, 공정수가 증가한다. 특히, n채널형 트랜지스터와 p채널형 트랜지스터를 형성할 경우, 반도체 층의 퇴적 횟수 및 에칭 횟수가 더욱 증가한다. 또한, 채널 형성 영역을 50㎚이하의 막 두께로 형성하는 경우, 막 두께의 제어가 어렵다는 문제가 있다.

[0009] 본원 발명은, 이러한 과제를 해결하기 위한 기술을 제공하는 것으로, S값이 작고 온 전류의 저하를 억제한 응답성이 뛰어난 반도체 장치를 복잡한 공정을 거치지 않고 제작하는 방법을 제안하는 것을 목적으로 한다.

과제 해결수단

[0010] 본 발명의 반도체 장치에 사용되는 반도체 층은, 소스 영역 또는 드레인 영역의 막 두께가 채널 형성 영역의 막 두께보다 두껍게 형성된다. 이러한 반도체 장치는 기판 위에 제 1 반도체 층을 형성하고, 제 1 반도체 층 위에 제 1 절연층을 형성하고, 제 1 절연층 위에 도전층을 형성하고, 도전층의 측면에 제 2 절연층을 형성하고, 제 1 반도체 층, 도전층 및 제 2 절연층 위에 제 2 반도체 층을 형성하고, 제 2 반도체 층 위에 부분적으로 레지스트를 형성하고, 레지스트를 마스크로서 제 2 반도체 층을 에칭하여 제 1 반도체 층 및 제 2 반도체 층에 가열 처리를 행함으로써 제작할 수 있다.

[0011] 또한, 기판 위에 제 1 반도체 층을 형성하고, 제 1 반도체 층 위에 제 1 절연층을 형성하고, 제 1 절연층 위에 도전층을 형성하고, 도전층의 측면에 제 2 절연층을 형성하고, 제 1 반도체 층, 도전층 및 제 2 절연층 위에 제 2 반도체 층을 형성하고, 제 2 반도체 층 위에 부분적으로 레지스트를 형성하고, 레지스트를 마스크로서 제 2 반도체 층을 에칭하여 제 1 반도체 층 및 제 2 반도체 층에 가열 처리를 행함으로써, 요철 형상을 갖는 반도체 층을 형성하고, 요철 형상을 갖는 반도체 층 위에 제 3 절연층을 형성하고, 제 3 절연층에 요철 형상을 갖는 반도체 층에 도달하는 콘택트 홀을 형성하고, 제 3 절연층 위에 콘택트 홀을 통하여 요철 형상을 갖는 반도체 층과 전기적으로 접속하는 도전층을 형성함으로써, 본 발명의 반도체 장치를 제작할 수 있다.

[0012] 또한, 제 2 절연층을 형성하기 전에, 도전층 위에 더욱 절연층을 형성하여도 좋다. 또한, 제 2 절연층을 형성하기 전에, 제 1 반도체 층에 불순물 원소를 첨가하여도 좋다. 또한, 가열 처리하기 전에 제 2 반도체 층에 불순물 원소를 첨가하여도 좋다. 또한, 가열 처리는 퍼니스 어닐로를 사용하는 열 어닐법, 레이저 어닐법, 램프 어닐법, 또는 RTA법을 사용하여 행할 수 있다.

효 과

[0013] 본 발명의 반도체 장치에서는, 소스 영역 또는 드레인 영역의 막 두께가 채널 형성 영역의 막 두께보다 두껍기 때문에, 이온 도핑법이나 이온 주입법 등에 의한 불순물 원소의 첨가 후에 행해지는, 불순물 원소의 열 활성화를 위한 가열 처리에 있어서의 결정성 회복에 유리하다. 결정성 회복이 효과적으로 행해짐으로써, 소스 영역 또는 드레인 영역의 막 두께보다 채널 형성 영역의 막 두께가 얇기 때문에 S값을 작게 할 수 있고, 온 전류의 저하를 억제할 수 있다. 또한, 반도체 층을 적층하여 요철 형상을 갖는 반도체 층을 형성하기 때문에, 막 두께의 제어를 용이하게 행할 수 있다. 따라서, S값이 작고, 또 온 전류의 저하가 억제된 응답성이 뛰어난 반도체 장치를 용이하게 제작할 수 있다.

발명의 실시를 위한 구체적인 내용

[0014] 본 발명의 실시형태에 대하여, 도면을 사용하여 이하에 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시예의 기재 내용에 한정해서 해석되는 것은 아니다. 이때, 이하에 설명하는 본 발명의 구성에 있어서, 같은 것을 가리키는 부호는 다른 도면간에 공통적으로 사용하는 경우가 있다.

[0015] (실시형태 1)

[0016] 본 실시형태에서는, 소스 영역 또는 드레인 영역의 막 두께를 채널 형성 영역의 막 두께보다 두껍게 형성한 반도체 장치의 구조 및 제작 방법에 대하여 설명한다.

[0017] 도 1a 내지 도 1c는 본 발명에 따른 반도체 장치의 구성을 설명하기 위한 상면도 및 단면도이다. 도 1a는, 박막 트랜지스터를 포함하는 반도체 장치의 상면도를 도시하고, 도 1b는 도 1a의 점A1과 점B1을 잇는 파선에 있어서의 단면도를 도시하고, 도 1c는 도 1a의 점A2과 점B2를 잇는 파선에 있어서의 단면도를 도시한다.

[0018] 본 실시형태에 나타내는 반도체 장치는, 기판(30) 위에 형성된 절연층(31), 절연층(31) 위에 섬 형상으로 형성된 제 1 반도체 층(32) 및 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역(32b, 32c)으로 구성되는 반도체 층(2205)과, 제 1 반도체 층(32) 위에 형성된 게이트 절연층(33)과 제 1 반도체 층(32) 상방에 게이트 절연층(33)을 통하여 형성된 게이트 전극으로서 기능하는 도전층(34)을 포함하는 박막 트랜지스터(205), 도전층(34)의 측면에 접하는 절연층(사이드 월이라고도 불린다)(2201), 게이트 절연층(33)과 도전층(34)과 절연층(2201)을 덮어서 형성된 절연층(203a), 절연층(203a) 위에 형성된 절연층(203b), 절연층(203b) 위에 형성된 소스 전극 또는 드레인 전극으로서 기능하는 도전층(204)을 가진다(도 1a 내지 도 1c 참조). 도 1a에 있어서, 절연층(203)은 절연층(203a)과 절연층(203b)으로 구성된다. 또한, 섬 형상으로 형성된 제 1 반도체 층(32)은, 채널 형성 영역(32a)과 불순물 영역(32b, 32c)보다 저농도로 불순물 원소가 첨가된 불순물 영역(저농도 불순물 영역이라고도 한다)(32d, 32e)을 가진다. 또한, 채널 형성 영역(32a) 중에 불순물 영역(32b, 32c)에 첨가한 불순물 원소와 같은 도전형을 주는 불순물 원소, 또는 불순물 영역(32b, 32c)의 도전형은 반대의 도전형을 주는 불순물 원소가 첨가되어 있어도 좋다.

[0019] 도 1a 내지 도 1c에 도시하는 반도체 장치에 있어서는, 소스 영역 또는 드레인 영역의 막 두께가 채널 형성 영역의 막 두께보다 두꺼운 반도체 층을 형성하는 것을 특징으로 한다. 본 실시형태에서는, 우선 제 1 반도체 층의 소스 영역 또는 드레인 영역에 대응하는 개소 위에 제 2 반도체 층을 형성한다. 그리고, 레이저 어닐이나 RTA법 등을 사용하여 가열함으로써, 제 2 반도체 층의 결정 성장 또는 에피택시얼 성장이 생기고, 제 1 반도체 층의 결정 상태가 반영되어, n형 또는 p형에 저저항화된 제 2 반도체 층을 형성할 수 있다. 이에 따라, 소스 영역 또는 드레인 영역의 막 두께가 채널 형성 영역의 막 두께보다 두꺼운 반도체 층을 형성할 수 있다. 소스 영역 또는 드레인 영역의 막 두께가 채널 형성 영역의 막 두께보다 두껍기 때문에 이온 도핑법에 의한 불순물 원소의 첨가 후에 행해지는, 불순물 원소의 열 활성화를 위한 가열 처리에 있어서의 결정성 회복에 유리하다. 결정성 회복이 효과적으로 행해짐으로써, 소스 영역 또는 드레인 영역의 고저항화를 억제할 수 있다. 또한, 소스 영역 또는 드레인 영역의 막 두께보다 채널 형성 영역의 막 두께가 얇기 때문에 S값을 작게 할 수 있고, 온 전류의 저하를 억제할 수 있다. 또한, 반도체 층을 적층하여 요철 형상을 갖는 반도체 층을 형성하기 때문에 막 두께의 제어를 용이하게 행할 수 있다. 따라서, S값이 작고, 또 온 전류의 저하가 억제된 응답성이 뛰어난 반도체 장치를 용이하게 제작할 수 있다.

[0020] 이하에, 도 1a 내지 도 1c에 도시하는 반도체 장치의 제작 공정의 일례에 대하여, 도 2a 내지 도 4b를 사용하여 설명한다. 도 2a 내지 도 4b는, 도 1a의 점 A_1과 점 B_1을 잇는 파선에 있어서의 단면도를 도시한다.

[0021] 우선, 기판(30) 위에 절연층(31)을 형성한다(도 2a 참조). 여기서, 기판(30)으로서는, 유리 기판, 석영 기판, 금속 기판(예를 들면, 스테인레스 기판 등), 세라믹 기판, Si 기판 등의 반도체 기판 등을 사용할 수 있다. 또한, 그 이외에도 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르술폰(PES), 아크릴 폴리머 등으로 제작된 플라스틱 기판을 선택할 수도 있다.

[0022] 절연층(31)은, 기판(30)으로부터 알칼리 금속 등의 불순물 원소가 확산되고, 기판(30) 위에 형성되는 소자가 오염되는 것을 방지하는 블로킹 층으로서 적절히 형성하면 좋다. 예를 들면, CVD법(Chemical Vapor Deposition법, 화학기상성장법)이나 스퍼터링법 등을 사용하여, 산화규소막, 질화규소막, 산화질화규소(SiO_xN_y)(x>y>0)막, 질화산화규소(SiN_xO_y)(x>y>0)막 등의 절연층을 사용하여 형성할 수 있다. 예를 들면, 절연층(31)을 2층 구조로 하는 경우, 제 1층째의 절연층으로서 질화산화규소막을 형성하고, 제 2층째의 절연층으로서 산화질화규소막을 형성하면 좋다. 또한, 제 1층째의 절연층으로서 질화규소막을 형성하고, 제 2층째의 절연층으로서 산화규소막을 형성하여도 좋다.

[0023] 계속하여, 절연층(31) 위에 반도체 층을 형성한다. 그리고, 반도체 층 위에 레지스트를 마스크로서 반도체 층을 에칭함으로써, 섬 형상의 제 1 반도체 층(32)을 형성한다(도 2a 참조). 또한, 레지스트는 에칭할 때의 마스크로서 사용하는 것이며, 포지티브형의 포토레지스트나 네거티브형의 포토레지스트 등을 적절히 선택하여 사용할 수 있다. 또한, 반도체 층 위에 산화막을 형성한 다음에 레지스트를 형성하여도 좋다. 또한, 반도

체 층은 비정질 반도체 층, 또는 결정질 반도체 층으로 형성할 수 있다. 결정질 반도체 층으로서는, 절연층(31) 위에 형성한 비정질 반도체 층을 가열 처리나 레이저 광의 조사에 의하여 결정화한 것 등을 사용할 수 있다. 또한, 반도체 층을 형성하기 위한 반도체 재료로서는, 규소가 바람직하고, 그 이외에 실리콘 게르마늄 등을 사용할 수도 있다.

[0024] 레이저 광의 조사에 의하여, 반도체 층의 결정화를 행하는 경우, 레이저 광의 광원으로서 LD 여기(레이저 다이오드 여기)의 연속 발진(CW) 레이저(YVO_4, 제 2 고조파(파장 532nm))를 사용할 수 있다. 특히, 제 2 고조파에 한정할 필요는 없지만, 제 2 고조파는 에너지 효율의 관점에서 더욱 고차적인 고조파보다 우수하다.

[0025] 연속 발진 레이저를 반도체 층에 조사하면, 연속적으로 반도체 층이 에너지를 받으므로, 일단 반도체 층을 용융 상태로 하면, 용융 상태를 계속시킬 수 있다. 또한, 연속 발진 레이저를 주사함으로써 반도체 층의 고액 계면을 이동시켜, 이 이동의 방향을 따라 단방향으로 긴 결정립을 형성할 수 있다. 또한, 연속 발진 레이저에 한정되지 않고, 반복 주파수가 10MHz이상의 펄스 레이저를 사용할 수도 있다. 반복 주파수가 높은 펄스 레이저를 사용하여 반도체 층이 용융 시작하고 고화할 때까지의 시간보다 펄스 간격을 짧게 설정함으로써, 길게 반도체 층을 용융 상태로 유지할 수 있고, 고액 계면의 이동에 의하여 단방향으로 긴 결정립으로 구성되는 반도체 층을 형성할 수 있다. 이 이외의 연속 발진 레이저 및 반복 주파수가 10MHz이상의 펄스 레이저를 사용할 수도 있다.

[0026] 예를 들면, 기체 레이저로서는, Ar 레이저, Kr 레이저, CO_2 레이저 등이 있다. 고체 레이저로서는, YAG 레이저, YLF 레이저, $YAlO_3$ 레이저, $GdVO_4$ 레이저, KGW 레이저, KYW 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, Y_2O_3 레이저, YVO4 레이저 등이 있다. 또한, 기체 레이저 등과 비교하여 고체 레이저는, 출력의 안정성이 높고, 안정적인 처리를 행할 수 있다. 또한 YAG 레이저, Y_2O_3레이저, $GdVO_4$ 레이저, YVO_4 레이저 등의 세라믹스 레이저를 사용하여도 좋다. 금속 증기 레이저로서는, 헬륨 카드뮴 레이저 등을 들 수 있다. 또한 레이저 발진기에 있어서, 레이저광을 TEM00(단일 횡모드)로 발진하여 출사하면, 피조사면에 있어서도 얻어지는 선 형상의 빔 스폿의 에너지 균일성을 상승시킬 수 있으므로 바람직하다. 이 외에도, 펄스 발진의 엑시머 레이저를 사용하여도 좋다.

[0027] 또한, 드라이 에칭할 때의 에칭 가스로서는, CF_4, NF_3, SF_6, CHF_3 등의 불소계의 가스, 또는 상기 불소계 가스에 O_2가스, H_2가스, 불활성 가스인 He나 Ar 등을 적절히 가한 혼합 가스 등을 사용할 수 있다. 바람직하게는, CF_4과 O_2과의 혼합 가스, SF_6과 O_2과의 혼합 가스, CHF_3과 He와의 혼합 가스, 또는 CF_4과 H_2와의 혼합 가스를 사용하면 좋다. 또한, 에칭은 드라이 에칭에 한정되지 않고, 웨트 에칭으로 행하여도 좋다. 그 경우, 결정질 반도체 층에 대하여 TMAH(Tetra Methyl Ammonium Hydroxide, 테트라메틸암모늄히드로옥사이드)로 대표되는 유기 염기를 포함하는 알칼리성 용액을 사용한 웨트 에칭을 행함으로써 섬 형상의 제 1 반도체 층(32)을 형성할 수 있다. 또한, 에칭액으로서 TMAH 등의 용액을 사용한 경우, 반도체 층만이 선택적으로 에칭되기 때문에, 하지의 절연층(31)에 데미지를 주지 않고 에칭할 수 있다.

[0028] 계속하여, 제 1 반도체 층(32)을 덮도록 게이트 절연층(33)을 형성한다(도 2a 참조). 게이트 절연층(33)은, 산화규소막, 질화규소막, 산화질화규소(SiO_xN_y)(x>y>0)막, 질화산화규소(SiN_xO_y)(x>y>0)막 등을 사용하여 형성할 수 있다. 이러한 절연층은, 기상성장법이나 스퍼터링법을 사용하여 형성할 수 있다. 또한, 산소를 포함하는 분위기 또는 질소를 포함하는 분위기 하에서 반도체 층 표면을 플라즈마 처리를 함으로써 반도체 층 표면에 형성된 산화규소막, 질화규소막, 산화질화규소(SiO_xN_y)(x>y>0)막, 또는 질화산화규소(SiN_xO_y)(x>y>0)막 등을 게이트 절연층(33)으로서 사용할 수도 있다. 또한, 산소를 포함하는 분위기 하에서의 플라즈마 방전에 의하여 생성된 산소 라디칼(OH 라디칼을 포함하는 경우도 있다)에 의하여, 반도체 층 표면을 처리하여 형성된 산화규소막이나, 질소를 포함하는 분위기 하에서의 플라즈마 방전에 의하여 생성된 질소 라디칼(NH 라디칼을 포함하는 경우도 있다)에 의하여, 반도체 층 표면을 처리하여 형성된 질화규소막을 게이트 절연층(33)으로서 사용하여도 좋다.

[0029] 다음, 게이트 절연층(33) 위에 게이트 전극으로서 기능하는 도전층(34)을 형성한다(도 2a 참조). 여기서는, 도전층(34)은 단층으로 형성한 예를 제시하지만, 물론 도전성 재료에 의하여 형성한 막을 2층 또는 3층 이상으로 적층한 구조로 하여도 좋다. 또한, 여기서는 도시하지 않지만, 도전층(34)은, 게이트 절연층(33) 위를 덮어 형성된 도전층을 선택적으로 에칭함으로써 형성할 수 있다.

[0030] 또한, 도전층(34)은, 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오븀(Nb) 등으로부터 선택된 원소, 또는 이들의 원소를 주성분으로 하는 합금 혹은 화합물로 형성할 수 있다. 또한, 인 등의 불순물 원소를 도핑한 다결정 규소로 대표되는 반도체 재료에 의하여 형성할 수도 있다. 예를 들면, 도전층(34)을 제 1 도전층과 제 2 도전층과의 적층구조로 하는 경우, 제 1 도전층으로서 질화탄탈을 사용하고, 제 2 도전층으로서 텅스텐을 사용하여 형성하면 좋다. 또한, 이 조합에 한정되지 않고, 도전층(34)을 적층하여 형성하는 경우에는, 상기 재료를 자유롭게 조합하여 형성할 수 있다.

[0031] 계속하여, 도전층(34)을 마스크로서 제 1 반도체 층(32)에 불순물 원소(121)를 도입함으로써 불순물 영역(22d, 22e) 및 불순물 원소(121)가 도입되지 않는 채널 형성 영역(32a)을 형성한다(도 2b 참조). 불순물 원소(121)로서, n 형의 도전성을 부여하는 불순물 원소 또는 p 형의 도전성을 부여하는 불순물 원소를 사용할 수 있다. n 형의 도전성을 부여하는 불순물 원소로서는, 인(P)이나 비소(As) 등을 사용할 수 있다. p형의 도전성을 부여하는 불순물 원소로서는, 붕소(B)이나 알루미늄(Al) 및 갈륨(Ga) 등을 사용할 수 있다. 또한, 여기서는 도전층(34)을 섬 형상의 제 1 반도체 층(32)을 가로지르도록 형성한 후, 불순물 원소(121)을 도입하기 때문에, 도전층(34)으로 덮이지 않은 영역에 불순물 원소가 도입되어 불순물 영역(22d, 22e)이 형성되고, 도전층(34)으로 덮인 영역에는 불순물 원소(121)가 도입되지 않는 채널 형성 영역(32a)이 형성된다.

[0032] 다음, 게이트 절연층(33)과 도전층(34)을 덮도록 절연층을 형성한다. 절연층은, 플라즈마 CVD법이나 스퍼터링법에 의하여, 규소, 규소의 산화물, 또는 규소의 질화물인 무기 재료를 포함하는 막이나 유기 수지 등의 유기 재료를 포함하는 막을 단층, 또는 적층으로 형성한다. 다음, 절연층을 기판에 대하여 수직 방향을 주체로 한 이방성 에칭에 의하여 선택적으로 에칭하여, 도전층(34)의 측면에 접하는 절연층(2201)(사이드 월이라고도 불린다)을 형성한다(도 2c 참조). 또한, 절연층(2201)의 제작과 동시에 게이트 절연층(33)을 에칭한다.

[0033] 다음, 도전층(34) 및 절연층(2201)을 마스크로서 제 1 반도체 층(32)에 불순물 원소(125)를 도입함으로써 불순물 영역(22b, 22c), 불순물 영역(32d, 32e) 및 불순물 원소(125)가 도입되지 않는 채널 형성 영역(32a)을 형성한다(도 2c 참조). 불순물 원소(125)로서, n 형의 도전성을 부여하는 불순물 원소 또는 p 형의 도전성을 부여하는 불순물 원소를 사용할 수 있다. n 형의 도전성을 부여하는 불순물 원소로서는, 인(P)이나 비소(As) 등을 사용할 수 있다. p형의 도전성을 부여하는 불순물 원소로서는, 붕소(B)이나 알루미늄(Al) 및 갈륨(Ga) 등을 사용할 수 있다. 예를 들면, 불순물 원소(125)로서 인(P)을 $1\times10^{18}/cm^3$ 내지 $1\times10^{21}/cm^3$의 농도로 포함되도록 제 1 반도체 층(32)에 도입하여 n 형을 나타내는 불순물 영역(22b, 22c)을 형성하면 좋다. 또한, 여기서는 절연층(2201) 및 도전층(34)을 섬 형상의 제 1 반도체 층(32)을 가로지르도록 형성한 후, 불순물 원소(125)을 도입하기 때문에, 절연층(2201) 및 도전층(34)으로 덮이지 않은 영역에 불순물 원소가 도입되어 불순물 영역(22d, 22e)이 형성되어, 절연층(2201) 및 도전층(34)으로 덮인 영역에는 불순물 원소(125)가 도입되지 않는 불순물 영역(32d, 32e) 및 채널 형성 영역(32a)이 형성된다.

[0034] 다음, 도전층(34), 절연층(2201), 제 1 반도체 층(32)을 덮어, 제 2 반도체 층(2202)을 형성한다(도 3a 참조). 여기서, 제 2 반도체 층(2202)으로서 비정질 반도체 층 또는 결정질 반도체 층 등을 사용할 수 있다.

[0035] 다음, 제 2 반도체 층(2202) 위에 레지스트(2203)를 적어도 제 1 반도체 층(32)을 덮도록 선택적으로 형성한다(도 3b 참조). 여기서, 레지스트(2203)는 게이트 전극으로서 기능하는 도전층(34) 위의 제 2 반도체 층(2202)의 표면을 덮지 않도록 형성하는 것이 바람직하다. 다시 말하면, 레지스트(2203)는 도전층(34)의 막 두께와 도전층(34) 위에 형성된 제 2 반도체 층(2202)의 막 두께를 합친 막 두께보다 얇게 형성하는 것이 바람직하다. 즉, 도전층(34) 위에 레지스트(2203)로 덮이지 않는 부분(개구부)을 자기 정합적(self alignment)으로 형성한다. 예를 들면, 레지스트(2203)를 게이트 전극으로서 기능하는 도전층(34)과 같은 정도의 막 두께로 형성함으로써 도전층(34) 위에 형성된 제 2 반도체 층(2202)의 에칭을 용이하게 행할 수 있다. 도전층(34) 위에 레지스트가 얇게 형성된 경우에는, O2 가스 등을 사용한 애싱(ashing)으로 레지스트를 전체적으로 얇게 하여, 도전층(34) 위의 레지스트를 제거하여도 좋다. 또한, 레지스트(2203)는 에칭할 때의 마스크로서 사용하는 것이며, 포지티브 형의 포토레지스트나 네거티브 형의 포토레지스트 등을 적절히 선택하여 사용할 수 있다.

[0036] 다음, 레지스트(2203)를 마스크로서, 제 2 반도체 층(2202)을 에칭한다. 에칭은, 드라이 에칭 또는 웨트 에칭을 사용하여 행할 수 있다. 드라이 에칭할 때의 에칭 가스로서는, CF_4, NF_3, SF_6, CHF_3 등의 불소계 가스, 또는 상기 불소계 가스에 O_2가스, H_2가스, 불활성 가스인 He나 Ar 등을 적절히 가한 혼합 가스 등을 사용할 수 있다. 바람직하게는, CF_4와 O_2의 혼합 가스, SF_6와 O_2의 혼합 가스, CHF_3와 He의 혼합 가스, 또는 CF_4와 H_2의

혼합 가스를 사용하면 좋다. 또한, 웨트 에칭으로 행하는 경우, 반도체 층에 대하여 TMAH(Tetra Methyl Ammonium Hydroxide, 테트라메틸암모늄히드로옥사이드)로 대표되는 유기 염기를 포함하는 알칼리성 용액을 사용할 수 있다. 또한, 에칭 용액으로서 TMAH 등의 용액을 사용한 경우, 반도체 층만이 선택적으로 에칭되기 때문에, 하지의 절연층(31)에 데미지를 주지 않고 에칭할 수 있다. 또한, 제 2 반도체 층(2202)은, 적어도 그 후에 형성되는 소스 전극, 또는 드레인 전극으로서 기능하는 도전층(204)과 전기적으로 접속되도록 제 1 반도체 층(32) 위에 형성하면 좋고, 게이트 전극으로서 기능하는 도전층(34)에 대하여 비대칭(非對稱)으로 형성되어도 좋다.

[0037] 다음, 제 2 반도체 층(2202)에 불순물 원소(2204)를 도입한다(도 3c 참조). 불순물 원소(2204)의 도입에는, 이온 도핑 법이나 이온 주입 법 등을 사용한다. 또한, 이온 도핑법이란, 원료 가스로부터 생성되는 이온을 질량 분리하지 않으며 대상물에 조사하고, 상기 이온을 구성하는 원소를 첨가하는 방식을 가리킨다. 또한, 이온 주입법이란, 원료로부터 생성되는 이온을 질량 분리하고 선택한 이온을 대상물에 조사하고, 상기 이온을 구성하는 원소를 첨가하는 방식을 가리킨다. 불순물 원소(2204)로서, n 형의 도전성을 부여하는 불순물 원소 또는 p 형의 도전성을 부여하는 불순물 원소를 사용할 수 있다. n 형의 도전성을 부여하는 불순물 원소로서는, 인(P)이나 비소(As) 등을 사용할 수 있다. p형의 도전성을 부여하는 불순물 원소로서는, 붕소(B)이나 알루미늄(Al) 및 갈륨(Ga) 등을 사용할 수 있다.

[0038] 다음, 가열 처리를 행하여, 반도체 층의 결정성의 회복이나 반도체 층에 첨가된 불순물 원소의 활성화를 행한다. 이 가열 처리에는, 퍼니스 어닐로를 사용하는 열 어닐법, 레이저 어닐법, 램프 어닐법, 또는 RTA법 등을 적용할 수 있다. 또한, 이 가열에 의하여, 제 1 반도체 층(32)의 결정 상태를 반영한 에피택시얼 성장에 따라 제 2 반도체 층(2202)의 결정화가 진행되어 반도체 층(2205)이 형성된다(도 4a 참조). 반도체 층(2205)은, 불순물 영역(22b)으로부터 결정 성장이 진행된 불순물 영역(32b)과, 불순물 영역(22c)으로부터 결정 성장이 진행된 불순물 영역(32c)으로 구성되어 있다. 불순물 영역(32b, 32c)은, 반도체 층(2205)의 소스 영역 또는 드레인 영역으로서 기능한다.

[0039] 상기의 공정에 의하여, 요철(단차)부를 갖는 섬 형상의 반도체 층(2205)을 형성할 수 있다. 또한, 본 실시형태에 있어서, 반도체 층(2205)은 요철 형상을 가지고, 반도체 층의 오목(凹)부(막 두께가 얇은 부분)의 막 두께는 10nm 내지 200nm, 바람직하게는 10nm 내지 50nm정도, 보다 바람직하게는 10nm 내지 30nm정도로 한다. 50nm이하 정도의 막 두께로 반도체 층의 오목부를 형성함으로써, 완전 공핍형의 TFT를 제작하기 쉬워지기 때문에, 양호한 S값으로 임계 값 전압이 제어된 TFT를 제작할 수 있다.

[0040] 다음, 도전층(34), 절연층(2201), 반도체 층(2205) 등을 덮도록 절연층(2206, 2207)을 형성한다(도 4b 참조). 그 후, 절연층(2206, 2207)에 콘택트 홀을 형성하고, 절연층(2207) 위에 소스 전극 또는 드레인 전극으로서 기능하는 도전층(204)을 선택적으로 형성한다(도 4b 참조). 여기에서, 도전층(204)은, 반도체 층(2205)의 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역(32b, 32c)과 각각 전기적으로 접속되도록 형성한다.

[0041] 여기서, 절연층(2206, 2207)은, CVD법이나 스퍼터링법 등으로 형성한 산화규소막, 산화질화규소(SiO_xN_y)(x>y>0)막, 질화산화규소(SiN_xO_y)(x>y>0)막 등을 사용할 수 있다. 또한, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐폴리머, 아크릴폴리머, 에폭시폴리머 등의 유기재료, 또는 실록산 수지 등의 실록산 재료, 옥사졸 수지 등으로 이루어지는 단층 또는 적층구조로 형성할 수 있다. 또한, 실록산 재료란, Si-O-Si 결합을 포함하는 재료에 상당한다. 실록산은, 실리콘(Si)과 산소(O)의 결합으로 골격구조가 구성된다. 치환기로서, 적어도 수소를 포함하는 유기기(예를 들면, 알킬기, 방향족탄화수소)가 사용된다. 치환기로서, 플루오르기를 사용할 수도 있다. 옥사졸 수지는, 예를 들면, 감광성 폴리벤조옥사졸 등이다. 감광성 폴리벤조옥사졸은, 유전율이 낮고(상온 1MHz에서 유전율 2.9), 내열성이 높고(승온 5℃/min의 조건에 있어서의 시차열 열중량 동시측정(TG/DTA: Thermogravimetry-Differential Thermal Analysis)으로 열분해 온도 550℃), 흡수율이 낮은(상온 24시간에서 0.3%) 재료이다. 옥사졸 수지는, 폴리이미드 등의 비유전율(3.2 내지 3.4정도)과 비교하면, 비유전율이 낮기 때문에(2.9정도), 기생 용량의 발생을 억제하고, 트랜지스터의 고속동작을 행할 수 있다. 여기서는, 절연층(2206, 2207)은, CVD법으로 형성한 산화규소, 산화질화규소(SiO_xN_y)(x>y>0) 또는 질화산화규소(SiN_xO_y)(x>y>0)로 이루어지는 막을 단층 또는 적층으로 형성한다. 또한, 더욱, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐폴리머, 아크릴폴리머, 에폭시폴리머 등의 유기재료, 실록산 수지 등의 실록산 재료, 또는 옥사졸 수지로 이루어지는 막을 적층하여 형성하여도 좋다.

[0042] 또한, 도전층(204)은, 알루미늄, 텅스텐, 티타늄, 탄탈, 몰리브덴, 니켈, 네오듐으로부터 선택된 일종

의 원소 또는 상기 원소를 복수 포함하는 합금으로 이루어지는 단층구조 또는 적층구조를 사용할 수 있다. 예를 들면, 상기 원소를 복수 포함하는 합금으로 이루어진 도전막으로서, 티타늄을 함유한 알루미늄합금, 네오듐을 함유한 알루미늄 합금 등으로 형성할 수 있다. 또한, 적층구조로 형성하는 경우, 예를 들면, 알루미늄층 혹은 상기한 바와 같은 알루미늄 합금층을, 티타늄층에 끼워서 적층시킨 구조로 하여도 좋다.

[0043] 이상의 공정에 의하여, 박막 트랜지스터(205)를 포함하는 반도체 장치를 제작할 수 있다.

[0044] 본 실시형태에 나타내는 반도체 장치에 사용되는 반도체 층은, 소스 영역 또는 드레인 영역의 막 두께가 채널 형성 영역의 막 두께보다 두껍게 형성된다. 이 특징은, 이온 도핑법이나 이온 주입법 등에 의한 불순물 원소의 첨가 후에 행해지는, 불순물 원소의 열 활성화를 위한 가열 처리에 있어서의 결정성 회복에 유리하고, 소스 영역 또는 드레인 영역의 고저항화를 억제할 수 있다. 또한, 소스 영역 또는 드레인 영역의 막 두께보다 채널 형성 영역의 막 두께가 얇기 때문에, S값을 작게 할 수 있고, 온 전류의 저하를 억제할 수 있다. 또한, 반도체 층을 적층하여 요철 형상을 갖는 반도체 층을 형성하기 때문에, 막 두께의 제어를 용이하게 행할 수 있다. 따라서, S값이 작고 또한 온 전류의 저하가 억제된 응답성이 좋은 반도체 장치를 용이하게 제작할 수 있다. 또한, 자기 정합적(self alignment)으로 게이트 전극 위에 레지스트로 덮이지 않는 부분(개구부)을 형성하고, 상기 레지스트를 마스크로서 반도체 층을 에칭함으로써, 요철 형상을 갖는 반도체 층을 형성할 수 있기 때문에 높은 얼라인먼트 정밀도가 필요한 노광 공정을 생략할 수 있고, 공정이 안정되고, 또는 새로운 설비 투자도 억제할 수 있다. 또한, 본 실시형태의 반도체 장치의 제작방법은, 게이트 길이 1㎛이하(예를 들면, 0.35㎛이하)의 경우에 특히 유효하다.

[0045] (실시형태 2)

[0046] 본 실시형태에서는, 실시형태 1과 상이한 구성의 반도체 장치에 대하여, 도5a 내지 도 6c를 사용하여 설명한다.

[0047] 도 5a 내지 도 5c는, 본 발명에 따른, 반도체 장치의 다른 구성을 설명하기 위한 상면도 및 단면도이다. 도 5a 내지 도 5c에 도시하는 반도체 장치는, 도 1a 내지 도 1c에 도시하는 반도체 장치의 구성에 가하여 게이트 전극으로서 기능하는 도전층(34) 위에 절연층(501)이 형성된다. 도 5a는, 박막 트랜지스터를 포함하는 반도체 장치의 상면도를 도시하고, 도 5b는 도 5a의 점 A_1와 점 B_1를 잇는 파선에 있어서의 단면도를 도시하고, 도 5c는 도 5a의 점 A_2와 점 B_2를 잇는 파선에 있어서의 단면도를 도시한다.

[0048] 이하에 도 5a 내지 도 5c에 도시하는 반도체 장치의 제작 공정의 일례에 대하여, 도 6a 내지 도 6c를 사용하여 설명한다. 또한, 도 6a 내지 도 6c는, 도 5a의 점 A_1와 점 B_1를 잇는 파선에 있어서의 단면도를 도시한다.

[0049] 우선, 기판(30) 위에 절연층(31)을 형성하고, 절연층(31) 위에 제 1 반도체 층(32)을 형성하고, 제 1 반도체 층(32) 위에 게이트 절연층(33)을 형성한다(도 6a 참조). 여기까지의 공정은, 도 2a에 도시하는 공정과 마찬가지로 행할 수 있다.

[0050] 다음, 게이트 절연층(33) 위에 도전층(502)을 형성한다(도 6a 참조). 도전층(502)은, 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오븀(Nb) 등으로부터 선택된 원소, 또는 이들의 원소를 주성분으로 하는 합금 혹은 화합물로 형성할 수 있다. 또한, 인 등의 불순물 원소를 도핑한 다결정 규소로 대표되는 반도체 재료에 의하여 형성할 수도 있다. 예를 들면, 도전층(502)을 제 1 도전층과 제 2 도전층과의 적층구조로 하는 경우, 제 1 도전층으로서 질화탄탈을 사용하고, 제 2 도전층으로서 텅스텐을 사용하여 형성하면 좋다. 또한, 이 조합에 한정되지 않고, 도전층(502)을 적층하여 형성하는 경우에는, 상기 재료를 자유롭게 조합하여 형성할 수 있다.

[0051] 다음, 도전층(502) 위에 절연층(503)을 형성한다(도 6a 참조). 여기서, 절연층(503)은, 산화규소막, 질화규소막, 산화질화규소(SiO_xN_y)(x>y>0)막, 질화산화규소(SiN_xO_y)(x>y>0)막 등을 사용하여 형성할 수 있다. 이러한 절연층은, 기상성장법이나 스퍼터링법을 사용하여 형성할 수 있다.

[0052] 다음, 도전층(502) 및 절연층(503)을 선택적으로 에칭하여 게이트 전극으로서 기능하는 도전층(34), 및 도전층(34) 위에 절연층(501)을 형성한다(도 6b 참조).

[0053] 계속하여, 도전층(34) 및 절연층(501)을 마스크로서 제 1 반도체 층(32)에 불순물 원소(121)를 도입함으로써, 불순물 영역(22d, 22e) 및 불순물 원소(121)가 도입되지 않는 채널 형성 영역(32a)을 형성한다(도 6c

참조).

[0054] 이후의 공정을 실시형태 1과 마찬가지로 행함으로써, 도 5a 내지 도 5c에 도시하는 반도체 장치를 제작할 수 있다. 또한, 본 실시형태의 반도체 장치는 절연층(501)을 가짐으로써 도전층(34)과 불순물 영역(32b, 32c)은, 전기적으로 쉽게 단락하지 않는 구조로 되어 있다.

[0055] 본 실시형태에 나타내는 반도체 장치에 사용되는 반도체 층은, 소스 영역 또는 드레인 영역의 막 두께가 채널 형성 영역의 막 두께보다 두껍게 형성된다. 이 특징은, 이온 도핑 법 등에 의한 불순물 원소의 첨가 후에 행해지는, 불순물 원소의 열 활성화를 위한 열처리에 있어서의 결정성 회복에 유리하고, 소스 영역 또는 드레인 영역의 고저항화를 억제할 수 있다. 또한, 소스 영역 또는 드레인 영역의 막 두께보다 채널 형성 영역의 막 두께가 얇기 때문에, S값을 작게 할 수 있고, 온 전류의 저하를 억제할 수 있다. 또한, 반도체 층을 적층하여 요철 형상을 갖는 반도체 층을 형성하기 때문에, 막 두께의 제어를 용이하게 행할 수 있다. 따라서, S값이 작고 또한 온 전류의 저하가 억제된 응답성이 좋은 반도체 장치를 용이하게 제작할 수 있다.

[0056] (실시형태 3)

[0057] 본 실시형태에서는, 채널 형성 영역에 단결정 반도체 층을 사용한 반도체 장치의 제작 공정의 일례에 대하여, 도 7a 내지 도 8d를 사용하여 설명한다.

[0058] 우선, 단결정규소 기판(1101)을 준비한다(도 7a 참조). 또한, 본 실시형태에서 사용하는 기판은 단결정규소 기판에 한정되지 않고, 단결정 규소 게르마늄 기판 등을 사용하여도 좋다.

[0059] 다음, 단결정규소 기판(1101) 위에 산화질화규소(SiON)막(1102)(질소를 포함하는 산화규소막이라고도 한다)을 형성한다(도 7a 참조). 막 두께는 실시자가 적절히 결정하면 좋지만, 10nm 내지 500nm, 바람직하게는 20nm 내지 100nm로 하면 좋다. 산화질화규소막(1102)은, 이 후에 SOI(Silicon On Insulator)기판의 절연층의 일부로서 기능한다. 또한, 산화질화규소막(1102)은 플라즈마 CVD법이나 저압 CVD법 등의 CVD법, 스퍼터링법 등을 사용하여 형성할 수 있다. 또한, 산소를 포함하는 가스 분위기 하에서의 플라즈마 방전에 의하여 생성된 산소 라디칼(OH 라디칼을 포함하는 경우도 있다)에 의하여 단결정규소 기판의 표면을 처리한 후, 질소를 포함하는 가스 분위기 하에서의 플라즈마 방전에 의하여 생성된 질소 라디칼(NH 라디칼을 포함하는 경우도 있다)에 의하여 단결정규소 기판(1101)의 표면을 처리함으로써, 단결정규소 기판(1101)의 표면에 산화질화규소막(1102)을 형성할 수 있다. 이에 따라, 이 후에 지지 기판과 접합할 때의 접합강도를 강화할 수 있다.

[0060] 또한, 단결정규소 기판의 내부에 부분적으로 수소를 도입하여 수소함유층(이하, 본 명세서에서는 “취(脆)화층”이라고 한다)을 형성한 기판을 사용하여도 좋다.

[0061] 또한, 산화질화규소막(1102)은 반드시 형성할 필요는 없다. 산화질화규막 대신에 열 산화막에 의한 산화규소막을 형성하여도 좋다. 또한, TEOS가스와 산소 가스의 혼합 가스를 사용하여 화학기상 성장법(CVD법: Chemical Vapor Deposition법), 특히 플라즈마 화학기상 성장법(플라즈마 CVD법)에 의하여, 성막한 산화규소막을 사용하여도 좋다. 또한, TEOS가스와 산소 가스의 혼합 가스를 사용한 CVD법에 의하여, 산화규소막을 성막할 경우, 40nm이상 800nm이하의 막 두께로 성막하는 것이 바람직하다.

[0062] 또한, 단결정규소 기판 위에 산화질화규소막 및 질화산화규소막을 순차로 적층하고, 단결정규소 기판의 내부에 부분적으로 수소를 도입하여 취화층을 형성한 후, 질화산화규소막 위에 TEOS 가스와 산소 가스의 혼합 가스를 사용하여 CVD법, 특히 플라즈마 CVD법에 의하여 산화규소막을 성막한 기판을 사용하여도 좋다. 또한, 단결정규소 기판 위에 산화질화규소막, 질화산화규소막, TEOS 가스와 산소 가스의 혼합 가스를 사용하여 CVD법, 특히 플라즈마 CVD법에 의하여 성막한 산화규소막을 순차로 적층한 후에, 단결정규소 기판의 내부에 부분적으로 수소를 도입하여 취화층을 형성한 기판을 사용하여도 좋다.

[0063] 또한, 여기서 TEOS 가스란, 테트라에틸 오르소실리케이트(Tetra Ethyl Ortho Silicate) 가스를 의미한다. TEOS 가스와 산소 가스를 사용한 CVD법, 특히 플라즈마 CVD법에 의하여 성막한 산화규소막을 단결정규소 기판(1101)과 지지 기판(1104)의 부착 계면에 형성함으로써, 기판의 밀착성을 보다 향상시킬 수 있다.

[0064] 또한, 단결정규소 기판 위에 산화질화규소막(1102)을 형성하지 않는 경우, 단결정규소 기판의 표면에 자연산화막 또는 산소를 포함하는 분위기에서 자외(UV)광을 조사함으로써 극박 산화막을 형성하는 것이 바람직하다. 또는, 단결정규소 기판의 표면을 오존 수, 과산화수소수, 황산 등의 산화재로 처리함으로써 케미컬 옥사이드라고 불리는 산화막을 형성하는 것이 바람직하다. 단결정규소 기판 위에 산화막을 형성함으로써, 그 후에 수소를 도입할 때의 단결정규소 기판의 표면의 에칭을 방지할 수 있다.

[0065] 다음, 단결정규소 기판(1101)에 산화질화규소막(1102)을 통하여 수소를 도입하여 취화층(1103)을 형성한다(도 7b 참조). 또한, 취화층(1103)이 형성되는 깊이(단결정규소 기판(1101)과 산화질화규소막(1102)의 계면과 취화층(1103)과의 사이의 거리)는, 이 후에 TFT를 형성할 때의 활성층으로서 기능하는 단결정규소층의 막두께가 된다. 예를 들면, 단결정규소 기판(1101)의 표면과 취화층(1103) 사이에 막 두께가 50nm의 단결정규소층이 남도록 이온 주입법을 사용하여 수소 이온을 1×10^{16}ions/cm^2 내지 1×10^{17}ions/cm^{2}의 도즈량으로 첨가할 수 있다. 또한, 비질량 분리 이온 도핑 장치를 사용하여 H_3^+이온을 주로 이온 종으로서 수소 이온을 첨가하여도 좋다. 수소 이온으로서 H_3^+를 사용함으로써 첨가에 필요한 시간을 단축할 수 있다.

[0066] 또한, 본 실시형태에 있어서, 산화질화규소막(1102)의 표면을 평탄화하는 처리를 행하여도 좋다. 예를 들면, 화학적 기계 연마(CMP: Chemical Mechanical Polishing)라고 불리는 연마 처리에 의하여 산화질화규소막(1102)의 표면을 평탄화할 수 있다. 산화질화규소막(1102)의 표면을 평탄화함으로써, 그 후에 접착하는 지지 기판(1104)과의 밀착성을 높일 수가 있다.

[0067] 다음, 단결정규소 기판(1101)과 별도 준비된 지지 기판(1104)을 접착시킨다. 본 실시형태에서는, 지지 기판(1104)으로서, 유리 기판을 사용하여, 그 표면에 질화산화규소(SiNO)막(1105)(산소를 포함하는 산화규소막이라고도 한다) 및 산화질화규소(SiON)막(1106)(질소를 포함하는 산화규소막이라고도 한다)을 순차로 형성한다(도 7c 참조). 또한, 반드시 지지 기판(1104) 위에 질화산화규소막(1105) 또는 산화질화규소막(1106)을 형성할 필요는 없다. 예를 들면, 유리 기판 위에 TEOS 가스와 산소 가스의 혼합 가스를 사용한 CVD법, 특히 플라즈마 CVD법에 의하여 산화규소막이 성막된 지지 기판을 사용하여도 좋다. 또한, 표면에 절연층이 형성되지 않는 유리 기판을 사용하여도 좋다. 그 경우, 유리 기판의 표면을 세정하는 것이 바람직하다.

[0068] 본 실시형태에서는, 단결정규소 기판(1101)과 지지 기판(1104)을, 산화질화규소막(1102)과 산화질화규소막(1106)을 사이에 두고 접착한다. 이렇게 함으로써, 산화질화규소막(1102)과 산화질화규소막(1106)의 계면에서의 화학 결합이 형성되어, 산화질화규소막(1102)과 산화질화규소막(1106)이 접합된 산화질화규소(SiON)막(1109)(질소를 산화규소막이라고도 한다)이 형성된다(도 8a 참조).

[0069] 또한, 단결정규소 기판(1101)과 지지 기판(1104)을 접착하기 전에, 단결정규소 기판(1101)에 형성된 산화질화규소막(1102)에 진공중에서 아르곤 이온 빔을 조사하여, 표면의 원자를 화학 결합하기 쉬운 활성한 상태로 하여도 좋다. 여기서, 아르곤 가스 분위기 하에서의 플라즈마 방전에 의하여, 생성된 아르곤 이온을 산화질화규소막(1102)의 표면에 충돌시킴으로써 산화질화규소막(1102)을 활성한 상태로 할 수 있다. 또한, 아르곤 이온 빔에 한정되지 않고, 산화질화규소막(1102)의 표면을 플라즈마 분위기, X선, 전자선에 노출시킴으로써, 산화질화규소막(1102)의 표면을 활성한 상태로 할 수 있다. 플라즈마 분위기 하에 노출시킬 때 사용하는 가스는, 산소, 질소, 아르곤, 헬륨 등의 불활성 가스, 또는 암모니아 등의 분자 가스 등을 사용할 수 있다. 또한, 그 때 기판에 조사하는 에너지는, DC바이어스로 수 볼트 내지 400 볼트 정도의 범위로 제어하는 것이 바람직하다. 또한, 20eV이상 200eV미만의 에너지를 갖는 이온 분위기 중에 노출시킴으로써 표면을 활성한 상태로 하여도 좋다. 또한, 단결정규소 기판(1101)에 형성된 산화질화규소막(1102)의 표면과 마찬가지로 지지 기판(1104) 위에 형성된 산화질화규소막(1106)의 표면을 활성화시켜도 좋다.

[0070] 단결정규소 기판(1101)에 형성된 산화질화규소막(1102)이나 지지 기판(1104) 위에 형성된 산화질화규소막(1106)에 대하여, 진공중에서 아르곤 이온 빔을 조사함으로써, 표면에 존재하는 흡착 가스나 자연 산화막 등을 에칭하여 접합하기 위한 결합력을 표면에 부여하기 위한 활성화를 행할 수 있다. 따라서, 그 후 기판을 겹침으로써 단결정규소 기판(1101)과 지지 기판(1104)을 접착할 수 있다.

[0071] 또한, 단결정규소 기판(1101)으로서, 유리 기판 대신에 플라스틱 기판을 사용하여도 좋고, 필름과 같은 가요성 기판을 사용하여도 좋다. 플라스틱 기판으로서는, PET(폴리에틸렌 테레프탈레이트), PEN(폴리에틸렌 나프탈레이트), PES(폴리에테르 설폰)으로 이루어지는 기판, 가요성 기판으로서는 아크릴 등의 합성 수지를 사용할 수 있다. 또한, 석영 기판, 세라믹스 기판, 결정화 유리 기판 등의 고내열성 기판을 사용하여도 좋다.

[0072] 또한, 지지 기판(1104) 위에 형성된 질화산화규소막(1105) 및 산화질화규소막(1106)은 블로킹 층으로서 기능하고, 유리 기판으로부터의 불순물 원소의 확산을 방지할 수 있다. 유리 기판은, 이동하기 쉬운 가동 이온을 포함하기 때문에, 블로킹 층을 형성하는 것은, 특히 효과적이다. 또한, 질화산화규소막(1105) 및 산화질화규소막(1106)은 플라즈마 CVD법이나 저압 CVD법 등의 CVD법, 스퍼터링법 등의 방법을 사용하여 형성할 수 있다.

[0073] 여기서 바람직하게는, 산화질화규소막(1106)의 표면을 평탄화하는 처리를 행하면 좋다. 예를 들면,

CMP에 의하여 산화질화규소막(1106)의 표면을 평탄화할 수 있다. 산화질화규소막(1106)의 표면을 평탄화함으로써, 그 후에 접착하는 단결정규소 기판(1101)과의 밀착성을 높일 수 있다.

[0074] 다음, 400℃ 내지 600℃의 가열 처리를 행한다. 이 가열 처리에 의하여, 취화층(1103)에서는 미소 공핍의 체적변화가 발생하여, 취화층(1103)을 따라 파단층을 발생하고, 단결정규소 기판(1101)이 분단된다. 분단된 단결정규소 기판(1101)의 일부인 단결정규소 층(1107)을 제거함으로써, 지지 기판(1104) 위에는 질화산화규소막(1105), 산화질화규소막(1109) 및 단결정규소 층(1108)이 남겨진다(도 8a 참조).

[0075] 다음, 단결정규소 층(1108)의 표면을 평탄화하는 처리를 행하여도 좋다. 평탄화 처리는, CMP에 의하여 행할 수 있다. 본 실시형태에 있어서, 최종적인 단결정규소 층(1108)의 막 두께는 10nm 내지 200nm(바람직하게는, 10nm 내지 70nm, 보다 바람직하게는, 20nm 내지 50nm)로 하면 좋다. 또한, 레이저 광의 조사에 의하여, 단결정규소 층(1108)의 평탄화와 결정 결함의 수복을 행하여도 좋다.

[0076] 이상의 공정에 의하여, 유리 기판 위에 단결정 반도체 층이 형성된 SOI 기판을 제작할 수 있다(도 8b 참조). 본 실시형태에서는, 접합하기 위한 결합력을 표면에 부여하기 위한 활성화를 행한 기판을 중첩하기 때문에, 고온의 열처리를 행하지 않고 강고한 접합을 행할 수 있다. 따라서, 고가의 고내열성 기판을 사용할 필요가 없고, 저렴한 유리 기판이나 플라스틱 기판 등을 사용할 수 있으므로, 제조 비용의 저감을 도모할 수 있다. 또한, 지지 기판과 단결정규소 층과의 사이의 절연층으로서 산소 또는 질소를 포함하는 규소막을 사용하기 때문에, 단결정규소 층에 기판으로부터의 오염물의 혼입을 방지할 수 있다.

[0077] 계속하여, 단결정규소 층(1108)을 패터닝하여, 섬 형상의 단결정규소 층(1111)을 형성한다(도 8c 참조). 다음, 섬 형상의 단결정규소 층(1111) 위에 게이트 절연층(33) 및 게이트 전극으로서 기능하는 도전층(34)을 형성한다(도 8c 참조). 여기서, 게이트 절연층(33) 및 도전층(34)은 실시형태 1의 게이트 절연층(33) 및 도전층(34)과 마찬가지로 형성할 수 있다.

[0078] 이후의 공정을 도 2b 이후의 공정과 마찬가지로 행함으로써, 도 8d에 도시하는 반도체 장치를 제작할 수 있다. 도 8d에 도시하는 반도체 장치는, 채널 형성 영역이 단결정규소 층을 사용하여 형성된다. 채널 형성 영역에 단결정규소 층을 사용함으로써, 특성이 좋은 반도체 장치를 제작할 수 있다.

[0079] 또한, 본 실시형태에 나타내는 반도체 장치에 사용되는 반도체 층은, 소스 영역 또는 드레인 영역의 막 두께가 채널 형성 영역의 막 두께보다 두껍게 형성된다. 이 특징은, 이온 도핑 법 등에 의한 불순물 원소의 첨가 후에 행해지는, 불순물 원소의 열 활성화를 위한 가열 처리에 있어서의 결정성 회복에 유리하고, 소스 영역 또는 드레인 영역의 고저항화를 억제할 수 있다. 또한, 소스 영역 또는 드레인 영역의 막 두께보다 채널 형성 영역의 막 두께가 얇기 때문에, S값을 작게 할 수 있고, 온 전류의 저하를 억제할 수 있다. 또한, 반도체 층을 적층하여 요철 형상을 갖는 반도체 층을 형성하기 때문에, 막 두께의 제어를 용이하게 행할 수 있다. 따라서, S값이 작고 또한 온 전류의 저하가 억제된 응답성이 좋은 반도체 장치를 용이하게 제작할 수 있다.

[0080] 또한, 본 실시형태에서는, 유리 기판과 단결정규소 층과의 사이에 질소를 포함하는 산화규소막과 산소를 포함하는 질화규소막을 형성하는 예를 나타냈지만, 이것에 한정되지 않고, 산화규소막, 질화규소막, 산화질화규소막, 질화산화규소막의 어느 1층만을 사용하는 단층 구조로 하여도 좋고, 이것들을 적절히 적층하는 구조로 하여도 좋다. 또한, 본 명세서 중에 있어서, 산화질화규소란 산소의 조성비율이 질소의 조성비율보다도 큰 물질을 가리킨다. 예를 들면, 산화질화규소는, 질소를 포함하는 산화규소라고 할 수도 있다. 또한, 본 명세서 중에 있어서, 질화산화규소란 질소의 조성비율이 산소의 조성비율보다도 큰 물질을 가리킨다. 예를 들면, 질화산화규소는, 산소를 포함하는 질화규소라고 할 수도 있다.

[0081] 예를 들면, 단결정규소 기판 위에 산화질화규소막을 형성하고, 유리 기판 위에 질화산화규소막을 형성하고, 단결정규소 기판과 유리 기판을 산화질화규소막 및 질화산화규소막을 통하여 접착시켜도 좋다. 또한, 유리 기판 위에 질화산화규소막, 산화질화규소막을 순차 형성하고, 단결정규소 기판과 유리 기판을 질화산화규소막 및 산화질화규소막을 통하여 접착시켜도 좋다. 또한, 단결정규소 기판 위에 산화질화규소막, 질화산화규소막을 순차 형성하고, 단결정규소 기판과 유리 기판을 산화질화규소막 및 질화산화규소막을 통하여 접착시켜도 좋다. 그때, 유리 기판 표면에는 TEOS 가스와 산소 가스의 혼합 가스를 사용한 CVD법, 특히 플라즈마 CVD법에 의하여 성막된 산화규소막이 형성되어도 좋다. 또한, 단결정규소 기판 위에 산화질화규소막을 형성하고, 유리 기판 위에 질화산화규소막, 산화질화규소막을 순차 형성하고, 산화질화규소막끼리를 접착시킴으로써 단결정규소 기판과 유리 기판을 접착시켜도 좋고, 산화질화규소막과 질화산화규소막과의 사이에 TEOS 가스와 산소 가스와의 혼합 가스를 사용한 CVD법, 특히 플라즈마 CVD법에 의하여 성막된 산화규소막을 형성하여도 좋다. 또한, 단결

정규소층 표면에 TEOS 가스와 산소 가스와의 혼합 가스를 사용한 CVD법에 의하여 성막된 산화규소막과, 질화산화규소막을 순차 형성하고, 유리 기판 표면에 TEOS 가스와 산소 가스와의 혼합 가스를 사용한 CVD법, 특히 플라즈마 CVD법에 의하여 성막된 산화규소막을 형성하고, 단결정규소 기판과 유리 기판을 질화산화규소막 및 산화규소막을 통하여 접착시켜도 좋다.

[0082] 또한, TEOS 가스와 산소 가스의 혼합 가스를 사용한 CVD법, 특히 플라즈마 CVD법에 의하여 성막된 산화규소막을 단결정규소 기판과 유리 기판을 접합할 때의 계면에 형성하는 것은, 밀착성을 향상시키기 때문에 바람직하다. 특히, 플라즈마 CVD법에 의하여, 성막된 산화규소막을 접합 계면에 형성하는 것은, 플라즈마로 활성화 처리된 열 산화막을 접합 계면에 사용하는 경우와 동등한 접합 강도를 얻을 수 있기 때문에 바람직하다. 예를 들면, 단결정규소 기판 위에 질화산화규소막 등의 절연층을 형성한 후, TEOS 가스와 산소 가스의 혼합 가스를 사용한 CVD법, 특히 플라즈마 CVD법에 의하여 산화규소막을 성막하고, 상기 산화규소막과 유리 기판을 접합하여도 좋다. 또한, 유리 기판 위에 산화질화규소막 등의 절연층을 형성한 후, TEOS 가스와 산소 가스와의 혼합 가스를 이용한 CVD법, 특히 플라즈마 CVD법에 의하여 산화규소막을 성막하고, 상기 산화규소막과 단결정규소 기판을 접합시켜도 좋다. 또한, TEOS 가스와 산소 가스의 혼합 가스를 사용한 CVD법, 특히 플라즈마 CVD법에 의하여 성막된 산화규소막 대신에, 스퍼터링법으로 형성된 산화규소막 등을 사용하여도 좋다.

[0083] 또한, 유리 기판으로부터의 불순물 원소의 확산을 방지하는 블로킹 능력은 산화규소막보다도 질화규소막 쪽이 높다. 한편, 단결정규소 층(1108)에 접하는 하지 절연층과의 계면에 발생하는 계면 준위 밀도는 질화규소막보다도 산화규소막 쪽이 낮다. 따라서, 하지 절연층을 구성하여 기판 측에 접하는 층은 질화규소막이 바람직하고, 반도체 층 측에 접하는 절연층은 산화규소막이 바람직하다. 왜냐하면, 질화규소막이 반도체 층에 접하면 계면 준위가 형성되고, TFT을 제조하는 경우에, 하지 절연층과 반도체 층 사이의 계면 준위에 전하가 트랩되고, 트랩된 전하에 의한 전계의 영향 때문에, 임계 값 전압이 크게 변동하기 때문이다.

[0084] (실시형태 4)

[0085] 본 실시형태에서는, 박막 트랜지스터, 기억 소자 및 안테나를 포함하는 본 발명의 반도체 장치의 제작 방법에 대하여, 도면을 참조하여 설명한다.

[0086] 본 실시형태에서 나타내는 반도체 장치의 구성을 설명하는 상면도 및 단면도를 도 9a 및 도 9b에 도시한다. 또한, 도 9a는 본 실시형태에서 나타내는 반도체 장치의 상면 구조의 일례를 도시하고, 도 9a의 단면 구조의 일부를 도 9b에 도시한다.

[0087] 본 실시형태에 있어서, 반도체 장치(200)는 집적 회로부(201), 메모리부(202), 안테나(303)를 가진다(도 9a 참조). 또한, 도 9b에 있어서, 영역(304)은 도 9a의 집적 회로부(201)의 단면 구조의 일부에 대응하고, 영역 305는 도 9a의 메모리부(202)의 단면 구조의 일부에 대응하고, 영역(306)은 도 9a의 안테나(303)의 단면구조의 일부에 대응하고 있다.

[0088] 본 실시형태의 반도체 장치는, 도 9b에 도시하는 바와 같이 제 1 기체(基體)(775) 위에 절연층(703)을 통하여 형성된 박막 트랜지스터(TFT)(744 내지 748)와, 박막 트랜지스터(744 내지 748) 위에 형성된 절연층(750)과, 상기 절연층(750) 위에 형성된 소스 전극 또는 드레인 전극으로서 기능하는 도전층(752 내지 761)을 가진다. 또한 절연층(750) 위에 형성된 절연층(751)과, 절연층(751) 및 도전층(752 내지 761) 위에 형성된 절연층(762)과, 절연층(762) 위에 형성된 도전층(763 내지 765)과, 절연층(762) 및 도전층(763 내지 765)의 일부를 덮도록 형성된 절연층(766)과, 도전층(763, 764) 위에 설치된 기억 소자(789, 790)와, 도전층(765) 위에 형성된 안테나로서 기능하는 도전층(786)과, 절연층(766), 기억 소자에 포함되는 도전층(771) 및 안테나로서 기능하는 도전층(786)을 덮도록 형성된 절연층(772)과, 절연층(772) 위에 형성된 제 2 기체(776)를 가진다. 또한, 제 1 기체(775) 및 제 2 기체(776)에 의하여, 반도체 장치의 집적 회로부(201), 메모리부(202), 안테나(303)는 밀봉된다.

[0089] 다음, 도 9a 및 도 9b에 도시하는 반도체 장치의 제작 공정의 일례에 대하여, 도 10a 내지 도 13b를 사용하여 설명한다.

[0090] 우선, 기판(701)의 일표면에, 박리층(702)을 형성한다(도 10a 참조). 기판(701)은, 유리 기판, 석영 기판, 금속 기판이나 스테인레스 기판의 일표면에 절연층을 형성한 기판, 본 공정의 처리 온도를 견딜 수 있는 내열성이 있는 플라스틱 기판 등을 사용하면 좋다. 이러한 기판(701)이면, 그 면적이나 형상에 큰 제한은 없다. 그래서, 기판(701)으로서, 예를 들면, 1변이 1미터 이상이며, 직사각형상의 기판을 사용하면, 생산성을 각별히 향상시킬 수 있다. 이러한 점에서, 원형의 규소 기판을 사용할 경우와 비교하여, 매우 우위에 있다.

또한, 본 공정에서는, 박리층(702)을 기판(701)의 전체면에 형성하지만, 필요에 따라, 기판(701)의 전체면에 박리층이 되는 층을 형성한 후에, 포토리소그래피법을 사용하여 선택적으로 박리층을 형성하여도 좋다. 또한, 기판(701)에 접하도록 박리층(702)을 형성하지만, 필요에 따라, 기판(701)과 박리층(702) 사이에 하지가 되는 절연층을 형성하여도 좋다.

[0091] 박리층(702)은, 스퍼터링법이나 플라즈마 CVD법 등에 의하여, 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 탄탈(Ta), 니오븀(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테늄(Ru), 로듐(Rh), 납(Pb), 오스뮴(Os), 이리듐(Ir), 규소(Si)로부터 선택된 원소 또는 상기 원소를 주성분으로 하는 합금 혹은 화합물로 이루어지는 층을, 단층 또는 적층으로 형성한다. 규소를 포함하는 층은, 비정질, 미결정, 다결정 중 어느 하나의 구조를 가져도 좋다.

[0092] 박리층(702)이 단층 구조인 경우, 예를 들면 텅스텐을 포함하는 막, 몰리브덴을 포함하는 막 또는 텅스텐과 몰리브덴의 혼합물을 포함하는 막을 형성한다. 또는, 텅스텐의 산화물 또는 산화질화물을 포함하는 막, 몰리브덴의 산화물 혹은 산화질화물을 포함하는 막 또는 텅스텐과 몰리브덴의 혼합물의 산화물 혹은 산화질화물을 포함하는 막을 형성한다. 또한, 텅스텐과 몰리브덴의 혼합물이란, 예를 들면 텅스텐과 몰리브덴의 합금에 상당한다. 또한, 텅스텐의 산화물은, 산화텅스텐이라고 표기할 경우도 있다.

[0093] 박리층(702)이 적층 구조인 경우, 1층째로서 텅스텐을 포함하는 막, 몰리브덴을 포함하는 막 또는 텅스텐과 몰리브덴의 혼합물을 포함하는 막을 형성하고, 2층째로서, 텅스텐, 몰리브덴 또는 텅스텐과 몰리브덴의 혼합물의 산화물, 질화물, 산화질화물 또는 질화산화물을 포함하는 막을 형성한다.

[0094] 또한, 박리층(702)으로서, 텅스텐을 포함하는 막과 텅스텐의 산화물을 포함하는 막의 적층 구조를 형성하는 경우, 텅스텐을 포함하는 막을 형성하고, 그 위에 산화규소를 포함하는 막을 형성함으로써, 텅스텐을 포함하는 막과 산화규소를 포함하는 막과의 계면에, 텅스텐의 산화물을 포함하는 막이 형성되는 것을 활용하여도 좋다. 이 구조는, 텅스텐을 포함하는 막과, 텅스텐의 질화물, 산화질화물 또는 질화산화물을 포함하는 막과의 적층 구조를 형성하는 경우도 마찬가지이고, 텅스텐을 포함하는 막을 형성한 후, 그 상층에 질화규소를 포함하는 막, 산화질화규소를 포함하는 막, 질화산화규소를 포함하는 막을 형성하면 좋다. 또한, 박리층(702)으로서, 금속층과 금속산화물을 포함하는 막의 적층 구조로 형성하는 경우, 금속층을 형성한 후, 상기 금속층에 플라즈마 처리를 행함으로써 금속층 위에 금속산화물을 포함하는 막으로서 금속산화막을 형성하여도 좋다. 플라즈마 처리를 행하는 경우, 산소 분위기 하 및 질소 분위기 하 또는 N_2O분위기 하 등에서 행함으로써, 금속층 위에 금속산화물을 포함하는 막으로서 금속산화막이나 금속산질화막 등을 형성할 수 있다.

[0095] 다음, 박리층(702)을 덮도록, 하지가 되는 절연층(703)을 형성한다. 절연층(703)은, 스퍼터링법이나 플라즈마 CVD법 등에 의하여, 규소의 산화물 또는 규소의 질화물을 포함하는 막을, 단층 또는 적층으로 형성한다. 규소의 산화물이란, 규소(Si)와 산소(O)를 포함하는 물질이며, 산화규소, 산화질화규소, 질화산화규소 등이 상당한다. 규소의 질화물이란, 규소(Si)와 질소(N)를 포함하는 물질이며, 질화규소, 산화질화규소, 질화산화규소 등이 상당한다. 예를 들면, 하지가 되는 절연층이 2층 구조인 경우, 1층째로서 질화산화규소막을 형성하고, 2층째로서 산화질화규소막을 형성하면 좋다. 하지가 되는 절연층이 3층 구조인 경우, 1층째의 절연층으로서 산화규소막을 형성하고, 2층째의 절연층으로서 질화산화규소막을 형성하고, 3층째의 절연층으로서 산화질화규소막을 형성하면 좋다. 또는, 1층째의 절연층으로서 산화질화규소막을 형성하고, 2층째의 절연층으로서 질화산화규소막을 형성하고, 3층째의 절연층으로서 산화질화규소막을 형성하면 좋다. 하지가 되는 절연층은, 기판(701)으로부터의 불순물의 침입을 방지하는 블로킹 층으로서 기능한다.

[0096] 다음, 절연층(703) 위에 비정질 반도체 층(704)(예를 들면, 비정질 규소를 포함하는 막)을 형성한다.

[0097] 그 후, 실시형태 1과 같은 방법을 사용하여, 비정질 반도체 층(704)을 결정화하여 얻어진 결정질 반도체 층을 원하는 형상으로 에칭하여, 결정질 반도체 층(706 내지 710)(제 1 반도체 층이라고도 한다)을 형성한다(도 10b 참조).

[0098] 다음, 결정질 반도체 층(706 내지 710)을 덮는 게이트 절연층(705)을 형성한다. 게이트 절연층(705)은, 플라즈마 CVD법이나 스퍼터링법에 의하여, 규소의 산화물 또는 규소의 질화물을 포함하는 막을, 단층 또는 적층으로 형성한다. 구체적으로는, 산화규소를 포함하는 막, 산화질화규소를 포함하는 막, 질화산화규소를 포함하는 막을 단층 또는 적층으로 형성한다.

[0099] 다음, 게이트 절연층(705) 위에, 제 1 도전층과 제 2 도전층을 적층하여 형성한다. 제 1 도전층은, 플라즈마 CVD법이나 스퍼터링법에 의하여, 20nm 내지 100nm의 두께로 형성한다. 제 2 도전층은, 100nm 내지

400nm의 두께로 형성한다. 제 1 도전층과 제 2 도전층은, 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오븀(Nb)등으로부터 선택된 원소 또는 이들의 원소를 주성분으로 하는 합금 혹은 화합물로 형성한다. 또는, 인 등의 불순물 원소를 도핑한 다결정 규소로 대표되는 반도체 재료에 의하여 형성한다. 제 1 도전층과 제 2 도전층의 조합의 예를 들면, 질화탄탈층과 텅스텐층, 질화텅스텐층과 텅스텐층, 질화몰리브덴층과 몰리브덴층 등을 들 수 있다. 텅스텐이나 질화 탄탈은, 내열성이 높기 때문에, 상기 재료로 제 1 도전층과 제 2 도전층을 형성한 후에, 불순물 원소의 열 활성화를 목적으로 한 가열 처리를 행할 수 있다. 또한, 2층 구조가 아니라, 3층 구조인 경우에는, 몰리브덴층, 알루미늄층 및 몰리브덴층의 적층 구조를 채용하면 좋다.

[0100] 다음, 포토리소그래피법을 사용하여 레지스트로 이루어지는 마스크를 형성하고, 게이트 전극과 게이트선을 형성하기 위한 에칭 처리를 행하고, 게이트 전극으로서 기능하는 도전층(716 내지 725)(게이트 전극층이라고 부르는 경우가 있다)을 형성한다.

[0101] 다음, 포토리소그래피법에 의하여, 레지스트로 이루어지는 마스크를 형성하고, 결정질 반도체 층(706, 708 내지 710)에, 이온 도핑법 또는 이온 주입법에 의하여, n형을 부여하는 불순물 원소를 저농도로 첨가하고, n형 불순물 영역(711, 713 내지 715)과 채널 형성 영역(780, 782 내지 784)을 형성한다. n형을 부여하는 불순물 원소는, 15족에 속하는 원소를 사용하면 좋고, 예를 들면 인(P), 비소(As)를 사용한다.

[0102] 다음, 포토리소그래피법에 의하여 레지스트로 이루어지는 마스크를 형성하고, 결정질 반도체층(707)에, p형을 부여하는 불순물 원소를 첨가하고, p형 불순물 영역(712)과 채널 형성 영역(781)을 형성한다. p형을 부여하는 불순물 원소는, 예를 들면, 붕소(B)를 사용한다.

[0103] 다음, 게이트 절연층(705)과 도전층(716 내지 725)을 덮도록, 절연층을 형성한다. 절연층은, 플라즈마 CVD법이나 스퍼터링법에 의하여, 규소, 규소의 산화물 또는 규소의 질화물의 무기 재료를 포함하는 막이나, 유기 수지 등의 유기 재료를 포함하는 막을, 단층 또는 적층으로 형성한다. 다음, 절연층을, 기판 표면에 대하여 수직 방향을 주체로 한 이방성 에칭에 의하여 선택적으로 에칭하고, 도전층(716 내지 725)의 측면에 접하는 절연층(739 내지 743)(사이드 월이라고도 한다)을 형성한다(도 10c 참조). 또한, 절연층 739 내지 743의 제작과 동시에, 게이트 절연층 (705)을 에칭하여 절연층(734 내지 738)을 형성한다.

[0104] 다음, 포토리소그래피법을 사용하여 형성한 레지스트로 이루어지는 마스크와, 절연층(739 내지 743)을 마스크로서 사용하고, 결정질 반도체 층(706, 708 내지 710)에 n형을 부여하는 불순물 원소를 첨가하고, 제 1 n형 불순물 영역(727, 729, 731, 733)(LDD영역이라고도 한다)과, 제 2 n형 불순물 영역(726, 728, 730, 732)(소스 영역 또는 드레인 영역이라고도 부른다)을 형성한다. 제 1 n형 불순물 영역(727, 729, 731, 733)이 포함하는 불순물 원소의 농도는, 제 2 n형 불순물 영역(726, 728, 730, 732)의 불순물 원소의 농도보다도 낮다.

[0105] 다음, 결정질 반도체 층(706 내지 710) 위에 제 2 반도체 층을 형성한다. 또한, 실시형태 1과 같은 방법으로 가열 처리를 행하여 채널 형성 영역 부분보다 막 두께가 두꺼운 소스 영역 또는 드레인 영역(726, 728, 730, 732, 712)을 갖는 반도체 층을 형성할 수 있다. 상기 공정을 경과하여, n형의 박막 트랜지스터(744, 746 내지 748)와, p형의 박막 트랜지스터(745)가 완성된다.

[0106] 계속하여, 박막 트랜지스터(744 내지 748)를 덮도록, 절연층을 단층 또는 적층으로 형성한다(도 11a 참조). 박막 트랜지스터(744 내지 748)를 덮는 절연층은, SOG법, 액적토출법 등에 의하여, 규소의 산화물이나 규소의 질화물 등의 무기 재료, 폴리이미드, 폴리아미드, 벤조시클로부텐폴리머, 아크릴폴리머, 에폭시폴리머, 실록산폴리머 등의 유기 재료 등에 의하여, 단층 또는 적층으로 형성한다. 예를 들면, 박막 트랜지스터(744 내지 748)를 덮는 절연층이 3층 구조인 경우, 1층째의 절연층(749)으로서 산화규소를 포함하는 막을 형성하고, 2층째의 절연층(750)으로서 수지를 포함하는 막을 형성하고, 3층째의 절연층(751)으로서 질화규소를 포함하는 막을 형성하면 좋다.

[0107] 또한, 절연층(749 내지 751)을 형성하기 전, 또는 절연층(749 내지 751) 중 1개 또는 복수의 박막을 형성한 후에, 반도체 층의 결정성 회복이나 반도체 층에 첨가된 불순물 원소의 활성화, 반도체 층의 수소화를 목적으로 한 가열 처리를 행하면 좋다. 가열처리에는, 열 어닐법, 레이저 어닐법 또는 RTA법 등을 적용하면 좋다.

[0108] 다음, 포토리소그래피법을 사용하여 절연층(749 내지 751)을 에칭하고, 제 2의 n형 불순물 영역(726, 728, 730, 732), p형 불순물 영역(712)을 노출시키는 콘택트 홀을 형성한다. 계속하여, 콘택트 홀을 충전하도록 도전층을 형성하고, 상기 도전층을 패턴 가공하고, 소스 전극 또는 드레인 전극으로서 기능하는 도전층(752

내지 761)을 형성한다.

[0109] 도전층(752 내지 761)은, 플라즈마 CVD법이나 스퍼터링법에 의하여, 티타늄(Ti), 알루미늄(Al), 네오듐(Nd)으로부터 선택된 원소, 또는 이것들의 원소를 주성분으로 하는 합금 혹은 화합물로, 단층 또는 적층으로 형성한다. 알루미늄을 주성분으로 하는 합금이란, 예를 들면 알루미늄을 주성분으로 하여 니켈을 포함하는 재료, 또는, 알루미늄을 주성분으로 하여, 니켈과, 탄소와 규소의 한쪽 또는 양쪽을 포함하는 합금에 상당한다. 도전층(752 내지 761)은, 예를 들면, 배리어 층과 알루미늄 규소(Al-Si)층과 배리어 층의 적층구조, 배리어 층과 알루미늄 규소(Al-Si)층과 질화티타늄층과 배리어 층의 적층 구조를 채용하면 좋다. 또한, 배리어 층이란, 티타늄, 티타늄의 질화물, 몰리브덴, 또는 몰리브덴의 질화물로 이루어지는 박막에 상당한다. 알루미늄이나 알루미늄 규소는 저항치가 낮고, 저렴하기 때문에, 도전층(752 내지 761)을 형성하는 재료로서 최적이다. 또한, 적층구조의 상층과 하층에 배리어 층을 형성하면, 알루미늄이나 알루미늄 규소의 히록의 발생을 방지할 수 있다. 또한, 티타늄을 포함하는 배리어 층을 형성하면, 결정질 반도체 층 위에 얇은 자연 산화막이 생겨 있다고 하여도, 결정질 반도체 층과 도전층 사이에 양호한 콘택트 홀을 취할 수 있다. 이것은, 환원성이 높은 원소인 티타늄이 이 자연 산화막을 용이하게 환원할 수 있기 때문이다.

[0110] 다음, 도전층(752 내지 761)을 덮도록, 절연층(762)을 형성한다(도 11b 참조). 절연층(762)은, SOG법, 액적토출법 등을 사용하여, 무기 재료 또는 유기 재료에 의하여, 단층 또는 적층으로 형성한다. 또한, 절연층(762)은, 바람직하게는, 0.75㎛ 내지 3㎛의 두께로 형성한다.

[0111] 계속하여, 포토리소그래피법을 사용하여 절연층(762)을 에칭하고, 도전층(757, 759, 761)을 노출시키는 콘택트 홀을 형성한다. 계속하여, 콘택트 을 충전하도록, 도전층을 형성한다. 도전층은, 플라즈마 CVD법이나 스퍼터링법을 사용하고, 도전성 재료에 의하여 형성한다. 다음, 도전층을 패턴 가공하고, 도전층(763 내지 765)을 형성한다. 또한, 도전층(763, 764)은, 기억 소자가 포함하는 한 쌍의 도전층 중의 한쪽의 도전층이 된다. 따라서, 바람직하게는, 도전층(763 내지 765)은, 티타늄, 또는 티타늄을 주성분으로 하는 합금 혹은 화합물에 의하여, 단층 또는 적층으로 형성하면 좋다. 티타늄은, 저항치가 낮기 때문에, 기억 소자의 사이즈를 축소할 수 있고, 고집적화를 실현할 수 있다. 또한, 도전층(763 내지 765)을 형성하기 위한 에칭 공정에 있어서는, 하층의 박막 트랜지스터(744 내지 748)에 데미지를 주지 않기 위하여, 웨트 에칭 가공을 행하면 좋고, 에칭제에는 불화수소산(HF) 또는 암모니아와 과산화수소의 수용액을 사용하면 좋다.

[0112] 다음, 도전층(763 내지 765)을 덮도록, 절연층(766)을 형성한다. 절연층(766)은, SOG법, 액적토출법 등을 사용하고, 무기 재료 또는 유기 재료에 의하여, 단층 또는 적층으로 형성한다. 또한, 절연층(766)은, 바람직하게는, 0.75㎛ 내지 3㎛의 두께로 형성한다. 계속해서, 포토리소그래피법을 사용하고, 절연층(766)을 에칭하고, 도전층(763 내지 765)을 노출시키는 콘택트 홀(767 내지 769)을 형성한다.

[0113] 다음, 도전층(765)에 접하도록 안테나로서 기능하는 도전층(786)을 형성한다(도 12a 참조). 도전층(786)은, 플라즈마 CVD법, 스퍼터링법, 인쇄법, 액적토출법 등을 사용하여, 도전성 재료에 의하여 형성한다. 바람직하게는, 도전층(786)은, 알루미늄(Al), 티타늄(Ti), 은(Ag), 구리(Cu)로부터 선택된 원소, 또는 이들의 원소를 주성분으로 하는 합금 혹은 화합물로, 단층 또는 적층으로 형성한다. 구체적으로는, 도전층(786)은, 스크린 인쇄법에 의하여, 은을 포함하는 페이스트를 사용하여 막을 형성하고, 그 후, 50℃ 내지 350℃의 가열 처리를 행함으로써 형성한다. 또는, 스퍼터링법에 의하여 알루미늄 층을 형성하고, 상기 알루미늄 층을 패턴 가공함으로써 형성한다. 알루미늄 층의 패턴 가공은, 웨트 에칭에 의한 가공을 사용하면 좋고, 웨트 에칭에 의한 가공 후는, 200℃ 내지 300℃의 가열 처리를 행하면 좋다.

[0114] 다음, 도전층(763, 764)에 접하도록 유기 화합물 층(787)을 형성한다(도 12b 참조). 유기 화합물 층(787)은, 증착법, 액적토출법, 스핀 코트법, 스크린 인쇄법 등에 의하여 형성한다. 계속하여, 유기 화합물 층(787)에 접하도록, 도전층(771)을 형성한다. 도전층(771)은, 스퍼터링법이나 증착법 등에 의하여 형성한다.

[0115] 이상의 공정을 경과하여, 도전층(763), 유기 화합물 층(787) 및 도전층(771)의 적층체로 이루어지는 기억 소자(789)와, 도전층(764), 유기 화합물 층(787) 및 도전층(771)의 적층체로 이루어지는 기억 소자(790)가 완성된다.

[0116] 또한, 상기의 제작 공정에서는, 유기 화합물 층(787)의 내열성이 강하지 않기 때문에, 안테나로서 기능하는 도전층(786)을 형성하는 공정의 후에, 유기 화합물 층(787)을 형성하는 공정을 행하는 것을 특징으로 한다.

[0117] 다음, 기억 소자(789, 790), 안테나로서 기능하는 도전층(786)을 덮도록, SOG법, 액적토출법 등에 의하

여, 보호층으로서 기능하는 절연층(772)을 형성한다. 절연층(772)은, DLC(다이아몬드 라이크 카본) 등의 탄소를 포함하는 막, 질화규소를 포함하는 막, 질화산화규소를 포함하는 막, 유기 재료에 의하여 형성한 막, 바람직하게는 에폭시 수지에 의하여 형성한 막을 사용한다.

[0118] 다음, 박막 집적회로(791)를 기판(701)으로부터 박리한다. 여기서는, 레이저 빔(예를 들면, UV영역의 파장의 레이저 광)을 조사함으로써 개구부(773, 774)를 형성한 후(도 13a 참조), 물리적인 힘을 사용하여 기판(701)으로부터 박막 집적회로(791)를 박리할 수 있다. 또한, 개구부(773, 774)를 형성한 후, 기판(701)으로부터 박막 집적회로(791)를 박리하기 전에, 개구부(773, 774)에 에칭제를 도입하고, 박리층(702)을 제거한 후(도 13b 참조)에 박리하여도 좋다. 에칭제는, 불화할로겐 또는 할로겐화합물을 포함하는 기체 또는 액체를 사용한다. 예를 들면, 불화할로겐을 포함하는 기체로서 3불화 염소(ClF3)를 사용한다. 이러한 에칭 프로세스에 의하여 박리층(702)을 제거함으로써, 박막 집적회로(791)는, 기판(701)으로부터 박리된 상태가 된다. 또한, 박리층(702)은, 모두 제거하지 않고 일부분을 잔존시켜도 좋다. 이렇게 함으로써, 에칭제의 소비량을 억제하여 박리층의 제거에 필요한 처리 시간을 단축하는 것이 가능하게 된다. 또한, 박리층(702)의 일부를 잔존시킴으로써, 박리층(702)의 제거 프로세스 후에도, 기판(701) 위에 박막 집적회로(791)를 유지해두는 것이 가능해진다.

[0119] 박막 집적회로(791)가 박리된 기판(701)은, 제조 비용의 삭감을 위하여, 재이용하면 좋다. 또한, 절연층(772)은, 박리층(702)을 제거한 후에, 박막 집적회로(791)가 비산하지 않도록 형성된 것이다. 박막 집적회로(791)는 작고 얇고 가볍기 때문에, 박리층(702)을 제거한 후는, 기판(701)에 밀착하고 있지 않기 때문에 비산하기 쉽다. 그렇지만, 박막 집적회로(791) 위에 절연층(772)을 형성함으로써 박막 집적회로(791)에 절연층(772)의 무게가 가해지기 때문에, 기판(701)으로부터의 비산을 방지할 수 있다. 또한, 박막 집적회로(791) 단체로는 얇고 가볍지만, 절연층(772)을 형성함으로써, 감긴 형상이 되지 않고, 어느 정도의 강도를 확보할 수 있다.

[0120] 다음, 박막 집적회로(791)의 한쪽의 면을, 제 2 기체(776)에 접착시켜, 기판(701)으로부터 완전히 박리한다. 계속하여, 박막 집적회로(791)의 다른 쪽의 면을, 제 1 기체(775)에 접착시키고, 그 후 가열 처리와 가압 처리의 한쪽 또는 양쪽을 행하고, 박막 집적회로(791)를, 제 1 기체(775)와 제 2 기체(776)에 의하여 밀봉한다. 이에 따라, 도 9b에 도시하는 반도체 장치를 제작할 수 있다. 제 1 기체(775)와 제2 기체(776)은, 폴리프로필렌, 폴리에스텔, 폴리불화비닐, 염화비닐 등으로 이루어지는 필름, 섬유질 재료로 이루어지는 종이, 기본재료 필름(폴리에스텔, 폴리아미드, 무기증착 필름, 종이류 등)과 접착성 합성 수지 필름(아크릴계 합성 수지, 에폭시계 합성 수지 등)과의 적층 필름 등을 사용할 수 있다. 필름은, 열 압착에 의하여 피처리체(즉, 박막 집적회로(791))와 접착된다. 가열 처리와 가압 처리를 행할 때는, 필름의 최표면에 형성된 접착층이나, 또는 최외층에 설치된 층(접착층은 아니다)을 가열 처리에 의하여 녹이고, 가압에 의하여 피처리체에 접착한다. 또한, 제 1 기체(775)와 제 2 기체(776)의 표면에는 접착층이 형성되어도 좋고, 접착층이 형성되지 않아도 좋다. 접착층은, 열 경화 수지, 자외선 경화 수지, 에폭시 수지계 접착제, 수지 첨가제 등의 접착제를 포함하는 막을 사용할 수 있다.

[0121] 이상의 공정에 의하여, 기억 소자 및 안테나를 갖는 비접촉으로 데이터의 입출력이 가능한 반도체 장치를 제작할 수 있다.

[0122] 본 실시형태에 나타내는 반도체 장치에 사용되는 반도체 층은, 소스 영역 또는 드레인 영역의 막 두께가 채널 형성 영역의 막 두께보다 두껍게 형성된다. 이 특징은, 이온 도핑법 등에 의한 불순물 원소의 첨가 후에 행해지는, 불순물 원소의 열 활성화를 위한 가열 처리에 있어서의 결정성 회복에 유리하고, 소스 영역 또는 드레인 영역의 고저항화를 억제할 수 있다. 또한, 채널 형성 영역의 막 두께가 소스 영역 또는 드레인 영역의 막 두께보다 얇기 때문에, S값을 작게 할 수 있고, 온 전류의 저하를 억제할 수 있다. 또한, 반도체 층을 적층하여 요철 형상을 갖는 반도체 층을 형성하기 때문에, 막 두께의 제어를 용이하게 행할 수 있다. 따라서, S값이 작고 또는 온 전류의 저하가 억제된 응답성이 좋은 반도체 장치를 용이하게 제작할 수 있다.

[0123] (실시형태 5)

[0124] 본 실시형태에서는, 비접촉으로 데이터의 입출력이 가능한 반도체 장치의 블록도의 일례에 대하여 설명한다. 또한, 비접촉으로 데이터의 입출력이 가능한 반도체 장치는 이용 형태에 따라서는, RFID태그, ID태그, IC태그, IC칩, RF태그, 무선 태그, 전자 태그 또는 무선 칩이라고도 불린다.

[0125] 도 14에 비접촉으로 데이터의 입출력이 가능한 반도체 장치의 구성을 설명하는 블럭도를 도시한다. 비접촉으로 데이터의 입출력이 가능한 반도체 장치(800)는, 비접촉으로 리더/라이터와 데이터를 교신하는 기능을 가지고, 고주파회로(810), 전원회로(820), 리셋 회로(830), 클록 발생회로(840), 데이터 복조회로(850), 데이터

변조회로(860), 다른 회로의 제어를 행하는 제어회로(870), 기억 회로(880) 및 안테나(890)를 가진다. 또한, 도 14에 도시하는 기억 회로(880)는 도 9에 도시하는 메모리부(202)에 상당하고, 도 14에 도시하는 고주파회로(810), 전원회로(820), 리셋 회로(830), 클록 발생회로(840), 데이터 복조회로(850), 데이터 변조회로(860), 및 제어회로(870)는 도 9a에 도시하는 집적 회로부(201)에 상당하고, 도 14에 도시하는 안테나(890)는 도 9a에 도시하는 안테나(303)에 상당한다.

[0126] 고주파회로(810)는 안테나(890)로부터 신호를 수신하고, 데이터 변조 회로(860)로부터 수신한 신호를 안테나(890)로부터 출력하는 회로이고, 전원회로(820)는 수신 신호로부터 전원전위를 생성하는 회로이고, 리셋 회로(830)는 수신 신호로부터 리셋 신호를 생성하는 회로이고, 클록 발생 회로(840)는 안테나(890)로부터 입력된 수신 신호를 기초로 각종 클록 신호를 생성하는 회로이고, 데이터 복조 회로(850)는 수신 신호를 복조하여 제어회로(870)에 출력하는 회로이고, 데이터 변조 회로(860)는 제어회로(870)로부터 수신한 신호를 변조하는 회로이다. 또한, 제어회로(870)로서는, 예를 들면, 코드 추출회로(910), 코드 판정회로(920), CRC판정 회로(930) 및 출력 유닛 회로(940)가 형성된다. 또한, 코드 추출회로(910)는 제어회로(870)가 받은 명령에 포함되는 복수의 코드를 각각 추출하는 회로이고, 코드 판정 회로(920)는 추출된 코드와 레퍼런스에 상당하는 코드를 비교해서 명령의 내용을 판정하는 회로이고, CRC판정 회로(930)는 판정된 코드에 의거하여 송신 오류 등의 유무를 검출하는 회로이다.

[0127] 다음, 상술한 반도체 장치의 동작의 일례에 대하여 설명한다. 우선, 안테나(890)에 의하여 무선신호가 수신된다. 무선신호는 고주파회로(810)를 통하여 전원회로(820)에 송신되어, 고전원전위(이하, VDD라고 표기한다.)가 생성된다. VDD는 반도체 장치(800)가 갖는 각 회로에 공급된다. 또한, 고주파회로(810)를 통하여 데이터 복조 회로(850)에 송신된 신호는 복조된다(이하, 복조 신호라고 표기한다). 또한, 고주파회로(810)를 통하여 리셋 회로(830) 및 클록 발생회로(840)를 통한 신호 및 복조 신호는 제어회로(870)에 송신된다. 제어회로(870)에 송신된 신호는, 코드 추출회로(910), 코드 판정회로(920) 및 CRC 판정회로(930) 등에 의하여 해석된다. 그리고, 해석된 신호에 따라, 기억 회로(880) 내로 기억되어 있는 반도체 장치의 정보가 출력된다. 출력된 반도체 장치의 정보는, 출력 유닛 회로(940)를 통하여 부호화된다. 또한, 부호화된 반도체 장치(800)의 정보는, 데이터 변조회로(860)를 통하여, 안테나(890)에 의하여 무선 신호에 변환하여 송신된다. 또한, 반도체 장치(800)를 구성하는 복수의 회로에 있어서는, 저전원전위(이하, VSS라고 표기한다)는 공통이고, VSS는 GND로 할 수 있다. 또한, 상기한 박막 트랜지스터로 대표되는 반도체 소자를 사용하여 고주파회로(810), 전원회로(820), 리셋 회로(830), 클록 발생회로(840), 데이터 복조회로(850), 데이터 변조회로(860), 다른 회로의 제어를 행하는 제어회로(870), 기억 회로(880) 등을 형성할 수 있다.

[0128] 이와 같이, 리더/라이터로부터 반도체 장치(800)에 신호를 송신하고, 상기 반도체 장치(800)로부터 송신되어 온 신호를 리더/라이터에서 수신함으로써, 반도체 장치의 데이터를 판독할 수 있게 된다.

[0129] 또한, 반도체 장치(800)는, 각 회로에의 전원전압의 공급을 전원(배터리)을 탑재하지 않고 전자파에 의하여 행하는 타입으로 하여도 좋고, 전원(배터리)을 탑재하여 전자파와 전원(배터리)에 의하여 각 회로에 전원전압을 공급하는 타입으로 하여도 좋다.

[0130] 다음, 비접촉으로 데이터의 입출력이 가능한 반도체 장치의 이용 형태의 일례에 대하여 도 15a 및 도 15b을 사용하여 설명한다. 표시부(3210)를 포함하는 휴대 단말의 측면에는, 리더/라이터(3200)가 설치되고, 물품(3220)의 측면에는 반도체 장치(3230)가 형성된다(도 15a 참조). 물품(3220)에 포함되는 반도체 장치(3230)에 대하여 리더/라이터(3200)를 가까이 대면, 표시부(3210)에 물품의 원재료나 원산지, 생산 공정마다의 검사 결과나 유통 과정의 이력 등, 더욱 상품의 설명 등의 상품에 관한 정보가 표시된다. 또한, 상품(3260)을 벨트 컨베이어에 의하여 반송할 때에, 리더/라이터(3240)와, 상품(3260)에 형성된 반도체 장치(3250)를 사용하여, 상기 상품(3260)의 검품을 행할 수 있다(도 15b 참조). 이와 같이, 시스템에 반도체 장치를 활용함으로써, 정보의 취득을 간단하게 행할 수 있고, 각종 물품의 고기능화와 고부가 가치화를 실현한다.

[0131] 본 실시형태의 반도체 장치는, 예를 들면, 지폐, 동전, 유가 증권류, 증서류, 무기명 채권류, 포장용 용기류, 서적류, 기록 매체 등, 신변 물건, 탈것류, 식품류, 의류, 보건용품류, 생활 용품류, 약품류 및 전자기기 등에 형성하여 사용할 수 있다. 이들의 예에 관하여, 본 발명의 반도체 장치의 이용 형태를 도 16a 내지 도 17d를 사용하여 설명한다.

[0132] 도 16a는, 본 발명에 따른 ID 라벨의 완성품의 상태의 일례이다. 라벨 대지(세퍼레이트지)(118) 위에, IC 칩(110)을 내장한 복수의 ID 라벨(20)(ID 씰)이 형성된다. ID 라벨(20)은, 박스(119) 내에 수납되어 있다. 또한, ID 라벨(20) 위에는, 그 상품이나 역무에 관한 정보(상품명, 브랜드, 상표, 상표권자, 판매자, 제조자

등)이 기재되어 있고, 한편, 내장되어 있는 IC 칩에(110)는, 그 상품(또는 상품의 종류) 고유의 ＩＤ넘버가 첨부되어 있어, 위조나, 상표권, 특허권 등의 지적재산권 침해, 부정경쟁 등의 불법 행위를 용이하게 파악할 수 있다. 또한, IC 칩(110) 내에는, 상품의 용기나 라벨에 전부 명기할 수 없는 엄청난 양의 정보, 예를 들면 상품의 산지, 판매지, 품질, 원재료, 효능, 용도, 수량, 형상, 가격, 생산 방법, 사용 방법, 생산 시기, 사용 시기, 유통 기한, 취급 설명, 상품에 관한 지적재산 정보 등을 입력해 둘 수 있고, 거래자나 소비자는, 간단한 리더에 의하여, 그들의 정보에 액세스할 수 있다. 또한, 생산자 측에서는 용이하게 재기록, 소거 등도 가능하지만, 거래자, 소비자 측에서는 재기록, 소거 등을 할 수 없는 구조로 되어 있다.

[0133] 도 16b는, 본 발명에 따른 IC 칩을 내장한 ID 태그(120)를 도시한다. ID 태그를 상품에 비치함으로써, 상품 관리가 용이해진다. 예를 들면, 상품이 도난된 경우에, 상품의 경로를 따라 감으로써, 그 범인을 신속히 파악할 수 있다. 이와 같이, ID 태그를 비치함으로써, 소위 트레이서빌리티(traceablity; 복잡화된 제조, 유통의 각 단계에서 문제가 생긴 경우에, 경로를 거슬러 올라감으로써, 그 원인을 신속히 파악할 수 있는 태세를 마련하는 것)가 우수한 상품을 유통시킬 수 있다.

[0134] 도 16c는, 본 발명에 따른 ID 카드(41)의 완성품의 상태의 일례이다. 상기 ID 카드로서는, 캐시 카드, 크레딧 카드, 선불 카드, 전자 승차권, 전자 머니, 전화 카드, 회원 카드 등의 모든 카드류가 포함된다.

[0135] 도 16d는 본 발명에 따른 IC 칩(110)을 내장한 무기명 채권(122)의 완성품의 상태의 일례이다. 상기 무기명 채권류로서는, 우표, 표, 티켓, 입장권, 상품권, 도서권, 문구권, 맥주권, 쌀 쿠폰, 각종 상품권, 각종 서비스권 등이 포함되지만, 물론 이들에 한정되는 것은 아니다. 또한, 무기명 채권에 한하지 않고 수표, 증권, 약속 어음 등의 유가 증권류, 운전면허증, 주민등록증 등의 증서류 등에 IC 칩을 형성할 수도 있다.

[0136] 도 16e는, IC 칩(110)을 내장한 상품을 포장하기 위한 포장용 필름류(127)를 도시한다. 포장용 필름류(127)는, 예를 들면, 하층 필름 위에, IC 칩을 임의로 뿌리고, 상층 필름으로 덮음으로써 제작할 수 있다. 포장용 필름류(127)는, 박스(129)에 수납되어 있고, 원하는 양만큼 커터(128)로 절단하여 이용할 수 있다. 또한, 포장용 필름류(127)로서의 소재는, 특히 제한되지 않는다. 예를 들면, 박막 수지, 알루미늄 박, 종이 등을 사용할 수 있다.

[0137] 도 17a는, 본 발명에 따른 ID 라벨(20)을 첨부한 서적(123), 도 17b는 본 발명에 따른 IC 칩(110)을 내장한 ID 라벨(20)을 첨부한 페트병(124)을 도시한다. 또한, ID 라벨을 형성하는 물품은 이들에 한정되지 않는다. 도시락 등의 포장지 등의 포장용 용기류, DVD소프트웨어, 비디오 테이프 등의 기록 매체, 자전거 등의 차량, 선박 등의 탈것류, 가방, 안경 등의 신변 물건, 식료품, 음료 등의 식품류, 의복, 신발 등의 의류, 의료 기구, 건강기구 등의 보건용품류, 가구, 조명 기구 등의 생활 용품류, 의약품, 농약등의 약품류, 액정표시장치, EL표시장치, 텔레비전 장치(텔레비전 수상기, 박형 텔레비전 수상기), 휴대전화 등의 전자 기기 등 여러가지 물품에 ID 라벨을 형성할 수 있다. 본 발명에 사용되는 ID 라벨(20)은, 매우 얇기 때문에, 상기 서적 등의 물품에 ID 라벨(20)을 탑재하여도, 기능, 디자인성을 손상시키지 않는다. 또한, 본 발명에 따른 IC 칩(110)이 비접촉으로 데이터의 입출력이 가능한 경우, 안테나를 박막 집적회로의 일부로서 일체 형성할 수 있고, 곡면을 갖는 상품에 직접 전사하는 것이 용이해진다.

[0138] 도 17c는, 과일류(131)의 생선식품에, 직접 ID 라벨(20)을 부착한 상태를 도시한다. 또한, 도 17d는 IC 칩(110)을 내장한 포장용 필름류(127)에 의하여, 야채류(130) 등의 생선식품을 포장한 일례를 도시한다. 또한, ID 라벨을 상품에 부착한 경우, 벗겨질 가능성이 있지만, 포장용 필름류에 의해 상품을 포장한 경우, 포장용 필름류를 벗기는 것은 곤란하기 때문에 방범 대책상의 장점이 있다.

[0139] 지폐, 동전, 유가 증권류, 증서류, 무기명 채권류 등에 RFID 태그를 형성함으로써, 위조를 방지할 수 있다. 또한, 포장용 용기류, 서적류, 기록 매체 등, 신변 물건, 식품류, 의류, 생활 용품류, 전자기기 등에 RFID 태그를 형성함으로써, 검품 시스템이나 렌탈점의 시스템 등의 효율화를 도모할 수 있다. 탈것류, 보건 용품류, 약품류 등에 RFID 태그를 형성함으로써, 위조나 도난의 방지, 약품류라면, 약의 복용의 실수를 방지할 수 있다. RFID 태그는, 물품의 표면에 접착하거나, 물품에 내장하거나 함으로써 형성한다. 예를 들면, 책이라면 종이에 내장하거나, 유기 수지로 이루어지는 패키지라면 상기 유기 수지에 내장하거나 하면 좋다.

[0140] 이와 같이, 포장용 용기류, 서적류, 기록 매체 등, 신변 물건, 식품류, 의류, 생활 용품류, 전자기기 등에 RFID 태그를 형성함으로써, 검품 시스템이나 렌탈점의 시스템 등의 효율화를 도모할 수 있다. 또한 탈것류, 보건용품류, 약품류 등에 RFID 태그를 형성함으로써, 위조나 도난을 방지할 수 있다. 또한, 본 발명의 반도체 장치는 얇기 때문에, 동물 등의 생물에게 용이하게 매립하는 것이 가능하여, 개개의 생물의 식별을 용이하

게 행할 수 있다. 예를 들면, 가축 등의 생물에 RFID 태그를 매립함으로써, 태어난 년도나 성별 또는 종류 등을 용이하게 식별할 수 있다.

[0141] 이상과 같이, 본 실시형태의 반도체 장치는 물품이라면 어떤 것에도 형성하여 사용할 수 있다.

도면의 간단한 설명

[0142] 도 1a 내지 도 1c는 본 발명의 반도체 장치의 구성을 설명하는 상면도 및 단면도.

[0143] 도 2a 내지 도 2c는 본 발명의 반도체 장치의 제작 공정을 설명하는 도면.

[0144] 도 3a 내지 도 3c는 본 발명의 반도체 장치의 제작 공정을 설명하는 도면.

[0145] 도 4a 및 도 4b는 본 발명의 반도체 장치의 제작 공정을 설명하는 도면.

[0146] 도 5a 내지 도 5c는 본 발명의 반도체 장치의 구성을 설명하는 상면도 및 단면도.

[0147] 도 6a 내지 도 6c는 본 발명의 반도체 장치의 제작 공정을 설명하는 도면.

[0148] 도 7a 내지 도 7c는 본 발명의 반도체 장치의 제작 공정을 설명하는 도면.

[0149] 도 8a 내지 도 8d는 본 발명의 반도체 장치의 제작 공정을 설명하는 도면.

[0150] 도 9a 및 도 9b는 본 발명의 반도체 장치의 구성을 설명하는 상면도 및 단면도.

[0151] 도 10a 내지 도 10c는 본 발명의 반도체 장치의 제작 공정을 설명하는 단면도.

[0152] 도 11a 및 도 11b는 본 발명의 반도체 장치의 제작 공정을 설명하는 단면도.

[0153] 도 12a 및 도 12b는 본 발명의 반도체 장치의 제작 공정을 설명하는 단면도.

[0154] 도 13a 및 도 13b는 본 발명의 반도체 장치의 제작 공정을 설명하는 단면도.

[0155] 도 14는 본 발명의 반도체 장치의 구성을 설명하는 블록도.

[0156] 도 15a 및 도 15b는 본 발명의 반도체 장치의 이용 형태를 설명하는 도면.

[0157] 도 16a 내지 도 16e는 본 발명의 반도체 장치의 이용 형태를 설명하는 도면.

[0158] 도 17a 내지 도 17d는 본 발명의 반도체 장치의 이용 형태를 설명하는 도면.

[0159] <도면의 주요 부분에 대한 부호의 설명>

[0160] 30: 기판 31: 절연층

[0161] 32: 제 1 반도체 층 32a: 채널 형성 영역

[0162] 32b: 불순물 영역 32c: 불순물 영역

[0163] 32d: 불순물 영역 32e: 불순물 영역

[0164] 33: 게이트 절연층 34: 도전층

[0165] 203: 절연층 203a: 절연층

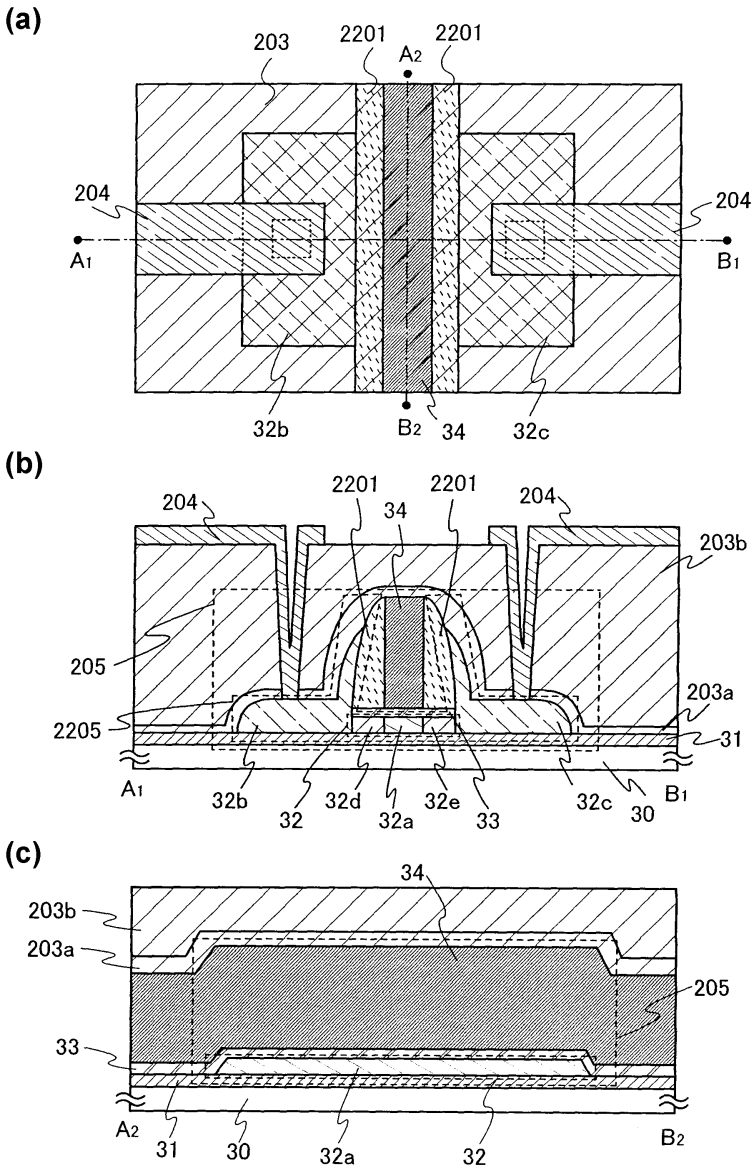
[0166] 203b: 절연층 204: 도전층

[0167] 205: 박막 트랜지스터 2201: 절연층

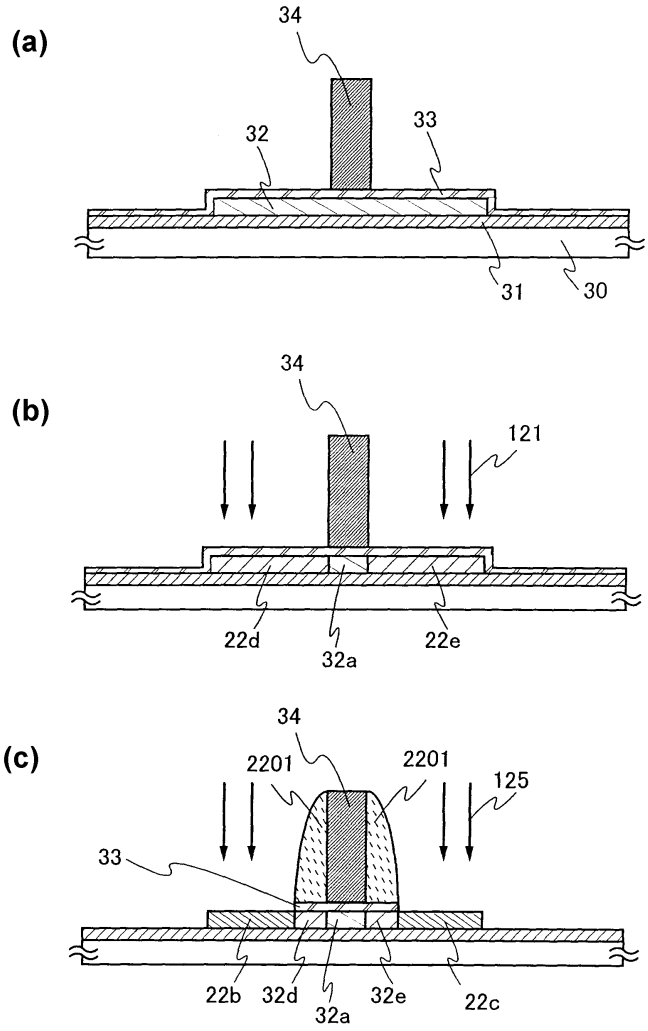
[0168] 2205: 반도체 층

도면

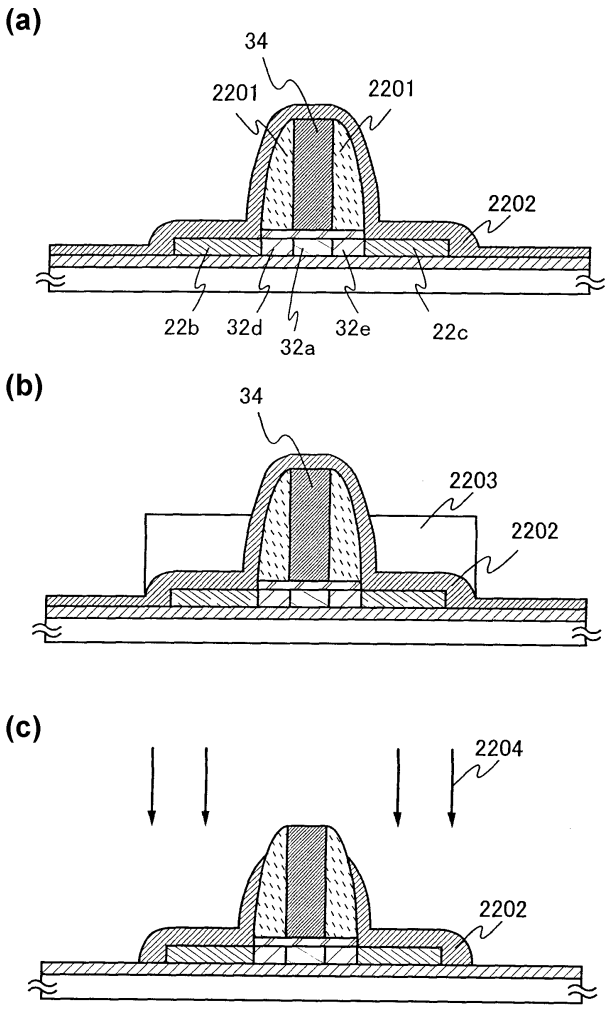
도면1


(a)
203
2201
2201
A2
204
204
A1
B1
32b
B2
34
32c
(b)
204
2201
2201
34
204
203b
205
203a
2205
31
A1
32b
32
32d
32a
32e
33
32c
30
B1
(c)
34
203b
203a
205
33
A2
31
30
32a
32
B2

도면2

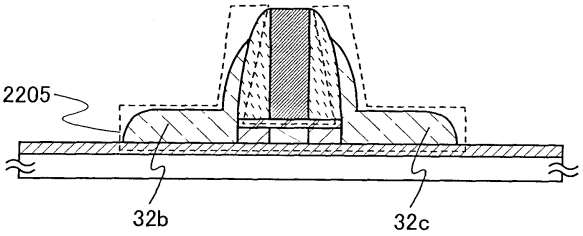

(a)
34
32
33
31
30
(b)
34
121
22d
32a
22e
(c)
34
2201
2201
125
33
22b
32d
32a
32e
22c

도면3

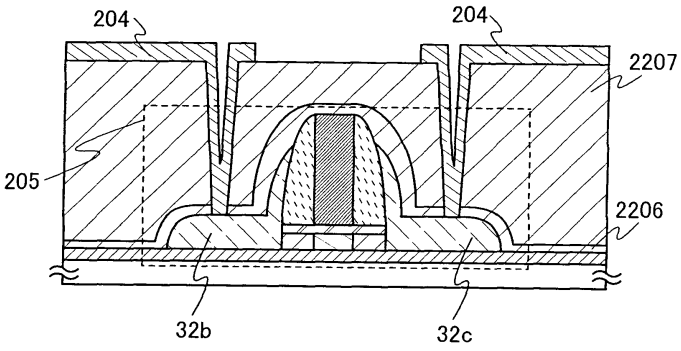

(a)
34
2201
2201
2202
22b
32d
32a
32e
22c
(b)
34
2203
2202
(c)
2204
2202

도면4

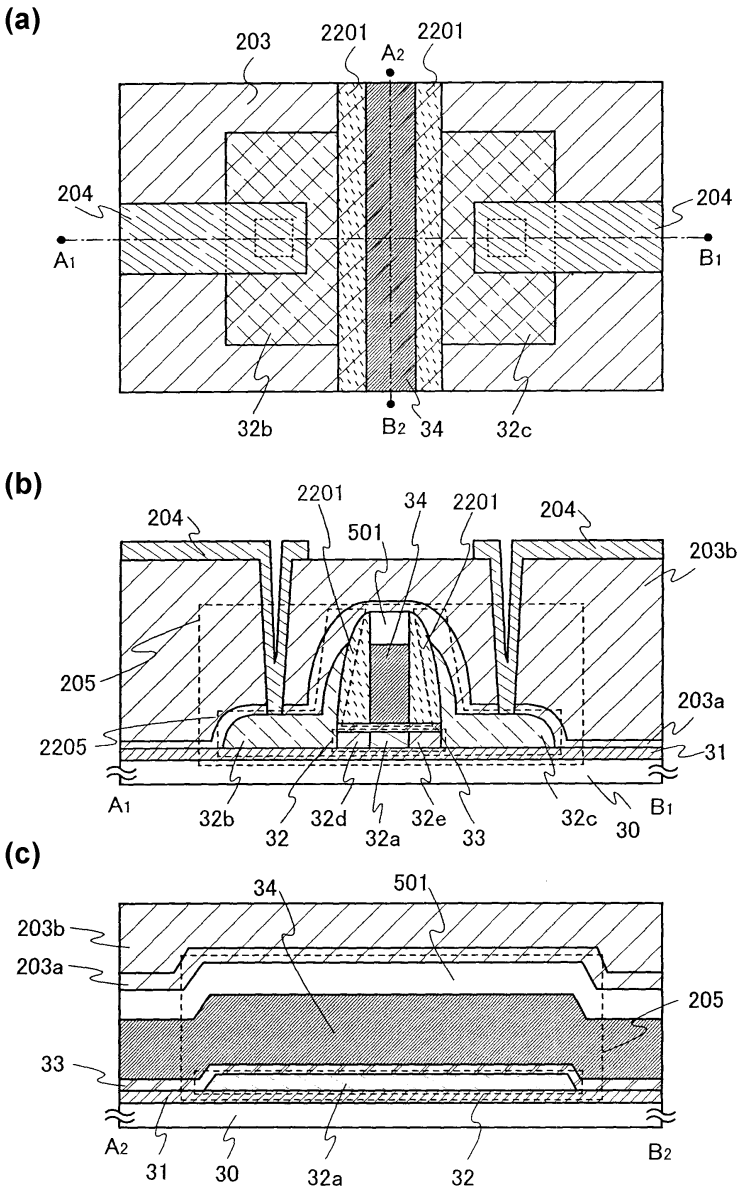
(a)



(b)

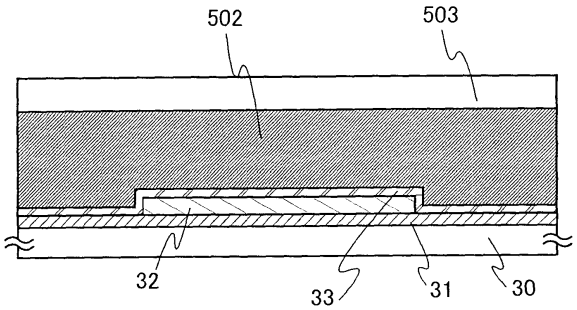


도면5

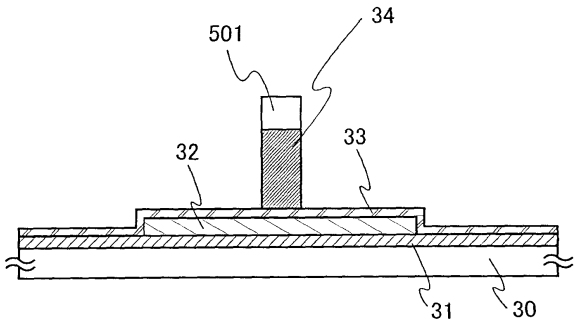

(a)
203
2201
2201
A2
204
204
A1
B1
32b
B2
34
32c
(b)
2201
34
2201
204
204
501
203b
205
203a
2205
31
A1
32b
32
32d
32a
32e
33
32c
30
B1
(c)
34
501
203b
203a
205
33
A2
31
30
32a
32
B2

도면6

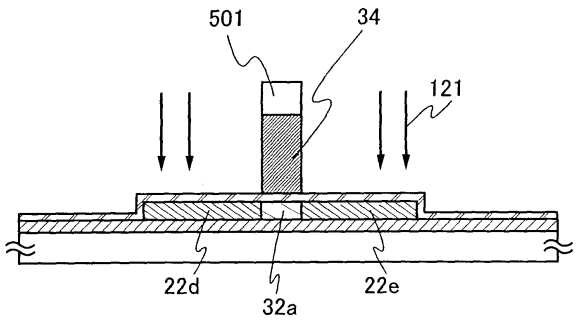
(a)



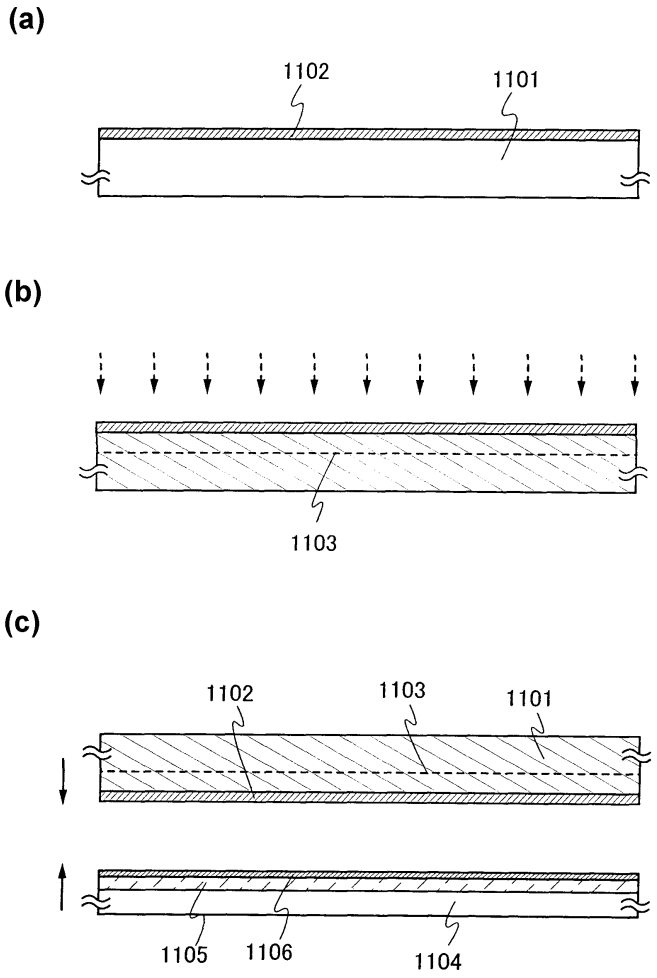
(b)



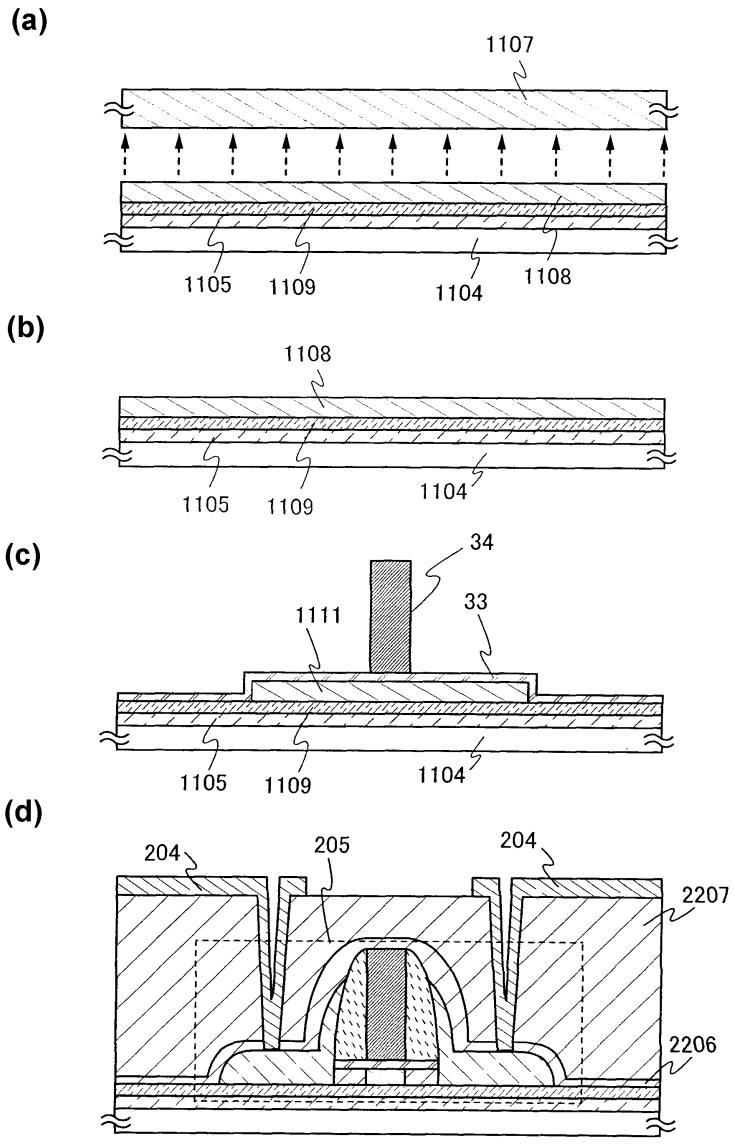
(c)



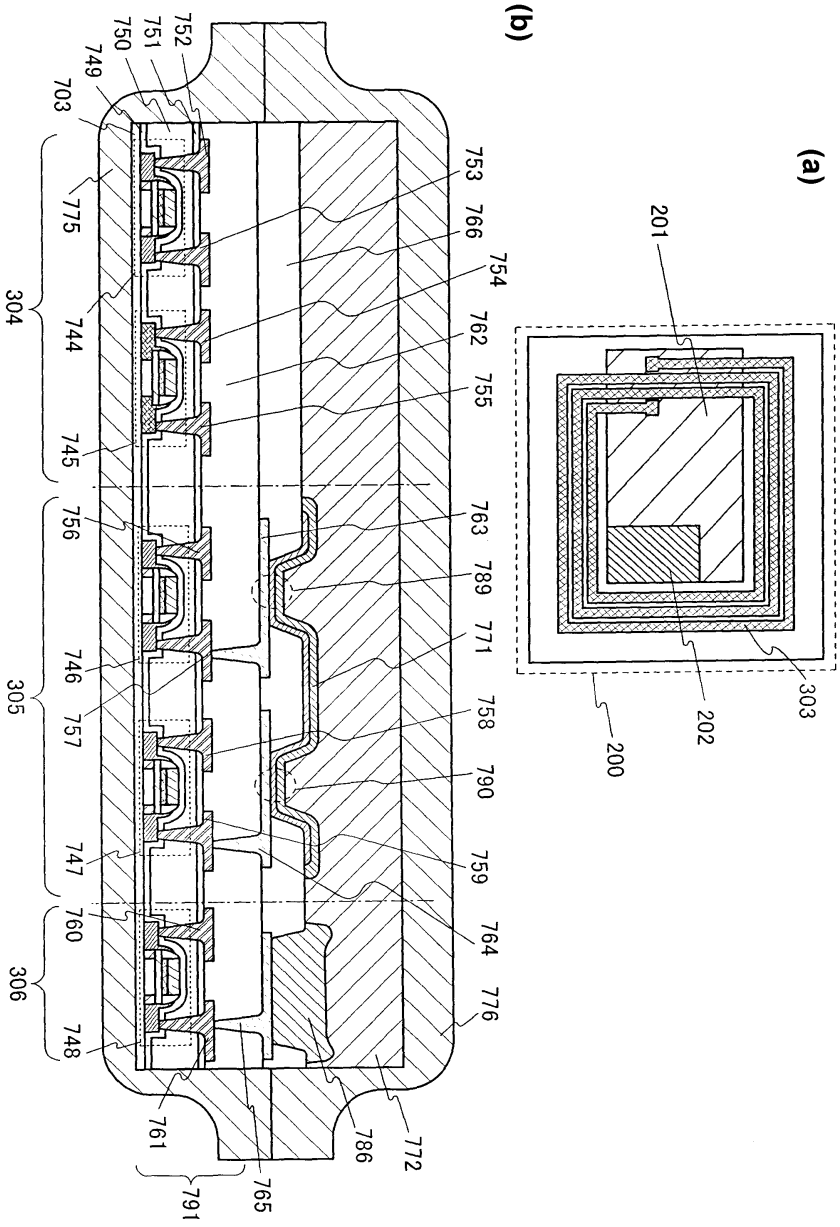
도면7



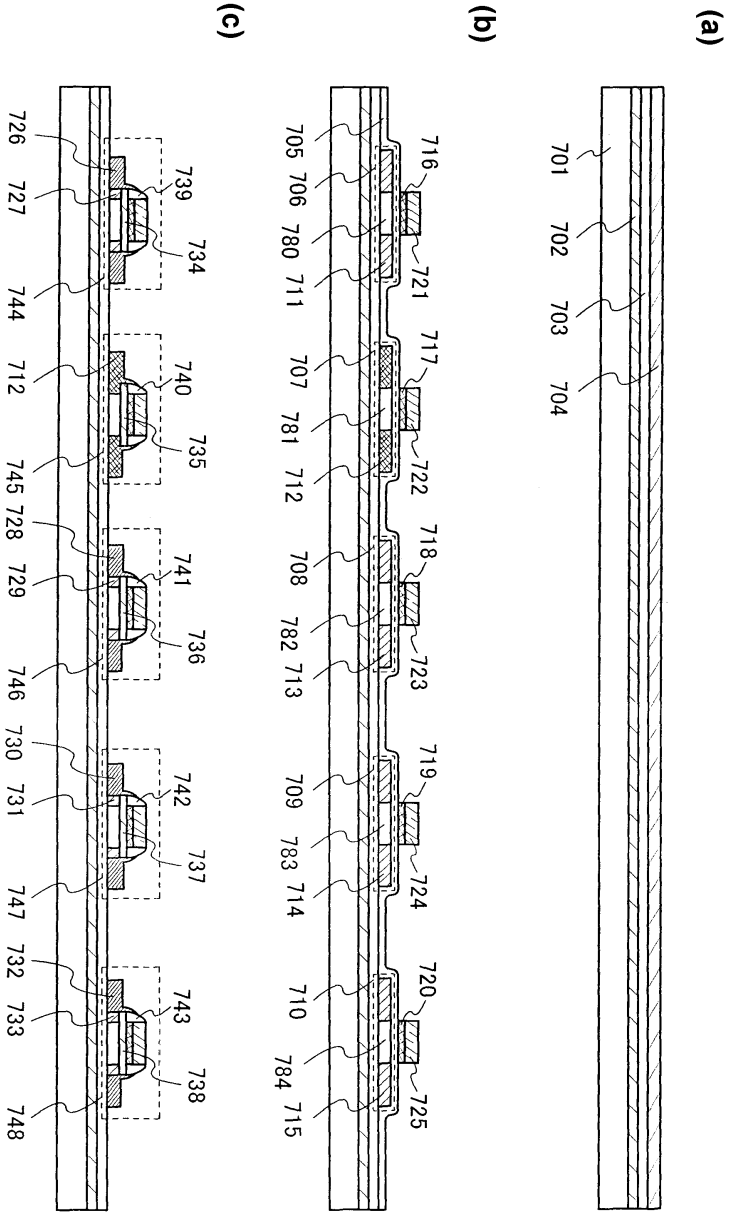
도면8


(a)
1107
1105
1109
1104
1108
(b)
1108
1105
1109
1104
(c)
34
1111
33
1105
1109
1104
(d)
204
205
204
2207
2206

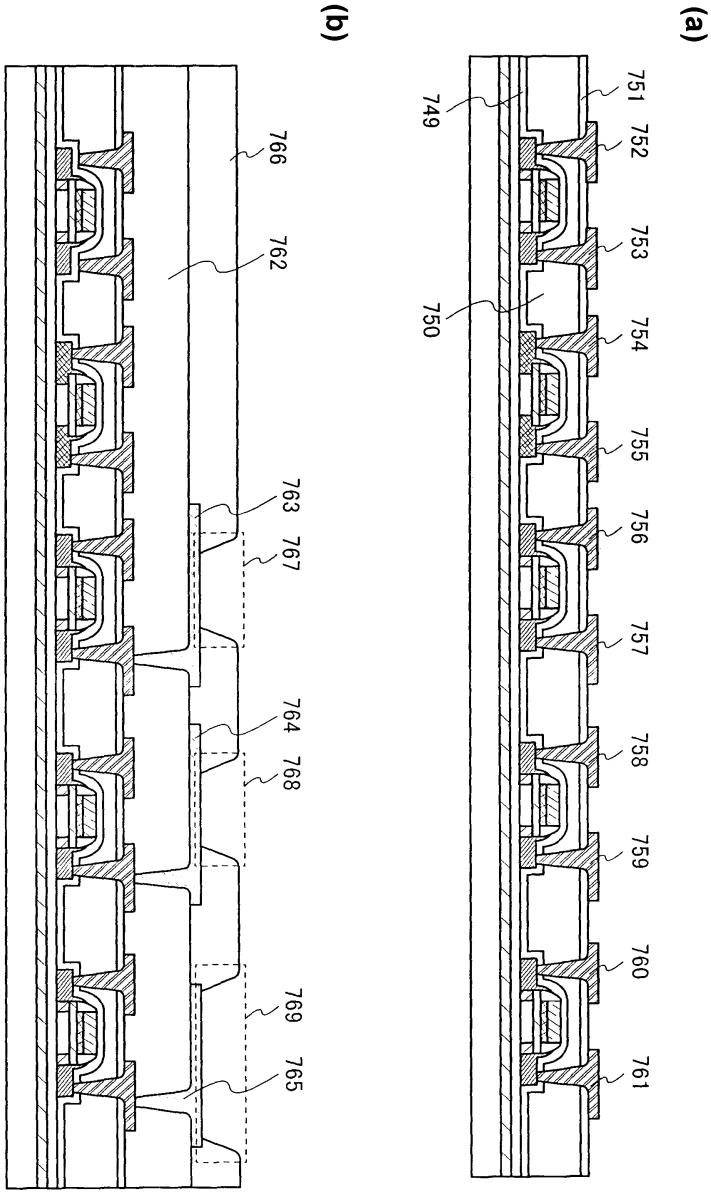
도면9


(a)
201
202
303
200
(b)
703
749
750
751
752
775
744
745
753
766
754
762
755
304
756
763
789
771
746
757
758
790
747
759
760
764
776
306
305
748
761
786
772
791
765

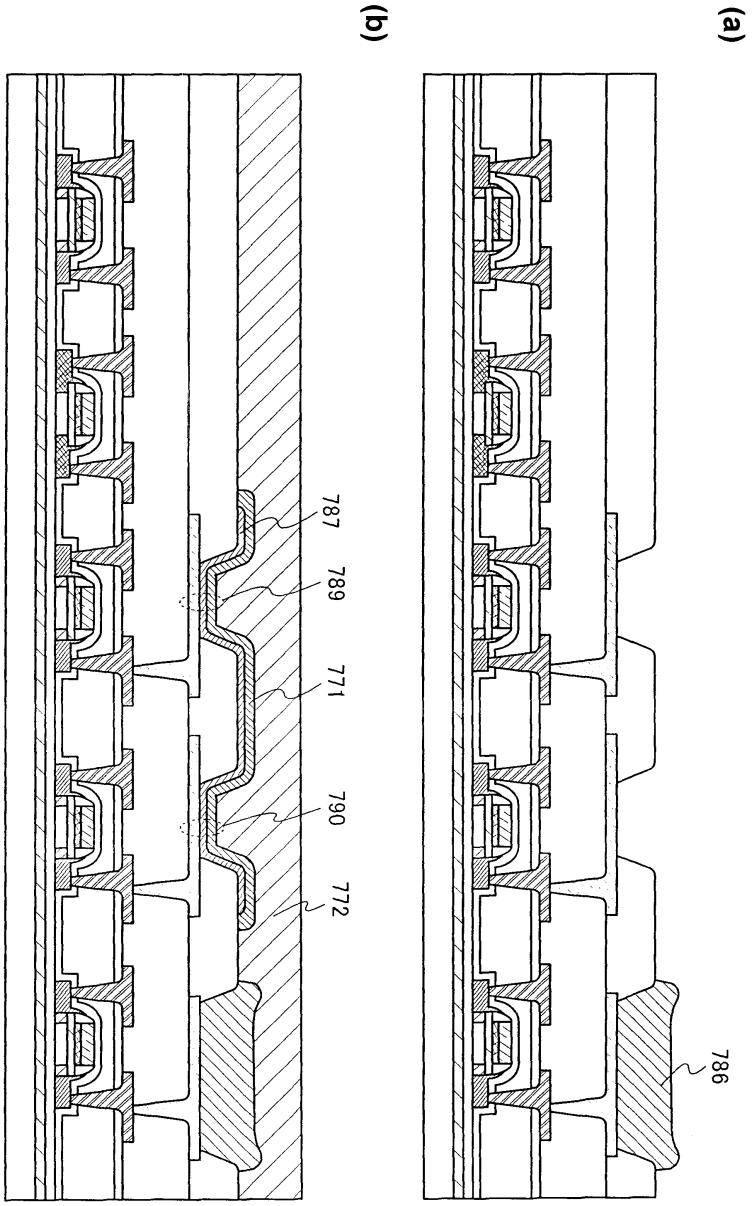
도면10


(a)
701
702
703
704
(b)
716
721
717
722
718
723
719
724
720
725
705
706
780
711
707
781
712
708
782
713
709
783
714
710
784
715
(c)
726
727
744
712
745
728
729
746
730
731
747
732
733
748
739
734
740
735
741
736
742
737
743
738

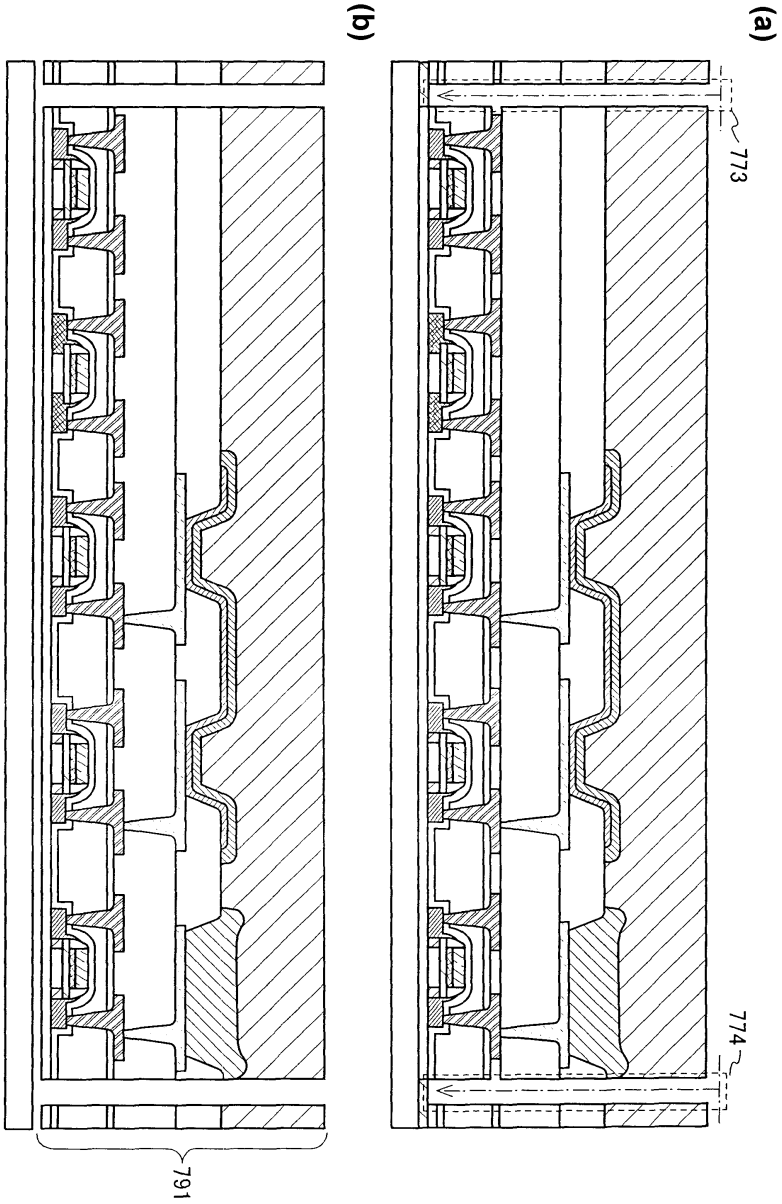
도면11


(a)
749
751
752
753
750
754
755
756
757
758
759
760
761
(b)
766
762
763
767
764
768
769
765

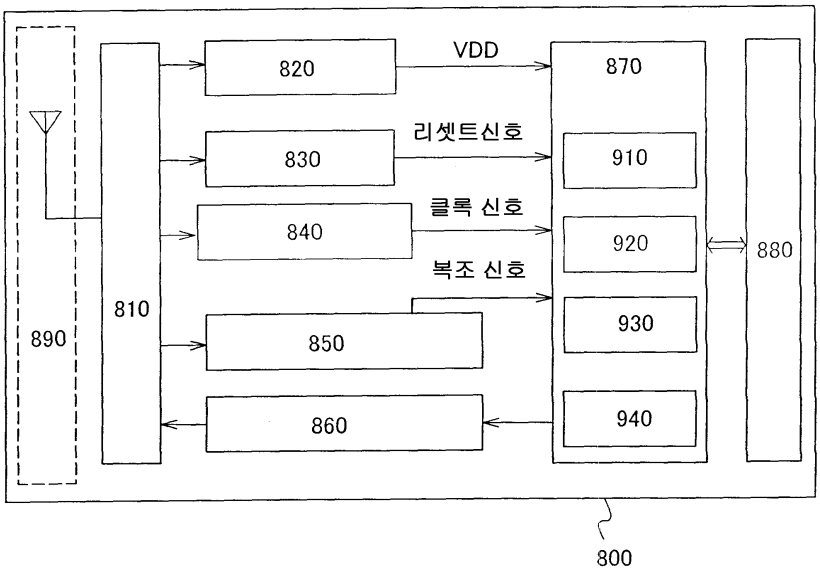
도면12



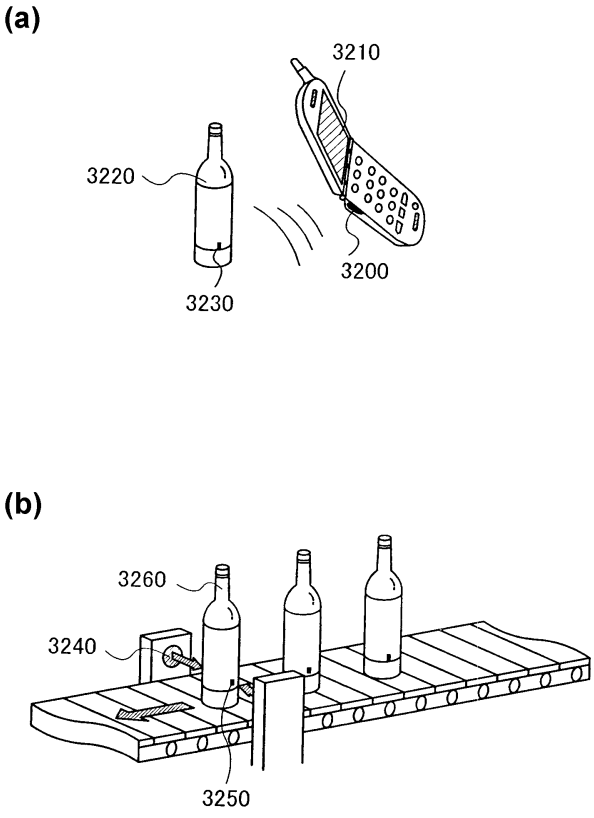
도면13



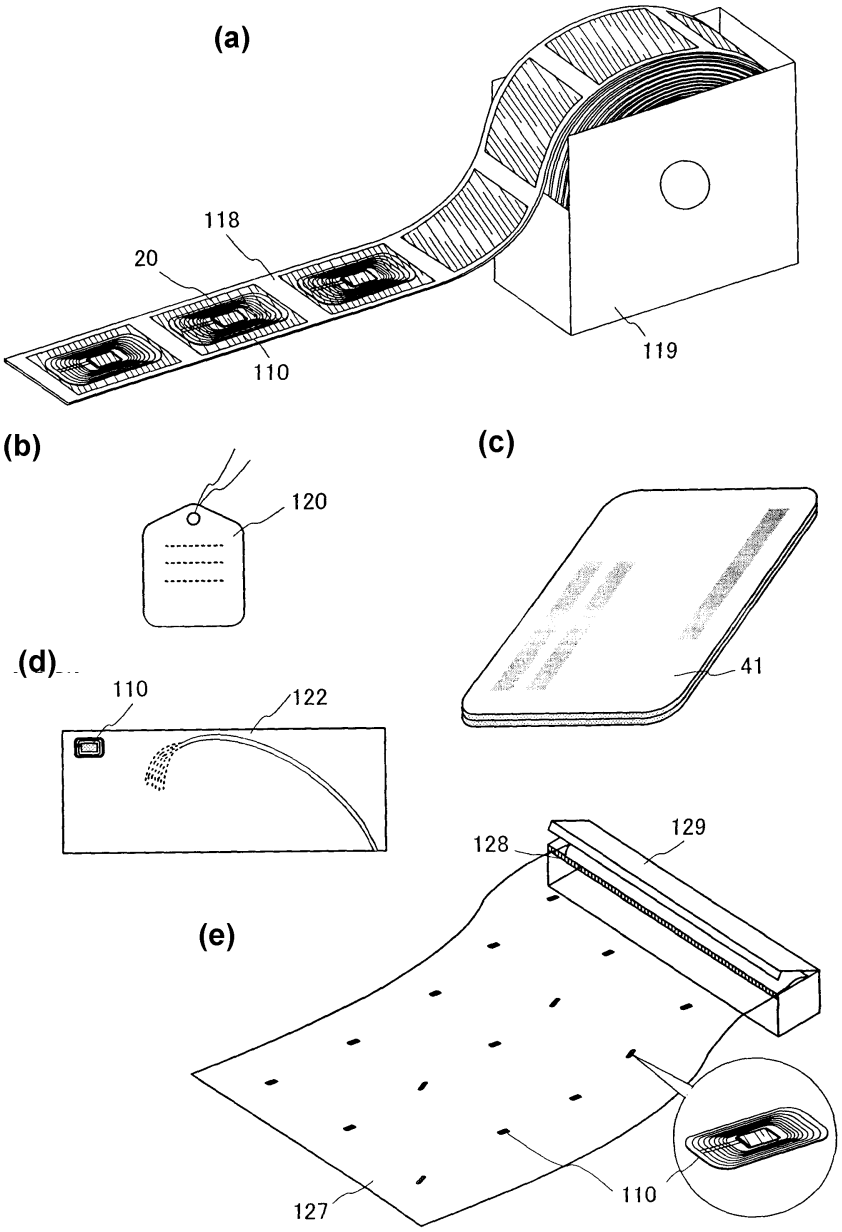
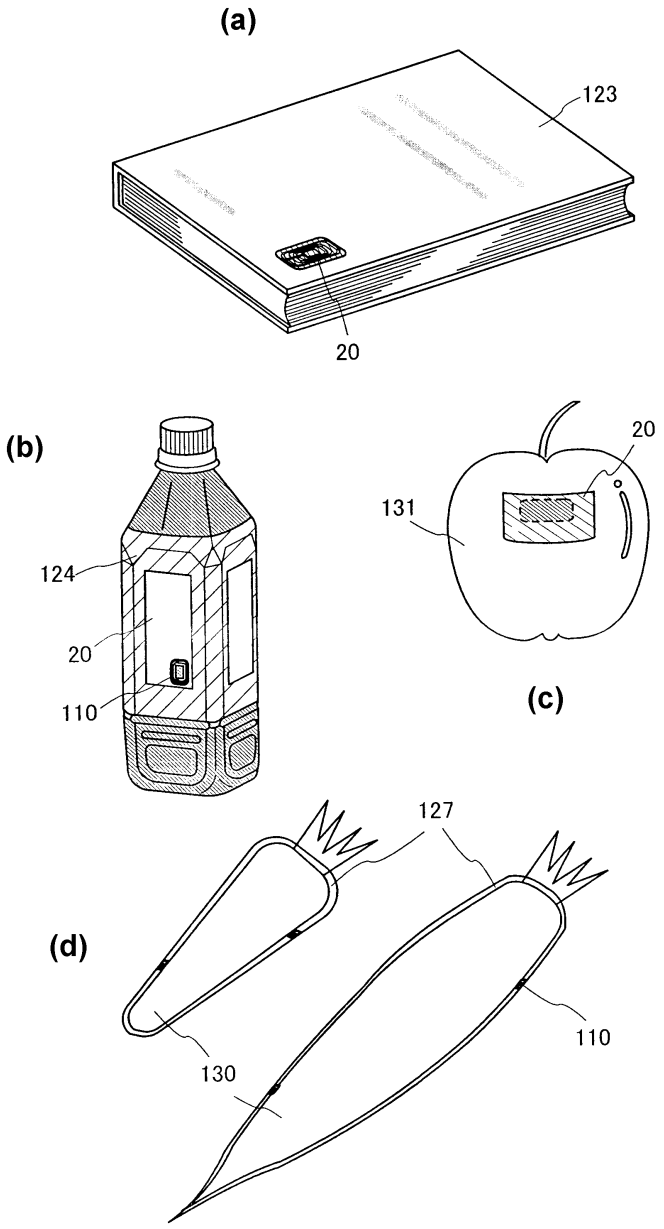
도면14


820
VDD
870
830
리셋트신호
910
840
클록 신호
920
880
복조 신호
810
890
850
930
860
940
800

도면15


(a)
3210
3220
3200
3230
(b)
3260
3240
3250

도면16



도면17