

公告本

88年11月3日

修正

申請日期: 87.12.04

案號: 87120130

修正  
88年11月2日  
補充

(以上各欄由本局填註)

# 發明專利說明書

494662

一、發明名稱	中文	可變位元率計時回復之方法及裝置
	英文	METHOD AND APPARATUS FOR VARIABLE BIT RATE CLOCK RECOVERY
二、發明人	姓名(中文)	1. 湯瑪士 C. 班威爾 2. 尼姆 K. 張
	姓名(英文)	1. THOMAS C. BANWELL 2. NIM K. CHEUNG
	國籍	1. 美國 2. 美國
	住、居所	1. 美國紐澤西州馬迪森市公園大道110號 2. 美國紐澤西州索特山莊市長山莊大道496號
三、申請人	姓名(名稱)(中文)	1. 美商泰克迪亞科技公司
	姓名(名稱)(英文)	1. TELCORDIA TECHNOLOGIES, INC.
	國籍	1. 美國
	住、居所(事務所)	1. 美國紐澤西州莫瑞斯頓市南方大街445號
	代表人姓名(中文)	1. 喬瑟夫 佐丹奴
	代表人姓名(英文)	1. JOSEPH GIORDANO



本案已向

國(地區)申請專利	申請日期	案號	主張優先權
美國 US	1997/12/05	60/067,397	有
美國 US	1998/11/25	09/199,480	有

有關微生物已寄存於

寄存日期

寄存號碼

無



## 五、發明說明 (1)

### 相關申請案

本發明之相關申請案美國專利申請案60/067397，於1997年12月5日申請，該文之內容併入本文。

### 發明背景

### 發明領域

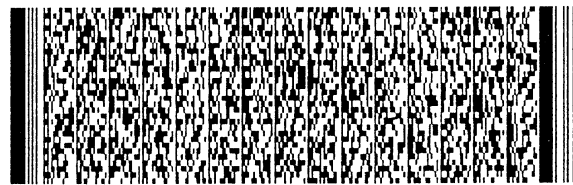
本發明之發明領域係有關於通訊網路中信號的回復定時時脈，尤其是，在通訊網路中，用於回復變動位元率信號的定時時脈。

### 習知技術說明

處理不同來源之不同類型訊務的高可靠度網路監視及管理時域中數位傳輸的品質。無法偵測及更正傳輸損害導致不可接受的連結錯誤，及不可預期的網路失敗。因此，需要從一串的傳輸數據中取出一時脈信號以執行必需的量測，且更正不可避免的傳輸品質下降。

必需一取出的時脈信號以執行時域量測，如眼視圖樣開窗及定時跳動。取出的時脈信號基本上用於在更進一步處理之前；辨識傳輸數據串中各別的數據位元，該處理如數位多工，協定轉換，包封切換，及位元位元率之量測 (BER)。

時脈回復在傳統上視為速率指定處理，因此結果傳統的點對點傳輸基本上只使用雙線速率。但是，如電話切換及波長分割多工(WDM)的合併網路技術已可動作準確的光網路圖形，在此連結傳輸不同型式的訊務，如以太網路協定(IP)，不同步傳輸模式(ATM)，光頻道，不同步光網路



## 五、發明說明 (2)

(SONET) 及十億位元乙太網路。因此，這些合併的網路必需使用時脈回復電路，以可適於變動的前向速率偵測器傳輸速率。

鎖相迴路為一種通常使用在時脈回復電路中的追蹤濾波器，以從一輸入的數據信號中取出時脈信號。圖1為習知技術之時脈回復電路100的主要組件。其包含一鎖相迴路。鎖相迴路包含一相位比較器120，一低通濾波器130，一穩壓控制振盪器150 (VCO) 及回授迴路165。

如圖所示，如雙端緣觸發單擊元件的遷移偵測器110取出一不回復為0 (NRZ) 輸入信號155，且產生間隔  $\tau_{ED}$  的單脈波(對於輸入信號155中的各遷移)。帶通頻率  $f_c$  之中心在輸入信號155之位元率頻率  $f_{bit}$  的鎖相迴路從由遷移偵測器110產生的脈波串中取出時脈信號。相位比較器120比較鎖相迴路之輸出的信號相位與脈波串，且產生相位差信號。低通濾波器130濾波且放大相位差信號以產生用於調整VCO 150之相位的更正信號。

對於一變動位元率NRZ輸入信號，必需在時脈回復電路100中適當地調整兩速率相關參數以回復相關的時脈信號160。一速率相關參數為由遷移偵測器110產生之脈波的寬度  $\tau_{ED}$ 。而輸入信號155一般不在其位元率頻率  $f_{bit}$  中包含能量，由遷移偵測器110產生的脈波串不包含位元率頻率  $f_{bit}$  中的能量。在位元率頻率  $f_{bit}$  中的能量當產生脈波的寬度  $\tau_{ED}$  等於速率  $1/(2f_{bit})$  時為最大。

VCO 150的中心頻率為第二速率相關參數，必需適當地



## 五、發明說明 (3)

設定此參數，以回復來自輸入信號155的時脈信號160。開始主動或被動穩壓信號170設定VCO 150的中心頻率在沒有來自相位比較器120的信號時，其值為 $f_c$ 。回授迴路165使得VCO的中心頻率從初始頻率 $f_c$ 在中心頻率近位元率頻率 $f_{bit}$ 時鎖定位元率頻率 $f_{bit}$ 。當VCO 150的中心頻率正等於位元率頻率 $f_{bit}$ 時，VCO 150將鎖相，以在輸入信號155中遷移。

除了鎖相迴路外，時脈回復電路也包含一頻率鎖定迴路，用於調整VCO 150的中心頻率 $f_c$ 到位元率頻率 $f_{bit}$ 。圖2示時脈回復電路200的基本組件，其包含遷移偵測器210，相位比較器220，頻率比較器260，低通濾波器230及VCO 250。頻率比較器220控制由遷移偵測器210產生之脈波串與VCO 250的輸出，且產生一鎖定信號，其反映VCO 250之中心頻率及信號頻率 $f_{bit}$ 之間的差。加法器270結合鎖定信號與相位比較器220的輸出。回授迴路265導致VCO 250的中心頻率從 $f_c$ 的初值偏移到位元率頻率 $f_{bit}$ ，而使得鎖定信號遷移到0。此時，相位比較器120持續控制VCO 250的中心頻率及相位。

由遷移偵測器210產生的脈波串也包含多個位元率頻率 $f_{bit}$ 能量，其相關的振幅隨著 $\tau_{ED}$ 的減少而增加。方法在鎖碼輸入信號中的規則圖樣可位元率頻率 $f_{bit}$ 的諧波及次諧波。所以，當VCO 250的中心頻率不適當地設定為位元率頻率 $f_{bit}$ 的倍數時，現存的時脈回復電路追蹤輸入數據信號的諧波及次諧波。所以，錯誤鎖定發生在時脈回復電路



## 五、發明說明 (4)

到達位元率頻率 $f_{bit}$ 時，此時VCO 250的中心頻率掃過該諧波。另外，在共同方塊編碼輸入數據信號中的循環圖樣增加時脈回復電路為次諧波鎖定的磁化率。

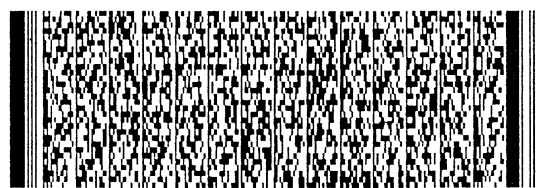
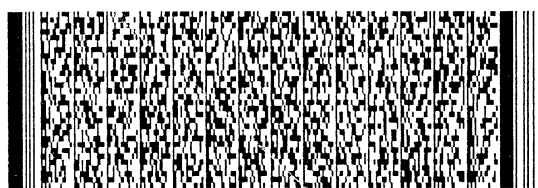
雖然已知道多種技術可掃過VCO 250的中心頻率以決定位元率頻率 $f_{bit}$ ，這些技術不是太慢，即缺乏足夠的準確度以使用在變動位元率應用上。其中變動位元率應用之一例為波長分割多工(WDM)，在此輸入數據信號的位元率很寬。另外，現在的技術使得時脈回復電路可馬上鎖定位元率頻率 $f_{bit}$ 的諧波及次諧波。

因此，有必要有一種方法及裝置，其不具有上述習知技術時脈回復電路的缺點，以從變動位元率輸入數據信號中回復一時脈信號。

## 發明概述

本發明的方法及裝置係用於經由在時域上經由估測數據信號的位元率，從一變動位元率數據信號中回復一時脈信號，且感測估測的變動位元率，決定窄頻濾波器的中心頻率，以從數據信號中取出時脈信號。本發明的時脈回復電路從改變的位元率數據信號中取出時脈信號，係經由估測輸入信號中遷移之間的最小時段，產生對應輸入信號中遷移之多個脈波中，基於估測的最小時段調整各脈波的間隔，且將調整的脈波輸入窄頻濾波器，基於估測的最小時段決定窄頻濾波器的中心頻率，且在窄頻濾波器中從調整的脈波內取出時脈信號。

本發明的方法及裝置係用於估測與主相位鎖定迴路及頻



## 五、發明說明 (5)

率鎖定迴路無關的數據信號之位元率。此方法及裝置直接估測輸入信號中遷移之間的最小時段，且因此消除諧波及次諧波鎖定的問題，習知技術的時脈回復電路存在變動位元率的應用。

本發明的說明係為執行本發明之最佳模式，但並不用於限制本發明，其目的係提供例子及解釋，使得讀者可了解本發明。附圖為說明書的一部份，用於執行本發明之最佳模式，顯示本發明的多個實施例且說明顯示本發明的原理。

## 圖式之簡單說明

圖1為習知技術之時脈回復電路的方塊圖，其包含鎖相迴路；

圖2為習知技術之時脈回復電路的方塊圖，其包含鎖頻及鎖相迴路；

圖3為本發明實施例之變動位元率時脈回復電路；

圖4為本發明實施例之變動位元率時脈記憶體電路的方塊圖，該電路包含一校正裝置；

圖5為本發明實施例之前向速率偵測器的方塊圖，該偵測器執行離散間隔之自動校正；

圖6a，6b，6c，6d及6e示輸入信號的定時圖，其依據本發明實施例傳播過一組延遲段；

圖7為本發明實施例之延遲段的電路圖；

圖8為一前向速率偵測器的方塊圖，其執行本發明實施例之連續時脈寬度自動更正；



## 五、發明說明 (6)

圖9a, 9b, 9c, 9d及9e說明本發明實施例之輸入信號，時段產生器的輸出，端緣遷移比較器的輸出的定時圖；

圖10為本發明實施例最小間隔相關器的電路圖；

圖11為本發明實施例之單極最小間隔相關器的射極耦合邏輯(ECL)配置；

圖12a, 12b, 12c, 12d示本發明實施例之回授電路的類比配置及前向速率偵測器中的相關信號；

圖13a, 13b, 13c, 13d及13e示本發明實施例中回授電路的數位配置，及前向速率偵測器中相關的信號；以及

圖14a及14b為本發明實施例之速率選擇器的配置之方塊圖。

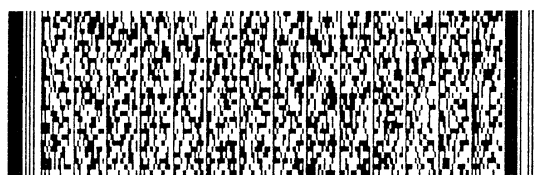
## 本發明之較佳模式

下文詳細說明本發明，附圖說明本發明之例子。各附圖中相同的標示表示相同的組件。

## 變動位元率時脈回復

圖3為本發明實施例之變動位元率時脈回復電路300。時脈回復電路300包含前向速率偵測器301，速率選擇器310，遷移偵測器320，及窄頻濾波器330。時脈回復電路300包含一可程式上/下計數器及一速率選擇路徑。時脈取出路徑包含前向速率偵測器301及速率選擇器310。

遷移偵測器320及前向偵測器301接收一變動位元率輸入數據信號155。從輸入信號155中，遷移偵測器320產生一脈波，以輸入信號155中的各項遷移。同樣地，前向速率偵測器301估測輸入信號155中之遷移之間的最小時段，且



## 五、發明說明 (7)

產生一速率信號RE。然後速率選擇器310轉換速率估測信號RE成為控制信號RS<sub>1</sub>及RS<sub>2</sub>，且設定由遷移偵測器320產生之脈波寬度 $\tau_{ED}$ ，及對應之330的中心頻率 $f_{bit}$ 。當速率選擇器310設定適當的 $\tau_{ED}$ 及 $f_c$ 後，窄頻濾波器330從脈波串中取出時脈信號160。

可由下式表示速率估測信號RE

$$RE = f_{bit} \cdot K_{frd}(U_{bit}), \quad (1)$$

在此 $f_{bit}$ 為輸入信號155的位元率頻率，且 $K_{frd}$ 為一常數或一 $f_{bit}$ 或一慢變動功能。來自遷移偵測器320的脈波寬度 $\tau_{ED}$ 可表示如下：

$$\frac{1}{\tau_{ED}} = K_{ED}(RS_1), \quad (2)$$

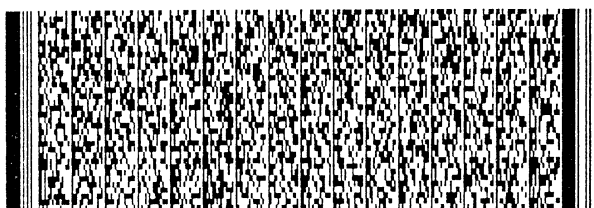
在此 $K_{ED}$ 為控制信號RS<sub>1</sub>的單調函數。窄頻濾波器330的中心頻率 $f_c$ 可表示為

$$f_c = K_{fc}(RS_2), \quad (3)$$

在此 $K_{fc}$ 為控制信號RS<sub>2</sub>的單調函數。在一實施例中，速率選擇器310可執行速率估測信號RE對 $\tau_{ED}$ 及 $f_c$ 之預定數值的一對一對映，其式如下：

$$RS_1 = G_1(RE), \quad (4)$$

在此 $G_1$ 為速率估測信號RE的單調函數，且滿足下式：



## 五、發明說明 (8)

$$K_{fc}^{-1} f_{bit} = G_1 (f_{bit} \cdot K_{rd} (f_{bit})), \text{ and} \quad (5)$$

$$RS_2 = G_2 (RE), \quad (6)$$

在此  $G_2$  為速率估測信號  $RE$  的單調函數，且滿足下式：

$$K_{ED}^{-1} (2f_{bit}) = G_2 (f_{bit} \cdot K_{rd} (f_{bit})) \quad (7)$$

在一實施例中， $K_{ED}$  及  $K_{fc}$  可與速率估測信號  $RE$  近似線性相關，在此  $K_{rd}$  近乎常數。在此實施例中，式(5)，(7)的解可表示成

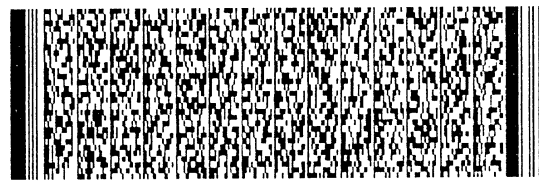
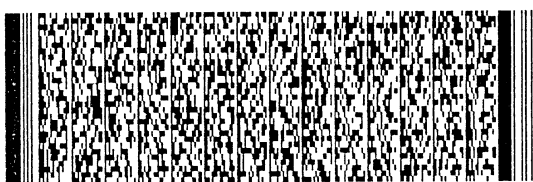
$$G_1 (RE) = g_{11} + g_{12} RE + \varepsilon_1 (RE), \quad (8)$$

$$G_2 (RE) = g_{21} + g_{22} RE + \varepsilon_2 (RE), \quad (9)$$

在此  $g_{11}$ ， $g_{12}$ ， $g_{21}$ ， $g_{22}$  為參數，其可視速率估測信號  $RE$  的溫度或間隔而定。同樣地， $\varepsilon_1 (RE)$  及  $\varepsilon_2 (RE)$  可為速率估測信號  $RE$  及溫度的慢變動函數。可選擇參數  $g_{11}$ ， $g_{12}$ ， $g_{21}$ ， $g_{22}$ ， $\varepsilon_1$ ， $\varepsilon_2$  使得滿足如式(5)，(7)。另外，可設定  $\varepsilon_1$  及  $\varepsilon_2$  為 0。

圖4為變動位元率時脈回復電路400的方塊圖，其包含本發明實施例的校正裝置。時脈回復電路400包含前向速率偵測器301，速率選擇器410，遷移偵測器320，及窄頻濾波器330，選擇器420，可程式校正源430，及一響應監視器450。校正源430產生如一"1010"信號圖樣，其具有預定的位元率  $f_{ref}$ ，如  $(1/m) \times 2488$  MHz，在此  $m$  為介於1及32之間的可程式整數。響應監視器450在輸出454中產生第一控制信號，其控制來自校正源430之頻率  $f_{ref}$  的特定值。

由校正致能線421控制選擇器420在輸入端422，424處接



## 五、發明說明 (9)

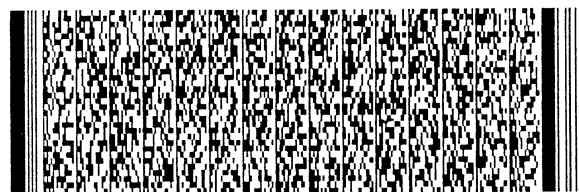
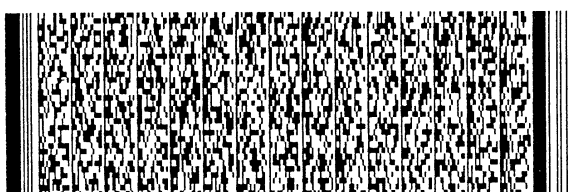
收之對應輸入信號155及校正源430。速率選擇器410接受來自前向速率偵測器301的速率估測RE，且用於控制遷移偵測器320的輸出控制信號RS<sub>1</sub>及用於控制窄頻濾波器330的控制信號RS<sub>2</sub>。校正致能線421動作校正模式，此時時間選擇器420連接校正源430到前向速率偵測器301，而速率選擇器410的輸出416，418之電流值被鎖定。此禁止時脈取出路徑中的然免發生的變動，此包含遷移偵測器320及窄頻濾波器330。

響應監視器450在此輸入452處接收來自前向速率偵測器301之輸出303的速率估測信號RE。在自動校正模式中，響應監視器450比較速率估測信號RE與各預定的位元率f<sub>ref</sub>。在輸出456處，響應監視器450產生一第二控制信號RM，此信號對應速率估測信號RE及預定位元率f<sub>ref</sub>之間的差值。速率選擇器410接收參數更正輸入或412的控制信號RM，且基於控制信號RM，調整如速率選擇演算法或在查對表中的項目，以設定控制信號RS<sub>1</sub>及RS<sub>2</sub>。例如，網路410可使用參數g<sub>11</sub>，g<sub>12</sub>，g<sub>21</sub>，g<sub>22</sub>及/或函數ε<sub>1</sub>，ε<sub>2</sub>以調整式(8)及(9)中的對映G<sub>1</sub>及G<sub>2</sub>。

## 離散前向速率偵測器

在輸入信號155中之遷移之間的時段可表示如

$\Delta t = n \tau_{bit}$ ，n為大於等於1的整數， $\tau_{bit}$ 為輸入信號155的位元調整。另言之， $\tau_{bit}$ 等於輸入信號155之位元率頻率f<sub>bit</sub>的導數。前向速率偵測器301從輸入信號155中之多個連續遷移之輸入信號155，其表示用於窗口長度n之數值



## 五、發明說明 (10)

組(n)。從此組遷移中，前向速率偵測器301可決定遷移 $\tau_{\min}$ 之間的最小偵測間隔，其可表示如下：

$$\tau_{\min} = \min_{(n)} \Delta t.$$

而且， $\tau_{\min}$ 可表示位元率 $\tau_{\text{bit}}$ 之非偏移估測，其為：

$$\lim_{P(n \rightarrow 1) \rightarrow 0} \tau_{\min} = \tau_{\text{bit}}$$

如輸入信號155的數位信號可具有隨機位元圖樣，或可具有由方塊編碼架構之預定位元圖樣。對於位元的隨機序列，對於移動長度n之離散機率密度 $p(n) = 2^{-n}$ 。對於使用方塊編碼之信號的移動長度分佈對於小的n值(如n信號5)也可為約 $2^n$ 。此指示n-1時當一的位元間隔在此類型的之間信號中經常發生，例如約佔50%。基於輸入信號155中單位元間隔的高度發生率，前向速率偵測器301可快速且以可信賴的方式從 $\tau_{\min}$ 的量測中估測 $f_{\text{bit}}$ 。另外，由輸入信號155表示的包封提示也包含"1010"圖樣，允許幾乎同時偵測輸入信號155的速率。

圖5顯示前向速率偵測器301的電路圖，其使得本發明執行離散間隔脈波寬度的自動相關。如圖所示，前向速率偵測器301包含N個閘極延遲段 $S_1$ 到 $S_N$ ，上升端觸發D型正反器530<sub>1</sub>到530<sub>N</sub>，R-S鎖存器550<sub>1</sub>到550<sub>N</sub>，緩衝器560到570，計數器540及N線優先編碼器590，在此N為大於一的整數。

延遲段 $S_1$ - $S_N$ 以串列方式互相連接。在此各延遲段 $S_1$ - $S_N$ 連續延遲由輸入信號155開始的下降端一時間 $\tau_i$ ， $1 \leq i \leq N$



## 五、發明說明 (11)

$N$ 。依據本實施例， $\tau_i$ 的指定值可介於延遲段 $S_1-S_N$ 之間。如圖5所示，延遲段 $S_1-S_3$ 包含延遲段 $510_1-510_3$ 的復歸下降端，及OR/NOR閘極 $520_1-520_3$ 。各端緣觸發延遲段 $510_1-510_3$ 連接OR/NOR閘極 $520_1-520_3$ 的對應第一輸入 $520_1-524_3$ 。但是最後延遲段包含延遲元件 $514_N$ ，及反相器580，而非OR/NOR閘極。

接收輸入信號155的緩衝器560驅動延遲段 $S_1$ 。延遲段 $S_1$ 包含延遲元件 $510_1$ ，其輸出為進入OR/NOR閘極 $520_1$ 所感測，且包含互補的輸出 $526_1$ 及輸出 $528_1$ 。OR/NOR閘極 $520_1$ 的輸出 $528_1$ 驅動下一延遲段 $S_2$ 。因此，輸入信號155的下降端遷移連續通過各延遲段 $S_1-S_N$ 。例如，在時間 $\tau_1$ 時通過延遲段 $S_1$ 的延遲組件 $510_1$ 的延遲輸出 $528_1$ ，且在時間 $\tau_1 + \tau_2$ 時通過延遲段 $S_2$ 的延遲組件 $510_1$ 及 $510_2$ 輸出 $528_2$ 。但是， $K$ 個延遲可表示為 $\sum_{i=1}^k \tau_i$ 。

當輸入遷移傳播過延遲段 $S_1-S_N$ 時，連續的輸出 $528_1-528_3$ 可從高狀態向低狀態遷移，而對應的互補輸出 $526_1-526_3$ 及584可從低狀態向高狀態遷移。在輸入信號155的各下降端遷移開始一連串的脈波，然後這些脈波與輸入信號155中下一上升端遷移的到達相比較。當輸入信號155中的下一上升遷移時，經由鎖存延遲輸出 $526_1-526_N$ 的狀態。D型正反器 $530_1-530_N$ 執行該項比較。

R-S鎖存器 $550_1-550_N$ 取出且儲存經"SET"輸入 $552_1-552_N$ 之對應的D型正反器輸出 $536_1-536_N$ 之狀態。R-S鎖存器 $550_1-550_N$ 的輸出 $556_1-556_N$ 連接N線優先編碼N590的輸入



## 五、發明說明 (12)

595<sub>1</sub>-595<sub>N</sub>，其在輸出598處產生動作輸出536<sub>1</sub>-536<sub>N</sub>之數目的二二元對等。

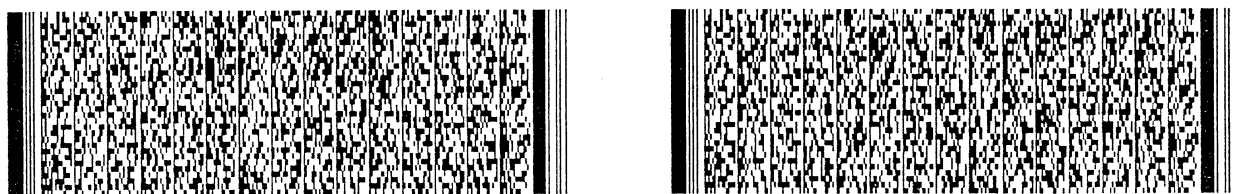
計數器540的脈波輸入542連接輸入信號155。計數器540之輸出處產生脈波，其脈波在輸入信號155中一預定限制(如32)的遷移後，復歸R-S鎖存器550<sub>1</sub>-550<sub>N</sub>。

經由經淨時間延遲分割為小間隔 $\tau_1 - \tau_N$ ，且同時經緩衝器570的共同控制線574復歸各延遲段510<sub>1</sub>-510<sub>N</sub>，而進行高速操作。緩衝器570延遲同時復歸信號，使得可滿足D型正反器530<sub>1</sub>-530<sub>n</sub>的最小維持時間需要。

前向速率偵測器301的操作可在輸入信號155之上升端遷移及輸入信號155的下降端遷移處開始。前向速率偵測器301可如包含複製電路，其由輸入信號155的反向複製所驅動，以在輸入信號155的上升端遷移後，感測輸入信號155的各脈波。

圖6a-e說明本發明實施例中輸入信號傳播過延遲段S<sub>1</sub>-S<sub>N</sub>的定時圖。圖6a-c顯示輸入信號155傳播過延遲段S<sub>1</sub>-S<sub>N</sub>的下降端遷移之輸入信號155。在輸入信號155之脈波結束時，延遲端可通過延遲段之一部份或全部。因為在輸入信號155中具有最短間隔的脈波將通過最小數目的延遲段S<sub>1</sub>-S<sub>N</sub>，當延遲時間 $\tau_i$ 的加總滿足 $n \tau_{bit}$ 小於 $\sum_{i=1}^k \tau_i$ 時，則第K延遲段S<sub>K</sub>的輸出528<sub>F</sub>在高狀態，在此 $\tau_{bit}$ 等於輸入信號155之位元率頻率 $f_{bit}$ 的倒數。

如圖6b-e所示，延遲段S<sub>1</sub>-S<sub>N</sub>的對應輸出528<sub>1</sub>-528<sub>2</sub>在輸入信號155的 $n \tau_{bit}$ 周期內動作，而延遲段S<sub>2</sub>，S<sub>N</sub>之輸出528<sub>3</sub>及



## 五、發明說明 (13)

584 在該時間周期內不動作。由圖6d-e之虛線指示的波形顯示對於長期間輸入脈波之對應輸出528<sub>3</sub>及584的狀態。在少數的遷移輸入信號155後，依據移動長度分配 $p(n)$ ， $n=1$ 之脈波在輸入信號155中，此後，輸出556<sub>1</sub>-556<sub>N</sub>的狀態表示 $\tau_{bit}$ 的上及下限。輸出556<sub>1</sub>-556<sub>N</sub>的狀態追蹤 $\tau_{bit}$ 的增加及減少值，此時來自計數器540的脈波突然復歸R-S鎖存器550<sub>1</sub>-550<sub>N</sub>。在輸出598中的優先編碼器590得到來自輸出556<sub>1</sub>-556<sub>N</sub>之狀態的 $\tau_{bit}$ 之二位元表示法。此 $\tau_{bit}$ 的二位元表示法為速率估測信號RE，其由 $\tau_{bit}$ 及 $\tau_i - \tau_N$ 的指定值唯一決定。 $\tau_{bit}$ 之遷移的解析度由應用 $\tau_i - \tau_N$ 之數值的不同結合，執行多次掃描而加以執行。

表1列出輸入信號155中多個共同的線速率且分段延遲 $\tau_1$ ，其可用於辨識線速率。前兩行列出某些共同的線速率 $f_{bit}$ 及功能輸入信號155的對應位元間隔 $\tau_{bit}$ 。第三行為辨識連續速率的淨延遲，其為兩連續速率之 $\tau_{bit}$ 的平均。因為經 $K$ 個延遲段的淨延遲可表成 $\sum_{i=1}^k \tau_i$ ，分段延遲 $\tau_1$ 表示在第三行中淨延遲之間的差。在第四行中可分段延遲證明在廣泛的線速率之範圍上操作之離散速率偵測器301的簡易性。



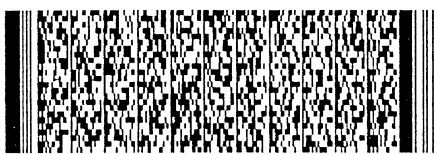
## 五、發明說明 (14)

表 1

線速率	周期 $\tau_{bit}$ (nsec)	淨延遲	區段延遲 $\tau_{bit}$ (nsec)
2488.32	0.402	-	-
1250	0.800	0.601	-
1065	0.939	0.870	0.269
800	1.250	1.095	0.225
622.08	1.608	1.429	0.334
531	1.833	1.746	0.317
265	3.744	2.829	1.083
194	5.144	4.459	1.630
155.52	6.430	5.787	1.328
132.5	7.547	6.989	1.202
125	8.000	7.774	0.785
51.84	19.29	13.645	5.871

## 延遲段

圖7為本發明實施例之延遲段 $S_2$  (顯示在圖5中)的電路圖。雖然圖7顯示延遲段 $S_2$ 的電路圖，延遲段 $S_1$ 及 $S_3-S_N$ 的一般化相當明顯。可使用閘極差動放大器，在傳統中含

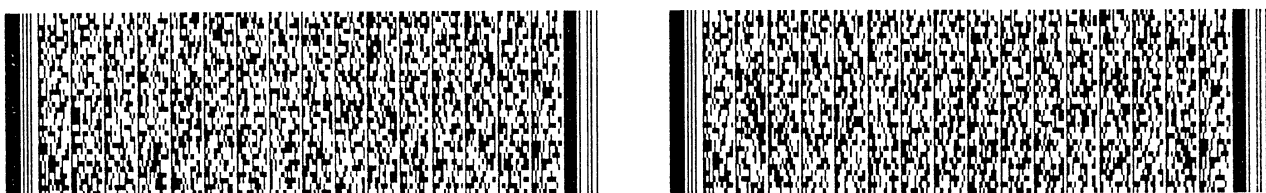


## 五、發明說明 (15)

OR/NOR 閘極 $520_2$ 的延遲電路 $510_2$ 中，由合併臨界功能而使得高速性能達到最適化。延遲段 $S_2$ 的輸入 $512_2$ 驅動作為電壓隨偶器的電晶體 $Q_{702}$ 的基極。 $Q_{702}$ 的射極及可程式電流源 $I_{708}$ 經電阻 $R_{708}$ 連接輸出 $514_2$ 處的電容 $C_{704}$ 。來自 $Q_{702}$ 之射極的電流快速充電 $C_{704}$ 到一預設之數值，而來自 $I_{708}$ 的電流在一控制的速率下將 $C_{704}$ 放電。由閘極差動放大器感測在輸出 $514_3$ 中的電壓，該放大器包含 $Q_{720}$ 及 $Q_{722}$ 。 $Q_{720}$ 及 $Q_{722}$ 的基極連接輸出 $514_2$ 及參考電壓 $V_{740}$ 。電晶體 $Q_{720}$ 及 $Q_{722}$ 的射極經節點 $730$ 連接至固定電流源 $I_{720}$ 。

閘極 $AQ_{734}$ 的基極經第二輸入 $522_2$ 連接共同控制線 $574$ 。 $Q_{724}$ 集極及射極連接輸出 $526_2$ 及 $730$ 。放大器在輸出 $526_2$ 及 $528_2$ 中具有對應的反向及非反向輸出。連接集極 $Q_{722}$ 的輸出 $528_2$ 可從跨 $R_{728}$ 的電的電壓降中得到。連接 $Q_{720}$ 及 $Q_{724}$ 的集極之輸出 $526_2$ 從跨 $R_{726}$ 的電壓降中得到。參考 $V_{740}$ 的數值由經控制節點 $742$ 的正回授中改變，該節點連接輸出 $526_2$ 以提供臨界準位的磁滯。比在輸出 $514_2$ 或共同控制線 $574$ 位的參考電壓 $V_{740}$ 設定還大的電壓強迫輸出 $526_2$ 端低狀態，且輸出 $528_2$ 端高狀態。在最後延遲段 $S_N$ 中，可省略對應 $Q_{724}$ 的閘極電晶體。

在初始的準靜態中，輸入 $512_2$ 及共同控制線 $574$ 可在高狀態，且輸出 $526_2$ 可在低狀態。在此狀態中，在輸入 $512_2$ 中的高信號控制 $Q_{702}$ 以預定跨電容 $C_{704}$ 的電壓。在共同控制線 $574$ 中的高信號動作 $Q_{724}$ ，且強迫輸出 $528_2$ 以強迫下一延遲段 $S_3$ 到高狀態，甚至在 $C_{704}$ 的電壓達到預設數值之前。當



## 五、發明說明 (16)

輸入信號155從低狀態向高狀態遷移時，共同控制線574到低狀態，且關斷 $Q_{724}$ 。由跨 $C_{704}$ 之預設電壓維持初始狀態，該低狀態控制 $Q_{720}$ 。依據前一延遲段 $S_1$ 的時間常數及低狀態的時間，輸入512<sub>2</sub>的電壓可在輸入信號155從高狀態遷移到低狀態後，同時遷移到低狀態。此關斷 $Q_{702}$ 且允許 $C_{704}$ 由來自 $I_{708}$ 的電流放電。如果低狀態的時間仍間隔，則在輸出514<sub>2</sub>的電壓下降到由 $V_{740}$ 設定的參考電壓以下，且使得輸出526<sub>2</sub>遷移到高狀態，且輸出528<sub>2</sub>遷移到低狀態。在輸出528<sub>2</sub>的低狀態在下一延遲段 $S_3$ 中動作延遲元件510<sub>3</sub>。

在偵測到臨界值之後的響應時間由從輸出526的正回授改進，以微改變 $V_{740}$ 。與延遲段 $S_2$ 相關的時間延遲 $\tau_2$ 由輸出514<sub>2</sub>的電荷守恆管理。時間延遲 $\tau_2$ 的數值由跨 $C_{704}$ 的預設電壓之間的差值決定。當控制742在低狀態時，參考電壓 $V_{740}^h$ 的值， $V_{\text{PRESET}}$ ，差動放大器偏移在切換臨界值處電壓，電容 $C_{704}$ 的數值，與輸出514<sub>2</sub>相關的離散電容 $C_s$ ，電流 $I_{708}$ ， $Q_{720}$ 的基極電流及儲存在 $Q_{702}$ 之電荷 $Q_2$  ( $I_{708}$ )。此關係可表示成：

$$(I_{708} + I_b) \tau_2 = (V_{\text{PRESET}} - V_{740}^h - V_{\text{OS}}^h) (C_{704} + C_s) - Q_2 (I_{708}) \quad (10)$$

離散速率偵測器的解析度與 $\tau_1 - \tau_N$ 的選擇相關，其可程式化，如對於各對等的延遲段 $S_1 - S_N$ ，經電流 $I_{708}$ 。

連續前向速率偵測器

圖8為前向速率偵測器301的方塊圖，其依據本發明實施例執行連續的脈波寬度自動更正。如圖所示，前向速率偵



## 五、發明說明 (17)

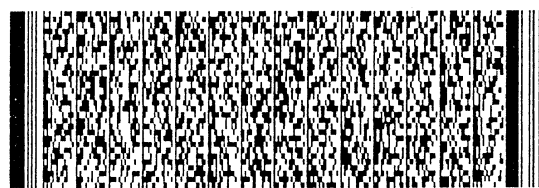
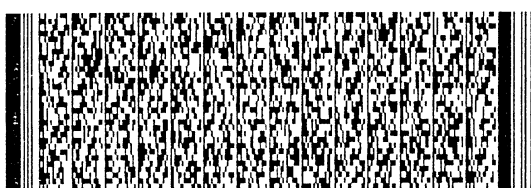
測器301包含最小間隔相關器840，回授電路830及輸出303。輸出303(其值為速率估測信號RE)接收回授電路830的輸出836。

最小間隔相關器840包含一可轉動(或可程式之端緣觸發時段產生器810及端緣遷移比較器830。

時間間隔產生器810之輸入812及816及輸入信號155及回授電路830的輸出836。為了回應輸入信號155的遷移，時段產生器810之輸出814產生時間 $\tau$ 的對應遷移延遲，其由速率估測信號RE所控制。另外，為了回應輸入信號155的遷移，時段產生器810之輸出814處產生由一組時間 $\tau$ 延遲之對應遷移組，其具有不同的數值且由速率估測信號RE所控制。

$\tau$ 的數值經一已知的關係 $\tau = \tau(\text{RE})$ 而與速率估測信號RE具相關性。例如，時段產生器810可由如速率估測信號RE所配置，且 $\tau(\text{RE})$ 的第一階幾乎固定。

端緣遷移比較器820之輸入端822，824接收輸入信號155及時段產生器810的輸出814。端緣遷移比較器820的輸出826產生一信號，此信號與 $\tau$ 及 $\tau_{\text{bit}}$ 之間的差值成單調相關。端緣遷移比較器820之輸出826，當在 $\tau$ 時間經過在輸入信號155處發生下一遷移時，則產生正脈波。由回授電路830的輸入832接收輸出826，該電路在輸出836處輸出速率估測信號RE以調整 $\tau$ ，使得在輸出826處產生預定的脈波速率。在回授電路830內的時間常數可經輸入834由輸入信號155之遷移速率控制。來自輸出826之脈波的預定速率



## 五、發明說明 (18)

可具有固定的佔空循環。另外，預定的速率可依據輸入信號155中的遷移速率。

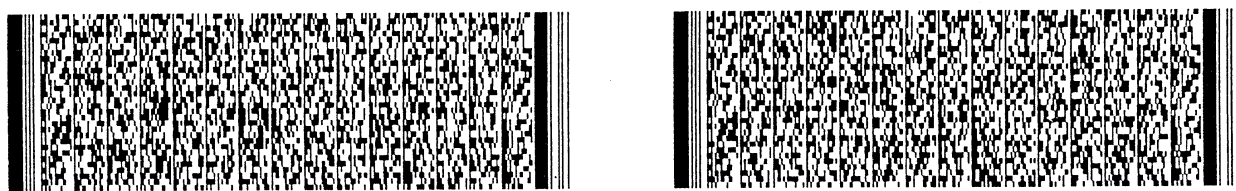
一在實施例中，速率估測信號RE及 $1/\tau$ 之間的關係可為例如線性。回授控制830的輸出836經到時段產生器810之輸入816的回授而加以控制。回授設定速率估測信號RE，使得 $\tau(\text{RE})$ 等於 $\tau_{\text{bit}}$ 。因此，輸入信號155的位元率頻率 $f_{\text{bit}}$ 幾乎正比為速率估測信號RE。另外，為了減少在速率估測信號RE中的雜訊，前向速率偵測器301可包含如在回授電路830或速率選擇器310中的類比或數位裝置，以濾波在速率估測信號RE中的雜訊。

在本發明的另一實施例中，前向速率偵測器301可使用一脈波寬度自動更正方法估測 $\tau_{\text{bit}}$ 。圖9a-d說明本實施例中輸入信號155的時段產生器810的輸出814，端緣遷移比較器820輸出826的定時圖。圖9e說明對於不同 $\tau$ 值及任意固定之 $\tau_{\text{bit}}$ 的分佈。

圖9a顯示輸入信號155在時間 $\Delta t=0$ 時發生的遷移及在 $\Delta t=\tau_{\text{bit}}$ 時的下一個遷移。在 $\Delta t=0$ 時的遷移觸發時段產生器810，其輸出脈波延遲 $\tau$ 。 $\tau$ 的三個數值為快速F，慢速S，及對齊A。

圖9b及9c示用於兩個不同實施例之時段產生器810的輸出814之狀態。圖9d示用於兩實施例之端緣遷移比較器820的輸出826之狀態。

在第一實施例中，時段產生器810包含實際可復歸端緣觸發延遲元件，例如圖5所示的延遲元件 $510_1-510_N$ 。如圖



## 五、發明說明 (19)

9b 所示，在此實施例中，時段產生器 810 在輸出 814 處產生一脈波，其在  $\tau$  時間後有效，且由輸入信號 155 中的下一遷移復歸。

在第二實施例中，時段產生器包含端緣觸發單擊元件，此將於下文中加以說明。如圖 9c 所示，在此實施例中，時段產生器 810 在輸出 814 處產生在時間  $\Delta t=0$  處開始的單一脈波，其間隔為  $\tau$ 。

在兩實施例中，如果時間  $\tau$  的設定比  $\tau_{bit}$  短  $F$ ，則在輸入信號 155 的下一遷移中（在  $\tau$  時間過後  $\Delta t = \tau_{bit}$  時），且設定輸出 826 在低狀態。如果設定時間  $\tau$  為比  $\tau_{bit}$  長，如  $S$ ，則在  $\Delta t = \tau_{bit}$  的輸入信號 155 的下一遷移，且設定輸出 826 在高狀態。

當  $\tau = \tau_{bit}$ （如 A），則此在時段產生器 810 的輸出 814 及輸入信號 155 之間達到完全的對齊，且在  $\tau_{bit}$  發生的輸入信號 155 之遷移與  $\tau$  相當。輸出 826 當在完全對齊時可為高狀態或低狀態。在時間  $\tau$  後發生之輸入信號 155 的遷移可不予理會，因為其可表示  $\Delta t = \tau_{bit}$  及  $n \geq 2$  時，位元的移動。

圖 9e 示對於不同  $\tau$  及給定之  $\tau_{bit}$  之輸出 826 的分配值。此分配表示最小間隔相關器 840 的遷移函數，其包含時段產生器 810 及端緣遷移偵測器 820。基於相關頻率的統計內插，圖 9e 示輸出 826 的均值，其可在輸入信號 155 遷移多次後發生。圖 9e 中， $\tau = \tau_{bit}$  時，具有非常陡的斜率，其辨識狀態 F 及 S。F 及 S 之間的遷移材料可由如移動長度  $n$  的分佈  $p(n)$  決定。



## 五、發明說明 (20)

端緣遷移比較器820比較輸入信號155的尾端及時段產生器810之輸出814之間的間隔，且經回授電路830調整 $\tau$ 為 $\tau_{bit} = 1/f_{bit}$ 。在回授電路830的設定時間後，調整的 $\tau$ 表示 $\tau_{bit}$ 的估測。但是，在此實施例中，諧波鎖定不會發生，係因為估測的 $\tau_{bit}$ 唯一與 $f_{bit}$ 相關。

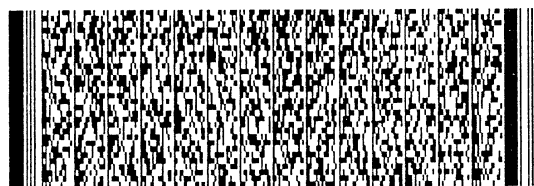
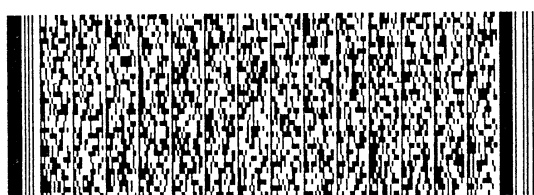
## 最小間隔相關器

圖10示本發明實施例之最小間隔相關器840(圖8)的電路圖。在此實施例中，對於輸入信號155下降端遷移及下降端遷移的響應可由兩分開的路徑實現。最小間隔相關器840分成下降端觸發最小間隔相關器1090及上升端觸發最小間隔相關器1092。最小間隔相關器1090及1092各執行時段產生器810及遷移比較器820的功能，參見圖8。

最小間隔相關器1090及1092包含輸出 $826_1$ ， $826_2$ ，其共同形成最小間隔相關器840的輸出826。但是最小間隔相關器1090，1092包含分開的輸出 $826_1$ ， $826_2$ ，其對應的輸出 $302_1$ ， $302_2$ 連接輸入信號155。

最小間隔相關器1090包含非反相緩衝器1010，電容 $C_{1010}$ ，可程式電流源 $I_{1016}$ ，比較器1030，電壓參考 $V_{1038}$ ，非反相緩衝器1050及正端緣觸發D型正反器1070。最小間隔相關器1092包含反相緩衝器1020，電容 $C_{1028}$ ，可程式電流源 $I_{1026}$ ，電容1040，上/下計數器參考 $V_{1048}$ ，反相緩衝器1060，及正端緣觸發D型正反器1080。

包含節點 $302_1$ 及 $302_2$ 的輸入302接收輸入信號155。節點 $302_1$ 連接最小間隔相關器1090中緩衝器1010，1050非反相



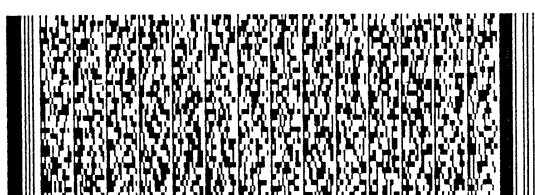
## 五、發明說明 (21)

輸入1012及1052。緩衝器1010的輸出1014經節點1003連接電容 $C_{1018}$ ，可程式電流源 $I_{1016}$ ，及比較器1030的輸入。比較器1030的參考輸入1034連接參考電壓 $V_{1038}$ 。比較器1030的輸出1036連接D型正反器1070的D輸入1072，其時脈輸入1074由緩衝器1050的輸出1054所驅動。

節點 $302_2$ 連接最小間隔相關器1092之緩衝器1020及1060的反相輸入1022及1062。緩衝器1020的輸出1024經節點1004連接電容 $C_{1028}$ ，可程式電流源 $I_{1026}$ ，及比較器1040的輸入1042。比較器1040的參考輸入1044連接參考電壓 $V_{1048}$ 。比較器1040的輸出1046連接D型正反器1080的D輸入1082，其時脈輸入1084由緩衝器1060之輸出1064所驅動。D型正反器1070及1080的輸出1076，1086分別形成輸出 $826_1$ ， $826_2$ 。可程式輸入1017，1027經輸入816控制電流源 $I_{1016}$ ， $I_{1026}$ 。

最小間隔相關器1090，1092的操作類似，唯所有的程序在輸入信號155的反向遷移時動作。最小間隔相關器1090的操作說明如下：輸出端1014假設在低阻抗狀態，當輸入1012在高狀態時，包含預定的輸出位準 $V_{PRESET}$ ，而當輸入1012在低狀態時，假設在高阻抗狀態。例如， $V_{PRESET}$ 可比參考電壓 $V_{1038}$ 更大。輸入信號155的高狀態使得緩衝器1010將電容 $C_{1018}$ 充電到 $V_{PRESET}$ 。

當輸入信號155從高狀態遷移到低狀態時，來自緩衝器1010之輸出1014的電流被禁止。且由來自 $I_{1016}$ 的可程式電流自由放電電容 $C_{1018}$ 。如果在輸入信號155之低狀態狀態夠



## 五、發明說明 (22)

長，在節點1003的電壓降到 $V_{1038}$ 以下且比較器1030的輸出1036遷移到低狀態。當輸入信號155從低狀態向高狀態遷移時，在 $\Delta t = n \tau_{bit}$ 時，在緩衝器1050的輸出1054處，D型正反器1070經上升端端緣遷移而取得輸出1036的狀態。

電容 $C_{1038}$ 從 $V_{PRESET}$ 放電到 $V_{1048}$ 所需要的時間為 $\tau(I_{1016})$ 。輸出826<sub>1</sub>可在低狀態(如果 $\Delta t$ 小於 $\tau(I_{1016})$ )，且可在高狀態(如果 $\Delta t$ 小於 $\tau(I_{1016})$ )。  $\tau$ 小於 $\tau_{bit}$ 時，輸出826<sub>1</sub>可均為低狀態。如果 $\tau$ 大於 $\tau_{bit}$ ，則在輸出826<sub>1</sub>在高狀態時，移動長度可具有較小的數值。但是， $n$ 大時，輸出826<sub>1</sub>在低狀態。

圖9c示在移動長度 $n$ 的基本上數值上平均之輸出826<sub>1</sub>的分佈值。時間常數 $\tau(I_{1016})$ 可表示為

$$(I_{1016} + I_b) \tau = (V_{PRESET} - V_{1038} - V_{OS}^H)(C_{1018} + C_s) - Q_{0,1014}(I_{1016}), \quad (11)$$

在此 $V_{OS}^H$ 為比較器1030的臨界值， $C_s$ 為與節點1003相關的雜散電容， $I_b$ 為比較器1030的輸入快速電流，且 $Q_{1014}$ ( $I_{1016}$ )為當緩衝器1010關斷時，輸出1014所去除的電荷。

對於輸入信號155的端緣遷移，在最小間隔相關器1092中發生類似的操作。操作826<sub>1</sub>，826<sub>2</sub>指示 $\tau$ 是否大於或小於 $\tau_{bit}$ 。依據一實施例，輸出826<sub>1</sub>及826<sub>2</sub>可用於使用負回授經 $I_{1016}$ ， $I_{1026}$ 控制 $\tau$ 。速率估測信號RE可從需要達到 $\tau = \tau_{bit}$ 之控制信號816之數值。

圖10的最小間隔相關器1090結構一單極最小間隔相關器之實施例，其在輸入信號155的下降端動作。單極最小間



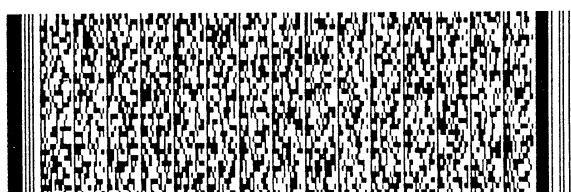
## 五、發明說明 (23)

隔相關器1090包含可程式頻率延遲，其包含緩衝器1010，電容 $C_{1018}$ ，電流源 $I_{1017}$ ，比較器1013，及D型正反器1070。D型正反器1070可包含兩鎖存器(圖中沒有顯示)，其由節點 $302_1$ 經時脈輸入1074加以控制。在一實施例中，1070之一鎖存器與可程式閘極延遲共用以產生下降端觸發不可再觸發的單擊元件。同時執行多個鎖存及比較操作，可得到較高的操作速度。

圖11示本發明實施例之單極最小間隔相關器1090之射極耦合邏輯(ECL)配置。單極最小間隔相關器1090包含端緣遷移比較器1104及下降端觸發非可再觸發之單擊元件1102。端緣遷移比較器1104包含反相器1110及1156，非反相緩衝器1114。NOR閘極1130，1150及節點1138。節點1138執行線OR操作。

下降端觸發非可再觸發單擊元件1102包含比較器1160，定時電容 $C_{1164}$ ，可程式電流源 $I_{1016}$ ， $I_{1179}$ ，二極體 $D_{1175}$ 及 $D_{1176}$ ，參考電壓 $V_{REF}$ 及 $V_{CLAMP}$ ，操作放大器1170，NOR閘極1120及1140，反相器1146，緩衝器1124及節點1128及1166。節點1128及1166各執行一線OR操作。

反相器1110的輸入1110有一單擊元件1102的節點1144接收輸入信號155。輸入信號155的下降端觸發單擊元件1102以在緩衝器1124的輸出1127處產生長度為 $\tau(I_{1016})$ 的輸出脈波。由控制電流源 $I_{1016}$ 而直接控制 $\tau$ ，或經控制到 $I_{1016}$ 的輸入1017而間接控制 $\tau$ 。緩衝器1124的輸出1127在接收狀態時在高狀態，且在時間 $\tau$ 時，遷移到低狀態。單擊元件



## 五、發明說明 (24)

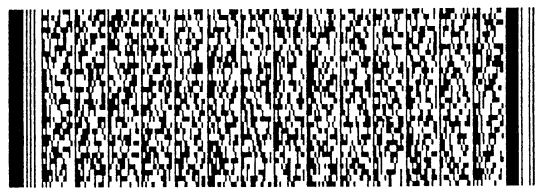
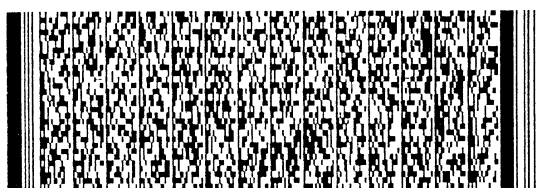
1102 無法由輸入信號155之狀態中的下一改變觸發，直到在  $\tau$  後且輸入信號155回復到高狀態。

輸入節點1144連接NOR閘極1143的輸入1142及NOR閘極1120的輸入1121。NOR閘極1140的開路射極輸出1143經節點1128連接NOR閘極1120的輸入1122，反相器1146的輸入1147及緩衝器1124的非反相開路射極輸出1126。反相器1146的輸出1148連接NOR閘極1140的輸入1141以產生一R-S鎖存器。

在節點1144的高狀態結構節點1128在輸出1126為低狀態，其亦在低狀態，而輸出1126的高狀態可越過輸入1144而設定節點1128到高狀態。緩衝器1124的輸出1126在時間  $\tau$  期間可在高狀態，且可防止NOR閘極1120產生回應而在輸入信號155中改變。NOR閘極1120的開路射極輸出1123經節點1166連接比較器1160，電容  $C_{1164}$ ，及緩衝器1124的輸入1125到開路射極輸出。

電容  $C_{1164}$  連接比較器1160的非反相輸入1161，二極體  $D_{1175}$  的陰極，及可程式電流源  $I_{1016}$ 。操作放大器1170的輸出1173操作二極體  $D_{1175}$  的陽極。操作放大器1170可配置如一在輸出1173及反相輸入1172之間的回授迴路中具二極體  $D_{1176}$  的電壓隨耦器。

二極體  $D_{1170}$  可在相同的電流密度  $D_{1175}$  下由可程式電流源  $I_{1178}$  偏壓。節點1179控制電流  $I_{1178}$  且節點1017控制電流  $I_{1017}$ 。控制節點1017及控制節點1179連接輸入816。比較器1160的反相輸入1162連接電壓源  $V_{REF}$ 。操作放大器1170之非反



## 五、發明說明 (25)

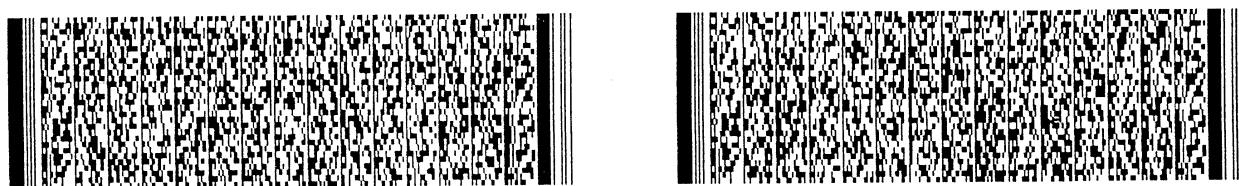
向輸入1174連接至電壓源 $V_{CLAMP}$ 。緩衝器1124的反相輸出1127由節點1166控制，且形成單擊元件1102的輸出，並連接在遷移端緣比較器1104中的閘極1130之輸入1134。

在準靜態狀態中，輸入信號155及輸入節點1144可在高狀態，節點1128及1166可在低狀態，且在節點1165的電壓維持在 $V_{CLAMP}$ 。當輸入節點1144由於在輸入信號155中的負遷移而在低狀態時，NOR閘極1120的輸出1123遷移到高狀態。經電容 $C_{1164}$ 的耦合強迫節點1165到高狀態。經電容1160及 $C_{1165}$ 的正回授維持節點1166在高狀態，直到在節點1165的電壓減少到 $V_{REF}$ 為止。

當節點1166在輸入信號155遷移到低狀態後而遷移到低狀態時，緩衝器1124驅動節點1128到高狀態，而動作第一鎖存器，其包含反相器1146及NOR閘極1140。NOR閘極1120的輸出1123在節點1128遷移時，隨後可加以停止。第一鎖存器維持將節點1128維持在高狀態，且停止輸出1123，其可在節點1166在時間 $\tau$ 時遷移到低狀態後

加以復歸。當節點1166回到低狀態，且輸入信號155遷移到低狀態時，第一鎖存器經NOR閘極1140復歸到低狀態，而回復單擊元件1102到準靜態。在電容 $C_{1112}$ 上的電壓具有足夠的時間可達到穩態，因為單擊元件1102只在下降端遷移時觸發。

脈波間隔 $\tau$ 可與經由節點1185的電荷守恆，而與電容放電電流 $I_c$ 建立相關性。此關係可表示為：



## 五、發明說明 (26)

$$(I_{1016} + I_b) \tau = [ \Delta V_{1166}(I_{1016}, \tau) + V_{CLAMP} - V_{REF} - V_{OS}^{th} ] C_{1164} + (V_{CLAMP} - V_{REF} - V_{OS}^{th}) C_s + \Delta Q_B^{th} - Q_d(I_{1016}), \quad (12)$$

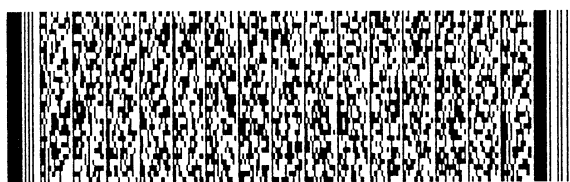
其中 $C_s$ 為與節點1165相關的雜散電容， $Q_d$ 為儲存在二極體 $D_{1175}$ 中的電荷，或 $V_{1166}$ 表示在輸入信號155下降端遷移觸發單擊元件1102後，1166上升端電壓波形。

依據本發明實施例，與比較器1160有關的參數如下： $I_b$ 為輸入偏移電流， $V_{OS}^{th}$ 為在臨界值處的輸入偏移，或 $Q_B^{th}$ 為切換比較器1160需要的輸入電荷。此式表示 $I_{1016}$ 可在 $\tau = \tau_{bit}$ 時幾乎與 $f_{bit}$ 成正比。

非反相緩衝器1114接收反相器1110的輸出1112，其匹配單擊元件1102的導通延遲。NOR閘極1130比較緩衝器1114的輸出1116及1127及單擊元件1102。NOR閘極1130開路射極輸出1136可為電流脈波，其可如為輸入信號155之下一上升端及延遲時間 $\tau$ 後單擊元件1102之輸出1127之上升端之間時段的函數。

節點1138當輸入信號155遷移到高狀態，而單擊元件1102的輸出1127在低狀態時，可遷移到高狀態。NOR閘極1150及共同控制線器1156互相連接以形成第二鎖存器，此鎖存器由節點1138的高狀態動作。如果節點1138上足夠高時，且回授迴路繞閘極1150，且反相器1156維持節點1138在高狀態，直到輸入信號155遷移到低狀態且連接NOR閘極1150的閘極1114之輸出1116遷移到高狀態為止。

來自閘極1130之輸出1136之電流脈波及 $\tau - \tau_{bit}$ 之間的



## 五、發明說明 (27)

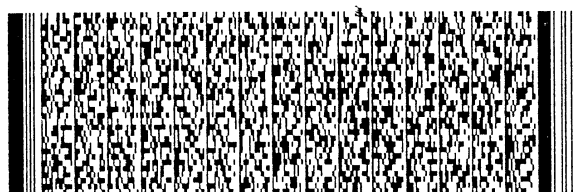
可表示為：來自閘極1130之電流脈波中電荷 $Q_{0-1136}$ 正比為 $\tau - \tau_{bit} - \xi \tau_{gate}$ ，在此 $\xi \tau_{gate}$ 為額定閘極響應時間的固定分量。在節點1138的機率可設定為高狀態，此視函數 $F_{gate}(Q_{0-1136})$ 上的 $Q_{0-1136}$ 而定，其特性顯示在圖9e中。節點1136的平均時間仍維持在高狀態，一當動作後，可約為 $n_1 \tau_{min} + \tau_{min} - \xi \tau_{gate}$ 。節點1138的信號可使用負回授而經 $I_{1016}$ 控制 $\tau$ 。

## 類比回授電路

圖12a示本發明實施例之回授電路830的類比配置。在此實施例中，回授電路830包含一加總電路1210，低通濾波器1220，差動放大器1230，及參考電壓 $V_{1250}$ 。低通濾波器1220包含輸出1224，且差動放大器1230包含輸出1236。圖12b-d說明輸入信號155之位元率的改變，低通濾波器輸出1224中的改變，且放大器輸出1236中的改變。

回授電路830接收，該節點形成最小間隔相關器840的對應輸入832，輸出 $826_1$ 及 $826_2$ 。節點 $832_1$ 及 $832_2$ 連接加總電路1210的輸入1212，且節點 $832_2$ 連接加總電路輸入1214。低通濾波器1220濾波加總電路1210的輸出1216，其作用到差動放大器1230的非反相輸入1232。參考電壓 $V_{1250}$ 連接差動放大器1230的共同控制線輸入1234。放大器1230的輸出1236形成回授電路輸出836。

加總電路1210的輸入1212，1214接收來自單極最小間隔相關器1090，1092之輸出 $826_1$ ， $826_2$ 的節點 $832_1$ 及 $832_2$ 脈波，時此 $\tau_{bit} < \tau$ 。低通濾波器1220在加總電路1216



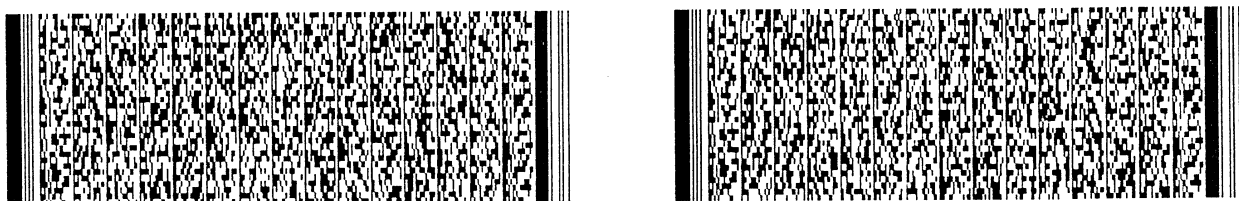
## 五、發明說明 (28)

處，去除來自結合信號的高頻改變。差動放大器1230放在濾波器1220之輸出1224參考電壓 $V_{1250}$ 之濾波信號之間的差壓。在 $V_{1224}$ 及 $V_{1250}$ 之間放大的差壓在輸出1236中顯示出來，且用於控制時段產生器810的周期 $\tau$ 。差動放大器1230可併有相位邊際補充，其需要維持整個回授電路動態穩定。

圖12b說明從 $f_{bit1}$ 到 $f_{bit2}$ (大於 $f_{bit1}$ )之輸入信號155的位元率之增加。在位元率的改變可由最小間隔相關器840偵測出來，其改變在加總電路1210之輸入1212，1214處出現之脈波速率，且因此改變輸出1216。t小於輸出時，輸出1224的準位可由來自84之脈波維持的固定速率維持。圖12c的水平虛線示在 $t=0$ 時，改變之前，負回授維持輸出1224幾乎為 $V_{1250}$ 。輸出1216處在t大於0時脈波速率的改變在輸出1224中產生暫態改變。此在輸出1236中顯現之放大信號改變，維持時段產生器810的周期 $\tau$ 在一新值 $1/f_{bit2}$ 為止。

最小間隔相關器840可在輸入信號155中產生隔離的"1"及"0"時，產生輸出脈波。經節點832<sub>1</sub>連接下降端遷移比較器輸出826的輸入1212在輸入信號155中高狀態到低狀態遷移時動作。在隔離"0"後向高狀態遷移之輸出826<sub>1</sub>的機率可表示成 $F(\tau - \tau_{bit})$ ，如圖9e所示。

設 $P_0(n)$ 及 $P_1(n)$ 表示對於輸入信號155中連續"0"及"1"之移動長度n的分佈，因此在從高狀態到低狀態遷移發生隔離0的機率為 $P_0(n=1)$ 。可表示為



## 五、發明說明 (29)

$$\text{rate of isolated 0} = \frac{P_0(1)}{(\bar{n}_0 + \bar{n}_1) \tau_{bit}}$$

在此  $\bar{n}_0$  ,  $\bar{n}_1$  表示 "0" 及 "1" 之平均移動長度。輸出 826<sub>1</sub> 之平均時段在下一高狀態到低狀態遷移前仍可維持在高狀態，其表示成：

$$\text{persistence time} = (\bar{n}_1 + \xi \bar{n}_0) \tau_{bit}$$

端緣遷移偵測器 820 的維持特性可由參數  $\xi$  表示。在一實施例中，最小間隔相關器 1090 包含 D 型正反器 1070， $\xi$  等於 1。另外，在一實施例中，最小間隔相關器 1090 包含下降端觸發不可再觸發之單擊元件 1120，則  $\xi$  等於 0，如果連續移動期間不相關，則輸入 1212 的平均值為

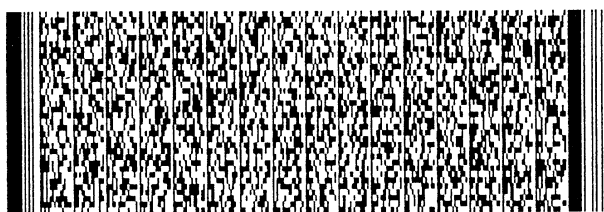
$$\bar{V}_{1212} = (\text{rate of isolated 0}) \times F(\tau - \tau_{bit}) \times (\text{persistence time}) \quad (13)$$

式 13 的類比式子應用到上升端將遷移比較器輸出 826<sub>2</sub> 之輸入 1214。濾波輸出 1224 可表示為

$$\bar{V}_{1224} = \frac{(\bar{n}_0 + \xi \bar{n}_1) P_1(1) + (\bar{n}_1 + \xi \bar{n}_0) P_0(1)}{\bar{n}_0 + \bar{n}_1} F(\tau - \tau_{bit}) \quad (14)$$

依據一實施例，低通濾波器輸出 1224 的平均值  $\bar{V}_{1224}$  使用負回授控制  $\tau$ 。小信號增益可具有與  $\tau_{bit}$  無關的所需要之特徵。

數位回授電路



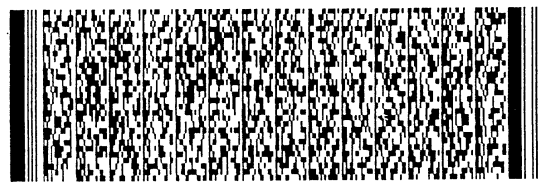
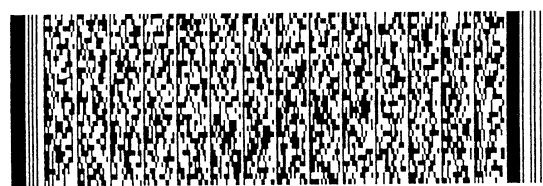
## 五、發明說明 (30)

圖13a示本發明實施例之回授電路830的數位配置。在此實施例中，回授電路830包含R-S鎖存器1310，1320，正D型正反器1330，1340，AND閘極1350，1360，N增上/下計數器1370，M階=位元計數器1390，及數位類比轉換器(DAC)1380。上/下計數器1370包含上計數時脈( $Clk_U$ )輸入1372及下計數時脈( $Clk_D$ )輸入1374。圖13b-e示輸入信號155中位元率 $f_{bit}$ 的改變，作用到 $Clk_U$ 輸入1372的信號，作用在 $Clk_D$ 輸入1374的信號，及DAC 1380的數位輸出1384。

回授電路830之輸入 $832_1$ 及 $832_2$ 接收對應最小間隔相關器840的輸出 $826_1$ ，及 $826_2$ 。回授電路830的輸入834接收輸入信號155。節點 $832_1$ 連接鎖存器1310的"設定"輸入1312，且節點 $832_2$ 連接鎖存器1320的"設定"輸入。鎖存器輸出1316，1326連接D型正反器1330，1340的對應輸入1332及1342。

計數器1390的時脈輸入1392經輸入834接收輸入信號155。終端計數(TC)輸出1396連接鎖存器1310，1320的對應"復歸"輸入1314，1324。D型正反器1330，1340的時脈輸入1334，1344連接計數器1390的第二階( $Q_1$ )輸出1394。

AND閘極1350接收來自D型正反器1330及1340的對應非反相輸出1336，1346，及計數器1390的TC輸出1396。AND閘極1360接收來自D型正反器1330，1340之反相輸出1338，1348，及計數器1390的TC輸出1396。AND閘極1350的輸出1358連接 $Clk_U$  1372，且AND閘極1360的輸出1368連接 $Clk_D$ 輸入1374。



## 五、發明說明 (31)

在一實施例中，上/下計數器1370產生平行的二位元字元，其與作用在 $Clk_U$ 輸入1374及 $Clk_D$ 輸入1374之脈波數目之間的差值具單調相關性。在一實施例中，上/上計數器1370產生平行二位元信號，其動作使用一連串之步階尺寸對於速率估測信號RE之連續近似，其可如隨後作用在 $Clk_U$ 輸入1372之 $Clk_D$ 輸入1374的圖樣。

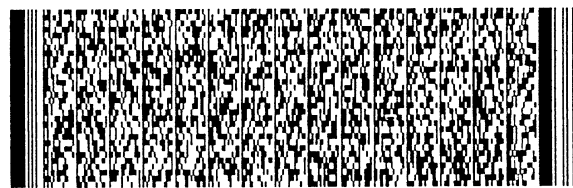
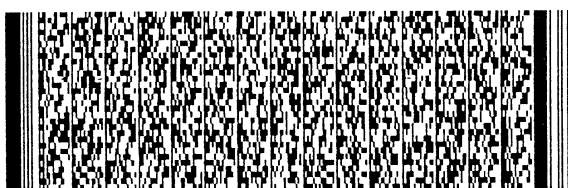
鎖存器"1310"及"1320"的"設定"輸入1312及1324接收來自單極最小間隔相關器1090及1092輸出 $826_1$ 及 $826_2$ 的脈波，此時經節點 $832_1$ ，及 $832_2$ 由端緣遷移比較器820偵測端 $\tau$ 大於 $\tau_{bit}$ 。

由在輸入信號155之下降端遷移上動作且由單極最小間隔相關器1090產生的脈波設定輸出1316於高狀態。同樣地由單極最小間隔相關器1092產生，且在輸入信號155中之上升端端緣遷移上動作的脈波設定輸出1326在高狀態。

計數器1390計算在輸入155模組 $2^M$ 中之遷移數目，M等於如4。第二級( $Q_1$ )輸出1394對於輸入信號155中每第四個低狀態向高狀態遷移時，時間鎖住D型正反器1330及1340，儲存鎖存器1310，1320的狀態。

TC輸出1396在輸入信號155中各 $2^M$ 低狀態至高狀態遷移後，遷移到高狀態，且在輸入信號155之下一低狀態到高狀態遷移時，遷移到低狀態。TC輸出1396的輸出狀態可致動AND閘極輸出1358及1368，且接收鎖存器1310及1320到低狀態。

在D型正反器非反相輸出1336，1346在高狀態時而TC輸



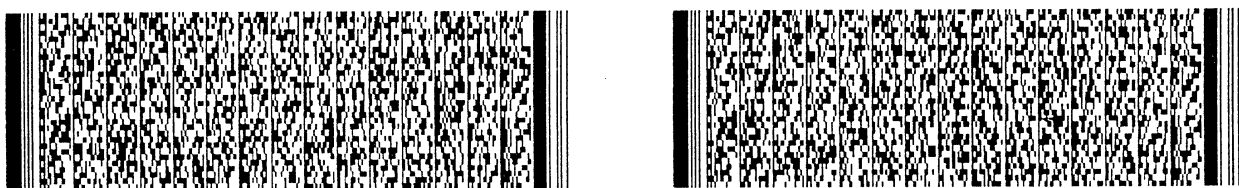
## 五、發明說明 (32)

出1396在高狀態時，輸出1358遷移到高狀態，達到上/下計數器1370的狀態增加一計數。當如果D型正反器1338，1348在高狀態，而TC輸出1396在高狀態時，輸出1368遷移到高狀態，而減少上/下計數器。當單極最小間隔相關器1090及1092偵測到 $\tau$ 大於 $\tau_{bit}$ 時，上/下計數器1370的狀態增加，且當單極最小間隔相關器1090，1092偵測到 $\tau$ 小於 $\tau_{bit}$ 時，則減少。當單極最小間隔相關器1090，1092中只有一項偵測到 $\tau$ 大於 $\tau_{bit}$ 時，則上/下計數器1370的狀態維持在原來的狀態。在上/下計數器輸出1376之二位元信號使用負回授控制 $\tau$ 。

回授電路830可使用如上/下計數器1370的輸出1376，在輸出836處產生一數位信號。同樣地，回授電路830可在輸出836處，使用DAC 1380的輸出1384(其輸入1382連接計數器輸出1376)而產生類比信號。

圖13b示在 $t=0$ 時，從 $f_{bit1}$ 到 $f_{bit2}$ (大於 $f_{bit1}$ )之輸入信號155的位元率 $f_{bit}$ 中的增加。在 $t=0$ 之前，負回授可維持時段產生器810的周期 $\tau$ 接近 $1/f_{bit1}$ 。最小間隔相關器840可偵測位元率的改變，其導致在兩鎖存器輸入1312，1324處的脈波速率改變。在兩鎖存器1312，1324中脈波的出現導致D型正反器非反相輸出1336，1346遷移到高狀態，如圖13c中而暫止Clku輸入1372。

在圖13d中， $Clk_p$ 輸入1374在 $t=0$ 後，不會馬上停止，因為 $\tau$ 大於 $1/f_{bit2}$ 之故。圖13e說明DAC 1380的類比輸出1384，其為上/下計數器1370產生的數位字元所驅動，且



## 五、發明說明 (33)

含單調計數狀態。在上/下計數器1370中，當 $\tau$ 大於 $1/f_{bit2}$ 時，上計數進行，當 $\tau = 1/f_{bit2}$ 時，則停止。

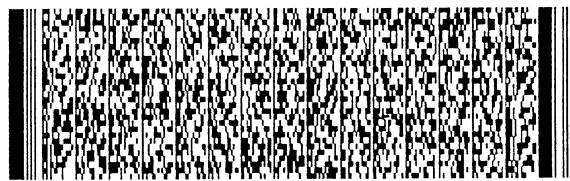
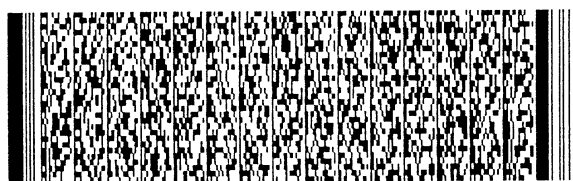
## 速率選擇器

速率選擇器310追蹤輸入信號155之位元率頻率的改變，而排除速率估測信號RE中的遷移錯誤，其可能由輸入信號155中的跳動及圖樣變動所產生。圖14a-b為本發明兩實施例中速率選擇器310之配置的方塊圖。

在一實施例中，如圖14a所示，速率選擇器310包含一速率遷移1402，其包含功能方塊1410及1420。速率遷移1402可接收輸入速率估測信號RE，其信號由圖5之離散速率偵測器301產生。速率估測信號RE也可以在由1402遷移前加以濾波。

在第二實施例中(圖14b)，速率選擇器310包含速率遷移1402，及速率估測濾波器。該速率估測濾波器包含一速率更正方塊1430，可適性濾波器1440，濾波器控制1450，速率改變偵測器1460，預期速率比較器1470，及加總器1480。更正方塊1430之輸入1432接收速率估測信號RE，可由如圖8之連續速率偵測器301產生。可適性濾波器1440之輸入1442接收速率更正方塊1430的輸出1434。且濾波器1440的輸出作為到速率遷移1402的另一輸入。

速率遷移方塊1402執行估測之線速率維持控制信號 $RS_1$ 及 $RS_2$ 的1對1對映，其顯示在節點316，318中。功能方塊1410的輸入1412及功能方塊1420的輸入1422接收線速率的估測，如來自離散速率偵測器301之速率估測信號RE或來



## 五、發明說明 (34)

自可適性濾波器1430的輸出。對於方塊1410在節點316處產生控制信號RS<sub>1</sub>。功能方塊1410可配置如由式(5)或式(8)表示的功能。

功能方塊1420在控制信號318處產生控制信號RS<sub>2</sub>。功能方塊可配置如由式(5)或(8)表示的功能。

多項傳統技術可用於執行1對1對映。例如，可使用類比電腦以轉換速率估測信號RE為控制信號RS<sub>1</sub>及RS<sub>2</sub>。另外，速率偵測器301及速率選擇器310可使用A/D轉換器，其二元輸入從控制信號RS<sub>1</sub>及RS<sub>2</sub>之核對表中選擇適當的項目。核對表包含用於 $\tau_{ED}$ 及 $f_c$ 的速率指定參數。

在另一實施例中，速率選擇器310包含一有限狀態機，用於將數位化的速率估測信號RE轉換成控制信號RS<sub>1</sub>及RS<sub>2</sub>，其使用如一適當的對映演算法。

當使用如圖8的持續速率偵測器301時，速率更正1430及可適性濾波器1440可改進線速率估測的準確度，其為速率遷移1402的接收狀態。速率估測信號RE應用在速率更正方塊1430的輸入1432處。來自更正方塊1430的輸出進入可適性濾波器1440的輸入1442，速率改變偵測器的輸入1462，及預期速率比較器1470的輸入1472。

輸入1444控制濾波器1440的響應，輸入信號155也經節點314作用到速率改變偵測器1460及預期速率比較器1470的輸入1464及1474。在速率偵測器1460及預期速率比較器1470可經輸入314而由輸入信號155加以控制。

速率改變偵測器1460包含輸出1466，且預期速率比較器



## 五、發明說明 (35)

1470 包含輸出1476。輸出1466，1476 結合加總器1480，且作用到頻率控制1450的輸入1452。濾波器控制1460 包含輸出1454，其作用到可適性濾波器1440的輸入1444。可適性濾波器輸出1446 連接功能方塊1410，1420的對應輸入1412及1422。

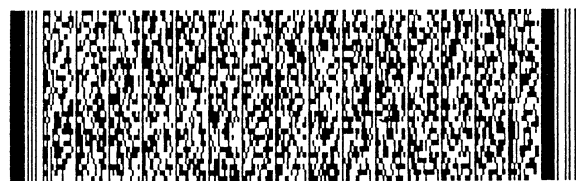
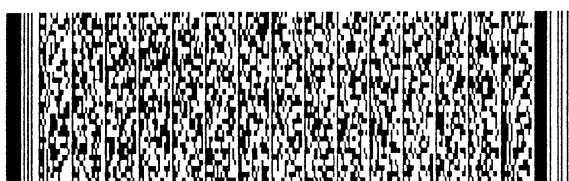
在速率偵測器301之輸入312處顯示的速率控制信號RE可包含可預期或量測的誤差。更正方塊1430可配置一演算法，其補充速率估測信號RE及輸入信號155之位元率之間的差異。

可適性濾波器1440輸出的修正的速率估測 $RE_1$ ，其視速率估測信號RE現在數值而定，而該現值與速率估測信號RE過去的行為有關。考量速率估測信號RE及修改的速率估測信號RE速率(不同時間)，可由 $\{RE_i\}$ 表示速率估測信號RE的現值及過去值，而修改速率估測信號RE速率的對應值可由 $\{RE_j\}$ 表示。可適性濾波器1440可為如使用下列關係從速率估測信號 $RE_F$ 中的架構修正之速率估測信號 $RE_F$ ：

$$RE_{Fk} = \sum_{i=1}^k a_{k-i} RE_i + \sum_{j=1}^{k-1} b_{k-j} RE_{Fj} \quad (15)$$

在此 $a_i$ 及 $b_j$ 為經輸入1444可程式的係數。

包含式15之配置的濾波器1440當係數 $a_1$ 大時，可對改變速率估測信號RE快速反應，反方，當係數 $a_i$ 大(對於 $i$ 大大於1時)，則反應慢。可選擇係數 $b_j$ 以影響特定估測的記憶體。數目 $\sum_i a_i = 1$ 可防止修正速率估測信號 $RE_F$ 偏移，而數目 $\sum_j b_j < 1$ 可避開不穩定。可基於在速率更正1430之更正



## 五、發明說明 (36)

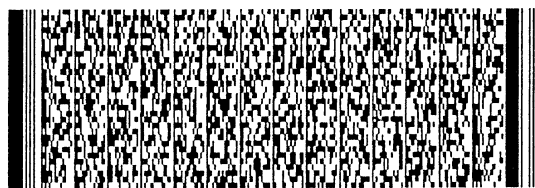
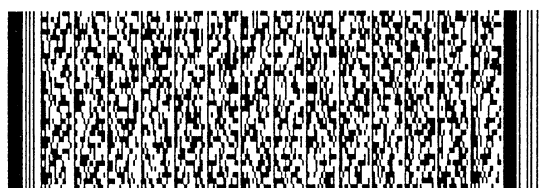
後，速率估測信號RE中的變動之圖樣，而選擇係數 $a_i$ 及 $b_j$ 。

速率改變偵測器1460可辨識速率估測信號RE中小或無意義的振動，其從更正速率估測中快速或有意義的改變中的作用在輸入1462。速率改變偵測器1460可架構速率改變值的直方圖，且計算可能性，其中發生的速率改變與最近之過去的速率改變極不相同。輸出1466的大小可反應現在速率改變相對前一改變中的改變之大小或期間。執行速率改變辨識的沒有時間可由輸入1464中的速率設定。

預期速率比較器1470控制現在速率估測信號RE與已知的共同線速率或 $\{RE_i\}$ 的前一值，其已存在一段相當的時間。輸出1476的大小可反應速率估測信號RE之近似值以知道速率或前一速率。比較速率估測信號RE與預期速率的響應時間可基於在輸入1464之遷移速率設定。

雖然文中已應較佳實施例說明本發明，但嫻熟本技術者需了解可對上述實施例加以更改及變更，而不偏離本發明的精神及觀點。

另外，可對於本發明的說明可改進多項修改以適應指定的元件，技術或配置，而不偏離本發明的精神及觀點。因此，上述及實施例說明並非用於限制本發明，本發明的精神及觀點則定義在下文的申請專利範圍中。



7...A 修正 號 87120130

90年7月4日

修正

年...月...日  
五、發明說明(補充)

## 圖式元件符號說明

100	時脈回復電路	110	遷移偵測器
120	相位比較器	130	低通濾波器
150	穩壓控制振盪器(VCO)	155	輸入信號
160	時脈信號	165	回授迴路
170	穩壓信號	200	時脈回復電路
210	遷移偵測器	220	相位比較器
230	低通濾波器	250	VCO
260	頻率比較器	265	回授迴路
270	加法器	300	時脈回復電路
301	速率偵測器	302 <sub>1</sub> 、302 <sub>2</sub>	輸入
303	輸出	310	速率選擇器
320	遷移偵測器	330	窄頻濾波器
400	時脈回復電路	410	速率選擇器
412	輸入	416、418	輸出
420	選擇器	421	校正致能線
422、424	輸入端	430	校正源
450	響應監視器	452	輸入
454、456	輸出	510 <sub>1</sub> -510 <sub>3</sub>	延遲元件
512 <sub>1</sub> -512 <sub>3</sub>	輸入	514 <sub>1</sub> -514 <sub>3</sub>	輸出
520 <sub>1</sub> -520 <sub>3</sub>	OR/NOR 閘極	522 <sub>1</sub> -522 <sub>3</sub> 、524 <sub>1</sub> -524 <sub>3</sub>	輸入
526 <sub>1</sub> -526 <sub>N</sub> 、528 <sub>1</sub> -528 <sub>K</sub>	輸出	530 <sub>1</sub> -530 <sub>N</sub>	正反器
536 <sub>1</sub> -536 <sub>N</sub>	輸出	540	計數器
542	輸入	544	輸出
550 <sub>1</sub> -550 <sub>N</sub>	鎖存器	552 <sub>1</sub> -552 <sub>N</sub>	輸入



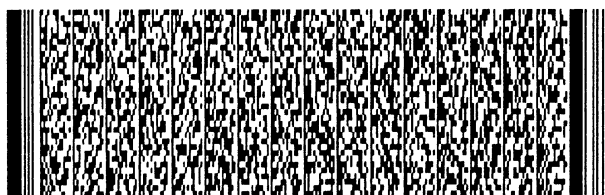
7.1 修正  
案號  
五、發明說明補充

87120130

90年7月4日

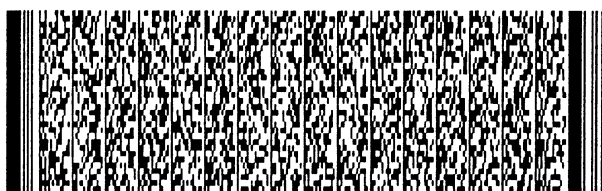
修正

556 <sub>1</sub> -556 <sub>N</sub> 輸出	560、570 緩衝器
574 共同控制線	580 反相器
584 輸出	590 N線優先編碼器
595 <sub>1</sub> -595 <sub>N</sub> 輸入	598 輸出
730 節點	742 控制節點
810 時間間隔產生器	812、816 輸入
814 輸出	820 端緣遷移比較器
822、824 輸入	826 <sub>1</sub> 、826 <sub>2</sub> 輸出
830 回授電路	832 輸入
836 輸出	840 最小間隔相關器
1003、1004 節點	
1090、1092 最小間隔相關器	
1010 非反相緩衝器	1012 輸入
1014 輸出	1017 輸入
1020 反相緩衝器	1022 輸入
1024 輸出	1027 輸入
1030 比較器	1032、1034 輸入
1036 輸出	1040 比較器
1042、1044 輸入	1046 輸出
1050 非反相緩衝器	1052 輸入
1054 輸出	1060 反相緩衝器
1062 輸入	1064 輸出
1070、1080 正反器	1072、1074 輸入
1076 輸出	1082、1084 輸入
1086 輸出	1090 最小間隔相關器



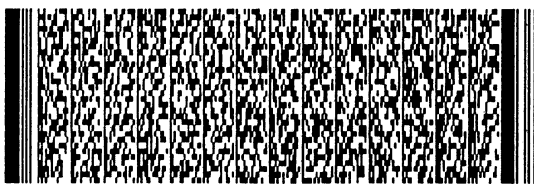
## 五、說明 (39)

1102	下降端觸發非可再觸發之單擊元件		
1104	端緣遷移比較器	1110、1156	反相器
1111	輸入	1114	緩衝器
1120	NOR閘極	1121、1122	輸入
1123	輸出	1124	緩衝器
1125	輸入	1126	輸出
1127	輸出	1128	節點
1130	NOR閘極	1134	輸入
1136	輸出	1138	節點
1140	NOR閘極	1141、1142	輸入
1143	輸出	1144	節點
1146	反相器	1147	輸入
1148	輸出	1150	NOR閘極
1156	反相器	1160	比較器
1161	輸入	1165、1166	節點
1170	操作放大器	1172、1174	輸入
1173	輸出	1179	節點
1185	節點	1210	加總電路
1212、1214	輸入	1216	輸出
1220	低通濾波器	1224	輸出
1230	差動放大器	1232、1234	輸入
1236	輸出	1310、1320	鎖存器
1314、1324	輸入	1316、1326	輸出
1322	輸入	1330、1340	正反器
1332、1342	輸入	1334、1344	輸入

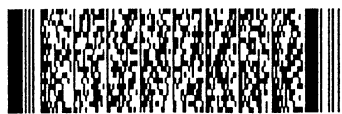


## 五、發明說明(40)

1336、1346 輸出	1338、1348 輸出
1350、1360 AND 閘極	1358、1368 輸出
1370、1390 計數器	1372、1374 輸入
1380 數位類比轉換器(DAC)	1384 輸出
1390 計數器	1392 輸入
1394、1396 輸出	1402 速率遷移
1410 功能方塊	1412 輸入
1420 功能方塊	1422 輸入
1430 速率更正方塊	1432 輸入
1434 輸出	1440 可適性濾波器
1442、1444 輸入	1450 濾波器控制
1452 輸入	1454 輸出
1460 速率改變偵測器	1462、1464 輸入
1466 輸出	1470 速率比較器
1472、1474 輸入	1476 輸出
1480 加總器	



圖式簡單說明 **正**  
91年 4月 2日 **充**

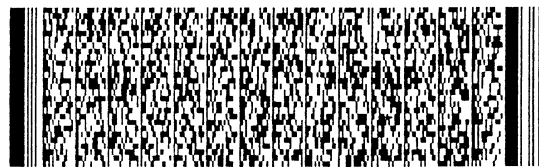
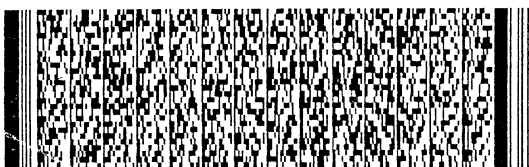


四、中文發明摘要 (發明之名稱：可變位元率計時回復之方法及裝置)

本發明的方法及裝置係用於經由在時域上經由估測數據信號的位元率，從一變動位元率數據信號中回復一時脈信號，且感測估測的變動位元率，決定窄頻濾波器的中心頻率，以從數據信號中取出時脈信號。本發明的時脈回復電路從改變的位元率數據信號中取出時脈信號，係經由估測輸入信號中遷移之間的最小時段，產生對應輸入信號中遷移之多個脈波中，基於估測的最小時段調整各脈波的間隔，且將調整的脈波輸入窄頻濾波器，基於估測的最小時段決定窄頻濾波器的中心頻率，且在窄頻濾波器中從調整的脈波內取出時脈信號。

英文發明摘要 (發明之名稱：METHOD AND APPARATUS FOR VARIABLE BIT RATE CLOCK RECOVERY)

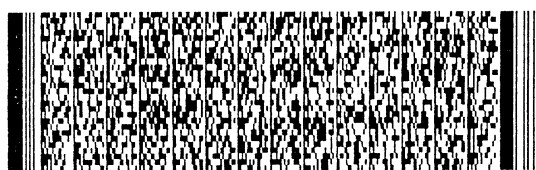
Methods and apparatuses consistent with the present invention recover a clock signal from a variable bit rate data signal by estimating, in the time domain, the bit rate of the data signal, and based on the estimated variable bit rate, determining a center frequency of a narrow-band filter for extracting the clock signal from the data signal. A clock recovery circuit consistent with the present invention extracts a clock signal from a variable bit rate data signal by estimating



四、中文發明摘要 (發明之名稱：可變位元率計時回復之方法及裝置)

英文發明摘要 (發明之名稱：METHOD AND APPARATUS FOR VARIABLE BIT RATE CLOCK RECOVERY)

a minimum time interval between transitions in the data signal, generating a plurality of pulses that correspond respectively to transitions in the data signal, adjusting the duration of each of the pulses based on the estimated minimum time interval and inputting into a narrow-band filter the adjusted pulses, determining a center frequency of the narrow-band filter based on the estimated minimum time interval, and extracting in the narrow-band filter the clock signal from the



四、中文發明摘要 (發明之名稱：可變位元率計時回復之方法及裝置)

英文發明摘要 (發明之名稱：METHOD AND APPARATUS FOR VARIABLE BIT RATE CLOCK RECOVERY)

adjusted pulses.



## 六、申請專利範圍

1. 一種從具有變動位元率之輸入信號中回復一時脈信號的方法，該方法包含下列步驟：

估測輸入信號中遷移之間的最小時段；

基於估測的最小時段決定窄頻濾波器的中心頻率；以及

在決定的中心頻率下從輸入信號中取出時脈信號。

2. 如申請專利範圍第1項之方法，尚包含下列步驟：

在取出步驟前，產生第一之多個脈波，這些脈波約對等於輸入信號中對應的遷移；

基於估測的變動位元率，調整第一之多個脈波中各脈波的間隔；以及

將調整的第一之多個脈波輸入窄頻濾波器中。

3. 如申請專利範圍第1項之方法，其中估測步驟包含下列步驟：

基於估測的最小時段，決定輸入信號的變動位元率。

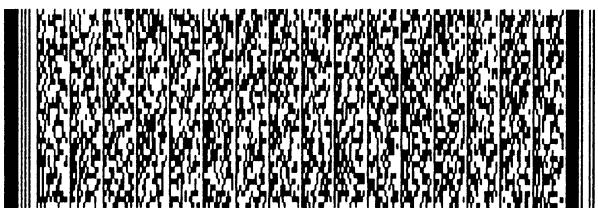
4. 如申請專利範圍第1項之方法，其中估測步驟包含下列步驟：

產生與輸入信號中遷移相關的第二之多個脈波；以及

調整第二之多個脈波中的各脈波的間隔，使得最小輸入信號中遷移之間的最小時段與對應之第二多個脈波的間隔相匹配。

5. 如申請專利範圍第2項之方法，其中取出步驟包含下列步驟：

產生一相位相關信號，此信號正比於時脈信號之相位



## 六、申請專利範圍

與第一之多個脈波之相位間的差；以及

將相位相關信號加到產生時脈信號之振盪器的中心頻率中。

6. 如申請專利範圍第2項之方法，其中取出步驟包含下列步驟：

產生一頻率相關信號，此信號正比於時脈信號之頻率與第一之多個脈波之頻率間的差；以及

將頻率相關信號加到產生時脈信號之振盪器的中心頻率中。

7. 如申請專利範圍第4項之方法，其中調整步驟包含下列步驟：

產生對應於決定之差值的電壓信號；以及

產生與電壓信號成正比的電流信號，其中電流信號控制第二之多個脈波中各脈波的間隔。

8. 一種從具有變動位元率之輸入信號中回復一時脈信號的方法，該方法包含下列步驟：

估測輸入信號中遷移之間的最小時段；

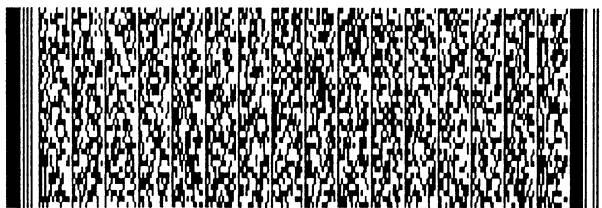
產生對等於輸入信號中對應遷移的第一之多個脈波；

基於估測的最小時段，調整第一之多個脈波中各脈波的間隔，且將調整的第一之多個脈波輸入窄頻濾波器中；

基於估測的最小時段，決定窄頻濾波器的中心頻率；

以及

在窄頻濾波器中，取出來自調整之第一多個脈波的時脈信號。



## 六、申請專利範圍

9. 如申請專利範圍第8項之方法，其中該估測步驟包含：

將輸入信號串列通過一組延遲段，而產生一組延遲的輸入信號，其中基於該組預定的延遲時間，該組延遲段延遲輸入信號；

比較輸入信號與產生延遲輸入信號組；以及

基於預定延遲時間的合，產生一控制信號，該延遲時間小於輸入信號中遷移之間的最小時段。

10. 如申請專利範圍第8項之方法，其中估測步驟包含下列步驟：

將輸入信號串列通過一組可程式延遲段，而產生一組延遲的輸入，其中該組可程式延遲段基於一組預定的延遲時間，延遲該輸入信號；

比較輸入信號與該組產生的延遲輸入信號；以及

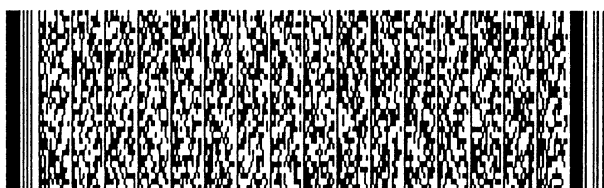
基於預定之延遲時間的合產生一控制信號，該預定的延遲時間短於輸入信號中遷移之間的最小時段。

11. 如申請專利範圍第8項之方法，其中估測步驟包含下列步驟：

將輸入信號通過一可程式時段產生器而產生一或多個延遲的遷移，其中該延遲的遷移係基於一組延遲時間值而產生；

比較輸入信號中的遷移與產生的延遲遷移；以及

調整一或多個延遲時間值，使得該延遲時間值中的一項符合輸入信號中遷移之間的最小時段。



## 六、申請專利範圍

12. 一種用於從具有變動位元率之輸入信號中回復時脈信號的裝置，該裝置包含：

一速率偵測器，用於估測輸入信號中遷移之間的最小時段；

一遷移偵測器，用於產生第一之多個脈波，其對等於輸入信號中對應的遷移；

一窄頻濾波器，用於從調整的第一之多個脈波中取出時脈信號；以及

一速率選擇器，基於估測的最小時段，調整第一之多個脈波の間隔，及取出該調整之第一多個脈波之窄頻濾波器的中心頻率。

13. 如申請專利範圍第12項之裝置，其中該速率偵測器包含：

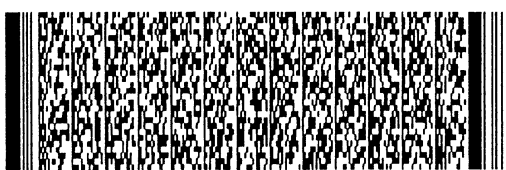
一組串聯的延遲段，基於一組預定的延遲時間產生一組延遲輸入信號；以及

一組鎖存器，連接該組延遲段，以比較該組延遲的輸入信號與該輸入信號，且基於預定之延遲時間的合，產生一控制信號，該預定延遲時間係小於輸入信號中遷移之間的最小時段。

14. 如申請專利範圍第12項之裝置，其中該速率偵測器包含：

一可程式時段產生器，此時段產生器基於該組延遲時間，產生一組延遲的遷移；以及

一連接可程式時段產生器的端緣遷移比較器，用於比較



## 六、申請專利範圍

該組延遲的遷移與輸入信號中的遷移，且調整一或多個延遲時間，使得延遲時間值之一項符合輸入信號中遷移之間的最小時段。

15. 如申請專利範圍第12項之裝置，更包含：

一校正源，用於產生具有一組預定參考位元率的校正信號，其中速率偵測器估測校正源的參考位元率；以及

一響應監視器，用於決定預定參考位元率及估測之參考位元率之間的差，且用於調整速率選擇器，直到決定之差值中的一項等於0為止。

16. 如申請專利範圍第12項之裝置，其中該速率偵測器包含：

一間隔產生器，用於產生第二之多個遷移，其與輸入信號中的遷移有關；

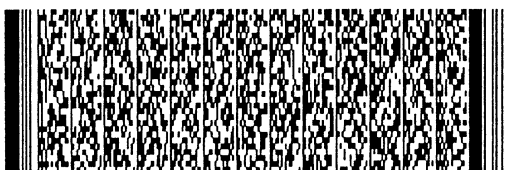
一遷移比較器，用於決定第二之多個遷移中各遷移的間隔，及輸入信號中各遷移之間的時段；以及

一回授裝置，用於調整第二之多個遷移中各遷移的間隔，直到決定的差等於0為止。

17. 如申請專利範圍第12項之裝置，其中該窄頻濾波器包含：

一相位比較器，用於產生一相位相關信號，此信號正比於時脈信號之相位與調整之第一多個脈波脈波之相位間的差；以及

一第一加法器，用於將相位相關信號加到產生時脈信號之振盪器的中心頻率中。



## 六、申請專利範圍

18. 如申請專利範圍第12項之裝置，其中該窄頻濾波器包含：

一頻率比較器，用於產生一頻率相關信號，此信號正比於時脈信號之頻率與調整之第一多個脈波脈波之頻率間的差；以及

一第一加法器，用於將頻率相關信號加到產生時脈信號之振盪器的中心頻率中。

19. 如申請專利範圍第16項之裝置，其中該間隔產生器包含：

一端緣觸發單擊元件，用於產生與輸入信號中之遷移相關的第二之多個脈波。

20. 如申請專利範圍第16項之裝置，其中該間隔產生器包含：

一或多個端緣觸發延遲元件，用於產生與輸入信號中遷移相關的第二之多個脈波。

21. 一種用於從具有變動位元率之輸入信號中回復時脈信號的裝置，該裝置包含：

一速率偵測器，用於估測輸入信號中遷移之間的最小時段；

一連接該速率偵測器的速率選擇器；

一連接該速率選擇器的遷移偵測器；以及

一連接遷移偵測器及速率選擇器的窄頻濾波器，使得速率選擇器感測估測的最小時段，調整多個脈波中各脈波的間隔，該脈波係由遷移偵測器及窄頻濾波器的中心頻



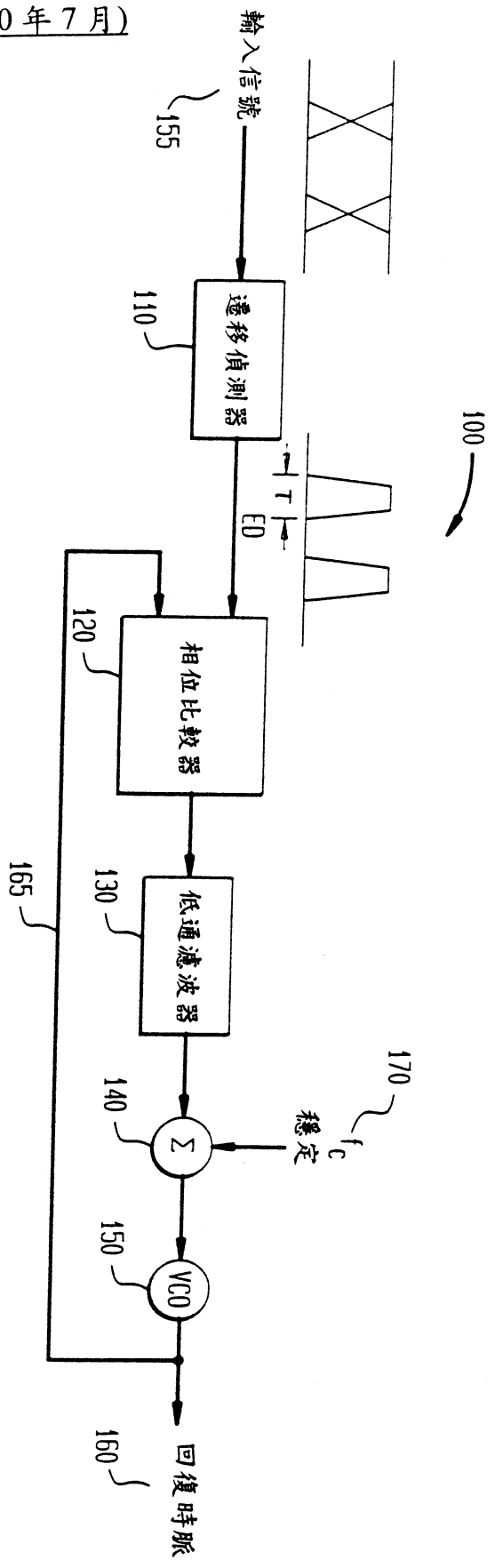
六、申請專利範圍

率產生，用於從輸入信號中取出時脈信號。



第 087120130 號專利申請案  
中文圖式修正本(90年7月)

90.7.4日 修正補充



習知技術  
圖 1

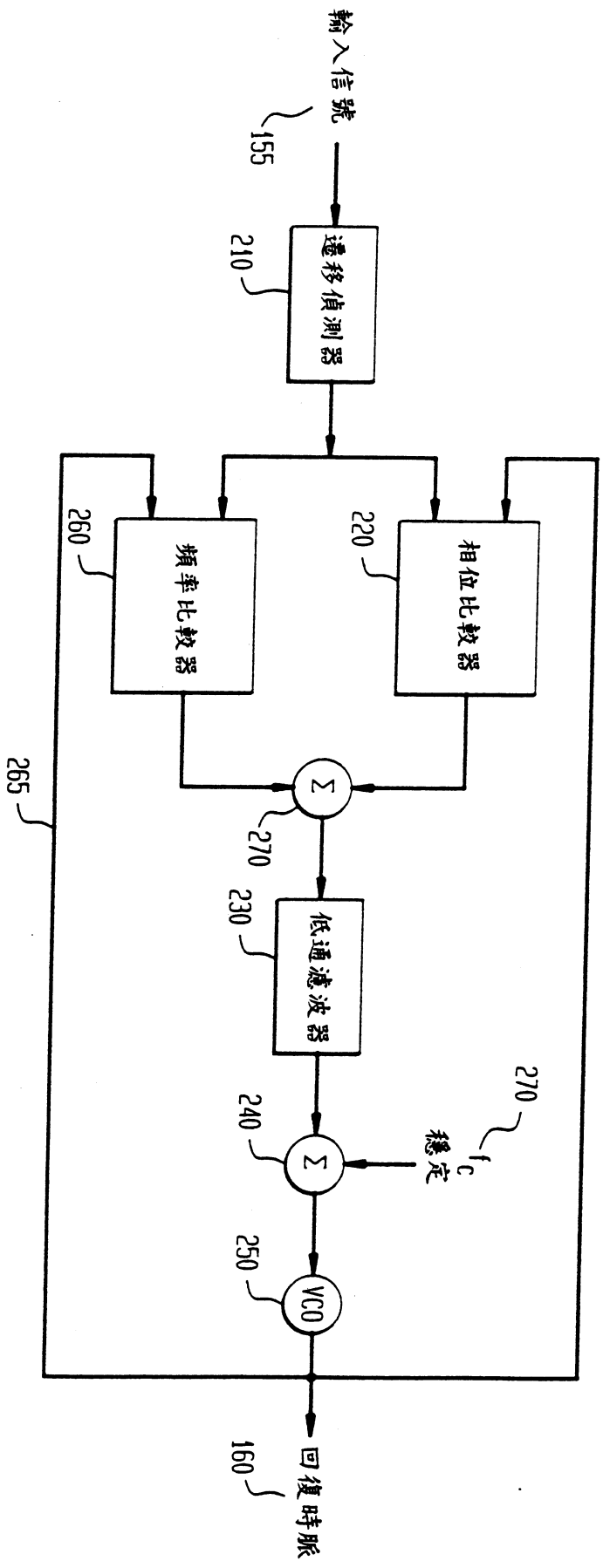
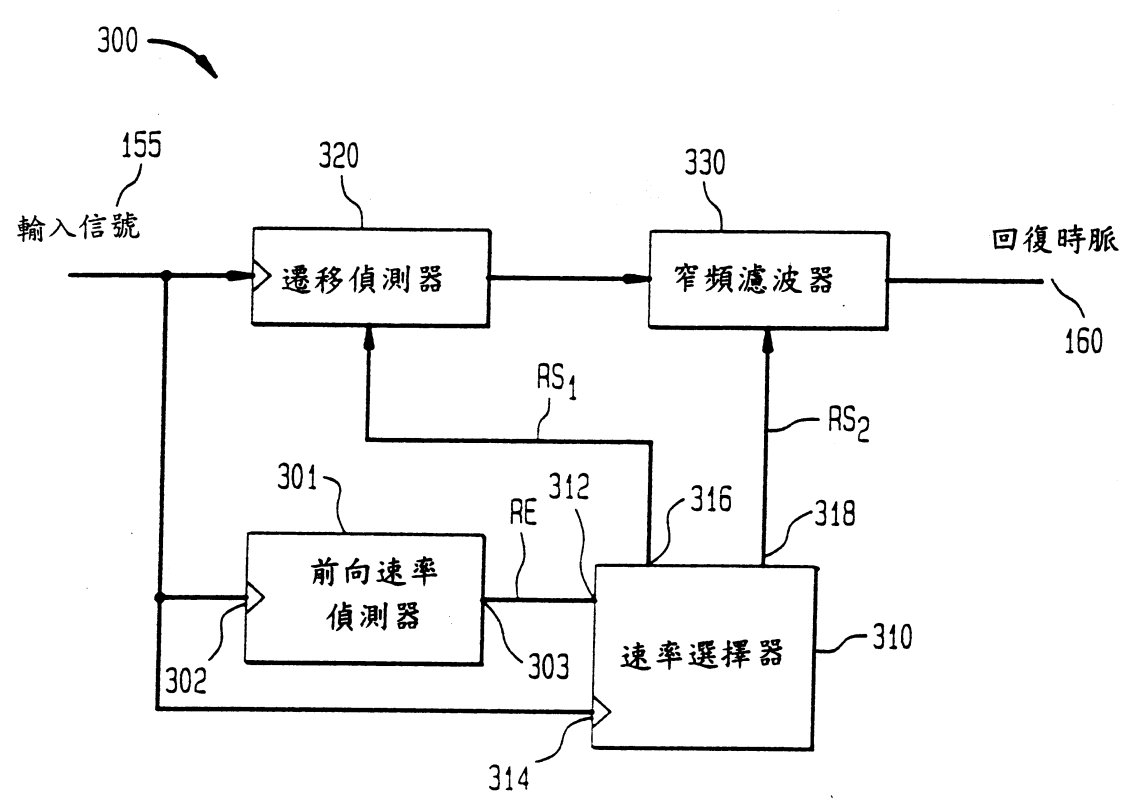


圖 2  
習知技術

圖 3



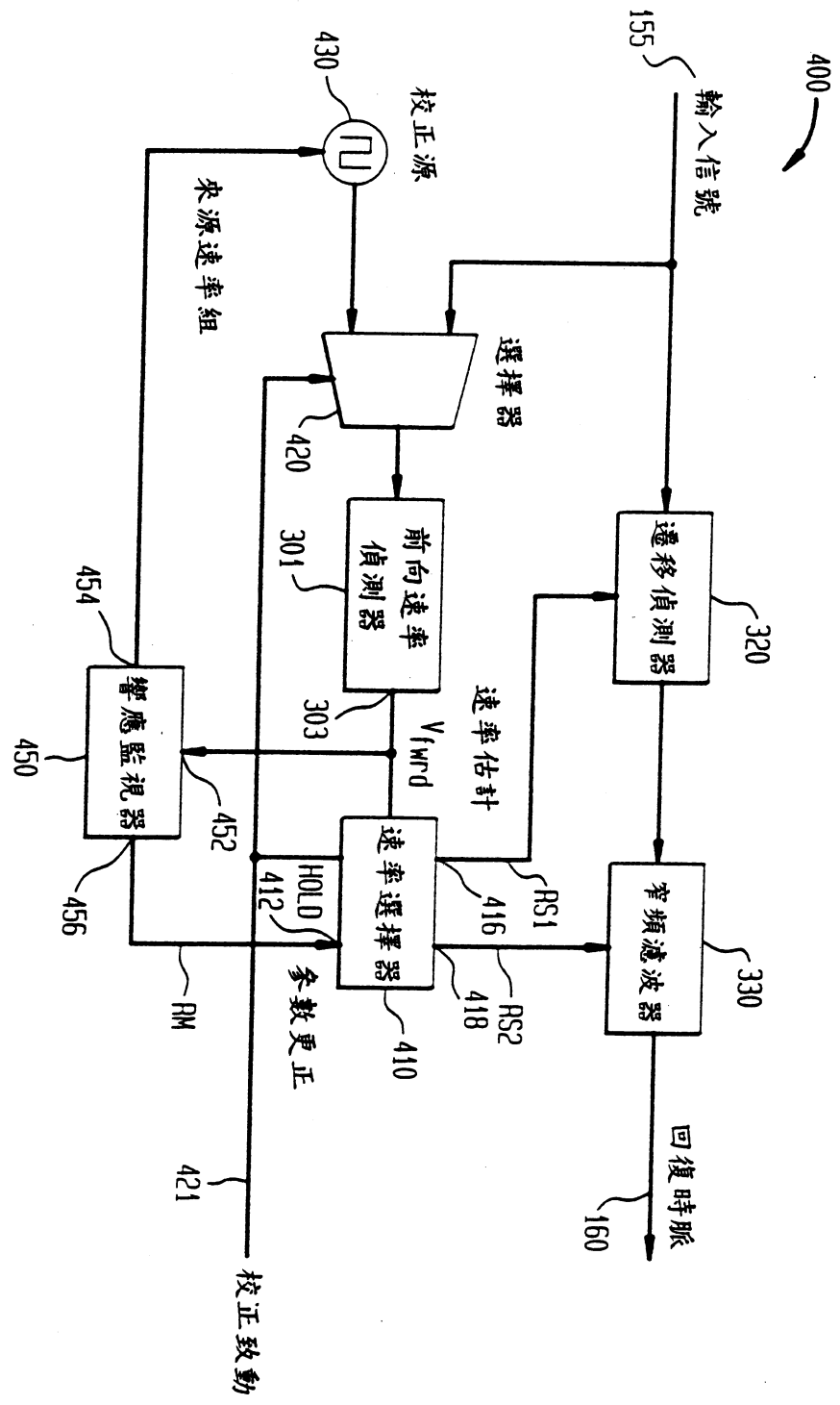


圖 4

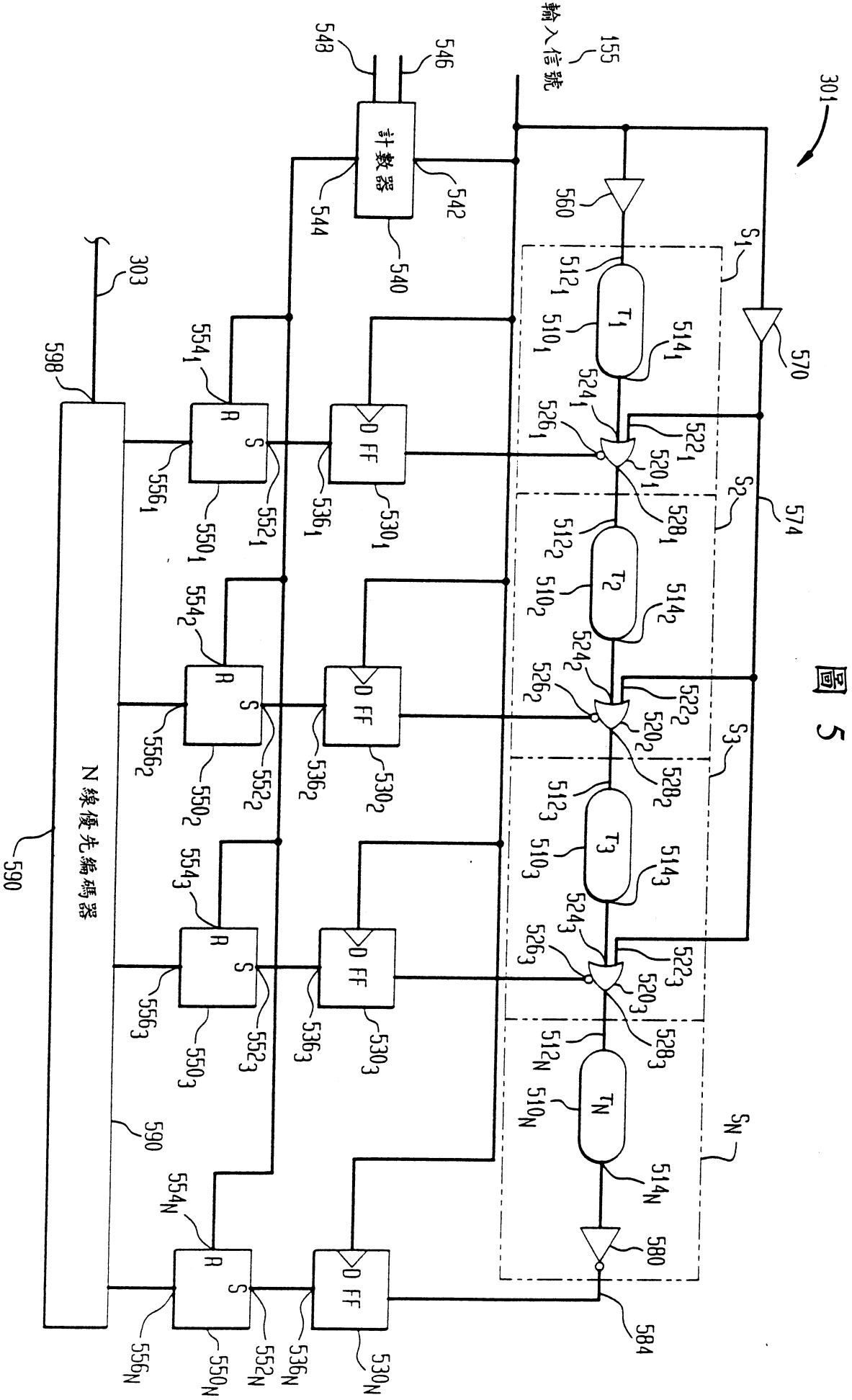


圖 5

圖 6A

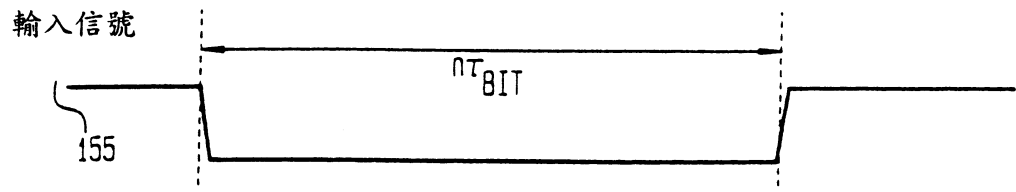


圖 6B



圖 6C

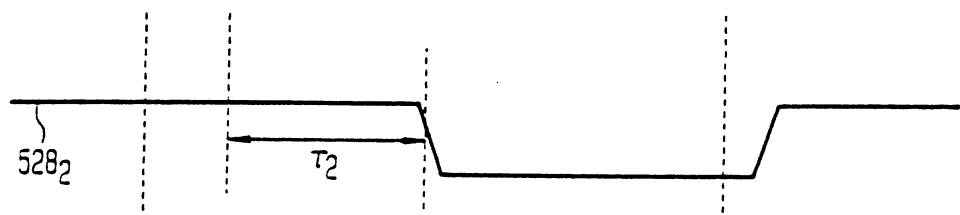


圖 6D

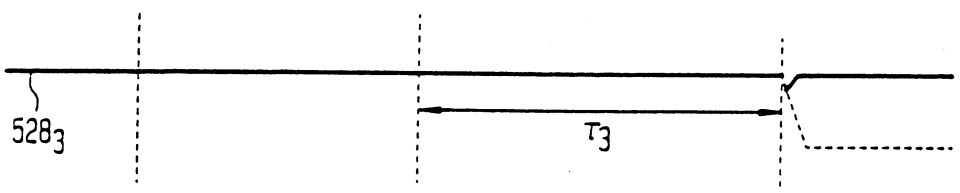


圖 6E

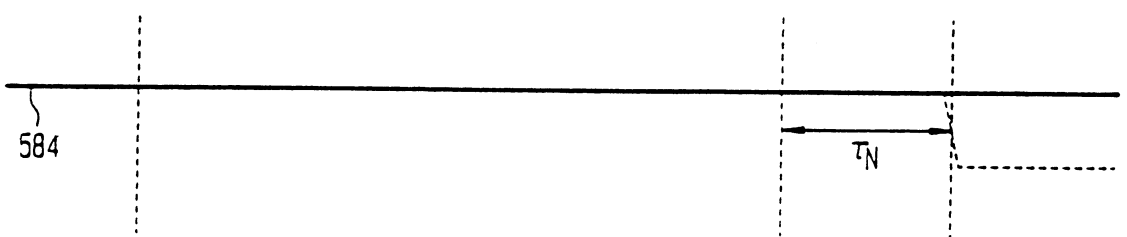


圖 7

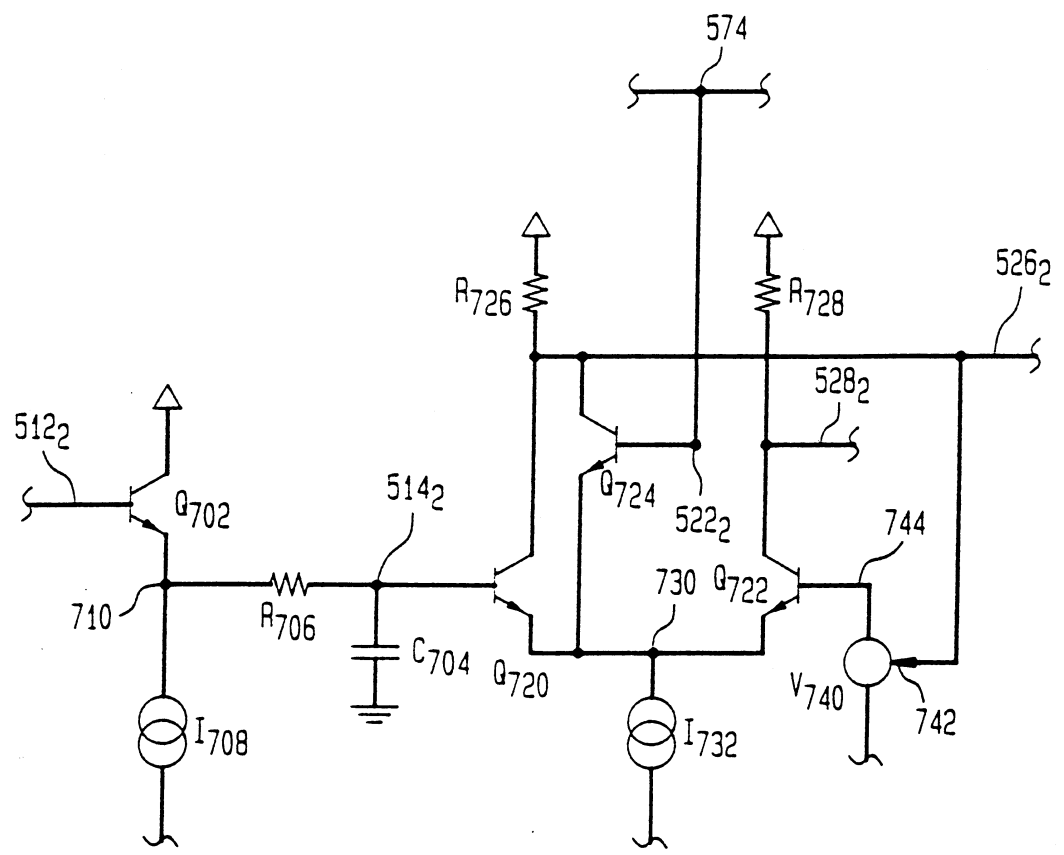


圖 8

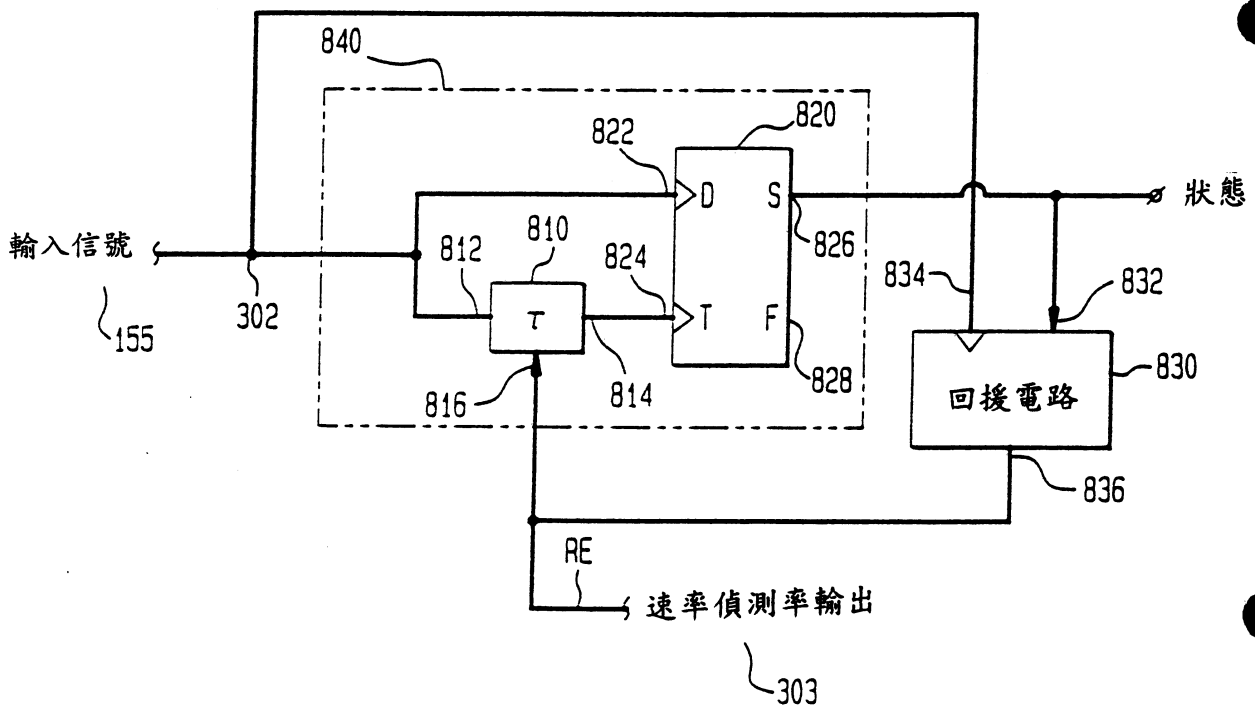


圖 9A

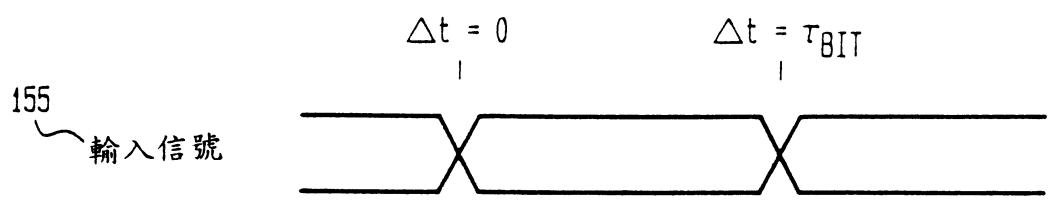


圖 9B

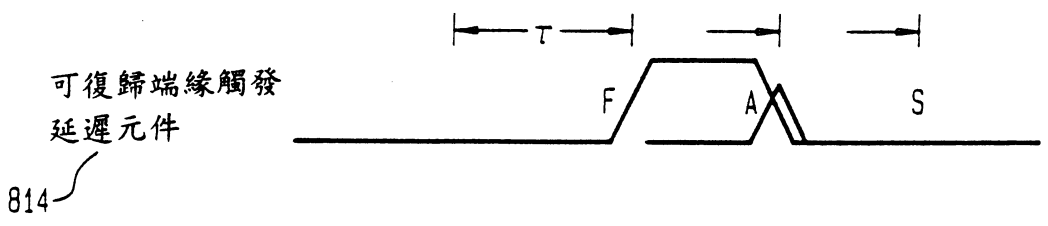


圖 9C

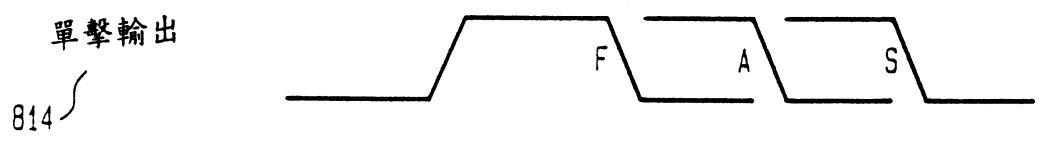


圖 9D

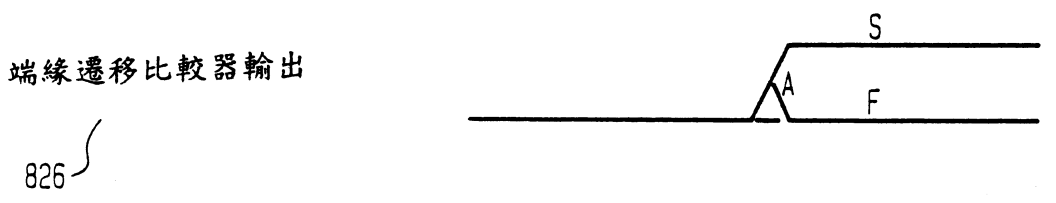


圖 9E

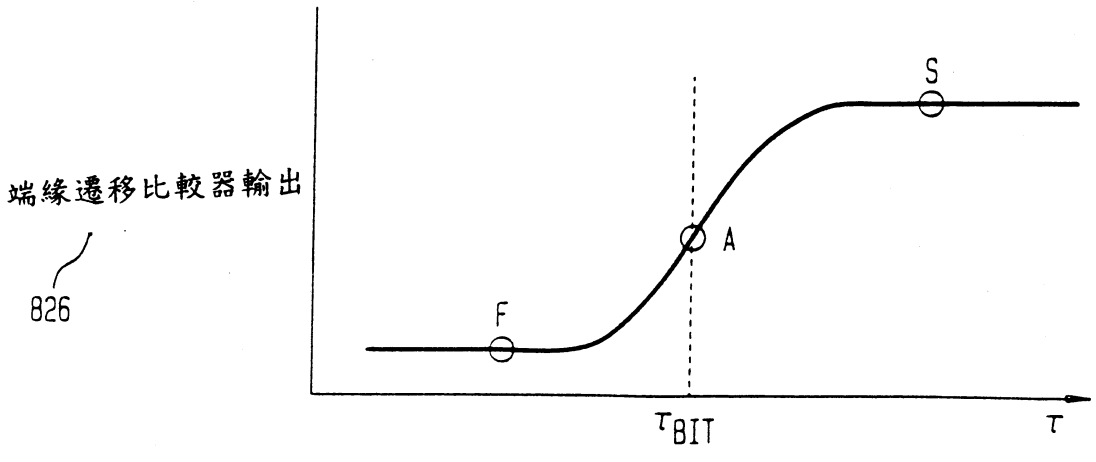
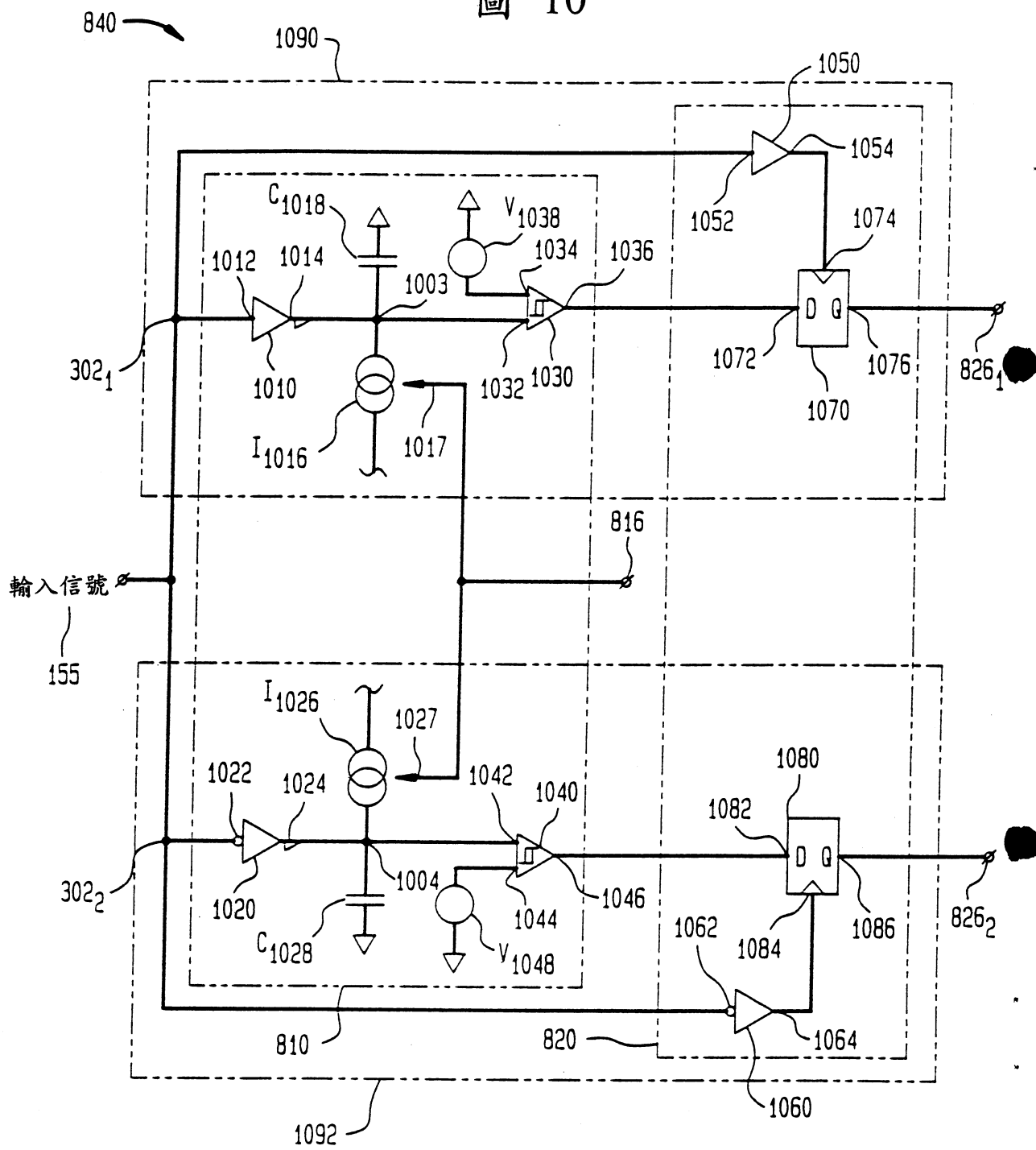


圖 10



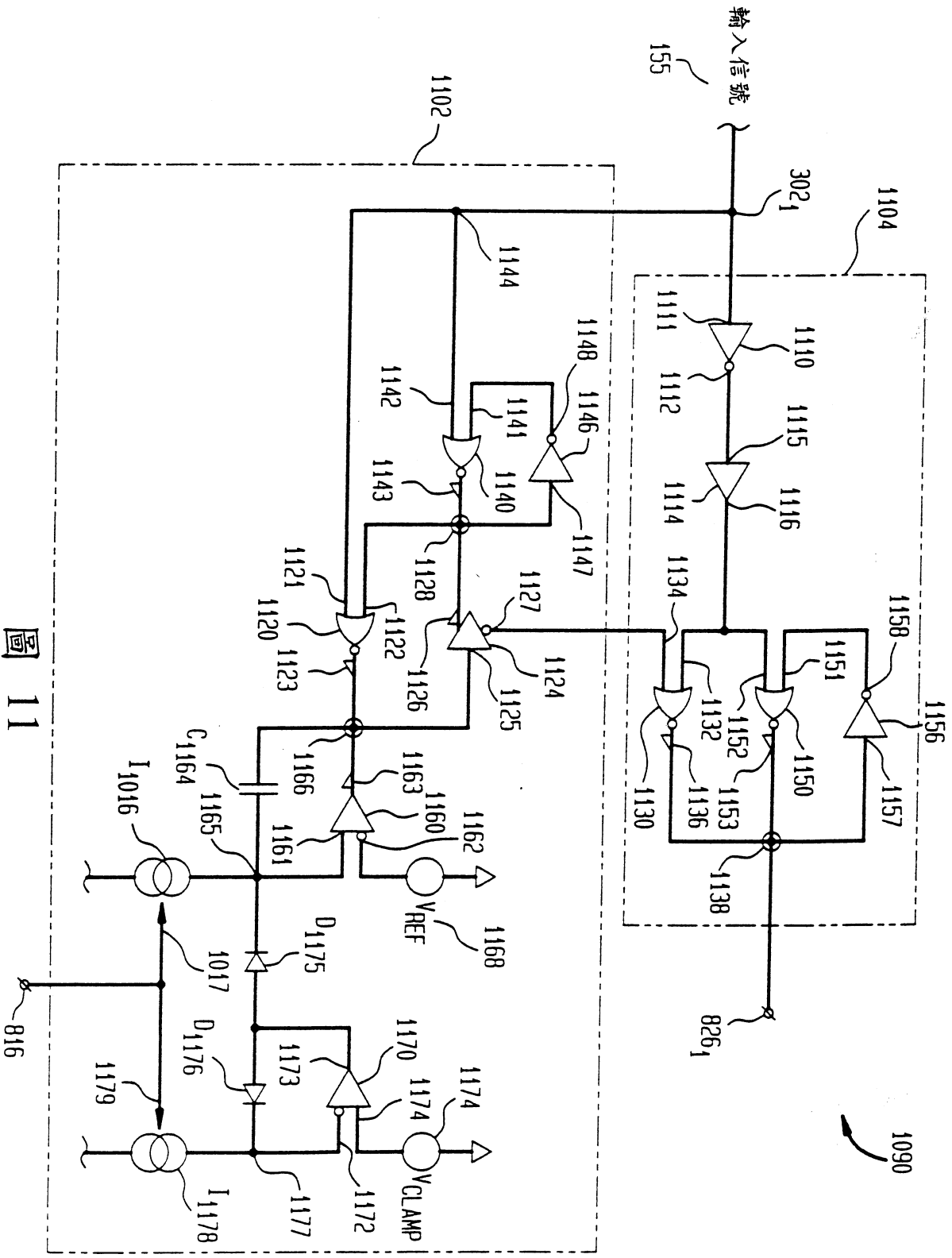


圖 11

圖 12A

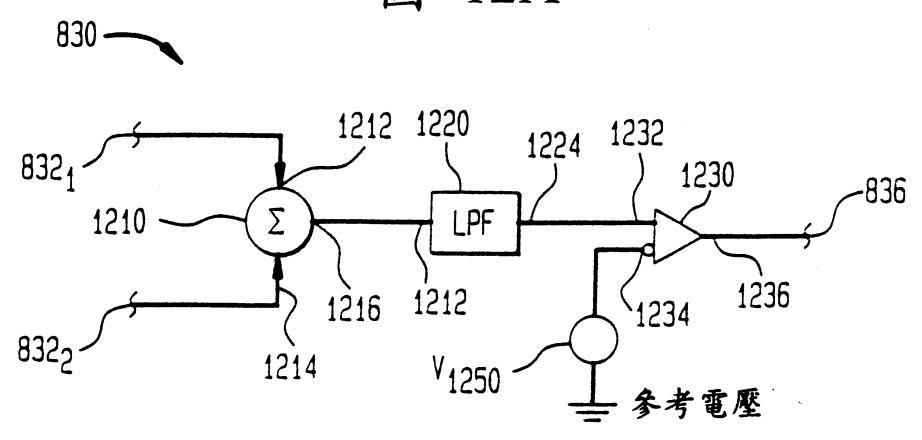


圖 12B

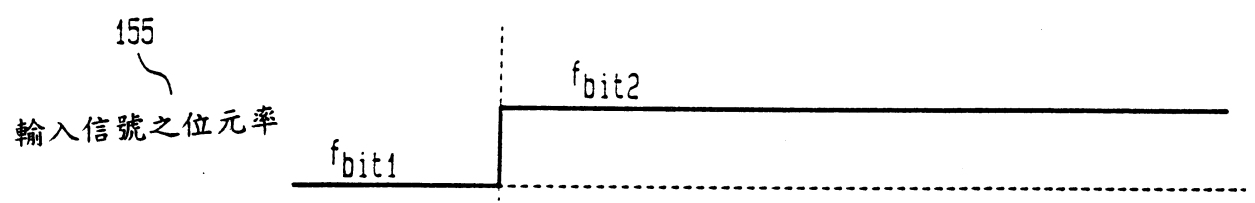


圖 12C

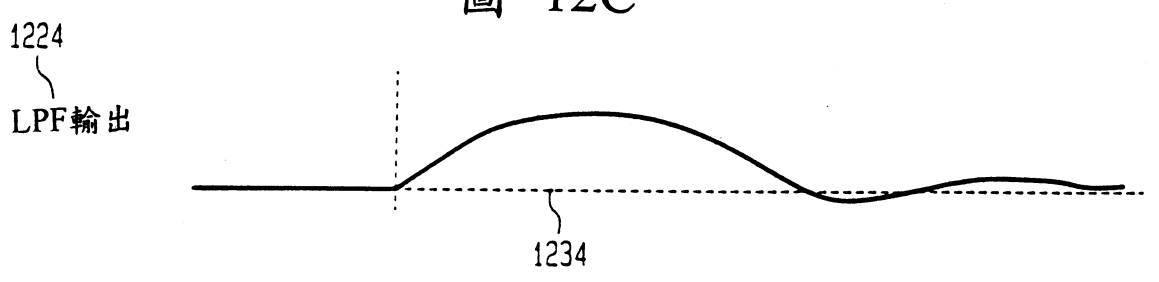


圖 12D

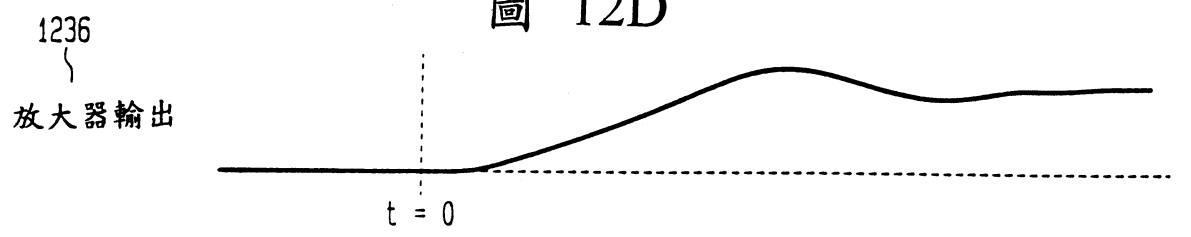


圖 13A

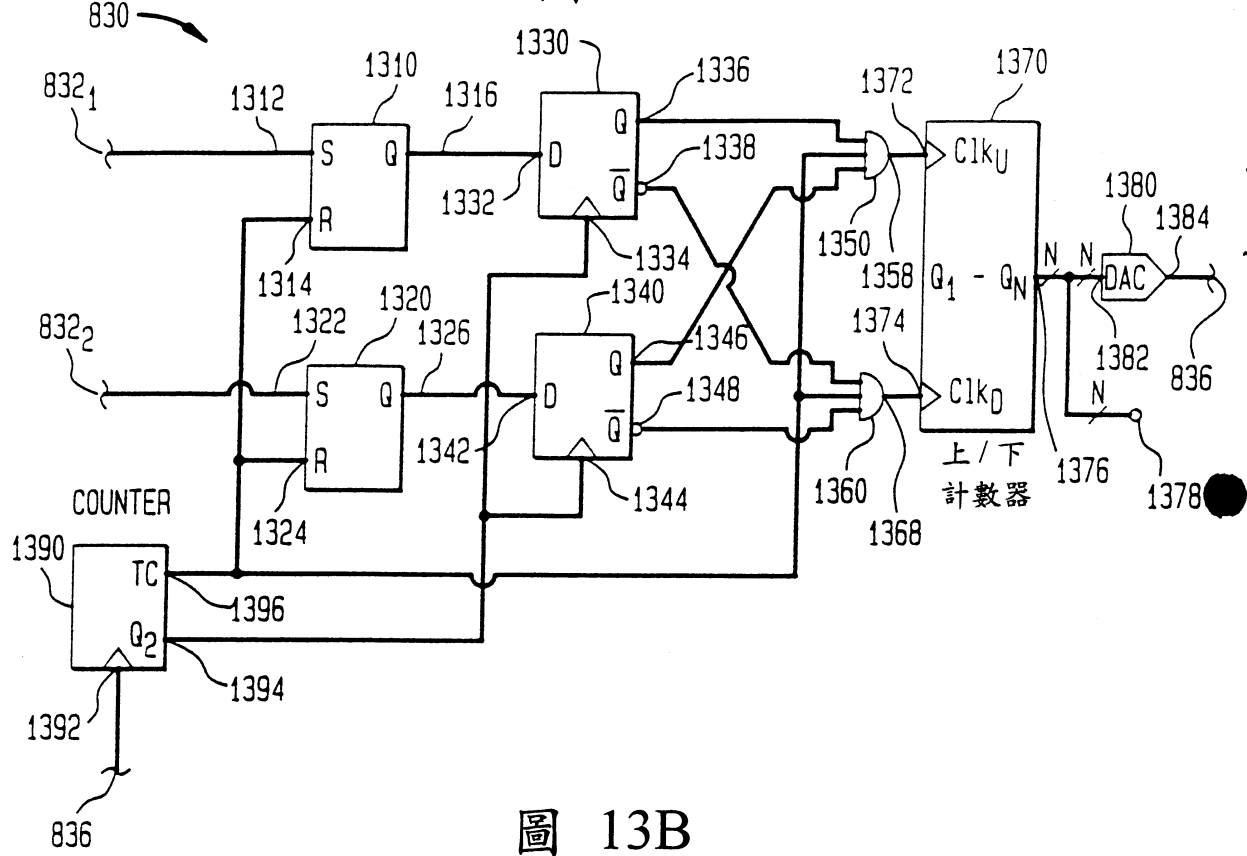


圖 13B

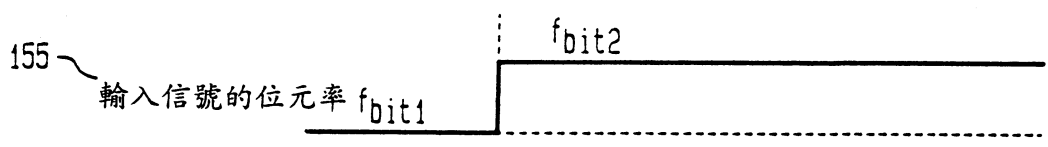


圖 13C

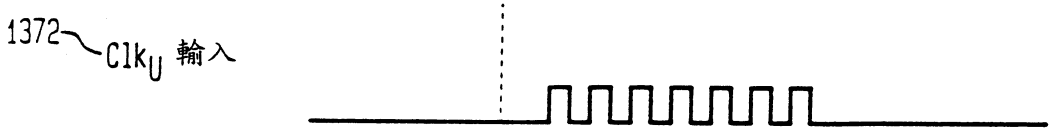


圖 13D

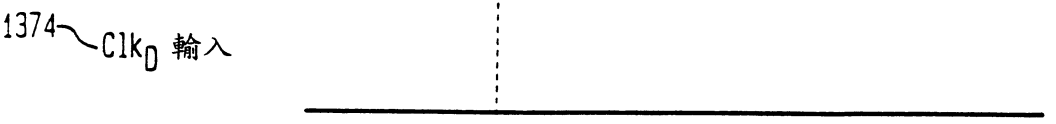


圖 13E

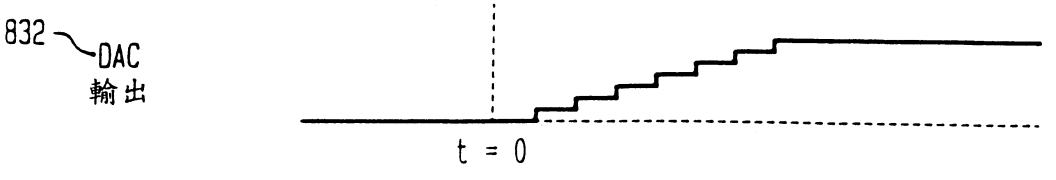


圖 14A

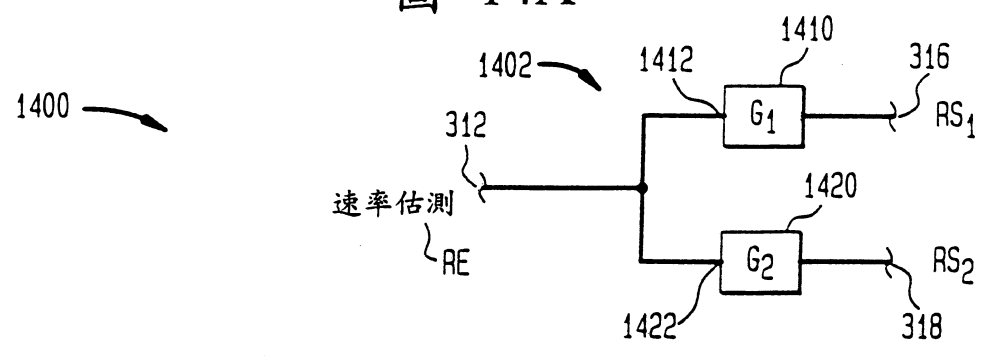


圖 14B

