

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4198623号  
(P4198623)

(45) 発行日 平成20年12月17日(2008.12.17)

(24) 登録日 平成20年10月10日(2008.10.10)

(51) Int.Cl. F I  
 H O 1 L 23/12 (2006.01) H O 1 L 23/12 5 O 1 B  
 H O 1 L 23/12 5 O 1 W

請求項の数 3 (全 9 頁)

<p>(21) 出願番号 特願2004-86685 (P2004-86685)                  (22) 出願日 平成16年3月24日(2004.3.24)                  (65) 公開番号 特開2005-277013 (P2005-277013A)                  (43) 公開日 平成17年10月6日(2005.10.6)                  審査請求日 平成18年4月3日(2006.4.3)</p>	<p>(73) 特許権者 000003078                  株式会社東芝                  東京都港区芝浦一丁目1番1号                  (74) 代理人 100077849                  弁理士 須山 佐一                  (72) 発明者 小川 英紀                  東京都青梅市末広町2丁目9番地 株式会                  社東芝 青梅事業所内                  (72) 発明者 田中 秀典                  東京都青梅市新町3丁目3番地の1 東芝                  デジタルメディアエンジニアリング株式会                  社内                  審査官 宮本 靖史</p>
---	---

最終頁に続く

(54) 【発明の名称】 ICパッケージ

(57) 【特許請求の範囲】

【請求項1】

インターポーズ基板と、

前記インターポーズ基板の面にグリッド状に配設された外部接続用ランドとを具備し、  
前記インターポーズ基板が、該インターポーズ基板の四隅近傍それぞれにおける前記外  
部接続用ランドの3×3グリッドのうちの隣り合うもの同士間に貫通孔を有し、該貫通孔  
の位置が、前記外部接続用ランドによるグリッドの縦線上または横線上であること  
 を特徴とするICパッケージ。

【請求項2】

インターポーズ基板と、

前記インターポーズ基板の面にグリッド状に配設された外部接続用ランドとを具備し、  
前記インターポーズ基板が、該インターポーズ基板の各辺近傍における前記外部接続用  
ランドの最外1列のうちの隣り合うもの同士間に貫通孔を有し、該貫通孔の位置が、前記  
外部接続用ランドによるグリッドの縦線上または横線上であること  
 を特徴とするICパッケージ。

【請求項3】

前記インターポーズ基板が、該インターポーズ基板の四隅近傍それぞれにおける前記外部  
接続用ランドの3×3グリッドのうちの隣り合うもの同士間にも貫通孔を有し、該貫通孔  
の位置が、前記外部接続用ランドによるグリッドの縦線上または横線上であることを特徴  
 とする請求項2記載のICパッケージ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体チップ一般を基板等に実装するための外装であるICパッケージに係り、特に、実装不良の低減に好適なICパッケージに関する。

## 【背景技術】

## 【0002】

ICパッケージ、例えばBGAパッケージ(ball grid array パッケージ)などでは、ICパッケージ側に設けられた半田ボールを介してこのICパッケージが他の基板に実装される(=電氣的、機械的に接続される)。この実装には、例えば、基板側の所定位置にクリーム半田を塗布しておき、対応する位置にICパッケージを位置決めマウントの後、これをリフロー炉に適用するという各工程が用いられる。

10

## 【0003】

このような実装において、電氣的、機械的な接続の不良モードとして、典型的には、半田ボール同士が半田によって短絡するいわゆる半田ブリッジと、半田ボールの基板側への接続がなされないかまたは不完全に留まるいわゆる未半田不良とがある。これらの不良をリペアするのに利用可能と考えられる方法として、例えば下記特許文献1記載のものがある。この開示内容では、リペアするため半田を再溶融するのに、ICパッケージのインターポーズ基板に設けられたスルーホールが利用される。このスルーホールは、半田ボールの直上に位置するものであり、すなわち、電氣的な層間接続としてのスルーホールでもある。

20

【特許文献1】特開2003-338588号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

上記特許文献に開示の技術では、リペアに先立つ接続不良検知については、これを直接検知することについての言及はない。すなわち、実装された半導体装置としての機能不良や、その実装体が用いられた製品としての不具合に言及があるのみである。現状では、一般的に、半田ブリッジなどを直接検知するには、例えば、X線装置を用いて接続状態を確認する必要がある。なお、半田ブリッジと未半田不良とでは、発生頻度として半田ブリッジの方が顕著に高い。

30

## 【0005】

本発明は、上記の事情を考慮してなされたもので、半導体チップ一般を基板等に実装するための外装であるICパッケージにおいて、接続不良を容易に検知しその不良低減が可能なICパッケージを提供することを目的とする。

## 【課題を解決するための手段】

## 【0006】

上記の課題を解決するため、本発明に係るICパッケージは、インターポーズ基板と、前記インターポーズ基板の面にグリッド状に配設された外部接続用ランドとを具備し、前記インターポーズ基板が、該インターポーズ基板の四隅近傍それぞれにおける前記外部接続用ランドの3×3グリッドのうちの隣り合うもの同士間に貫通孔を有し、該貫通孔の位置が、前記外部接続用ランドによるグリッドの縦線上または横線上であることを特徴とする。すなわち、インターポーズ基板にこのような貫通孔を有することにより、外部接続用ランド同士間で電氣的短絡が生じる半田ブリッジなどの不良箇所を直接その上からのぞくことが可能になる。よって、この貫通孔を利用することにより不良の容易な検知やリペアが可能になる。なお、インターポーズ基板の四隅近傍は、種々の要因により半田ブリッジなどの不良発生頻度が他の部分に比較して最も高い。そこでこれに対応している。また、貫通孔が特にインターポーズ基板の四隅近傍それぞれにおける外部接続用ランドの3×3グリッドの外部接続用ランド間であるのは、半田ブリッジなどの不良発生の特に高い箇所を具体的に特定して対応するものである。さらに、グリッドの縦線上または横線上は、隣

40

50

接する半田ボール間として距離が短く半田ブリッジができやすいのでこれに対応している。

【 0 0 0 7 】

また、本発明に係る別の IC パッケージは、インターポーズ基板と、前記インターポーズ基板の面にグリッド状に配設された外部接続用ランドとを具備し、前記インターポーズ基板が、該インターポーズ基板の各辺近傍における前記外部接続用ランドの最外 1 列のうちの隣り合うもの同士間に貫通孔を有し、該貫通孔の位置が、前記外部接続用ランドによるグリッドの縦線上または横線上であることを特徴とする。すなわち、インターポーズ基板にこのような貫通孔を有することにより、外部接続用ランド同士間で電氣的短絡が生じる半田ブリッジなどの不良箇所を直接その上からのぞくことが可能になる。よって、この貫通孔を利用することにより不良の容易な検知やリペアが可能になる。なお、インターポーズ基板の各辺近傍は、四隅近傍について半田ブリッジなどの不良発生頻度が高い。そこでこれに対応している。また、貫通孔が特にインターポーズ基板の各辺近傍における外部接続用ランドの最外 1 列の外部接続用ランド間であるのは、半田ブリッジなどの不良発生の特に高い箇所を具体的に特定して対応するものである。さらに、グリッドの縦線上または横線上は、隣接する半田ボール間として距離が短く半田ブリッジができやすいのでこれに対応している。

10

【 発明の効果 】

【 0 0 1 1 】

本発明によれば、半導体チップ一般を基板等を実装するための外装である IC パッケージにおいて、接続不良を容易に検知しその不良低減を図ることができる。

20

【 発明を実施するための最良の形態 】

【 0 0 1 7 】

本発明の実施態様として、前記貫通孔は、0.5 mm 以下の直径を有する、とすることができる。これは、IC パッケージとしてのグリッドのピッチが、現状で 1.27 mm または 1.0 mm である場合が多いことに鑑みて設定したサイズである。すなわち、外部接続用ランドに接続の半田ボールの直径もほぼ 1.27 mm または 1.0 mm 程度であり、貫通孔直径が 0.5 mm を超えるとこれに沿った太さの検査用ピンが半田ボール間を通りにくくなるからである。

【 0 0 1 8 】

また、実施態様として、前記貫通孔は、その内壁面に導電層を有していない、とし得る。電氣的な層間接続としてのスルーホールとは別に貫通孔として設けるものである。

30

【 0 0 1 9 】

以上を踏まえ、以下では本発明の実施形態を図面を参照しながら説明する。図 1 は、本発明の一実施形態に係る IC パッケージの構成を示す斜視図（図 1 ( a ) ）および断面図（図 1 ( b ) ）である。図 1 ( b ) は、図 1 ( a ) 中に示す A - A a 断面の矢視方向図である。この IC パッケージ 1 0 は、半導体装置の外装として機能するいわゆる BGA パッケージと呼ばれるものである。

【 0 0 2 0 】

図示するように、この IC パッケージ 1 0 はインターポーズ（インターポーズ基板）1 1 を有し、インターポーズ 1 1 の片面には縦横のグリッド状に半田ボール 1 2 が取り付けられている。半田ボール 1 2 は、インターポーズ 1 1 の片面に設けられた外部接続用ランド 1 4 上にそれぞれ設けられている。インターポーズ 1 1 は図示しない半導体チップ上の端子（パッド）と外部接続用ランド 1 4 との電氣的接続パターンを提供するための基材である。

40

【 0 0 2 1 】

また、インターポーズ 1 1 において、外部接続用ランド 1 4 同士間の位置に、ところにより貫通孔 1 3 が設けられている。貫通孔 1 3 の全体的な配置については具体的な例をのちに示す実施形態でさらに説明する。貫通孔 1 3 は、その内表面に導電層を有するものであっても有しないものであってもよい。内表面に導電層を有する場合は、いわゆる電氣的

50

な層間接続のためのスルーホールということになる。

【 0 0 2 2 】

インターポーザ 1 1 は、材質として、セラミックスや樹脂を用いることができる。外部接続用ランド 1 4 の配置ピッチは、1 . 2 7 mm や 1 . 0 mm が多く用いられているが、さらに狭ピッチのもの（ファインピッチ B G A ）でもよい。外部接続用ランド 1 4 の配置ピッチと半田ボール 1 2 の直径とは、その関係として、半田ボール 1 2 の直径が配置ピッチの半分程度にされる場合が多い。配置ピッチが 1 . 2 7 mm、1 . 0 mm の場合、それぞれ半田ボール 1 2 の直径は、0 . 6 4 mm、0 . 5 mm 程度である。貫通孔 1 3 を設けた理由は、半田ボール 1 2 間に発生し得る半田ブリッジの検知およびそのリペアである。そのため、貫通孔 1 3 の直径は、0 . 6 4 mm 以下、または 0 . 5 mm 以下とするのが適当である。

10

【 0 0 2 3 】

なお、ここでは半導体装置の I C パッケージ 1 0 として半田ボール 1 2 が取り付けられているものを説明したが、半田ボール 1 2 が取り付けられていない形態のもの（land grid array : L G A ）でもよい。L G A では、例えば、配線基板側にあらかじめ半田ボールを取りつけておいて実装する（電氣的・機械的接続する）ことができる。

【 0 0 2 4 】

図 2 は、本発明の一実施形態に係る I C パッケージを 実装した実装体 の検査方法およびリペア方法の過程を断面で示す工程図である。この実施形態では、実装不良 として半田ブリッジが生じた場合の検査およびそのリペアを示す。図 2 において、図 1 に示したものと同一相当のものには同一符号を付してある。その部分の説明は省略する。図 2 ( a )、同 ( b )、同 ( c ) の順に工程が進行する。

20

【 0 0 2 5 】

図 2 ( a ) は、I C パッケージ化された半導体装置を配線基板 2 1 上に実装した状態を示す。半導体装置の各半田ボール 1 2 は配線基板 2 1 上に設けられたランド 2 2 に電氣的・機械的に接続されている。このような接続は、周知のように、例えば、配線基板 2 1 側の所定位置にクリーム半田を塗布しておき、対応する位置に I C パッケージ化された半導体装置を位置決めマウントの後、これをリフロー炉に適用するという各工程を経て得ることができる。ここで、一部の半田ボール 1 2 間に半田ブリッジ 1 2 a が生じているものとする。

30

【 0 0 2 6 】

次に、図 2 ( b ) に示すように、各貫通孔 1 3 を利用して、半田ブリッジの有無を調べる。具体的には、互いにほぼ平行に位置するふたつの導電ピン 3 1 a、3 1 b と、それらの片側をそれぞれ固定しかつ導電ピン 3 1 a、3 1 b の長手方向に軸方向が平行な円柱形状の支持部 3 1 c とを有する I C パッケージ実装体検査用ピンを用いて、これを各貫通孔 1 3 に挿入していく。導電ピン 3 1 a、3 1 b は電氣的に導線部材 3 2 を介してテスト（図示せず）に接続されている。導電ピン 3 1 a、3 1 b 間の導通を調べることにより半田ブリッジ 2 1 a の形成を検知できる。すなわち、導通がなければ導電ピン 3 1 a、3 1 b の先端は配線基板 2 1 に達したものと考えられ半田ブリッジの発生はない。導通であれば半田ブリッジ 2 1 a に導電ピン 3 1 a、3 1 b が接触したものと考えられる。

40

【 0 0 2 7 】

次に、図 2 ( c ) に示すように、検査用ピンに代えて、半田ブリッジ 1 2 a が検知された貫通孔 1 3 にホットエアーを供給するための耐熱性管 4 1 を挿入する。耐熱性管 4 1 は、ホットエアー供給部材 4 2 を介してホットエアー供給源（図示せず）に接続されている。耐熱性管 4 1 は、例えば金属やセラミックスからなる管（パイプあるいはチューブ）であり、貫通孔 1 3 に挿入できる程度の直径を有する。貫通孔 1 3 に耐熱性管 4 1 を挿入したらホットエアー供給源からホットエアーを供給する。ホットエアーは、例えば 3 0 0 から 4 0 0 程度の温度である。これにより半田ブリッジ 1 2 a が溶融され、これを消滅させることができる。すなわち、ホットエアーにより半田ブリッジ 1 2 a が溶融されると、インターポーザ 1 1 側のランド 1 4 および配線基板側のランド 2 2 に対する半田の濡れ

50

性および溶融半田の表面張力によりブリッジが分離される。

【 0 0 2 8 】

なお、図 2 ( c ) に示すホットエアーの供給工程に続き再び図 2 ( b ) に示す導通検査工程を行って半田ブリッジ 1 2 b の消滅を確認することもできる。以上説明の IC パッケージ実装体の検査方法では、接続状態を調べるのに例えば X 線装置のような大掛かりな装置を必要とせず、簡易かつ確実な検査が実行できる。また、貫通孔 1 3 を検査のためだけでなくリペアのためにも活用できる。

【 0 0 2 9 】

図 3 は、本発明の一実施形態に係る IC パッケージを実装した実装体の別のリペア方法の過程を断面で示す工程図である。この実施形態では、実装不良として未半田不良が生じた場合の対応を示す。図 3 において、図 1、図 2 に示したものと同一相当のものには同一符号を付してある。その部分の説明は省略する。図 3 ( a )、同 ( b )、同 ( c ) の順に工程が進行する。

10

【 0 0 3 0 】

図 3 ( a ) は、IC パッケージ化された半導体装置を配線基板 2 1 上に実装した状態を示す。半導体装置の各半田ボール 1 2 は配線基板 2 1 上に設けられたランド 2 2 に電氣的・機械的に接続されている。ここで、一部の半田ボール 1 2 に未半田不良の半田ボール 1 2 b が生じているものとする。

【 0 0 3 1 】

次に、図 3 ( b ) に示すように、未半田不良の半田ボール 1 2 b が生じている近傍の貫通穴 1 3 に溶融半田 5 3 を供給するための耐熱性管 5 1 を挿入する。耐熱性管 5 1 は、溶融半田供給部 ( 図示せず ) に接続されている。耐熱性管 5 1 は、例えば金属やセラミックスからなる管 ( パイプあるいはチューブ ) であり、貫通孔 3 1 に挿入できる程度の直径を有する。貫通孔 1 3 に耐熱性管 1 3 を挿入したら溶融半田供給源から溶融半田 5 3 を半田ボール 1 2 b 付近に送り込む。これにより、インターポーザ 1 1 側のランド 1 4 および配線基板側のランド 2 2 で半田濡れ性が発揮されかつ溶融半田 5 3 に表面張力があることから、未半田不良の半田ボール 1 2 b を正常な接続状態に改善することができる。

20

【 0 0 3 2 】

図 3 ( b ) に示す工程の後、さらに、図 3 ( c ) に示すようにホットエアーの供給を行うようにしてもよい。図 3 ( c ) の工程は図 2 ( c ) を参照して説明した工程と同じである。図 3 ( c ) に示すホットエアーの供給工程により、インターポーザ 1 1 側のランド 1 4 および配線基板側のランド 2 2 に対する半田の濡れ性および溶融半田の表面張力さらに発揮させ、未半田不良が解消された半田ボール 1 2 b a を形状としてさらに整えることができる。以上説明の IC パッケージ実装体のリペア方法では、貫通孔 1 3 を利用して未半田不良のリペアを行うことができる。

30

【 0 0 3 3 】

次に、IC パッケージにおける貫通孔 1 3 の全体的な配置について具体的な例を図 4 から図 6 を参照して説明する。これらの図において図 1 に示したものと同一相当のものには同一符号を付してある。その部分の説明は特に加えることがない限り省略する。

【 0 0 3 4 】

図 4 は、本発明の一実施形態に係る IC パッケージの構成を示す平面図である。この実施形態の IC パッケージ 1 0 A では、貫通孔 1 3 の配置がインターポーザ 1 1 の四隅近傍に各 1 2 箇所とされている。より具体的には、半田ボール 1 2 ( 外部接続用ランド ) によるグリッドの縦線上または横線上であって、インターポーザ 1 1 の四隅近傍それぞれにおける半田ボール 1 2 の 3 x 3 グリッドの半田ボール 1 2 間それぞれに設けられている。

40

【 0 0 3 5 】

インターポーザ 1 1 の四隅付近に限り貫通孔 1 3 を設けたのは、この領域は他の領域に比較して半田ブリッジなどの接続不良が発生しやすいのでこれに対応するためである。このような不良発生の原因として挙げられるのは、ひとつとして、インターポーザ 1 1 が特に樹脂製である場合にはそりが生じる場合があり、実装工程時に、実装されるべき配線基

50

板との距離という意味でその影響を最も受ける領域だからである。さらに、インターポーザ 1 1 の中ほどの領域では、実装工程時に各半田ボール 1 2 に四方から均等な半田ボール 1 2 同士による影響が及ぶが、各辺近傍では、その一方からの影響がなく、さらに四隅近傍では四方のうち三方からの影響がなくなり、特にバランスが崩れるからである。

【 0 0 3 6 】

なお、貫通孔 1 3 をグリッドの面心に設けることも考えられるが、半田ボール 1 2 間の半田ブリッジはそれら間の距離が短いほどできやすいので、半田ボール 1 2 によるグリッドの縦線上または横線上に設ける方が得策と考えられる。また、ここでは、端子数が 1 2 × 1 2 の 1 4 4 端子である IC パッケージ 1 0 A の例を示したが、端子数はこれ以外であってももちろんよい（これは以下で説明する図 5、図 6 の場合も同じ）。いずれの場合も、貫通孔 1 3 を配置すべき対象グリッドは、3 × 3 以外に、2 × 2、4 × 4、... などとしてもよい。

10

【 0 0 3 7 】

図 5 は、本発明の別の実施形態に係る IC パッケージの構成を示す平面図である。この実施形態の IC パッケージ 1 0 B では、貫通孔 1 3 の配置がインターポーザ 1 1 における半田ボール 1 2 の各辺近傍の半田ボール 1 2 間それぞれとされている。より具体的には、半田ボール 1 2（外部接続用ランド）によるグリッドの縦線上または横線上であって、半田ボール 1 2 の最外 1 列の半田ボール 1 2 間それぞれに設けられている。

【 0 0 3 8 】

このような貫通孔 1 3 の配置を選択した理由はすでに説明したように各辺近傍は半田ブリッジなどの接続不良が発生しやすいからである。なお、さらなる変形例としては、最外の 1 列のみを貫通孔 1 3 配置の対象とするのではなく、その対象を 2 列や、3 列、... などとすることも考えられる。また、各辺の長さ方向すべてを貫通孔 1 3 配置の対象とせず、各辺の中央付近は貫通孔 1 3 の配置を省略するようにすることも考えられる。この理由も先に述べたとおりである。

20

【 0 0 3 9 】

図 6 は、本発明のさらに別の実施形態に係る IC パッケージの構成を示す平面図である。この実施形態の IC パッケージ 1 0 C は、貫通孔 1 3 の配置として、図 4 に示した実施形態の配置と図 5 に示した実施形態の配置とを加算したものとしている。したがって、その効果を重畳的に得ることができる。この場合の変形例としては、図 4 および図 5 それぞれで説明した変形例を適宜参照して構成することができる。

30

【 図面の簡単な説明 】

【 0 0 4 0 】

【 図 1 】本発明の一実施形態に係る IC パッケージの構成を示す斜視図および断面図。

【 図 2 】本発明の一実施形態に係る IC パッケージを実装した実装体の検査方法およびリペア方法の過程を断面で示す工程図。

【 図 3 】本発明の一実施形態に係る IC パッケージを実装した実装体の別のリペア方法の過程を断面で示す工程図。

【 図 4 】本発明の一実施形態に係る IC パッケージの構成を示す平面図。

【 図 5 】本発明の別の実施形態に係る IC パッケージの構成を示す平面図。

40

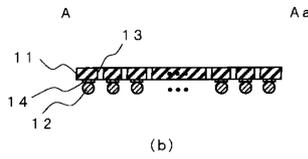
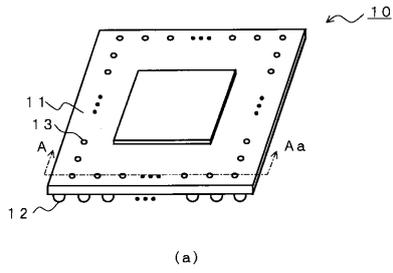
【 図 6 】本発明のさらに別の実施形態に係る IC パッケージの構成を示す平面図。

【 符号の説明 】

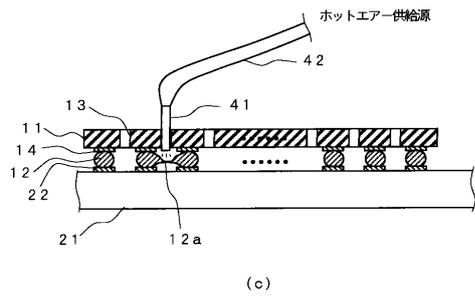
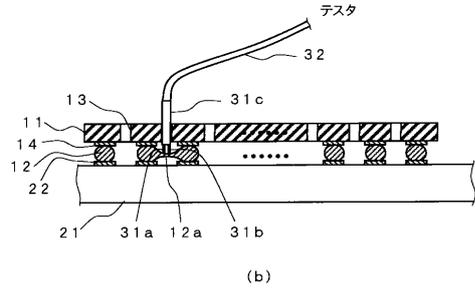
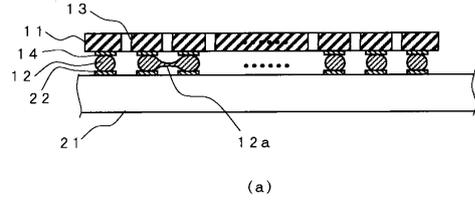
【 0 0 4 1 】

1 0 , 1 0 A , 1 0 B , 1 0 C ... IC パッケージ、 1 1 ... インターポーザ基板（インターポーザ）、 1 2 ... 半田ボール、 1 2 a ... 半田ブリッジ、 1 2 b ... 未半田不良の半田ボール、 1 2 b a ... 未半田不良が解消された半田ボール、 1 3 ... 貫通孔、 1 4 ... 外部接続用ランド、 2 1 ... 配線基板、 2 2 ... 半導体装置実装用ランド、 3 1 a , 3 1 b ... 導電ピン、 3 1 c ... 支持部、 3 2 ... 導線部材、 4 1 ... 耐熱性管、 4 2 ... ホットエアー供給部材、 5 1 ... 耐熱性管、 5 2 ... 溶融半田供給部材、 5 3 ... 溶融半田。

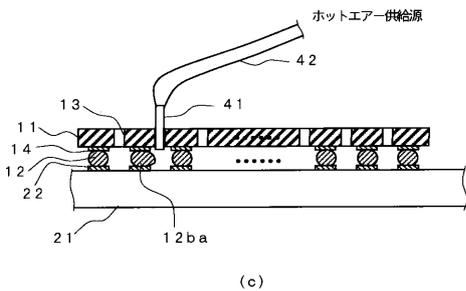
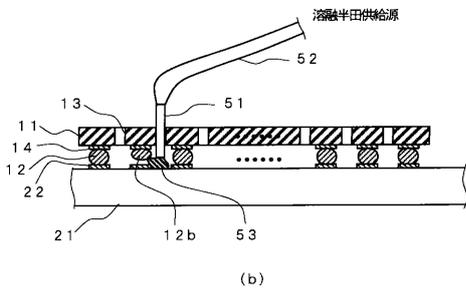
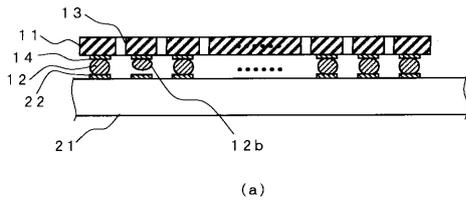
【図1】



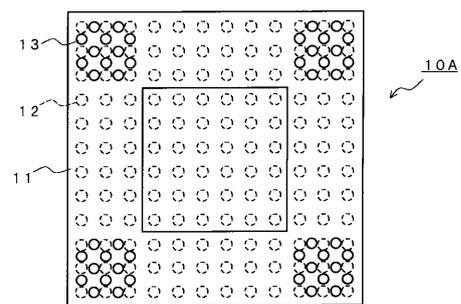
【図2】



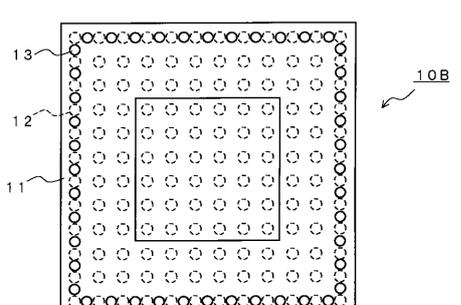
【図3】



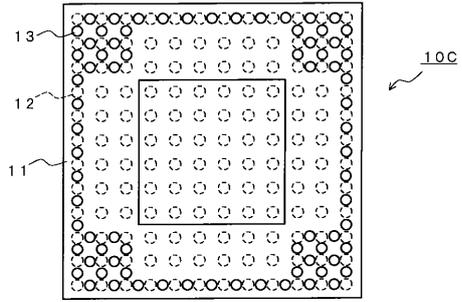
【図4】



【図5】



【 6】



フロントページの続き

(56)参考文献 特開2001-015628(JP,A)  
特開2001-148548(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H01L 23/12