

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2023년 11월 2일 (02.11.2023)



(10) 국제공개번호
WO 2023/210926 A1

(51) 국제특허분류:
G09G 3/32 (2006.01)

(21) 국제출원번호: PCT/KR2023/000764

(22) 국제출원일: 2023년 1월 17일 (17.01.2023)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보: 10-2022-0050838 2022년 4월 25일 (25.04.2022) KR

(71) 출원인: 삼성디스플레이 주식회사 (SAMSUNG DISPLAY CO., LTD.) [KR/KR]; 17113 경기도 용인시 기흥구 삼성로1, Gyeonggi-do (KR).

(72) 발명자: 차종환 (CHA, Jong Hwan); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 홍광택 (HONG, Kwang Taek); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 강기녕 (KANG, Ki Nyeng);

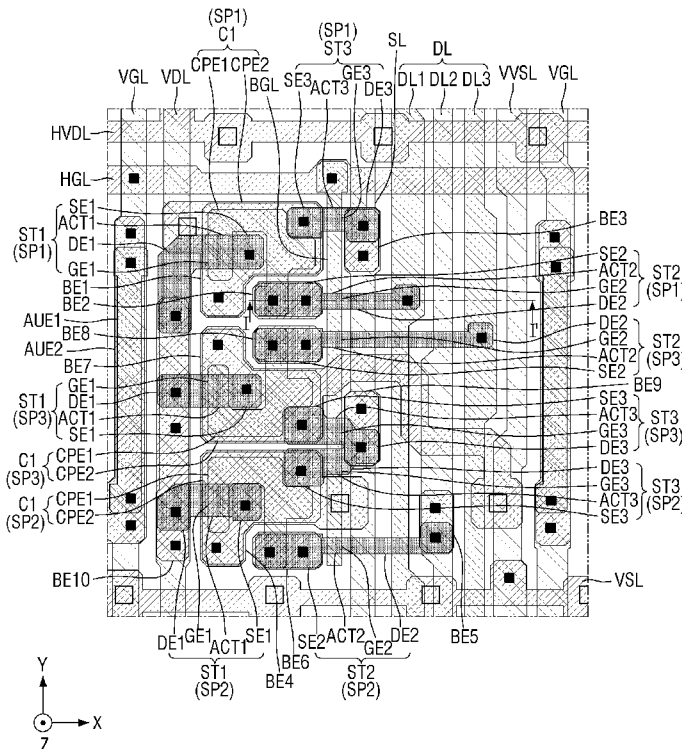
17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 문홍준 (MOON, Hong Joon); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR).

(74) 대리인: 특허법인 가산 (KASAN IP & LAW FIRM); 06719 서울특별시 서초구 남부순환로 2423 한원빌딩 7층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: DISPLAY DEVICE

(54) 발명의 명칭: 표시 장치



(57) Abstract: A display device is provided. The display device comprises a substrate, first to third pixels disposed on the substrate and comprising pixel circuits, a first metal line disposed in a first metal layer on the substrate and extending in a first direction to connect to at least one of the pixel circuits of the first to third pixels, a second metal line disposed in a second metal layer on the first metal layer and extending in the first direction to connect to at least one of the pixel circuits of the first to third pixels, and a third metal line disposed in the first metal layer and extending in the first direction to connect to at least one of the pixel circuits of the first to third pixels.



(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 표시 장치가 제공된다. 표시 장치는 기판, 상기 기판 상에 배치되어 화소 회로를 포함하는 제1 내지 제3 화소, 상기 기판 상의 제1 금속층에 배치되고 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로 중 적어도 하나에 접속되는 제1 금속 라인, 상기 제1 금속층 상의 제2 금속층에 배치되고 상기 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로 중 적어도 하나에 접속되는 제2 금속 라인, 및 상기 제1 금속층에 배치되고 상기 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로 중 적어도 하나에 접속되는 제3 금속 라인을 포함한다.

명세서

발명의 명칭: 표시 장치

기술분야

- [1] 본 발명은 표시 장치에 관한 것이다.

배경기술

- [2] 정보화 사회가 발전함에 따라 영상을 표시하기 위한 표시 장치에 대한 요구가 다양한 형태로 증가하고 있다. 예를 들어, 표시 장치는 스마트폰, 디지털 카메라, 노트북 컴퓨터, 네비게이션, 및 스마트 텔레비전과 같이 다양한 전자기기에 적용되고 있다. 표시 장치는 액정 표시 장치(Liquid Crystal Display Device), 전계 방출 표시 장치(Field Emission Display Device), 유기 발광 표시 장치(Organic Light Emitting Display Device) 등과 같은 평판 표시 장치일 수 있다. 이러한 평판 표시 장치 중에서 발광 표시 장치는 표시 패널의 화소들 각각이 스스로 발광할 수 있는 발광 소자를 포함함으로써, 표시 패널에 광을 제공하는 백라이트 유닛 없이도 화상을 표시할 수 있다. 발광 소자는 유기물을 형광 물질로 이용하는 유기 발광 다이오드 및 무기물을 형광 물질로 이용하는 무기 발광 다이오드일 수 있다.

발명의 상세한 설명

기술적 과제

- [3] 본 발명이 해결하고자 하는 과제는 고해상도의 표시 장치에서 금속 라인들의 패턴 밀집도를 분산시켜 제조 공정을 용이하게 수행하고 공간 활용도를 증가시킬 수 있는 표시 장치를 제공하고자 하는 것이다.
- [4] 본 발명이 해결하고자 하는 과제는 서로 다른 금속층 간의 컨택 불량을 방지하고 설계 마진을 확보할 수 있는 표시 장치를 제공하고자 하는 것이다.
- [5] 본 발명의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

- [6] 상기 과제를 해결하기 위한 일 실시예의 표시 장치는 기판, 상기 기판 상에 배치되어 화소 회로를 포함하는 제1 내지 제3 화소, 상기 기판 상의 제1 금속층에 배치되고 상기 제1 내지 제3 화소의 화소 회로의 제1 측에서 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로 중 적어도 하나에 접속되는 제1 금속 라인, 상기 제1 금속층 상의 제2 금속층에 배치되고 상기 제1 금속 라인의 제1 측에서 상기 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로 중 적어도 하나에 접속되는 제2 금속 라인, 및 상기 제1 금속층에 배치되고, 상기 제2 금속 라인의 제1 측에서 상기 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로 중 적어도 하나에 접속되는 제3 금속 라인을 포함하고, 상기

- 제1 내지 제3 금속 라인은 상기 제1 내지 제3 화소의 화소 회로에 소정의 전압을 공급한다.
- [7] 상기 제1 금속 라인은 상기 제1 내지 제3 화소의 화소 회로에 초기화 전압을 공급할 수 있다.
- [8] 상기 제2 금속 라인은 상기 제1 화소의 화소 회로에 데이터 전압을 공급하고, 상기 제3 금속 라인은 상기 제2 화소의 화소 회로에 데이터 전압을 공급할 수 있다.
- [9] 상기 제2 금속 라인은 상기 제1 화소의 화소 회로에 직접 연결 되고, 상기 제3 금속 라인은 상기 제2 금속층 상의 제3 금속층에 배치된 연결 전극을 통해 상기 제2 화소의 화소 회로에 전기적으로 연결될 수 있다.
- [10] 상기 표시 장치는 상기 제2 금속층에 배치되고, 상기 제3 금속 라인의 제1 측에서 상기 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로 중 적어도 하나에 접속되는 제4 금속 라인을 더 포함하고, 상기 제4 금속 라인은 상기 제3 화소의 화소 회로에 데이터 전압을 공급할 수 있다.
- [11] 상기 표시 장치는 상기 제1 금속층에 배치되고, 상기 제4 금속 라인의 제1 측에서 상기 제1 방향으로 연장되는 제5 금속 라인을 더 포함할 수 있다.
- [12] 상기 표시 장치는 상기 제1 금속층에 배치되고, 상기 제1 내지 제3 화소의 화소 회로의 제1 측에 반대되는 제2 측에서 상기 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로에 구동 전압을 공급하는 제1 전압 라인을 더 포함할 수 있다.
- [13] 상기 표시 장치는 상기 제2 금속층 상의 제3 금속층에 배치되고, 상기 제1 내지 제3 화소의 화소 회로의 제1 측에 인접한 제3 측에서 상기 제1 방향과 교차하는 제2 방향으로 연장되며, 상기 제5 금속 라인으로부터 저전위 전압을 수신 하는 제2 전압 라인을 더 포함할 수 있다.
- [14] 상기 과제를 해결하기 위한 일 실시예의 표시 장치는 기판, 상기 기판 상에 배치되어 화소 회로를 포함하는 제1 내지 제3 화소, 상기 기판 상의 제1 금속층에 배치되고, 상기 제1 내지 제3 화소의 화소 회로의 제1 측에서 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로 중 적어도 하나에 접속되는 데이터 라인, 상기 제1 금속층에 배치되고, 상기 제1 내지 제3 화소의 화소 회로의 상기 제1 측에 반대되는 제2 측에서 상기 제1 방향으로 연장되는 수직 게이트 라인, 상기 제1 금속층 상의 제2 금속층에 배치되고, 상기 제1 내지 제3 화소의 화소 회로의 상기 제2 측에 인접한 제3 측에서 상기 제1 방향과 교차하는 제2 방향으로 연장되는 수평 게이트 라인, 및 상기 제2 금속층에서 상기 수평 게이트 라인으로부터 분지 되어 상기 제1 방향으로 연장되어, 상기 제1 내지 제3 화소의 화소 회로에 게이트 신호를 공급하는 보조 게이트 라인을 포함한다.
- [15] 상기 표시 장치는 상기 기판의 일측에 배치되어 상기 데이터 라인에 데이터 전압을 공급하는 표시 구동부를 더 포함하고, 상기 표시 구동부는 상기 수직 게이트 라인 및 상기 수평 게이트 라인을 경유 하여 상기 보조 게이트 라인에

게이트 신호를 공급할 수 있다.

- [16] 상기 표시 장치는 상기 제1 금속층에 배치되고, 상기 보조 게이트 라인과 상기 데이터 라인 사이에서 상기 제1 방향으로 연장되는 센싱 라인을 더 포함할 수 있다.
- [17] 상기 데이터 라인은 상기 센싱 라인의 제1 측에 배치되어 상기 제1 화소의 화소 회로에 데이터 전압을 공급하는 제1 데이터 라인, 상기 제1 데이터 라인의 제1 측에 배치되어 상기 제2 화소의 화소 회로에 데이터 전압을 공급하는 제2 데이터 라인, 및 상기 제2 데이터 라인의 제1 측에 배치되어 상기 제3 화소의 화소 회로에 데이터 전압을 공급하는 제3 데이터 라인을 포함할 수 있다.
- [18] 상기 데이터 라인은 상기 제2 금속층 상의 제3 금속층에 배치된 연결 전극을 통해 상기 제1 내지 제3 화소의 화소 회로에 전기적으로 연결될 수 있다.
- [19] 상기 과제를 해결하기 위한 일 실시예의 표시 장치는 기판, 상기 기판 상에 배치되어 화소 회로를 포함하는 제1 내지 제3 화소, 상기 제1 내지 제3 화소의 화소 회로의 제1 측에서 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로에 초기화 전압을 공급하는 센싱 라인, 상기 센싱 라인의 제1 측에서 상기 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로 중 적어도 하나에 데이터 전압을 공급하는 데이터 라인, 상기 제1 내지 제3 화소의 화소 회로의 상기 제1 측에 반대되는 제2 측에서 상기 제1 방향으로 연장되고, 상기 제1 내지 제3 화소의 화소 회로에 구동 전압을 공급하는 제1 전압 라인, 상기 제1 전압 라인의 제2 측에서 상기 제1 방향으로 연장되는 수직 게이트 라인, 상기 제1 내지 제3 화소의 화소 회로의 상기 제2 측에 인접한 제3 측에서 상기 제1 방향과 교차하는 제2 방향으로 연장되며, 상기 수직 게이트 라인으로부터 게이트 신호를 수신하는 수평 게이트 라인, 및 상기 수평 게이트 라인으로부터 상기 제1 방향으로 연장되어, 상기 수평 게이트 라인으로부터 수신된 게이트 신호를 상기 제1 내지 제3 화소의 화소 회로에 공급하는 보조 게이트 라인을 포함한다.
- [20] 상기 데이터 라인은 상기 센싱 라인의 제1 측에 배치되어 상기 제1 화소의 화소 회로에 데이터 전압을 공급하는 제1 데이터 라인, 상기 제1 데이터 라인의 제1 측에 배치되어 상기 제2 화소의 화소 회로에 데이터 전압을 공급하는 제2 데이터 라인, 및 상기 제2 데이터 라인의 제1 측에 배치되어 상기 제3 화소의 화소 회로에 데이터 전압을 공급하는 제3 데이터 라인을 포함할 수 있다.
- [21] 상기 센싱 라인은 상기 기판 상의 제1 금속층에 배치되고, 상기 제1 데이터 라인은 상기 제1 금속층 상의 제2 금속층에 배치될 수 있다.
- [22] 상기 센싱 라인은 상기 제2 금속층 상의 제3 금속층에 배치된 연결 전극을 통해 상기 제1 내지 제3 화소의 화소 회로에 전기적으로 연결되고, 상기 제1 데이터 라인은 상기 제1 화소의 화소 회로에 직접 연결될 수 있다.
- [23] 상기 제2 데이터 라인은 상기 제1 금속층에 배치되어, 상기 제3 금속층에 배치된 연결 전극을 통해 상기 제2 화소의 화소 회로에 전기적으로 연결되고, 상기 제3 데이터 라인은 상기 제2 금속층에 배치되어 상기 제3 화소의 화소

회로에 직접 연결될 수 있다.

[24] 상기 수직 게이트 라인은 상기 기판 상의 제1 금속층에 배치되고, 상기 수평 게이트 라인 및 상기 보조 게이트 라인은 상기 제1 금속층 상의 제2 금속층에 배치될 수 있다.

[25] 상기 표시 장치는 상기 기판의 일측에 배치되어 상기 데이터 라인에 데이터 전압을 공급하는 표시 구동부를 더 포함하고, 상기 표시 구동부는 상기 수직 게이트 라인 및 상기 수평 게이트 라인을 경유하여 상기 보조 게이트 라인에 게이트 신호를 공급할 수 있다.

[26] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[27] 실시예들에 따른 표시 장치에 의하면, 수직 방향으로 연장되며 평면 상에서 인접한 금속 라인들이 서로 다른 금속층에 배치됨으로써, 고해상도의 표시 장치에서 라인 패턴 밀집도를 분산시켜 제조 공정을 용이하게 수행하고 공간 활용도를 증가시킬 수 있다. 데이터 라인들 중 일부의 데이터 라인은 게이트층에 배치됨으로써 박막 트랜지스터와 데이터 라인을 접속시키는 연결 전극을 포함하지 않을 수 있고, 라인 간의 쇼트 불량을 방지할 수 있다.

[28] 실시예들에 따른 표시 장치에 의하면, 수평 방향으로 연장되는 게이트 라인 및 게이트 라인으로부터 분지되어 수직 방향으로 연장되는 보조 게이트 라인을 동일 층에서 일체로 형성함으로써, 게이트 라인 및 보조 게이트 라인을 접속시키는 별도의 컨택홀이 불필요하고 설계 마진을 확보할 수 있으며, 서로 다른 금속층 간의 컨택 불량을 방지할 수 있다.

[29] 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[30] 도 1은 일 실시예에 따른 표시 장치를 나타내는 평면도이다.

[31] 도 2는 일 실시예에 따른 표시 장치에서, 화소 및 라인들을 나타내는 도면이다.

[32] 도 3은 일 실시예에 따른 표시 장치의 화소를 나타내는 회로도이다.

[33] 도 4는 일 실시예에 따른 표시 장치의 화소를 나타내는 평면도이다.

[34] 도 5는 도 4의 표시 장치에서, 금속층, 액티브층, 및 게이트층을 나타내는 평면도이다.

[35] 도 6은 도 4의 표시 장치에서, 금속층, 액티브층, 게이트층, 및 컨택홀을 나타내는 평면도이다.

[36] 도 7은 도 4의 표시 장치에서, 소스-드레인층 및 컨택홀을 나타내는 평면도이다.

[37] 도 8은 도 4의 선 I-I'을 따라 자른 단면도이다.

[38] 도 9는 다른 실시예에 따른 표시 장치의 화소를 나타내는 평면도이다.

[39] 도 10은 도 9의 표시 장치에서, 금속층, 액티브층, 및 게이트층을 나타내는

평면도이다.

[40] 도 11은 도 9의 표시 장치에서, 금속층, 액티브층, 게이트층, 및 컨택홀을 나타내는 평면도이다.

[41] 도 12는 도 9의 표시 장치에서, 소스-드레인층 및 컨택홀을 나타내는 평면도이다.

[42] 도 13은 도 9의 선 II-II'을 따라 자른 단면도이다.

[43] 도 14는 또 다른 실시예에 따른 표시 장치의 화소를 나타내는 평면도이다.

[44] 도 15는 도 14의 표시 장치에서, 금속층, 액티브층, 및 게이트층을 나타내는 평면도이다.

[45] 도 16은 도 14의 표시 장치에서, 금속층, 액티브층, 게이트층, 및 컨택홀을 나타내는 평면도이다.

[46] 도 17은 도 14의 표시 장치에서, 소스-드레인층 및 컨택홀을 나타내는 평면도이다.

[47] 도 18은 도 14의 선 III-III'을 따라 자른 단면도이다.

[48] 도 19는 일 실시예에 따른 표시 장치의 발광 소자층을 나타내는 평면도이다.

[49] 도 20은 도 19의 선 IV-IV'을 따라 자른 단면도이다.

발명의 실시를 위한 형태

[50] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[51] 소자(elements) 또는 층이 다른 소자 또는 층의 "상(on)"으로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 실시예들을 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되지 않는다.

[52] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.

[53] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께

실시할 수도 있다.

- [54] 이하 첨부된 도면을 참조하여 구체적인 실시예들에 대해 설명한다.
- [55] 도 1은 일 실시예에 따른 표시 장치를 나타내는 평면도이다.
- [56] 본 명세서에서, “상부”, “탑”, “상면”은 표시 장치를 기준으로 상부 방향, 즉 Z축 방향을 가리키고, “하부”, “바텀”, “하면”은 표시 장치를 기준으로 하부 방향, 즉 Z축 방향의 반대 방향을 가리킨다. 또한, “좌”, “우”, “상”, “하”는 표시 장치를 평면에서 바라보았을 때의 방향을 가리킨다. 예를 들어, “좌”는 X축의 반대 방향, “우”는 X축 방향, “상”은 Y축 방향, “하”는 Y축의 반대 방향을 가리킨다.
- [57] 도 1을 참조하면, 표시 장치는 동영상이나 정지 영상을 표시하는 장치로서, 모바일 폰(Mobile Phone), 스마트 폰(Smart Phone), 태블릿 PC(Tablet PC), 스마트 워치(Smart Watch), 워치 폰(Watch Phone), 이동 통신 단말기, 전자 수첩, 전자 책, PMP(Portable Multimedia Player), 네비게이션, 및 UMPC(Ultra Mobile PC) 등과 같은 휴대용 전자 기기뿐만 아니라, 텔레비전, 노트북, 모니터, 광고판, 및 사물 인터넷(Internet of Things, IOT) 등의 다양한 제품의 표시 화면으로 사용될 수 있다.
- [58] 표시 장치는 표시 패널(100), 연성 필름(210), 표시 구동부(220), 회로 보드(230), 타이밍 제어부(240), 및 전원 공급부(250)를 포함할 수 있다.
- [59] 표시 패널(100)은 평면 상 직사각형 형태로 이루어질 수 있다. 예를 들어, 표시 패널(100)은 제1 방향(X축 방향)의 장변과 제2 방향(Y축 방향)의 단변을 갖는 직사각형의 평면 형태를 가질 수 있다. 제1 방향(X축 방향)의 장변과 제2 방향(Y축 방향)의 단변이 만나는 모서리는 직각으로 형성되거나 소정의 곡률을 갖도록 둥글게 형성될 수 있다. 표시 패널(100)의 평면 형태는 직사각형에 한정되지 않고, 다른 다각형, 원형 또는 타원형으로 형성될 수 있다. 예를 들어, 표시 패널(100)은 평탄하게 형성될 수 있으나, 반드시 이에 한정되는 것은 아니다. 다른 예를 들어, 표시 패널(100)은 소정의 곡률로 구부러지도록 형성될 수 있다.
- [60] 표시 패널(100)은 표시 영역(DA)과 비표시 영역(NDA)을 포함할 수 있다.
- [61] 표시 영역(DA)은 영상을 표시하는 영역으로서, 표시 패널(100)의 중앙 영역으로 정의될 수 있다. 표시 영역(DA)은 복수의 화소(SP), 게이트 라인(GL), 센싱 라인(SL), 데이터 라인(DL), 수평 전압 라인(HVDL), 제1 전압 라인(VDL), 수직 전압 라인(VVSL), 및 제2 전압 라인(VSL)을 포함할 수 있다. 복수의 화소(SP)는 복수의 데이터 라인(DL)과 복수의 게이트 라인(GL)에 의해 교차되는 화소 영역마다 형성될 수 있다. 화소(SP)는 제1 내지 제3 화소(SP1, SP2, SP3)를 포함할 수 있다. 제1 내지 제3 화소(SP1, SP2, SP3) 각각은 하나의 수평 게이트 라인(HGL) 및 하나의 데이터 라인(DL)에 접속될 수 있다. 제1 내지 제3 화소(SP1, SP2, SP3) 각각은 광을 출력하는 최소 단위의 영역으로 정의될 수 있다.
- [62] 제1 화소(SP1)는 제1 색의 광 또는 적색 광을 방출할 수 있고, 제2 화소(SP2)는 제2 색의 광 또는 녹색 광을 방출할 수 있으며, 제3 화소(SP3)는 제3 색의 광 또는

- 청색 광을 방출할 수 있다. 제1 내지 제3 화소(SP1, SP2, SP3)는 제1 방향(X축 방향)으로 순차적으로 배열될 수 있으나, 이에 한정되지 않는다.
- [63] 게이트 라인(GL)은 수직 게이트 라인(VGL) 및 수평 게이트 라인(HGL)을 포함할 수 있다. 복수의 수직 게이트 라인(VGL)은 표시 구동부(220)와 접속되어 제2 방향(Y축 방향)으로 연장되고 제1 방향(X축 방향)으로 서로 이격될 수 있다. 복수의 수평 게이트 라인(HGL) 각각은 복수의 수직 게이트 라인(VGL) 중 어느 하나의 수직 게이트 라인(VGL)과 접속되고 제1 방향(X축 방향)으로 연장될 수 있다. 수평 게이트 라인(HGL)은 제1 내지 제3 화소(SP1, SP2, SP3)에 게이트 신호를 공급할 수 있다.
- [64] 복수의 센싱 라인(SL)은 제2 방향(Y축 방향)으로 연장되고, 제1 방향(X축 방향)으로 서로 이격될 수 있다. 센싱 라인(SL)은 표시 구동부(220)로부터 수신된 초기화 전압을 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 화소 회로에 공급할 수 있다. 센싱 라인(SL)은 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 화소 회로로부터 센싱 신호를 수신하여 표시 구동부(220)에 공급할 수 있다.
- [65] 복수의 데이터 라인(DL)은 제2 방향(Y축 방향)으로 연장되고, 제1 방향(X축 방향)으로 서로 이격될 수 있다. 복수의 데이터 라인(DL)은 제1 내지 제3 데이터 라인(DL1, DL2, DL3)을 포함할 수 있다. 제1 내지 제3 데이터 라인(DL1, DL2, DL3) 각각은 제1 내지 제3 화소(SP1, SP2, SP3) 각각에 데이터 전압을 공급할 수 있다.
- [66] 복수의 수평 전압 라인(HVDL)은 제1 방향(X축 방향)으로 연장되고, 제2 방향(Y축 방향)으로 서로 이격될 수 있다. 수평 전압 라인(HVDL)은 제1 전압 라인(VDL)에 접속될 수 있다. 수평 전압 라인(HVDL)은 제1 전압 라인(VDL)에 구동 전압 또는 고전위 전압을 공급할 수 있다.
- [67] 복수의 제1 전압 라인(VDL)은 제2 방향(Y축 방향)으로 연장되고, 제1 방향(X축 방향)으로 서로 이격될 수 있다. 제1 전압 라인(VDL)은 전원 공급부(250)로부터 수신된 구동 전압 또는 고전위 전압을 복수의 화소(SP)에 공급할 수 있다.
- [68] 수직 전압 라인(VVSL)은 제2 방향(Y축 방향)으로 연장되고, 제1 방향(X축 방향)으로 서로 이격될 수 있다. 수직 전압 라인(VVSL)은 제2 전압 라인(VSL)에 접속될 수 있다. 수직 전압 라인(VVSL)은 전원 공급부(250)로부터 수신된 저전위 전압을 제2 전압 라인(VSL)에 공급할 수 있다.
- [69] 제2 전압 라인(VSL)은 제1 방향(X축 방향)으로 연장되고, 제2 방향(Y축 방향)으로 서로 이격될 수 있다. 제2 전압 라인(VSL)은 복수의 화소(SP)에 저전위 전압을 공급할 수 있다.
- [70] 복수의 화소(SP), 게이트 라인(GL), 센싱 라인(SL), 데이터 라인(DL), 제1 전압 라인(VDL), 및 제2 전압 라인(VSL)의 접속 관계는 복수의 화소(SP)의 개수 및 배열에 따라 설계 변경될 수 있다.
- [71] 비표시 영역(NDA)은 표시 패널(100)에서 표시 영역(DA)을 제외한 나머지 영역으로 정의될 수 있다. 예를 들어, 비표시 영역(NDA)은 데이터 라인(DL),

- 센싱 라인(SL), 또는 수직 게이트 라인(VGL)과 표시 구동부(220)를 연결하는 팬 아웃 라인들, 및 연성 필름(210)과 접속되는 패드부(미도시)를 포함할 수 있다.
- [72] 연성 필름(210)의 일측에 마련된 입력 단자들은 필름 부착 공정에 의해 회로 보드(230)에 부착될 수 있고, 연성 필름(210)의 타측에 마련된 출력 단자들은 필름 부착 공정에 의해 패드부에 부착될 수 있다. 예를 들어, 연성 필름(210)은 테이프 캐리어 패키지(Tape Carrier Package), 칩 온 필름(Chip on Film)과 같이 구부러질 수 있는 플렉서블 필름(Flexible Film)일 수 있다. 연성 필름(210)은 표시 장치의 베젤 영역을 감소시키기 위하여 표시 패널(100)의 하부로 벤딩될 수 있다.
- [73] 표시 구동부(220)는 연성 필름(210) 상에 실장될 수 있다. 예를 들어, 표시 구동부(220)는 집적 회로(IC)로 구현될 수 있다. 표시 구동부(220)는 타이밍 제어부(240)로부터 디지털 비디오 데이터 및 데이터 제어 신호를 수신하고, 데이터 제어 신호에 따라 디지털 비디오 데이터를 아날로그 데이터 전압으로 변환하여 팬 아웃 라인들을 통해 데이터 라인들(DL)에 공급할 수 있다. 표시 구동부(220)는 타이밍 제어부(240)로부터 공급되는 게이트 제어 신호에 따라 게이트 신호를 생성하여, 설정된 순서에 따라 복수의 수직 게이트 라인(VGL)에 순차적으로 공급할 수 있다.
- [74] 회로 보드(230)는 타이밍 제어부(240) 및 전원 공급부(250)를 지지하고, 표시 구동부(220)의 구성들 간의 신호 및 전원을 전달할 수 있다. 예를 들어, 회로 보드(230)는 각 화소에 영상을 표시하기 위해 타이밍 제어부(240)로부터 공급되는 신호와 전원 공급부(250)로부터 공급되는 전원 전압을 표시 구동부(220)에 공급할 수 있다. 이를 위해, 신호 전송 라인과 복수의 전원 라인이 회로 보드(230) 상에 마련될 수 있다.
- [75] 타이밍 제어부(240)는 회로 보드(230) 상에 실장되고, 회로 보드(230) 상에 마련된 유저 커넥터를 통해 표시 구동 시스템으로부터 공급되는 영상 데이터와 타이밍 동기 신호를 수신할 수 있다. 타이밍 제어부(240)는 타이밍 동기 신호를 기초로 영상 데이터를 화소 배치 구조에 알맞도록 정렬하여 디지털 비디오 데이터를 생성할 수 있고, 생성된 디지털 비디오 데이터를 표시 구동부(220)에 공급할 수 있다. 타이밍 제어부(240)는 타이밍 동기 신호를 기초로 데이터 제어 신호와 게이트 제어 신호를 생성할 수 있다. 타이밍 제어부(240)는 데이터 제어 신호를 기초로 표시 구동부(220)의 데이터 전압의 공급 타이밍을 제어할 수 있고, 게이트 제어 신호를 기초로 표시 구동부(220)의 게이트 신호의 공급 타이밍을 제어할 수 있다.
- [76] 전원 공급부(250)는 회로 보드(230) 상에 배치되어 표시 구동부(220)와 표시 패널(100)에 전원 전압을 공급할 수 있다. 예를 들어, 전원 공급부(250)는 구동 전압 또는 고전위 전압을 생성하여 제1 전압 라인(VDL)에 공급할 수 있고, 저전위 전압을 생성하여 수직 전압 라인(VVSL)에 공급할 수 있다.
- [77] 도 2는 일 실시예에 따른 표시 장치에서, 화소 및 라인들을 나타내는 도면이다.
- [78] 도 2를 참조하면, 복수의 화소(SP)는 제1 내지 제3 화소(SP1, SP2, SP3)를

포함할 수 있다. 제1 화소(SP1)의 화소 회로, 제3 화소(SP3)의 화소 회로, 및 제2 화소(SP2)의 화소 회로는 제2 방향(Y축 방향)의 반대 방향으로 나열될 수 있으나, 화소 회로의 순서는 이에 한정되지 않는다.

- [79] 제1 전압 라인(VDL)은 제2 방향(Y축 방향)으로 연장될 수 있다. 제1 전압 라인(VDL)은 제1 내지 제3 화소(SP1, SP2, SP3)의 화소 회로의 일측 또는 좌측에 배치될 수 있다. 제1 전압 라인(VDL)은 복수의 화소(SP)에 구동 전압 또는 고전위 전압을 공급할 수 있다. 제1 전압 라인(VDL)은 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 트랜지스터에 구동 전압을 공급할 수 있다.
- [80] 게이트 라인(GL)은 수직 게이트 라인(VGL), 수평 게이트 라인(HGL), 및 보조 게이트 라인(BGL)을 포함할 수 있다.
- [81] 수직 게이트 라인(VGL)은 제2 방향(Y축 방향)으로 연장될 수 있다. 수직 게이트 라인(VGL)은 제1 전압 라인(VDL)의 일측 또는 좌측에 배치될 수 있다. 수직 게이트 라인(VGL)은 표시 구동부(220)와 수평 게이트 라인(HGL) 사이에 접속될 수 있다. 복수의 수직 게이트 라인(VGL) 각각은 복수의 수평 게이트 라인(HGL)과 교차할 수 있다. 수직 게이트 라인(VGL)은 대응되는 수평 게이트 라인(HGL)을 제외한 다른 수평 게이트 라인들과 서로 절연될 수 있다. 수직 게이트 라인(VGL)은 표시 구동부(220)로부터 수신된 게이트 신호를 수평 게이트 라인(HGL)에 공급할 수 있다.
- [82] 수평 게이트 라인(HGL)은 제1 방향(X축 방향)으로 연장될 수 있다. 수평 게이트 라인(HGL)은 제1 화소(SP1)의 화소 회로의 상측에 배치될 수 있다. 수평 게이트 라인(HGL)은 수직 게이트 라인(VGL)과 보조 게이트 라인(BGL) 사이에 접속될 수 있다. 수평 게이트 라인(HGL)은 수직 게이트 라인(VGL)으로부터 수신된 게이트 신호를 보조 게이트 라인(BGL)에 공급할 수 있다.
- [83] 보조 게이트 라인(BGL)은 수평 게이트 라인(HGL)으로부터 제2 방향(Y축 방향)의 반대 방향으로 연장될 수 있다. 보조 게이트 라인(BGL)은 제1 내지 제3 화소(SP1, SP2, SP3)의 화소 회로의 타측 또는 우측에 배치될 수 있다. 보조 게이트 라인(BGL)은 수평 게이트 라인(HGL)으로부터 수신된 게이트 신호를 제1 내지 제3 화소(SP1, SP2, SP3)의 화소 회로에 공급할 수 있다.
- [84] 센싱 라인(SL)은 제2 방향(Y축 방향)으로 연장될 수 있다. 센싱 라인(SL)은 보조 게이트 라인(BGL)의 타측 또는 우측에 배치될 수 있다. 센싱 라인(SL)은 표시 구동부(220)로부터 수신된 초기화 전압을 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 화소 회로에 공급할 수 있다. 센싱 라인(SL)은 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 화소 회로로부터 센싱 신호를 수신하여 표시 구동부(220)에 공급할 수 있다.
- [85] 복수의 데이터 라인(DL)은 제2 방향(Y축 방향)으로 연장될 수 있다. 복수의 데이터 라인(DL)은 복수의 화소(SP)에 데이터 전압을 공급할 수 있다. 복수의 데이터 라인(DL)은 제1 내지 제3 데이터 라인(DL1, DL2, DL3)을 포함할 수 있다.
- [86] 제1 데이터 라인(DL1)은 제2 방향(Y축 방향)으로 연장될 수 있다. 제1 데이터

- 라인(DL1)은 보조 게이트 라인(BGL)의 타측 또는 우측에 배치될 수 있다. 제1 데이터 라인(DL1)은 표시 구동부(220)로부터 수신된 데이터 전압을 제1 화소(SP1)의 화소 회로에 공급할 수 있다.
- [87] 제2 데이터 라인(DL2)은 제2 방향(Y축 방향)으로 연장될 수 있다. 제2 데이터 라인(DL2)은 제1 데이터 라인(DL1)의 타측 또는 우측에 배치될 수 있다. 제2 데이터 라인(DL2)은 표시 구동부(220)로부터 수신된 데이터 전압을 제2 화소(SP2)의 화소 회로에 공급할 수 있다.
- [88] 제3 데이터 라인(DL3)은 제2 방향(Y축 방향)으로 연장될 수 있다. 제3 데이터 라인(DL3)은 제2 데이터 라인(DL2)의 타측 또는 우측에 배치될 수 있다. 제3 데이터 라인(DL3)은 표시 구동부(220)로부터 수신된 데이터 전압을 제3 화소(SP3)의 화소 회로에 공급할 수 있다.
- [89] 수직 전압 라인(VVSL)은 제2 방향(Y축 방향)으로 연장될 수 있다. 수직 전압 라인(VVSL)은 제3 데이터 라인(DL3)의 타측 또는 우측에 배치될 수 있다. 수직 전압 라인(VVSL)은 전원 공급부(250)와 제2 전압 라인(VSL) 사이에 접속될 수 있다. 수직 전압 라인(VVSL)은 전원 공급부(250)로부터 공급된 저전위 전압을 제2 전압 라인(VSL)에 공급할 수 있다.
- [90] 제2 전압 라인(VSL)은 제1 방향(X축 방향)으로 연장될 수 있다. 제2 전압 라인(VSL)은 제2 화소(SP2)의 화소 회로의 하측에 배치될 수 있다. 제2 전압 라인(VSL)은 수직 전압 라인(VVSL)으로부터 수신된 저전위 전압을 제1 내지 제3 화소(SP1, SP2, SP3)에 공급할 수 있다.
- [91] 도 3은 일 실시예에 따른 표시 장치의 화소를 나타내는 회로도이다.
- [92] 도 3을 참조하면, 복수의 화소(SP) 각각은 게이트 라인(GL), 제1 전압 라인(VDL), 데이터 라인(DL), 센싱 라인(SL), 및 제2 전압 라인(VSL)에 접속될 수 있다.
- [93] 제1 내지 제3 화소(SP1, SP2, SP3) 각각은 제1 내지 제3 트랜지스터(ST1, ST2, ST3), 제1 커패시터(C1), 및 복수의 발광 소자(ED)를 포함할 수 있다.
- [94] 제1 트랜지스터(ST1)는 게이트 전극, 드레인 전극, 및 소스 전극을 포함할 수 있다. 제1 트랜지스터(ST1)의 게이트 전극은 제1 노드(N1)에 접속되고, 드레인 전극은 제1 전압 라인(VDL)에 접속되며, 소스 전극은 제2 노드(N2)에 접속될 수 있다. 제1 트랜지스터(ST1)는 게이트 전극에 인가되는 데이터 전압에 따라 소스-드레인 간 전류(또는, 구동 전류)를 제어할 수 있다.
- [95] 복수의 발광 소자(ED)는 제1 발광 소자(ED1) 및 제2 발광 소자(ED2)를 포함할 수 있다. 제1 및 제2 발광 소자(ED1, ED2)는 직렬로 연결될 수 있다. 제1 및 제2 발광 소자(ED1, ED2)는 구동 전류를 수신하여 발광할 수 있다. 발광 소자(ED)의 발광량 또는 휘도는 구동 전류의 크기에 비례할 수 있다. 발광 소자(ED)는 제1 전극, 제2 전극, 및 제1 전극과 제2 전극 사이에 배치된 무기 반도체를 포함하는 무기 발광 소자일 수 있다.
- [96] 제1 발광 소자(ED1)의 제1 전극은 제2 노드(N2)에 접속되고 제1 발광

소자(ED1)의 제2 전극은 제3 노드(N3)에 접속될 수 있다. 제1 발광 소자(ED1)의 제1 전극은 제2 노드(N2)를 통해 제1 트랜지스터(ST1)의 소스 전극, 제3 트랜지스터(ST3)의 소스 전극, 및 제1 커패시터(C1)의 제2 커패시터 전극에 접속될 수 있다. 제1 발광 소자(ED1)의 제2 전극은 제3 노드(N3)를 통해 제2 발광 소자(ED2)의 제1 전극에 접속될 수 있다.

- [97] 제2 발광 소자(ED2)의 제1 전극은 제3 노드(N3)에 접속되고 제2 발광 소자(ED2)의 제2 전극은 제2 전압 라인(VSL)에 접속될 수 있다. 제2 발광 소자(ED2)의 제1 전극은 제3 노드(N3)를 통해 제1 발광 소자(ED1)의 제2 전극에 접속될 수 있다.
- [98] 제2 트랜지스터(ST2)는 게이트 라인(GL)의 게이트 신호에 의해 턴-온되어 데이터 라인(DL)과 제1 트랜지스터(ST1)의 게이트 전극인 제1 노드(N1)를 접속시킬 수 있다. 제2 트랜지스터(ST2)는 게이트 신호를 기초로 턴-온됨으로써, 데이터 전압을 제1 노드(N1)에 공급할 수 있다. 제2 트랜지스터(ST2)의 게이트 전극은 게이트 라인(GL)에 접속되고, 드레인 전극은 데이터 라인(DL)에 접속되며, 소스 전극은 제1 노드(N1)에 접속될 수 있다. 제2 트랜지스터(ST2)의 소스 전극은 제1 노드(N1)를 통해 제1 트랜지스터(ST1)의 게이트 전극 및 제1 커패시터(C1)의 제1 커패시터 전극에 접속될 수 있다.
- [99] 제3 트랜지스터(ST3)는 게이트 라인(GL)의 게이트 신호에 의해 턴-온되어 센싱 라인(SL)과 제1 트랜지스터(ST1)의 소스 전극인 제2 노드(N2)를 접속시킬 수 있다. 제3 트랜지스터(ST3)는 게이트 신호를 기초로 턴-온됨으로써, 초기화 전압을 제2 노드(N2)에 공급할 수 있다. 제3 트랜지스터(ST3)의 게이트 전극은 게이트 라인(GL)에 접속되고, 드레인 전극은 센싱 라인(SL)에 접속되며, 소스 전극은 제2 노드(N2)에 접속될 수 있다. 제3 트랜지스터(ST3)의 소스 전극은 제2 노드(N2)를 통해 제1 트랜지스터(ST1)의 소스 전극, 제1 커패시터(C1)의 제2 커패시터 전극, 및 제1 발광 소자(ED1)의 제1 전극에 접속될 수 있다.
- [100] 도 4는 일 실시예에 따른 표시 장치의 화소를 나타내는 평면도이고, 도 5는 도 4의 표시 장치에서, 금속층, 액티브층, 및 게이트층을 나타내는 평면도이다. 도 6은 도 4의 표시 장치에서, 금속층, 액티브층, 게이트층, 및 컨택홀을 나타내는 평면도이고, 도 7은 도 4의 표시 장치에서, 소스-드레인층 및 컨택홀을 나타내는 평면도이다. 도 8은 도 4의 선 I-I'을 따라 자른 단면도이다. 도 8에서, 제1 금속층(BML), 버퍼층(BF), 액티브층(ACTL), 게이트 절연막(GI), 제2 금속층(GTL), 층간 절연막(IL1), 제3 금속층(SDL), 및 비아층(VIA)은 기판(SUB) 상에 순차적으로 적층될 수 있다.
- [101] 도 4 내지 도 8을 참조하면, 표시 패널(100)은 제1 내지 제3 화소(SP1, SP2, SP3)를 포함할 수 있다. 제1 화소(SP1)의 화소 회로, 제3 화소(SP3)의 화소 회로, 및 제2 화소(SP2)의 화소 회로는 제2 방향(Y축 방향)의 반대 방향으로 나열될 수 있다. 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 화소 회로는 화소 영역에 배치될 수 있다.

- [102] 제1 전압 라인(VDL)은 기판(SUB) 상의 제1 금속층(BML)에 배치될 수 있다. 제1 전압 라인(VDL)은 제1 내지 제3 화소(SP1, SP2, SP3)의 화소 회로의 일측 또는 좌측에 배치될 수 있다. 제1 전압 라인(VDL)은 제3 금속층(SDL)의 제10 연결 전극(BE10)과 두께 방향(Z축 방향)으로 중첩될 수 있다. 제1 전압 라인(VDL)은 제6 컨택홀(CNT6)을 통해 제10 연결 전극(BE10)에 접속될 수 있다. 제10 연결 전극(BE10)은 제7 컨택홀(CNT7)을 통해 제1 화소(SP1)의 제1 트랜지스터(ST1)의 드레인 전극(DE1)에 접속되고, 제16 컨택홀(CNT16)을 통해 제2 화소(SP2)의 제1 트랜지스터(ST1)의 드레인 전극(DE1)에 접속되며, 제26 컨택홀(CNT26)을 통해 제3 화소(SP3)의 제1 트랜지스터(ST1)의 드레인 전극(DE1)에 접속될 수 있다. 따라서, 제1 전압 라인(VDL)은 제10 연결 전극(BE10)을 통해 제1 내지 제3 화소(SP1, SP2, SP3)에 구동 전압을 공급할 수 있다.
- [103] 수직 게이트 라인(VGL)은 제1 금속층(BML)에 배치될 수 있다. 수직 게이트 라인(VGL)은 제1 전압 라인(VDL)의 일측 또는 좌측에 배치될 수 있다. 수직 게이트 라인(VGL)은 제2 금속층(GTL)의 제1 보조 전극(AUE1)과 두께 방향(Z축 방향)으로 중첩될 수 있고, 복수의 제1 컨택홀(CNT1)을 통해 제1 보조 전극(AUE1)에 접속될 수 있다. 수직 게이트 라인(VGL)은 제3 금속층(SDL)의 제2 보조 전극(AUE2)과 두께 방향(Z축 방향)으로 중첩되고, 복수의 제2 컨택홀(CNT2)을 통해 제2 보조 전극(AUE2)에 접속될 수 있다. 따라서, 수직 게이트 라인(VGL)은 제1 및 제2 보조 전극(AUE1, AUE2)에 접속됨으로써, 라인 저항을 감소시킬 수 있다.
- [104] 수평 게이트 라인(HGL)은 제3 금속층(SDL)에 배치될 수 있다. 수평 게이트 라인(HGL)은 제1 화소(SP1)의 화소 회로의 상측에 배치될 수 있다. 수평 게이트 라인(HGL)은 수직 게이트 라인(VGL)과 보조 게이트 라인(BGL) 사이에 접속될 수 있다. 수평 게이트 라인(HGL)은 제3 컨택홀(CNT3)을 통해 수직 게이트 라인(VGL)에 접속될 수 있고, 제4 컨택홀(CNT4)을 통해 보조 게이트 라인(BGL)에 접속될 수 있다. 수평 게이트 라인(HGL)은 수직 게이트 라인(VGL)으로부터 수신된 게이트 신호를 보조 게이트 라인(BGL)에 공급할 수 있다.
- [105] 보조 게이트 라인(BGL)은 제2 금속층(GTL)에 배치될 수 있다. 보조 게이트 라인(BGL)은 제1 내지 제3 화소(SP1, SP2, SP3)의 화소 회로의 타측 또는 우측에 배치될 수 있다. 보조 게이트 라인(BGL)은 수평 게이트 라인(HGL)으로부터 수신된 게이트 신호를 제1 내지 제3 화소(SP1, SP2, SP3)의 화소 회로에 공급할 수 있다.
- [106] 수평 전압 라인(HVDL)은 제3 금속층(SDL)에 배치될 수 있다. 수평 전압 라인(HVDL)은 수평 게이트 라인(HGL)의 상측에 배치될 수 있다. 수평 전압 라인(HVDL)은 제1 전압 라인(VDL)으로부터 구동 전압을 수신할 수 있다. 수평 전압 라인(HVDL)은 구동 전압을 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 정렬

전극에 공급할 수 있다. 예를 들어, 수평 전압 라인(HVDL)은 제33 컨택홀(CNT33)을 통해 제1 화소(SP1)의 정렬 전극에 접속될 수 있다. 수평 전압 라인(HVDL)은 제34 컨택홀(CNT34)을 통해 제2 화소(SP2)의 정렬 전극에 접속될 수 있다. 수평 전압 라인(HVDL)은 제35 컨택홀(CNT35)을 통해 제3 화소(SP3)의 정렬 전극에 접속될 수 있다. 여기에서, 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 정렬 전극은 비아층(VIA) 상에 배치될 수 있고, 제33 내지 제35 컨택홀(CNT33, CNT34, CNT35)은 비아층(VIA)을 관통하여 형성될 수 있다.

- [107] 수직 전압 라인(VVSL)은 제1 금속층(BML)에 배치될 수 있다. 수직 전압 라인(VVSL)은 제3 데이터 라인(DL3)의 타측 또는 우측에 배치될 수 있다. 수직 전압 라인(VVSL)은 제5 컨택홀(CNT5)을 통해 제3 금속층(SDL)의 제2 전압 라인(VSL)에 접속될 수 있다. 따라서, 수직 전압 라인(VVSL)은 제2 전압 라인(VSL)에 저전위 전압을 공급할 수 있다.
- [108] 제2 전압 라인(VSL)은 제3 금속층(SDL)에 배치될 수 있다. 제2 전압 라인(VSL)은 제2 화소(SP2)의 화소 회로의 하측에 배치될 수 있다. 제2 전압 라인(VSL)은 수직 전압 라인(VVSL)으로부터 수신된 저전위 전압을 제1 내지 제3 화소(SP1, SP2, SP3)에 공급할 수 있다. 예를 들어, 제2 전압 라인(VSL)은 제39 컨택홀(CNT39)을 통해 제1 화소(SP1)의 제2 전극에 접속될 수 있다. 제2 전압 라인(VSL)은 제40 컨택홀(CNT40)을 통해 제2 화소(SP2)의 제2 전극에 접속될 수 있다. 제2 전압 라인(VSL)은 제41 컨택홀(CNT41)을 통해 제3 화소(SP3)의 제2 전극에 접속될 수 있다. 여기에서, 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 제2 전극은 비아층(VIA) 상에 배치될 수 있고, 제39 내지 제41 컨택홀(CNT39, CNT40, CNT41)은 비아층(VIA)을 관통하여 형성될 수 있다.
- [109] 센싱 라인(SL)은 제1 금속층(BML)에 배치될 수 있다. 센싱 라인(SL)은 보조 게이트 라인(BGL)의 타측 또는 우측에 배치될 수 있다. 센싱 라인(SL)은 제13 컨택홀(CNT13)을 통해 제3 연결 전극(BE3)에 접속될 수 있다. 제3 연결 전극(BE3)은 제14 컨택홀(CNT14)을 통해 제1 화소(SP1)의 제3 트랜지스터(ST3)의 드레인 전극(DE3)에 접속될 수 있다. 센싱 라인(SL)은 제23 컨택홀(CNT23)을 통해 제9 연결 전극(BE9)에 접속될 수 있다. 제9 연결 전극(BE9)은 제24 컨택홀(CNT24)을 통해 제2 화소(SP2)의 제3 트랜지스터(ST3)의 드레인 전극(DE3) 및 제3 화소(SP3)의 제3 트랜지스터(ST3)의 드레인 전극(DE3)에 접속될 수 있다. 따라서, 센싱 라인(SL)은 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 제3 트랜지스터(ST3)에 초기화 전압을 공급할 수 있고, 제3 트랜지스터(ST3)로부터 센싱 신호를 수신할 수 있다.
- [110] 제1 데이터 라인(DL1)은 제2 금속층(GTL)에 배치될 수 있다. 제1 데이터 라인(DL1)은 센싱 라인(SL)의 타측 또는 우측에 배치될 수 있다. 제1 데이터 라인(DL1)은 제10 컨택홀(CNT10)을 통해 제1 화소(SP1)의 제2 트랜지스터(ST2)의 드레인 전극(DE2)에 직접 접속될 수 있다. 제1 데이터

라인(DL1)은 제2 금속층(GTL)에 배치됨으로써, 별도의 연결 전극을 통하지 않고 액티브층(ACTL)에 배치된 제2 트랜지스터(ST2)의 드레인 전극(DE2)에 접속될 수 있다. 따라서, 제1 데이터 라인(DL1)은 데이터 전압을 제1 화소(SP1)의 제2 트랜지스터(ST2)에 공급할 수 있다.

[111] 제2 데이터 라인(DL2)은 제1 금속층(BML)에 배치될 수 있다. 제2 데이터 라인(DL2)은 제1 데이터 라인(DL1)의 타측 또는 우측에 배치될 수 있다. 제2 데이터 라인(DL2)은 제19 컨택홀(CNT19)을 통해 제3 금속층(SDL)의 제5 연결 전극(BE5)에 접속될 수 있고, 제5 연결 전극(BE5)은 제20 컨택홀(CNT20)을 통해 제2 화소(SP2)의 제2 트랜지스터(ST2)의 드레인 전극(DE2)에 접속될 수 있다. 따라서, 제2 데이터 라인(DL2)은 데이터 전압을 제2 화소(SP2)의 제2 트랜지스터(ST2)에 공급할 수 있다.

[112] 제3 데이터 라인(DL3)은 제2 금속층(GTL)에 배치될 수 있다. 제3 데이터 라인(DL3)은 제2 게이트 라인(DL2)의 타측 또는 우측에 배치될 수 있다. 제3 데이터 라인(DL3)은 제29 컨택홀(CNT29)을 통해 제3 화소(SP3)의 제2 트랜지스터(ST2)의 드레인 전극(DE2)에 직접 접속될 수 있다. 제3 데이터 라인(DL3)은 제2 금속층(GTL)에 배치됨으로써, 별도의 연결 전극을 통하지 않고 액티브층(ACTL)에 배치된 제2 트랜지스터(ST2)의 드레인 전극(DE2)에 접속될 수 있다. 따라서, 제3 데이터 라인(DL3)은 데이터 전압을 제3 화소(SP3)의 제2 트랜지스터(ST2)에 공급할 수 있다.

[113] 제1 화소(SP1)의 화소 회로는 제1 내지 제3 트랜지스터(ST1, ST2, ST3)를 포함할 수 있다. 제1 화소(SP1)의 제1 트랜지스터(ST1)는 액티브 영역(ACT1), 게이트 전극(GE1), 드레인 전극(DE1), 및 소스 전극(SE1)을 포함할 수 있다. 제1 트랜지스터(ST1)의 액티브 영역(ACT1)은 액티브층(ACTL)에 배치될 수 있고, 제1 트랜지스터(ST1)의 게이트 전극(GE1)과 두께 방향(Z축 방향)으로 중첩될 수 있다.

[114] 제1 트랜지스터(ST1)의 게이트 전극(GE1)은 제2 금속층(GTL)에 배치될 수 있다. 제1 트랜지스터(ST1)의 게이트 전극(GE1)은 제1 커패시터(C1)의 제1 커패시터 전극(CPE1)의 일 부분일 수 있다. 제1 커패시터 전극(CPE1)은 제12 컨택홀(CNT12)을 통해 제3 금속층(SDL)의 제2 연결 전극(BE2)에 접속될 수 있고, 제2 연결 전극(BE2)은 제11 컨택홀(CNT11)을 통해 제2 트랜지스터(ST2)의 소스 전극(SE2)에 접속될 수 있다.

[115] 제1 트랜지스터(ST1)의 드레인 전극(DE1) 및 소스 전극(SE1)은 액티브층(ACTL)을 열처리하여 도체화될 수 있다. 제1 트랜지스터(ST1)의 드레인 전극(DE1)은 제7 컨택홀(CNT7)을 통해 제3 금속층(SDL)의 제10 연결 전극(BE10)에 접속될 수 있고, 제10 연결 전극(BE10)은 제6 컨택홀(CNT6)을 통해 제1 금속층(BML)의 제1 전압 라인(VDL)에 접속될 수 있다. 제1 트랜지스터(ST1)의 드레인 전극(DE1)은 제1 전압 라인(VDL)으로부터 구동 전압을 수신할 수 있다.

- [116] 제1 트랜지스터(ST1)의 소스 전극(SE1)은 제8 컨택홀(CNT8)을 통해 제3 금속층(SDL)의 제1 연결 전극(BE1)에 접속될 수 있다. 제1 연결 전극(BE1)은 제9 컨택홀(CNT9)을 통해 제1 금속층(BML)의 제2 커패시터 전극(CPE2)에 접속될 수 있다. 따라서, 제1 커패시터(C1)는 제1 커패시터 전극(CPE1) 및 제2 커패시터 전극(CPE2) 사이와 제1 커패시터 전극(CPE1) 및 제1 연결 전극(BE1) 사이에서 이중으로 형성될 수 있다.
- [117] 제1 연결 전극(BE1)은 제15 컨택홀(CNT15)을 통해 제3 트랜지스터(ST3)의 소스 전극(SE3)에 접속될 수 있다. 제1 연결 전극(BE1)은 제36 컨택홀(CNT36)을 통해 제1 화소(SP1)의 제1 전극에 접속될 수 있다. 여기에서, 제1 화소(SP1)의 제1 전극은 비아층(VIA) 상에 배치될 수 있고, 제36 컨택홀(CNT36)은 비아층(VIA)을 관통하여 형성될 수 있다.
- [118] 제1 화소(SP1)의 제2 트랜지스터(ST2)는 액티브 영역(ACT2), 게이트 전극(GE2), 드레인 전극(DE2), 및 소스 전극(SE2)을 포함할 수 있다. 제2 트랜지스터(ST2)의 액티브 영역(ACT2)은 액티브층(ACTL)에 배치될 수 있고, 제2 트랜지스터(ST2)의 게이트 전극(GE2)과 두께 방향(Z축 방향)으로 중첩될 수 있다.
- [119] 제2 트랜지스터(ST2)의 게이트 전극(GE2)은 제2 금속층(GTL)에 배치될 수 있다. 제2 트랜지스터(ST2)의 게이트 전극(GE2)은 보조 게이트 라인(BGL)의 일 부분일 수 있다.
- [120] 제2 트랜지스터(ST2)의 드레인 전극(DE2)은 제10 컨택홀(CNT10)을 통해 제2 금속층(GTL)에 배치된 제1 데이터 라인(DL1)에 직접 접속될 수 있다. 제2 트랜지스터(ST2)의 드레인 전극(DE2)은 제1 데이터 라인(DL1)으로부터 제1 화소(SP1)의 데이터 전압을 수신할 수 있다.
- [121] 제2 트랜지스터(ST2)의 소스 전극(SE2)은 제11 컨택홀(CNT11)을 통해 제3 금속층(SDL)의 제2 연결 전극(BE2)에 접속될 수 있다. 제2 연결 전극(BE2)은 제12 컨택홀(CNT12)을 통해 제1 커패시터 전극(CPE1)에 접속됨으로써, 제1 트랜지스터(ST1)의 게이트 전극(GE)에 접속될 수 있다.
- [122] 제1 화소(SP1)의 제3 트랜지스터(ST3)는 액티브 영역(ACT3), 게이트 전극(GE3), 드레인 전극(DE3), 및 소스 전극(SE3)을 포함할 수 있다. 제3 트랜지스터(ST3)의 액티브 영역(ACT3)은 액티브층(ACTL)에 배치될 수 있고, 제3 트랜지스터(ST3)의 게이트 전극(GE3)과 두께 방향(Z축 방향)으로 중첩될 수 있다.
- [123] 제3 트랜지스터(ST3)의 게이트 전극(GE3)은 제2 금속층(GTL)에 배치될 수 있다. 제3 트랜지스터(ST3)의 게이트 전극(GE3)은 보조 게이트 라인(BGL)의 일 부분일 수 있다.
- [124] 제3 트랜지스터(ST3)의 드레인 전극(DE3)은 제14 컨택홀(CNT14)을 통해 제3 금속층(SDL)의 제3 연결 전극(BE3)에 접속될 수 있다. 제3 연결 전극(BE3)은 제13 컨택홀(CNT13)을 통해 제1 금속층(BML)의 센싱 라인(SL)에 접속될 수

있다. 제3 트랜지스터(ST3)의 드레인 전극(DE3)은 센싱 라인(SL)으로부터 초기화 전압을 수신할 수 있다. 제3 트랜지스터(ST3)의 드레인 전극(DE3)은 센싱 라인(SL)에 센싱 신호를 공급할 수 있다.

- [125] 제3 트랜지스터(ST3)의 소스 전극(SE3)은 제15 컨택홀(CNT15)을 통해 제3 금속층(SDL)의 제1 연결 전극(BE1)에 접속될 수 있다. 제1 연결 전극(BE1)은 제8 컨택홀(CNT8)을 통해 제1 트랜지스터(ST1)의 소스 전극(SE1)에 접속되고, 제9 컨택홀(CNT9)을 통해 제1 금속층(BML)의 제2 커패시터 전극(CPE2)에 접속되며, 제36 컨택홀(CNT36)을 통해 제1 화소(SP1)의 제1 전극에 접속될 수 있다.
- [126] 제2 화소(SP2)의 화소 회로는 제1 내지 제3 트랜지스터(ST1, ST2, ST3)를 포함할 수 있다. 제2 화소(SP2)의 제1 트랜지스터(ST1)는 액티브 영역(ACT1), 게이트 전극(GE1), 드레인 전극(DE1), 및 소스 전극(SE1)을 포함할 수 있다. 제1 트랜지스터(ST1)의 액티브 영역(ACT1)은 액티브층(CTL)에 배치될 수 있고, 제1 트랜지스터(ST1)의 게이트 전극(GE1)과 두께 방향(Z축 방향)으로 중첩될 수 있다.
- [127] 제1 트랜지스터(ST1)의 게이트 전극(GE1)은 제2 금속층(GTL)에 배치될 수 있다. 제1 트랜지스터(ST1)의 게이트 전극(GE1)은 제1 커패시터(C1)의 제1 커패시터 전극(CPE1)의 일 부분일 수 있다. 제1 커패시터 전극(CPE1)은 제22 컨택홀(CNT22)을 통해 제3 금속층(SDL)의 제6 연결 전극(BE6)에 접속될 수 있고, 제6 연결 전극(BE6)은 제21 컨택홀(CNT21)을 통해 제2 트랜지스터(ST2)의 소스 전극(SE2)에 접속될 수 있다.
- [128] 제1 트랜지스터(ST1)의 드레인 전극(DE1) 및 소스 전극(SE1)은 액티브층(CTL)을 열처리하여 도체화될 수 있다. 제1 트랜지스터(ST1)의 드레인 전극(DE1)은 제16 컨택홀(CNT16)을 통해 제10 연결 전극(BE10)에 접속될 수 있다. 제10 연결 전극(BE10)은 제6 컨택홀(CNT6)을 통해 제1 금속층(BML)의 제1 전압 라인(VDL)에 접속될 수 있다. 제1 트랜지스터(ST1)의 드레인 전극(DE1)은 제1 전압 라인(VDL)으로부터 구동 전압을 수신할 수 있다.
- [129] 제1 트랜지스터(ST1)의 소스 전극(SE1)은 제17 컨택홀(CNT17)을 통해 제3 금속층(SDL)의 제4 연결 전극(BE4)에 접속될 수 있다. 제4 연결 전극(BE4)은 제18 컨택홀(CNT18)을 통해 제1 금속층(BML)의 제2 커패시터 전극(CPE2)에 접속될 수 있다. 따라서, 제1 커패시터(C1)는 제1 커패시터 전극(CPE1) 및 제2 커패시터 전극(CPE2) 사이와 제1 커패시터 전극(CPE1) 및 제4 연결 전극(BE4) 사이에서 이중으로 형성될 수 있다.
- [130] 제4 연결 전극(BE4)은 제25 컨택홀(CNT25)을 통해 제3 트랜지스터(ST3)의 소스 전극(SE3)에 접속될 수 있다. 제4 연결 전극(BE4)은 제37 컨택홀(CNT37)을 통해 제2 화소(SP2)의 제1 전극에 접속될 수 있다. 여기에서, 제2 화소(SP2)의 제1 전극은 비아층(VIA) 상에 배치될 수 있고, 제37 컨택홀(CNT37)은 비아층(VIA)을 관통하여 형성될 수 있다.

- [131] 제2 화소(SP2)의 제2 트랜지스터(ST2)는 액티브 영역(ACT2), 게이트 전극(GE2), 드레인 전극(DE2), 및 소스 전극(SE2)을 포함할 수 있다. 제2 트랜지스터(ST2)의 액티브 영역(ACT2)은 액티브층(CTL)에 배치될 수 있고, 제2 트랜지스터(ST2)의 게이트 전극(GE2)과 두께 방향(Z축 방향)으로 중첩될 수 있다.
- [132] 제2 트랜지스터(ST2)의 게이트 전극(GE2)은 제2 금속층(GTL)에 배치될 수 있다. 제2 트랜지스터(ST2)의 게이트 전극(GE2)은 보조 게이트 라인(BGL)의 일부분일 수 있다.
- [133] 제2 트랜지스터(ST2)의 드레인 전극(DE2)은 제20 콘택홀(CNT20)을 통해 제5 연결 전극(BE5)에 접속될 수 있고, 제5 연결 전극(BE5)은 제19 콘택홀(CNT19)을 통해 제2 데이터 라인(DL2)에 접속될 수 있다. 제2 트랜지스터(ST2)의 드레인 전극(DE2)은 제2 데이터 라인(DL2)으로부터 제2 화소(SP2)의 데이터 전압을 수신할 수 있다.
- [134] 제2 트랜지스터(ST2)의 소스 전극(SE2)은 제21 콘택홀(CNT21)을 통해 제3 금속층(SDL)의 제6 연결 전극(BE6)에 접속될 수 있다. 제6 연결 전극(BE6)은 제22 콘택홀(CNT22)을 통해 제1 커패시터 전극(CPE1)에 접속됨으로써, 제1 트랜지스터(ST1)의 게이트 전극(GE)에 접속될 수 있다.
- [135] 제2 화소(SP2)의 제3 트랜지스터(ST3)는 액티브 영역(ACT3), 게이트 전극(GE3), 드레인 전극(DE3), 및 소스 전극(SE3)을 포함할 수 있다. 제3 트랜지스터(ST3)의 액티브 영역(ACT3)은 액티브층(CTL)에 배치될 수 있고, 제3 트랜지스터(ST3)의 게이트 전극(GE3)과 두께 방향(Z축 방향)으로 중첩될 수 있다.
- [136] 제3 트랜지스터(ST3)의 게이트 전극(GE3)은 제2 금속층(GTL)에 배치될 수 있다. 제3 트랜지스터(ST3)의 게이트 전극(GE3)은 보조 게이트 라인(BGL)의 일부분일 수 있다.
- [137] 제3 트랜지스터(ST3)의 드레인 전극(DE3)은 제24 콘택홀(CNT24)을 통해 제3 금속층(SDL)의 제9 연결 전극(BE9)에 접속될 수 있다. 제9 연결 전극(BE9)은 제23 콘택홀(CNT23)을 통해 제1 금속층(BML)의 센싱 라인(SL)에 접속될 수 있다. 제3 트랜지스터(ST3)의 드레인 전극(DE3)은 센싱 라인(SL)으로부터 초기화 전압을 수신할 수 있다. 제3 트랜지스터(ST3)의 드레인 전극(DE3)은 센싱 라인(SL)에 센싱 신호를 공급할 수 있다.
- [138] 제3 트랜지스터(ST3)의 소스 전극(SE3)은 제25 콘택홀(CNT25)을 통해 제3 금속층(SDL)의 제4 연결 전극(BE4)에 접속될 수 있다. 제4 연결 전극(BE4)은 제17 콘택홀(CNT17)을 통해 제1 트랜지스터(ST1)의 소스 전극(SE1)에 접속되고, 제18 콘택홀(CNT18)을 통해 제1 금속층(BML)의 제2 커패시터 전극(CPE2)에 접속되며, 제37 콘택홀(CNT37)을 통해 제2 화소(SP2)의 제1 전극에 접속될 수 있다.
- [139] 제3 화소(SP3)의 화소 회로는 제1 내지 제3 트랜지스터(ST1, ST2, ST3)를

포함할 수 있다. 제3 화소(SP3)의 제1 트랜지스터(ST1)는 액티브 영역(ACT1), 게이트 전극(GE1), 드레인 전극(DE1), 및 소스 전극(SE1)을 포함할 수 있다. 제1 트랜지스터(ST1)의 액티브 영역(ACT1)은 액티브층(ACTL)에 배치될 수 있고, 제1 트랜지스터(ST1)의 게이트 전극(GE1)과 두께 방향(Z축 방향)으로 중첩될 수 있다.

[140] 제1 트랜지스터(ST1)의 게이트 전극(GE1)은 제2 금속층(GTL)에 배치될 수 있다. 제1 트랜지스터(ST1)의 게이트 전극(GE1)은 제1 커패시터(C1)의 제1 커패시터 전극(CPE1)의 일 부분일 수 있다. 제1 커패시터 전극(CPE1)은 제31 컨택홀(CNT31)을 통해 제3 금속층(SDL)의 제8 연결 전극(BE8)에 접속될 수 있고, 제8 연결 전극(BE8)은 제30 컨택홀(CNT30)을 통해 제2 트랜지스터(ST2)의 소스 전극(SE2)에 접속될 수 있다.

[141] 제1 트랜지스터(ST1)의 드레인 전극(DE1) 및 소스 전극(SE1)은 액티브층(ACTL)을 열처리하여 도체화될 수 있다. 제1 트랜지스터(ST1)의 드레인 전극(DE1)은 제26 컨택홀(CNT26)을 통해 제10 연결 전극(BE10)에 접속될 수 있다. 제10 연결 전극(BE10)은 제6 컨택홀(CNT6)을 통해 제1 금속층(BML)의 제1 전압 라인(VDL)에 접속될 수 있다. 제1 트랜지스터(ST1)의 드레인 전극(DE1)은 제1 전압 라인(VDL)으로부터 구동 전압을 수신할 수 있다.

[142] 제1 트랜지스터(ST1)의 소스 전극(SE1)은 제27 컨택홀(CNT27)을 통해 제3 금속층(SDL)의 제7 연결 전극(BE7)에 접속될 수 있다. 제7 연결 전극(BE7)은 제28 컨택홀(CNT28)을 통해 제1 금속층(BML)의 제2 커패시터 전극(CPE2)에 접속될 수 있다. 따라서, 제1 커패시터(C1)는 제1 커패시터 전극(CPE1) 및 제2 커패시터 전극(CPE2) 사이와 제1 커패시터 전극(CPE1) 및 제7 연결 전극(BE7) 사이에서 이중으로 형성될 수 있다.

[143] 제7 연결 전극(BE7)은 제32 컨택홀(CNT32)을 통해 제3 트랜지스터(ST3)의 소스 전극(SE3)에 접속될 수 있다. 제7 연결 전극(BE7)은 제38 컨택홀(CNT38)을 통해 제3 화소(SP2)의 제1 전극에 접속될 수 있다. 여기에서, 제3 화소(SP3)의 제1 전극은 비아층(VIA) 상에 배치될 수 있고, 제38 컨택홀(CNT38)은 비아층(VIA)을 관통하여 형성될 수 있다.

[144] 제3 화소(SP3)의 제2 트랜지스터(ST2)는 액티브 영역(ACT2), 게이트 전극(GE2), 드레인 전극(DE2), 및 소스 전극(SE2)을 포함할 수 있다. 제2 트랜지스터(ST2)의 액티브 영역(ACT2)은 액티브층(ACTL)에 배치될 수 있고, 제2 트랜지스터(ST2)의 게이트 전극(GE2)과 두께 방향(Z축 방향)으로 중첩될 수 있다.

[145] 제2 트랜지스터(ST2)의 게이트 전극(GE2)은 제2 금속층(GTL)에 배치될 수 있다. 제2 트랜지스터(ST2)의 게이트 전극(GE2)은 보조 게이트 라인(BGL)의 일 부분일 수 있다.

[146] 제2 트랜지스터(ST2)의 드레인 전극(DE2)은 제29 컨택홀(CNT29)을 통해 제2 금속층(GTL)에 배치된 제3 데이터 라인(DL3)에 접속될 수 있다. 제2

트랜지스터(ST2)의 드레인 전극(DE2)은 제3 데이터 라인(DL3)으로부터 제3 화소(SP3)의 데이터 전압을 수신할 수 있다.

- [147] 제2 트랜지스터(ST2)의 소스 전극(SE2)은 제30 컨택홀(CNT30)을 통해 제3 금속층(SDL)의 제8 연결 전극(BE8)에 접속될 수 있다. 제8 연결 전극(BE8)은 제31 컨택홀(CNT31)을 통해 제1 커패시터 전극(CPE1)에 접속됨으로써, 제1 트랜지스터(ST1)의 게이트 전극(GE)에 접속될 수 있다.
- [148] 제3 화소(SP3)의 제3 트랜지스터(ST3)는 액티브 영역(ACT3), 게이트 전극(GE3), 드레인 전극(DE3), 및 소스 전극(SE3)을 포함할 수 있다. 제3 트랜지스터(ST3)의 액티브 영역(ACT3)은 액티브층(CTL)에 배치될 수 있고, 제3 트랜지스터(ST3)의 게이트 전극(GE3)과 두께 방향(Z축 방향)으로 중첩될 수 있다.
- [149] 제3 트랜지스터(ST3)의 게이트 전극(GE3)은 제2 금속층(GTL)에 배치될 수 있다. 제3 트랜지스터(ST3)의 게이트 전극(GE3)은 보조 게이트 라인(BGL)의 일 부분일 수 있다.
- [150] 제3 트랜지스터(ST3)의 드레인 전극(DE3)은 제24 컨택홀(CNT24)을 통해 제3 금속층(SDL)의 제9 연결 전극(BE9)에 접속될 수 있다. 제9 연결 전극(BE9)은 제23 컨택홀(CNT23)을 통해 제1 금속층(BML)의 센싱 라인(SL)에 접속될 수 있다. 제3 트랜지스터(ST3)의 드레인 전극(DE3)은 센싱 라인(SL)으로부터 초기화 전압을 수신할 수 있다. 제3 트랜지스터(ST3)의 드레인 전극(DE3)은 센싱 라인(SL)에 센싱 신호를 공급할 수 있다.
- [151] 제3 트랜지스터(ST3)의 소스 전극(SE3)은 제32 컨택홀(CNT32)을 통해 제3 금속층(SDL)의 제7 연결 전극(BE7)에 접속될 수 있다. 제7 연결 전극(BE7)은 제27 컨택홀(CNT27)을 통해 제1 트랜지스터(ST1)의 소스 전극(SE1)에 접속되고, 제28 컨택홀(CNT28)을 통해 제1 금속층(BML)의 제2 커패시터 전극(CPE2)에 접속되며, 제38 컨택홀(CNT38)을 통해 제3 화소(SP3)의 제1 전극에 접속될 수 있다.
- [152] 도 8에서, 센싱 라인(SL), 제1 내지 제3 데이터 라인(DL1, DL2, DL3), 및 수직 전압 라인(VVSL)은 제1 내지 제3 화소(SP1, SP2, SP3)의 화소 회로의 우측에서 나란하게 배치될 수 있다. 센싱 라인(SL), 제1 내지 제3 데이터 라인(DL1, DL2, DL3), 및 수직 전압 라인(VVSL) 각각은 제1 내지 제5 금속 라인 중 하나일 수 있으나, 이에 한정되지 않는다. 센싱 라인(SL), 제2 데이터 라인(DL2), 및 수직 전압 라인(VVSL)은 제1 금속층(BML)에 배치될 수 있고, 제1 및 제3 데이터 라인(DL1, DL3)은 제2 금속층(GTL)에 배치될 수 있다. 센싱 라인(SL), 제1 내지 제3 데이터 라인(DL1, DL2, DL3), 및 수직 전압 라인(VVSL) 중 평면 상에서 인접한 라인들은 서로 다른 금속층에 배치될 수 있다. 예를 들어, 센싱 라인(SL), 제1 내지 제3 데이터 라인(DL1, DL2, DL3), 및 수직 전압 라인(VVSL)은 제1 및 제2 금속층(BML, GTL)에 교번적으로 배치될 수 있다. 센싱 라인(SL)과 제1 데이터 라인(DL1) 사이의 거리(L1)는 센싱 라인(SL)과 제1 데이터 라인(DL1)

사이의 평면 상 거리(L2)보다 클 수 있다. 제3 데이터 라인(DL3)과 수직 전압 라인(VVSL) 사이의 거리(L1)는 제3 데이터 라인(DL3)과 수직 전압 라인(VVSL) 사이의 평면 상 거리(L2)보다 클 수 있다. 제1 및 제3 데이터 라인(DL1, DL3)이 제2 금속층(GTL)에 배치됨으로써, 제1 금속층(BML)에 배치된 센싱 라인(SL) 및 제2 데이터 라인(DL2) 사이의 거리(L3)가 증가할 수 있고, 제2 데이터 라인(DL2) 및 수직 전압 라인(VVSL) 사이의 거리(L3)가 증가할 수 있다.

[153] 따라서, 표시 장치(10)는 금속 라인들 간의 평면 상 거리(L2)를 감소시키면서, 평면 상 인접한 금속 라인들 간의 실제 거리(L1)를 증가시킬 수 있다. 표시 장치(10)는 센싱 라인(SL), 제1 내지 제3 데이터 라인(DL1, DL2, DL3), 및 수직 전압 라인(VVSL)이 모두 제1 금속층(BML)에 배치되는 경우보다, 고해상도의 표시 장치(10)에서 금속 라인의 패턴 밀집도를 분산시켜 표시 장치(10)의 제조 공정을 용이하게 진행할 수 있다. 표시 장치(10)는 금속 라인들 간의 평면 상 거리(L2)를 상대적으로 감소시킬 수 있고, 제1 금속층(BML)에 배치된 금속 라인들(L3) 간의 거리를 상대적으로 증가시킴으로써, 화소 영역의 공간 활용도가 증가할 수 있다. 또한, 표시 장치(10)는 인접한 금속 라인들이 서로 다른 금속층에 배치됨으로써, 쇼트 불량을 방지할 수 있다.

[154] 도 9는 다른 실시예에 따른 표시 장치의 화소를 나타내는 평면도이고, 도 10은 도 9의 표시 장치에서, 금속층, 액티브층, 및 게이트층을 나타내는 평면도이다. 도 11은 도 9의 표시 장치에서, 금속층, 액티브층, 게이트층, 및 콘택홀을 나타내는 평면도이고, 도 12는 도 9의 표시 장치에서, 소스-드레인층 및 콘택홀을 나타내는 평면도이다. 도 13은 도 9의 선 II-II'을 따라 자른 단면도이다. 도 9 내지 도 13의 표시 장치는 도 4 내지 도 8의 표시 장치에서, 수평 게이트 라인(HGL), 제1 및 제3 데이터 라인(DL1, DL3)의 구성을 달리하는 것으로서, 전술한 구성과 동일한 구성은 간략히 설명하거나 생략하기로 한다.

[155] 도 9 내지 도 13을 참조하면, 제1 전압 라인(VDL)은 제1 금속층(BML)에 배치될 수 있다. 제1 전압 라인(VDL)은 제1 내지 제3 화소(SP1, SP2, SP3)의 화소 회로의 일측 또는 좌측에 배치될 수 있다. 제1 전압 라인(VDL)은 제6 콘택홀(CNT6)을 통해 제10 연결 전극(BE10)에 접속될 수 있다. 제1 전압 라인(VDL)은 제10 연결 전극(BE10)을 통해 제1 내지 제3 화소(SP1, SP2, SP3)에 구동 전압을 공급할 수 있다.

[156] 수직 게이트 라인(VGL)은 제1 금속층(BML)에 배치될 수 있다. 수직 게이트 라인(VGL)은 제1 전압 라인(VDL)의 일측 또는 좌측에 배치될 수 있다. 수직 게이트 라인(VGL)은 제1 및 제2 보조 전극(AUE1, AUE2)에 접속됨으로써, 라인 저항을 감소시킬 수 있다.

[157] 수평 게이트 라인(HGL)은 제2 금속층(GTL)에 배치될 수 있다. 수평 게이트 라인(HGL)은 제1 화소(SP1)의 화소 회로의 상측에 배치될 수 있다. 수평 게이트 라인(HGL)은 제42 콘택홀(CNT42)을 통해 수직 게이트 라인(VGL)에 접속될 수 있다. 수평 게이트 라인(HGL)은 보조 게이트 라인(BGL)과 동일 층에서 일체로

형성될 수 있다. 따라서, 표시 장치(10)는 별도의 컨택홀 없이 수평 게이트 라인(HGL) 및 보조 게이트 라인(BGL)을 접속시킬 수 있고, 설계 마진을 확보할 수 있다. 표시 장치(10)는 수평 게이트 라인(HGL) 및 보조 게이트 라인(BGL)을 동일 층에 형성함으로써, 서로 다른 금속층 간의 컨택 불량을 방지할 수 있다. 수평 게이트 라인(HGL)은 수직 게이트 라인(VGL)으로부터 수신된 게이트 신호를 보조 게이트 라인(BGL)에 공급할 수 있다.

- [158] 보조 게이트 라인(BGL)은 제2 금속층(GTL)에 배치될 수 있다. 보조 게이트 라인(BGL)은 제1 내지 제3 화소(SP1, SP2, SP3)의 화소 회로의 타측 또는 우측에 배치될 수 있다. 보조 게이트 라인(BGL)은 수평 게이트 라인(HGL)으로부터 분지되어 제2 방향(Y축 방향)의 반대 방향으로 연장될 수 있다. 보조 게이트 라인(BGL)은 수평 게이트 라인(HGL)과 일체로 형성됨으로써, 별도의 컨택홀 없이 수평 게이트 라인(HGL)에 접속될 수 있다. 보조 게이트 라인(BGL)은 수평 게이트 라인(HGL)으로부터 수신된 게이트 신호를 제1 내지 제3 화소(SP1, SP2, SP3)의 화소 회로에 공급할 수 있다.
- [159] 수평 전압 라인(HVDL)은 제3 금속층(SDL)에 배치될 수 있다. 수평 전압 라인(HVDL)은 수평 게이트 라인(HGL)의 상측에 배치될 수 있다. 수평 전압 라인(HVDL)은 제1 전압 라인(VDL)으로부터 구동 전압을 수신할 수 있다. 수평 전압 라인(HVDL)은 구동 전압을 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 정렬 전극에 공급할 수 있다.
- [160] 수직 전압 라인(VVSL)은 제1 금속층(BML)에 배치될 수 있다. 수직 전압 라인(VVSL)은 제3 데이터 라인(DL3)의 타측 또는 우측에 배치될 수 있다. 수직 전압 라인(VVSL)은 제5 컨택홀(CNT5)을 통해 제3 금속층(SDL)의 제2 전압 라인(VSL)에 접속될 수 있다. 따라서, 수직 전압 라인(VVSL)은 제2 전압 라인(VSL)에 저전위 전압을 공급할 수 있다.
- [161] 제2 전압 라인(VSL)은 제3 금속층(SDL)에 배치될 수 있다. 제2 전압 라인(VSL)은 제2 화소(SP2)의 화소 회로의 하측에 배치될 수 있다. 제2 전압 라인(VSL)은 수직 전압 라인(VVSL)으로부터 수신된 저전위 전압을 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 제2 전극에 공급할 수 있다.
- [162] 센싱 라인(SL)은 제1 금속층(BML)에 배치될 수 있다. 센싱 라인(SL)은 보조 게이트 라인(BGL)의 타측 또는 우측에 배치될 수 있다. 센싱 라인(SL)은 제13 컨택홀(CNT13)을 통해 제3 연결 전극(BE3)에 접속될 수 있다. 제3 연결 전극(BE3)은 제14 컨택홀(CNT14)을 통해 제1 화소(SP1)의 제3 트랜지스터(ST3)의 드레인 전극(DE3)에 접속될 수 있다. 센싱 라인(SL)은 제23 컨택홀(CNT23)을 통해 제9 연결 전극(BE9)에 접속될 수 있다. 제9 연결 전극(BE9)은 제24 컨택홀(CNT24)을 통해 제2 화소(SP2)의 제3 트랜지스터(ST3)의 드레인 전극(DE3) 및 제3 화소(SP3)의 제3 트랜지스터(ST3)의 드레인 전극(DE3)에 접속될 수 있다. 따라서, 센싱 라인(SL)은 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 제3 트랜지스터(ST3)에

초기화 전압을 공급할 수 있고, 제3 트랜지스터(ST3)로부터 센싱 신호를 수신할 수 있다.

- [163] 제1 데이터 라인(DL1)은 제1 금속층(BML)에 배치될 수 있다. 제1 데이터 라인(DL1)은 센싱 라인(SL)의 타측 또는 우측에 배치될 수 있다. 제1 데이터 라인(DL1)은 제43 컨택홀(CNT43)을 통해 제11 연결 전극(BE11)에 접속될 수 있고, 제11 연결 전극(BE11)은 제44 컨택홀(CNT44)을 통해 제1 화소(SP1)의 제2 트랜지스터(ST2)의 드레인 전극(DE2)에 접속될 수 있다. 따라서, 제1 데이터 라인(DL1)은 데이터 전압을 제1 화소(SP1)의 제2 트랜지스터(ST2)에 공급할 수 있다.
- [164] 제2 데이터 라인(DL2)은 제1 금속층(BML)에 배치될 수 있다. 제2 데이터 라인(DL2)은 제1 데이터 라인(DL1)의 타측 또는 우측에 배치될 수 있다. 제2 데이터 라인(DL2)은 제19 컨택홀(CNT19)을 통해 제3 금속층(SDL)의 제5 연결 전극(BE5)에 접속될 수 있고, 제5 연결 전극(BE5)은 제20 컨택홀(CNT20)을 통해 제2 화소(SP2)의 제2 트랜지스터(ST2)의 드레인 전극(DE2)에 접속될 수 있다. 따라서, 제2 데이터 라인(DL2)은 데이터 전압을 제2 화소(SP2)의 제2 트랜지스터(ST2)에 공급할 수 있다.
- [165] 제3 데이터 라인(DL3)은 제1 금속층(BML)에 배치될 수 있다. 제3 데이터 라인(DL3)은 제2 데이터 라인(DL2)의 타측 또는 우측에 배치될 수 있다. 제3 데이터 라인(DL3)은 제45 컨택홀(CNT45)을 통해 제12 연결 전극(BE12)에 접속될 수 있고, 제12 연결 전극(BE12)은 제46 컨택홀(CNT46)을 통해 제3 화소(SP3)의 제2 트랜지스터(ST2)의 드레인 전극(DE2)에 접속될 수 있다. 따라서, 제3 데이터 라인(DL3)은 데이터 전압을 제3 화소(SP3)의 제2 트랜지스터(ST2)에 공급할 수 있다.
- [166] 도 14는 또 다른 실시예에 따른 표시 장치의 화소를 나타내는 평면도이고, 도 15는 도 14의 표시 장치에서, 금속층, 액티브층, 및 게이트층을 나타내는 평면도이다. 도 16은 도 14의 표시 장치에서, 금속층, 액티브층, 게이트층, 및 컨택홀을 나타내는 평면도이고, 도 17은 도 14의 표시 장치에서, 소스-드레인층 및 컨택홀을 나타내는 평면도이다. 도 18은 도 14의 선 III-III'을 따라 자른 단면도이다. 도 14 내지 도 18의 표시 장치는 도 4 내지 도 8의 표시 장치에서, 제1 및 제3 데이터 라인(DL1, DL3)의 구성을 달리하는 것으로서, 전술한 구성과 동일한 구성은 간략히 설명하거나 생략하기로 한다.
- [167] 도 14 내지 도 18을 참조하면, 제1 전압 라인(VDL)은 제1 금속층(BML)에 배치될 수 있다. 제1 전압 라인(VDL)은 제1 내지 제3 화소(SP1, SP2, SP3)의 화소 회로의 일측 또는 좌측에 배치될 수 있다. 제1 전압 라인(VDL)은 제6 컨택홀(CNT6)을 통해 제10 연결 전극(BE10)에 접속될 수 있다. 제1 전압 라인(VDL)은 제10 연결 전극(BE10)을 통해 제1 내지 제3 화소(SP1, SP2, SP3)에 구동 전압을 공급할 수 있다.
- [168] 수직 게이트 라인(VGL)은 제1 금속층(BML)에 배치될 수 있다. 수직 게이트

라인(VGL)은 제1 전압 라인(VDL)의 일측 또는 좌측에 배치될 수 있다. 수직 게이트 라인(VGL)은 제1 및 제2 보조 전극(AUE1, AUE2)에 접속됨으로써, 라인 저항을 감소시킬 수 있다.

- [169] 수평 게이트 라인(HGL)은 제3 금속층(SDL)에 배치될 수 있다. 수평 게이트 라인(HGL)은 제1 화소(SP1)의 화소 회로의 상측에 배치될 수 있다. 수평 게이트 라인(HGL)은 수직 게이트 라인(VGL)과 보조 게이트 라인(BGL) 사이에 접속될 수 있다. 수평 게이트 라인(HGL)은 제3 컨택홀(CNT3)을 통해 수직 게이트 라인(VGL)에 접속될 수 있고, 제4 컨택홀(CNT4)을 통해 보조 게이트 라인(BGL)에 접속될 수 있다. 수평 게이트 라인(HGL)은 수직 게이트 라인(VGL)으로부터 수신된 게이트 신호를 보조 게이트 라인(BGL)에 공급할 수 있다.
- [170] 보조 게이트 라인(BGL)은 제2 금속층(GTL)에 배치될 수 있다. 보조 게이트 라인(BGL)은 제1 내지 제3 화소(SP1, SP2, SP3)의 화소 회로의 타측 또는 우측에 배치될 수 있다. 보조 게이트 라인(BGL)은 수평 게이트 라인(HGL)으로부터 수신된 게이트 신호를 제1 내지 제3 화소(SP1, SP2, SP3)의 화소 회로에 공급할 수 있다.
- [171] 수평 전압 라인(HVDL)은 제3 금속층(SDL)에 배치될 수 있다. 수평 전압 라인(HVDL)은 수평 게이트 라인(HGL)의 상측에 배치될 수 있다. 수평 전압 라인(HVDL)은 제1 전압 라인(VDL)으로부터 구동 전압을 수신할 수 있다. 수평 전압 라인(HVDL)은 구동 전압을 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 정렬 전극에 공급할 수 있다.
- [172] 수직 전압 라인(VVSL)은 제1 금속층(BML)에 배치될 수 있다. 수직 전압 라인(VVSL)은 제3 데이터 라인(DL3)의 타측 또는 우측에 배치될 수 있다. 수직 전압 라인(VVSL)은 제5 컨택홀(CNT5)을 통해 제3 금속층(SDL)의 제2 전압 라인(VSL)에 접속될 수 있다. 따라서, 수직 전압 라인(VVSL)은 제2 전압 라인(VSL)에 저전위 전압을 공급할 수 있다.
- [173] 제2 전압 라인(VSL)은 제3 금속층(SDL)에 배치될 수 있다. 제2 전압 라인(VSL)은 제2 화소(SP2)의 화소 회로의 하측에 배치될 수 있다. 제2 전압 라인(VSL)은 수직 전압 라인(VVSL)으로부터 수신된 저전위 전압을 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 제2 전극에 공급할 수 있다.
- [174] 센싱 라인(SL)은 제1 금속층(BML)에 배치될 수 있다. 센싱 라인(SL)은 보조 게이트 라인(BGL)의 타측 또는 우측에 배치될 수 있다. 센싱 라인(SL)은 제13 컨택홀(CNT13)을 통해 제3 연결 전극(BE3)에 접속될 수 있다. 제3 연결 전극(BE3)은 제14 컨택홀(CNT14)을 통해 제1 화소(SP1)의 제3 트랜지스터(ST3)의 드레인 전극(DE3)에 접속될 수 있다. 센싱 라인(SL)은 제23 컨택홀(CNT23)을 통해 제9 연결 전극(BE9)에 접속될 수 있다. 제9 연결 전극(BE9)은 제24 컨택홀(CNT24)을 통해 제2 화소(SP2)의 제3 트랜지스터(ST3)의 드레인 전극(DE3) 및 제3 화소(SP3)의 제3

트랜지스터(ST3)의 드레인 전극(DE3)에 접속될 수 있다. 따라서, 센싱 라인(SL)은 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 제3 트랜지스터(ST3)에 초기화 전압을 공급할 수 있고, 제3 트랜지스터(ST3)로부터 센싱 신호를 수신할 수 있다.

- [175] 제1 데이터 라인(DL1)은 제1 금속층(BML)에 배치될 수 있다. 제1 데이터 라인(DL1)은 센싱 라인(SL)의 타측 또는 우측에 배치될 수 있다. 제1 데이터 라인(DL1)은 제43 콘택홀(CNT43)을 통해 제11 연결 전극(BE11)에 접속될 수 있고, 제11 연결 전극(BE11)은 제44 콘택홀(CNT44)을 통해 제1 화소(SP1)의 제2 트랜지스터(ST2)의 드레인 전극(DE2)에 접속될 수 있다. 따라서, 제1 데이터 라인(DL1)은 데이터 전압을 제1 화소(SP1)의 제2 트랜지스터(ST2)에 공급할 수 있다.
- [176] 제2 데이터 라인(DL2)은 제1 금속층(BML)에 배치될 수 있다. 제2 데이터 라인(DL2)은 제1 데이터 라인(DL1)의 타측 또는 우측에 배치될 수 있다. 제2 데이터 라인(DL2)은 제19 콘택홀(CNT19)을 통해 제3 금속층(SDL)의 제5 연결 전극(BE5)에 접속될 수 있고, 제5 연결 전극(BE5)은 제20 콘택홀(CNT20)을 통해 제2 화소(SP2)의 제2 트랜지스터(ST2)의 드레인 전극(DE2)에 접속될 수 있다. 따라서, 제2 데이터 라인(DL2)은 데이터 전압을 제2 화소(SP2)의 제2 트랜지스터(ST2)에 공급할 수 있다.
- [177] 제3 데이터 라인(DL3)은 제1 금속층(BML)에 배치될 수 있다. 제3 데이터 라인(DL3)은 제2 데이터 라인(DL2)의 타측 또는 우측에 배치될 수 있다. 제3 데이터 라인(DL3)은 제45 콘택홀(CNT45)을 통해 제12 연결 전극(BE12)에 접속될 수 있고, 제12 연결 전극(BE12)은 제46 콘택홀(CNT46)을 통해 제3 화소(SP3)의 제2 트랜지스터(ST2)의 드레인 전극(DE2)에 접속될 수 있다. 따라서, 제3 데이터 라인(DL3)은 데이터 전압을 제3 화소(SP3)의 제2 트랜지스터(ST2)에 공급할 수 있다.
- [178] 도 19는 일 실시예에 따른 표시 장치의 발광 소자층을 나타내는 평면도이고, 도 20은 도 19의 선 IV-IV'을 따라 자른 단면도이다.
- [179] 도 19 및 도 20을 참조하면, 표시 장치(10)의 발광 소자층은 제1 및 제2 뱅크 패턴(BP1, BP2), 제1 및 제2 전극(RME1, RME2), 제1 절연막(PAS1), 뱅크층(BNL), 제2 절연막(PAS2), 제1 내지 제3 접촉 전극(CTE1, CTE2, CTE3), 제3 절연막(PAS3)을 포함할 수 있다.
- [180] 제1 뱅크 패턴(BP1)은 발광 영역(EMA)의 중심부에서 배치되고, 제2 뱅크 패턴들(BP2)은 제1 뱅크 패턴(BP1)을 사이에 두고 서로 이격될 수 있다. 제1 및 제2 뱅크 패턴(BP1, BP2)은 제1 방향(X축 방향)을 따라 교번적으로 배치될 수 있다. 복수의 발광 소자(ED)는 제1 및 제2 뱅크 패턴(BP1, BP2)이 이격된 사이에 배치될 수 있다.
- [181] 제1 뱅크 패턴(BP1)과 제2 뱅크 패턴(BP2)은 제2 방향(Y축 방향)의 길이는 동일할 수 있고, 제1 방향(X축 방향)의 길이는 서로 다를 수 있다. 뱅크층(BNL)

중 제2 방향(Y축 방향)으로 연장된 부분은 제2 뱅크 패턴(BP2)과 두께 방향으로 중첩될 수 있다. 제1 및 제2 뱅크 패턴(BP1, BP2)은 표시 영역(DA)의 전면에서 섬형 패턴으로 배치될 수 있다.

[182] 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 제1 및 제2 전극(RME1, RME2)은 비아층(VIA) 상에 배치될 수 있다. 제1 화소(SP1)의 제1 전극(RME1)은 화소 영역의 중앙에서 제2 방향(Y축 방향)으로 연장될 수 있다. 제1 화소(SP1)의 제2 전극(RME2)은 화소 영역의 좌측 및 우측에서 제2 방향(Y축 방향)으로 연장될 수 있다. 제2 화소(SP2)의 제1 전극(RME1)은 화소 영역의 중앙에서 제2 방향(Y축 방향)으로 연장될 수 있다. 제2 화소(SP2)의 제2 전극(RME2)은 화소 영역의 좌측 및 우측에서 제2 방향(Y축 방향)으로 연장될 수 있다. 제3 화소(SP3)의 제1 전극(RME1)은 화소 영역의 중앙에서 제2 방향(Y축 방향)으로 연장될 수 있다. 제3 화소(SP3)의 제2 전극(RME2)은 화소 영역의 좌측 및 우측에서 제2 방향(Y축 방향)으로 연장될 수 있다. 제1 화소(SP1)의 우측에 배치된 제2 전극(RME2)은 제2 화소(SP2)의 좌측에 배치된 제2 전극(RME2)과 일체로 형성될 수 있다. 제2 화소(SP2)의 우측에 배치된 제2 전극(RME2)은 제3 화소(SP3)의 좌측에 배치된 제2 전극(RME2)과 일체로 형성될 수 있다.

[183] 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 제1 전극(RME1)의 일단은 분리부(ROP)에 의해 정렬 전극으로부터 분리될 수 있다. 여기에서, 정렬 전극은 제33 내지 제35 컨택홀(CNT33, CNT34, CNT35)을 통해 수평 전압 라인(HVDL)에 접속된 부분을 의미하며, 정렬 전극과 제1 전극(RME1)은 발광 소자(ED)의 정렬 과정에서 접속될 수 있다. 정렬 전극과 제1 전극(RME1)은 발광 소자(ED)의 정렬 과정이 완료된 후, 분리부(ROP)에 의해 분리될 수 있다.

[184] 복수의 제1 발광 소자(ED1)는 제1 전극(RME1) 및 우측의 제2 전극(RME2) 사이에 정렬될 수 있다. 제1 절연막(PAS1)은 제1 및 제2 전극(RME1, RME2)을 덮을 수 있다. 제1 발광 소자(ED1)는 제1 절연막(PAS1)에 의해 제1 및 제2 전극(RME1, RME2)으로부터 절연될 수 있다. 제1 전극(RME1) 및 정렬 전극이 분리부(ROP)에 의해 절단되기 전에, 제1 및 제2 전극(RME1, RME2) 각각은 정렬 신호를 수신할 수 있고, 전계가 제1 및 제2 전극(RME1, RME2) 사이에 형성될 수 있다. 예를 들어, 복수의 제1 발광 소자(ED1)는 잉크젯 프린팅 공정을 통해 제1 및 제2 전극(RME1, RME2) 상에 분사될 수 있고, 잉크 내에 분산된 복수의 제1 발광 소자(ED1)는 제1 및 제2 전극(RME1, RME2) 사이에 형성된 전계에 의해 유전영동 힘(Dielectrophoresis Force)을 받아 정렬될 수 있다.

[185] 복수의 제2 발광 소자(ED2)는 제1 전극(RME1) 및 좌측의 제2 전극(RME2) 사이에 정렬될 수 있다. 제1 전극(RME1) 및 정렬 전극이 분리부(ROP)에 의해 절단되기 전에, 제1 및 제2 전극(RME1, RME2) 각각은 정렬 신호를 수신할 수 있고, 전계가 제1 및 제2 전극(RME1, RME2) 사이에 형성될 수 있다. 예를 들어, 복수의 제2 발광 소자(ED2)는 잉크젯 프린팅 공정을 통해 제1 및 제2 전극(RME1, RME2) 상에 분사될 수 있고, 잉크 내에 분산된 복수의 제1 발광

소자(ED1)는 제1 및 제2 전극(RME1, RME2) 사이에 형성된 전계에 의해 유전영동 힘(Dielectrophoresis Force)을 받아 정렬될 수 있다.

- [186] 제1 화소(SP1)의 제1 전극(RME1)은 제36 콘택홀(CNT36)을 통해 제3 금속층(SDL)의 제1 연결 전극(BE1)에 접속될 수 있다. 제1 전극(RME1)은 제1 연결 전극(BE1)으로부터 제1 트랜지스터(ST1)를 통과한 구동 전류를 수신할 수 있다. 제1 전극(RME1)은 제1 화소(SP1)의 복수의 제1 발광 소자(ED1)에 구동 전류를 공급할 수 있다.
- [187] 제1 화소(SP1)의 제2 전극(RME2)은 제39 콘택홀(CNT39)을 통해 제3 금속층(SDL)의 제2 전압 라인(VSL)에 접속될 수 있다. 따라서, 제1 화소(SP1)의 제2 전극(RME2)은 제2 전압 라인(VSL)으로부터 저전위 전압을 수신할 수 있다.
- [188] 제2 화소(SP2)의 제1 전극(RME1)은 제37 콘택홀(CNT37)을 통해 제3 금속층(SDL)의 제4 연결 전극(BE4)에 접속될 수 있다. 제1 전극(RME1)은 제4 연결 전극(BE4)으로부터 제1 트랜지스터(ST1)를 통과한 구동 전류를 수신할 수 있다. 제1 전극(RME1)은 제2 화소(SP2)의 복수의 제1 발광 소자(ED1)에 구동 전류를 공급할 수 있다.
- [189] 제2 화소(SP2)의 제2 전극(RME2)은 제40 콘택홀(CNT40)을 통해 제3 금속층(SDL)의 제2 전압 라인(VSL)에 접속될 수 있다. 따라서, 제2 화소(SP2)의 제2 전극(RME2)은 제2 전압 라인(VSL)으로부터 저전위 전압을 수신할 수 있다.
- [190] 제3 화소(SP3)의 제1 전극(RME1)은 제38 콘택홀(CNT38)을 통해 제3 금속층(SDL)의 제7 연결 전극(BE7)에 접속될 수 있다. 제1 전극(RME1)은 제7 연결 전극(BE7)으로부터 제1 트랜지스터(ST1)를 통과한 구동 전류를 수신할 수 있다. 제1 전극(RME1)은 제3 화소(SP3)의 복수의 제1 발광 소자(ED1)에 구동 전류를 공급할 수 있다.
- [191] 제3 화소(SP3)의 제2 전극(RME2)은 제41 콘택홀(CNT41)을 통해 제3 금속층(SDL)의 제2 전압 라인(VSL)에 접속될 수 있다. 따라서, 제3 화소(SP3)의 제2 전극(RME2)은 제2 전압 라인(VSL)으로부터 저전위 전압을 수신할 수 있다.
- [192] 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 제1 내지 제3 접촉 전극(CTE1, CTE2, CTE3)은 제1 전극(RME1) 및 제2 전극(RME2) 상에 배치될 수 있다. 제2 절연막(PAS2)은 बैं크층(BNL), 제1 절연막(PAS1), 및 발광 소자(ED)의 중앙부의 상부에 배치될 수 있다. 제3 절연막(PAS3)은 제2 접촉 전극(CTE2)을 덮을 수 있다. 제2 및 제3 절연막(PAS2)은 제1 및 제2 접촉 전극(CTE1, CTE2)을 절연시킬 수 있고, 제2 및 제3 접촉 전극(CTE2, CTE3)을 절연시킬 수 있다.
- [193] 제1 접촉 전극(CTE1)은 제1 전극(RME1) 상에 배치되고, 제47 콘택홀(CNT47)을 통해 제1 전극(RME1)에 접속될 수 있다. 제1 접촉 전극(CTE1)은 제1 전극(RME1)과 복수의 제1 발광 소자(ED1) 사이에 접속될 수 있다. 제1 접촉 전극(CTE1)은 복수의 제1 발광 소자(ED1)의 애노드 전극에 해당할 수 있으나, 이에 한정되지 않는다.
- [194] 제2 접촉 전극(CTE2)은 제1 및 제2 전극(RME1, RME2) 상에 배치되고, 제1 및

제2 전극(RME1, RME2)과 절연될 수 있다. 제2 접촉 전극(CTE2)의 제1 부분은 우측의 제2 전극(RME2) 상에 배치되어 제2 방향(Y축 방향)으로 연장될 수 있다. 제2 접촉 전극(CTE2)의 제2 부분은 제1 부분의 하측으로부터 절곡되어 제1 방향(X축 방향)의 반대 방향으로 연장될 수 있다. 제2 접촉 전극(CTE2)의 제3 부분은 제2 부분의 좌측으로부터 절곡되어 제2 방향(Y축 방향)으로 연장될 수 있고, 제1 전극(RME1) 상에 배치될 수 있다.

- [195] 제2 접촉 전극(CTE2)은 복수의 제1 발광 소자(ED1)와 복수의 제2 발광 소자(ED2) 사이에 접속될 수 있다. 제2 접촉 전극(CTE2)은 도 3의 제3 노드(N3)에 해당할 수 있다. 제2 접촉 전극(CTE2)은 복수의 제1 발광 소자(ED1)의 캐소드 전극에 해당할 수 있으나, 이에 한정되지 않는다. 제2 접촉 전극(CTE2)은 복수의 제2 발광 소자(ED2)의 애노드 전극에 해당할 수 있으나, 이에 한정되지 않는다.
- [196] 제3 접촉 전극(CTE3)은 좌측의 제2 전극(RME2) 상에 배치되고, 제48 컨택홀(CNT48)을 통해 제2 전극(RME2)에 접속될 수 있다. 제3 접촉 전극(CTE3)은 복수의 제2 발광 소자(ED2)와 제2 전극(RME2) 사이에 접속될 수 있다. 제3 접촉 전극(CTE3)은 복수의 제2 발광 소자(ED2)의 캐소드 전극에 해당할 수 있으나, 이에 한정되지 않는다. 제3 접촉 전극(CTE3)은 제2 전극(RME2)을 통해 저전위 전압을 수신할 수 있다.
- [197] 박막 트랜지스터(TFT)는 액티브 영역(ACT), 게이트 전극(GE), 드레인 전극(DE), 및 소스 전극(SE)을 포함할 수 있다. 박막 트랜지스터(TFT)의 드레인 전극(DE)은 연결 전극(BE)을 통해 제1 전극층(BML)의 제1 전압 라인(VDL)으로부터 구동 전압을 수신할 수 있다. 박막 트랜지스터(TFT)의 소스 전극(SE)은 연결 전극(BE)을 통해 제1 내지 제3 화소(SP1, SP2, SP3)의 제2 전극(RME2)에 접속될 수 있다. 여기에서, 박막 트랜지스터(TFT)는 제1 내지 제3 화소(SP1, SP2, SP3) 각각의 화소 회로를 구성할 수 있다.
- [198] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

청구범위

- [청구항 1] 기관;
 상기 기관 상에 배치되어 화소 회로를 포함하는 제1 내지 제3 화소;
 상기 기관 상의 제1 금속층에 배치되고, 상기 제1 내지 제3 화소의 화소 회로의 제1 측에서 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로 중 적어도 하나에 접속되는 제1 금속 라인;
 상기 제1 금속층 상의 제2 금속층에 배치되고, 상기 제1 금속 라인의 제1 측에서 상기 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로 중 적어도 하나에 접속되는 제2 금속 라인; 및
 상기 제1 금속층에 배치되고, 상기 제2 금속 라인의 제1 측에서 상기 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로 중 적어도 하나에 접속되는 제3 금속 라인을 포함하고,
 상기 제1 내지 제3 금속 라인은 상기 제1 내지 제3 화소의 화소 회로에 소정의 전압을 공급하는 표시 장치.
- [청구항 2] 제1 항에 있어서,
 상기 제1 금속 라인은 상기 제1 내지 제3 화소의 화소 회로에 초기화 전압을 공급하는 표시 장치.
- [청구항 3] 제1 항에 있어서,
 상기 제2 금속 라인은 상기 제1 화소의 화소 회로에 데이터 전압을 공급하고, 상기 제3 금속 라인은 상기 제2 화소의 화소 회로에 데이터 전압을 공급하는 표시 장치.
- [청구항 4] 제1 항에 있어서,
 상기 제2 금속 라인은 상기 제1 화소의 화소 회로에 직접 연결되고, 상기 제3 금속 라인은 상기 제2 금속층 상의 제3 금속층에 배치된 연결 전극을 통해 상기 제2 화소의 화소 회로에 전기적으로 연결되는 표시 장치.
- [청구항 5] 제1 항에 있어서,
 상기 제2 금속층에 배치되고, 상기 제3 금속 라인의 제1 측에서 상기 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로 중 적어도 하나에 접속되는 제4 금속 라인을 더 포함하고,
 상기 제4 금속 라인은 상기 제3 화소의 화소 회로에 데이터 전압을 공급하는 표시 장치.
- [청구항 6] 제5 항에 있어서,
 상기 제1 금속층에 배치되고, 상기 제4 금속 라인의 제1 측에서 상기 제1 방향으로 연장되는 제5 금속 라인을 더 포함하는 표시 장치.
- [청구항 7] 제6 항에 있어서,
 상기 제1 금속층에 배치되고, 상기 제1 내지 제3 화소의 화소 회로의 제1 측에 반대되는 제2 측에서 상기 제1 방향으로 연장되어 상기 제1 내지 제3

화소의 화소 회로에 구동 전압을 공급하는 제1 전압 라인을 더 포함하는 표시 장치.

[청구항 8] 제7 항에 있어서,
상기 제2 금속층 상의 제3 금속층에 배치되고, 상기 제1 내지 제3 화소의 화소 회로의 제1 측에 인접한 제3 측에서 상기 제1 방향과 교차하는 제2 방향으로 연장되며, 상기 제5 금속 라인으로부터 저전위 전압을 수신하는 제2 전압 라인을 더 포함하는 표시 장치.

[청구항 9] 기판;
상기 기판 상에 배치되어 화소 회로를 포함하는 제1 내지 제3 화소;
상기 기판 상의 제1 금속층에 배치되고, 상기 제1 내지 제3 화소의 화소 회로의 제1 측에서 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로 중 적어도 하나에 접속되는 데이터 라인;
상기 제1 금속층에 배치되고, 상기 제1 내지 제3 화소의 화소 회로의 상기 제1 측에 반대되는 제2 측에서 상기 제1 방향으로 연장되는 수직 게이트 라인;
상기 제1 금속층 상의 제2 금속층에 배치되고, 상기 제1 내지 제3 화소의 화소 회로의 상기 제2 측에 인접한 제3 측에서 상기 제1 방향과 교차하는 제2 방향으로 연장되는 수평 게이트 라인; 및
상기 제2 금속층에서 상기 수평 게이트 라인으로부터 분지되어 상기 제1 방향으로 연장되어, 상기 제1 내지 제3 화소의 화소 회로에 게이트 신호를 공급하는 보조 게이트 라인을 포함하는 표시 장치.

[청구항 10] 제9 항에 있어서,
상기 기판의 일측에 배치되어 상기 데이터 라인에 데이터 전압을 공급하는 표시 구동부를 더 포함하고,
상기 표시 구동부는 상기 수직 게이트 라인 및 상기 수평 게이트 라인을 경유하여 상기 보조 게이트 라인에 게이트 신호를 공급하는 표시 장치.

[청구항 11] 제9 항에 있어서,
상기 제1 금속층에 배치되고, 상기 보조 게이트 라인과 상기 데이터 라인 사이에서 상기 제1 방향으로 연장되는 센싱 라인을 더 포함하는 표시 장치.

[청구항 12] 제11 항에 있어서,
상기 데이터 라인은,
상기 센싱 라인의 제1 측에 배치되어 상기 제1 화소의 화소 회로에 데이터 전압을 공급하는 제1 데이터 라인;
상기 제1 데이터 라인의 제1 측에 배치되어 상기 제2 화소의 화소 회로에 데이터 전압을 공급하는 제2 데이터 라인; 및
상기 제2 데이터 라인의 제1 측에 배치되어 상기 제3 화소의 화소 회로에 데이터 전압을 공급하는 제3 데이터 라인을 포함하는 표시 장치.

- [청구항 13] 제9 항에 있어서,
상기 데이터 라인은 상기 제2 금속층 상의 제3 금속층에 배치된 연결 전극을 통해 상기 제1 내지 제3 화소의 화소 회로에 전기적으로 연결되는 표시 장치.
- [청구항 14] 기판;
상기 기판 상에 배치되어 화소 회로를 포함하는 제1 내지 제3 화소;
상기 제1 내지 제3 화소의 화소 회로의 제1 측에서 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로에 초기화 전압을 공급하는 센싱 라인;
상기 센싱 라인의 제1 측에서 상기 제1 방향으로 연장되어 상기 제1 내지 제3 화소의 화소 회로 중 적어도 하나에 데이터 전압을 공급하는 데이터 라인;
상기 제1 내지 제3 화소의 화소 회로의 상기 제1 측에 반대되는 제2 측에서 상기 제1 방향으로 연장되고, 상기 제1 내지 제3 화소의 화소 회로에 구동 전압을 공급하는 제1 전압 라인;
상기 제1 전압 라인의 제2 측에서 상기 제1 방향으로 연장되는 수직 게이트 라인;
상기 제1 내지 제3 화소의 화소 회로의 상기 제2 측에 인접한 제3 측에서 상기 제1 방향과 교차하는 제2 방향으로 연장되며, 상기 수직 게이트 라인으로부터 게이트 신호를 수신하는 수평 게이트 라인; 및
상기 수평 게이트 라인으로부터 상기 제1 방향으로 연장되어, 상기 수평 게이트 라인으로부터 수신된 게이트 신호를 상기 제1 내지 제3 화소의 화소 회로에 공급하는 보조 게이트 라인을 포함하는 표시 장치.
- [청구항 15] 제14 항에 있어서,
상기 데이터 라인은,
상기 센싱 라인의 제1 측에 배치되어 상기 제1 화소의 화소 회로에 데이터 전압을 공급하는 제1 데이터 라인;
상기 제1 데이터 라인의 제1 측에 배치되어 상기 제2 화소의 화소 회로에 데이터 전압을 공급하는 제2 데이터 라인; 및
상기 제2 데이터 라인의 제1 측에 배치되어 상기 제3 화소의 화소 회로에 데이터 전압을 공급하는 제3 데이터 라인을 포함하는 표시 장치.
- [청구항 16] 제15 항에 있어서,
상기 센싱 라인은 상기 기판 상의 제1 금속층에 배치되고,
상기 제1 데이터 라인은 상기 제1 금속층 상의 제2 금속층에 배치되는 표시 장치.
- [청구항 17] 제16 항에 있어서,
상기 센싱 라인은 상기 제2 금속층 상의 제3 금속층에 배치된 연결 전극을 통해 상기 제1 내지 제3 화소의 화소 회로에 전기적으로 연결되고,

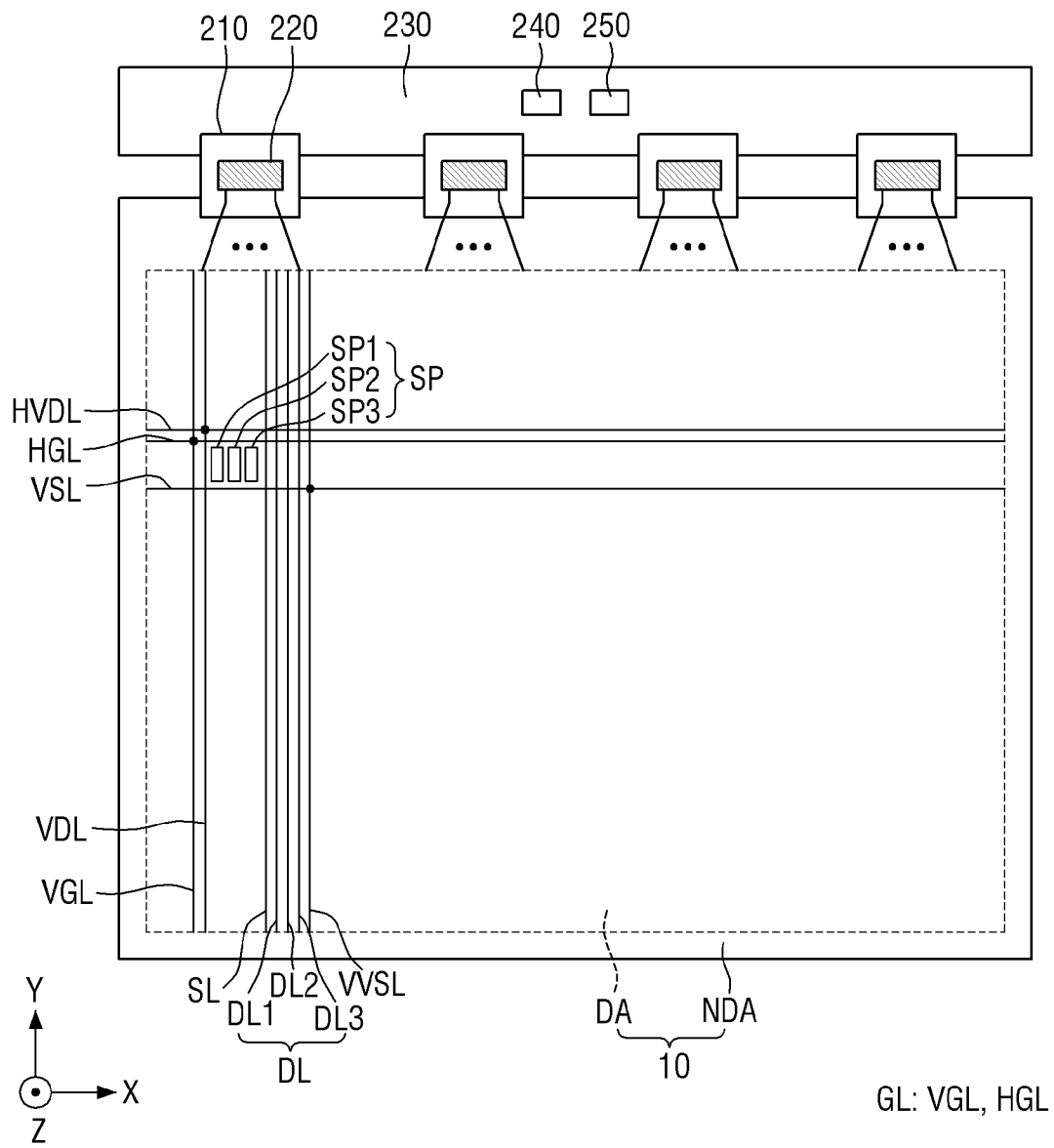
상기 제1 데이터 라인은 상기 제1 화소의 화소 회로에 직접 연결되는 표시 장치.

[청구항 18] 제17 항에 있어서,
상기 제2 데이터 라인은 상기 제1 금속층에 배치되어, 상기 제3 금속층에 배치된 연결 전극을 통해 상기 제2 화소의 화소 회로에 전기적으로 연결되고,
상기 제3 데이터 라인은 상기 제2 금속층에 배치되어 상기 제3 화소의 화소 회로에 직접 연결되는 표시 장치.

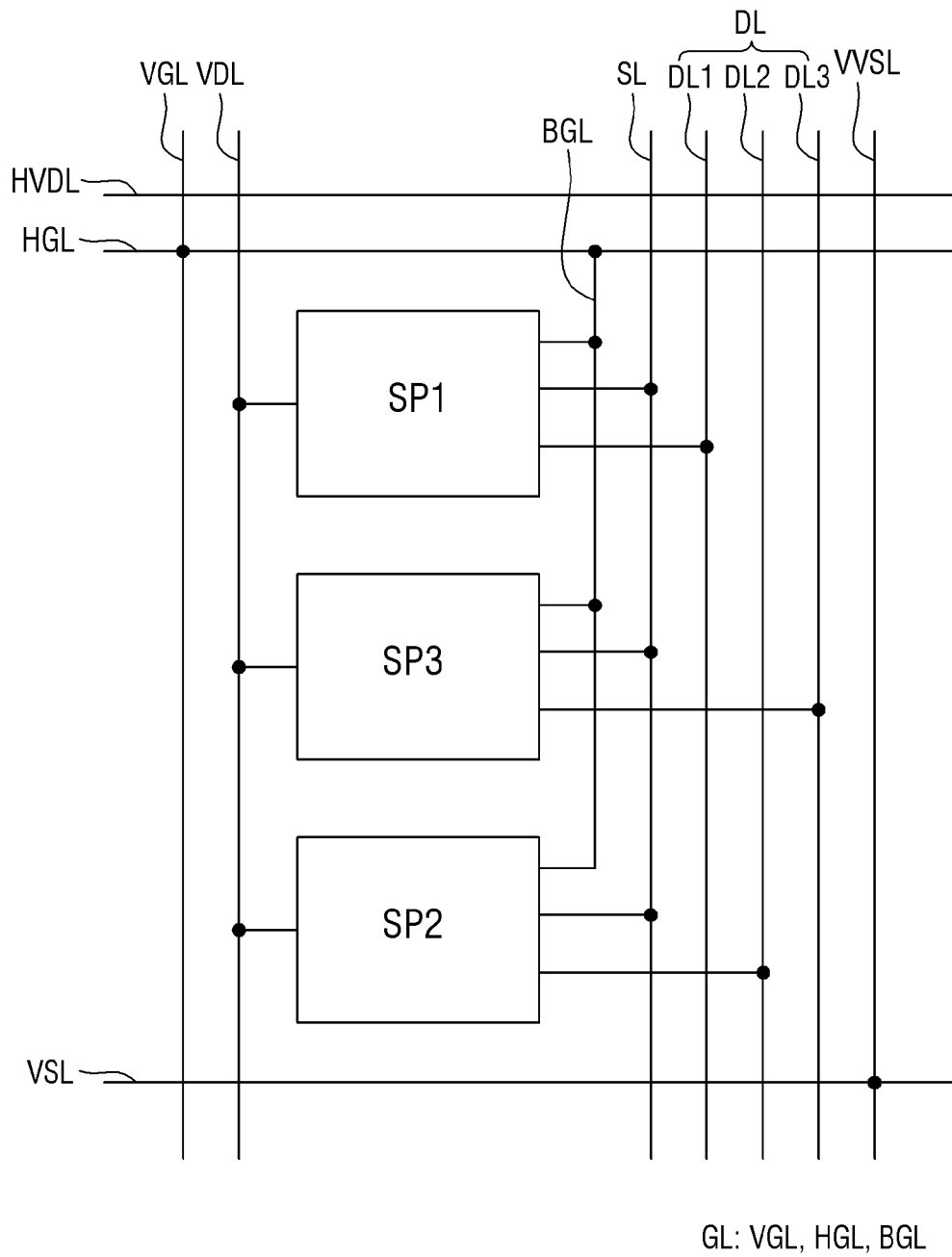
[청구항 19] 제14 항에 있어서,
상기 수직 게이트 라인은 상기 기판 상의 제1 금속층에 배치되고,
상기 수평 게이트 라인 및 상기 보조 게이트 라인은 상기 제1 금속층 상의 제2 금속층에 배치되는 표시 장치.

[청구항 20] 제19 항에 있어서,
상기 기판의 일측에 배치되어 상기 데이터 라인에 데이터 전압을 공급하는 표시 구동부를 더 포함하고,
상기 표시 구동부는 상기 수직 게이트 라인 및 상기 수평 게이트 라인을 경유하여 상기 보조 게이트 라인에 게이트 신호를 공급하는 표시 장치.

[도1]



[도2]



[도3]

SP1, SP2, SP3

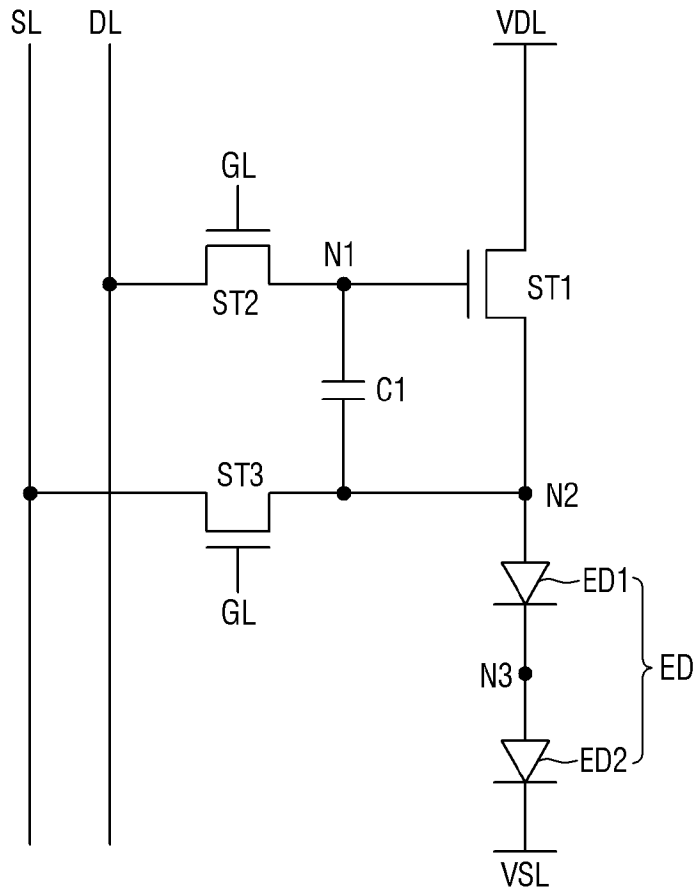
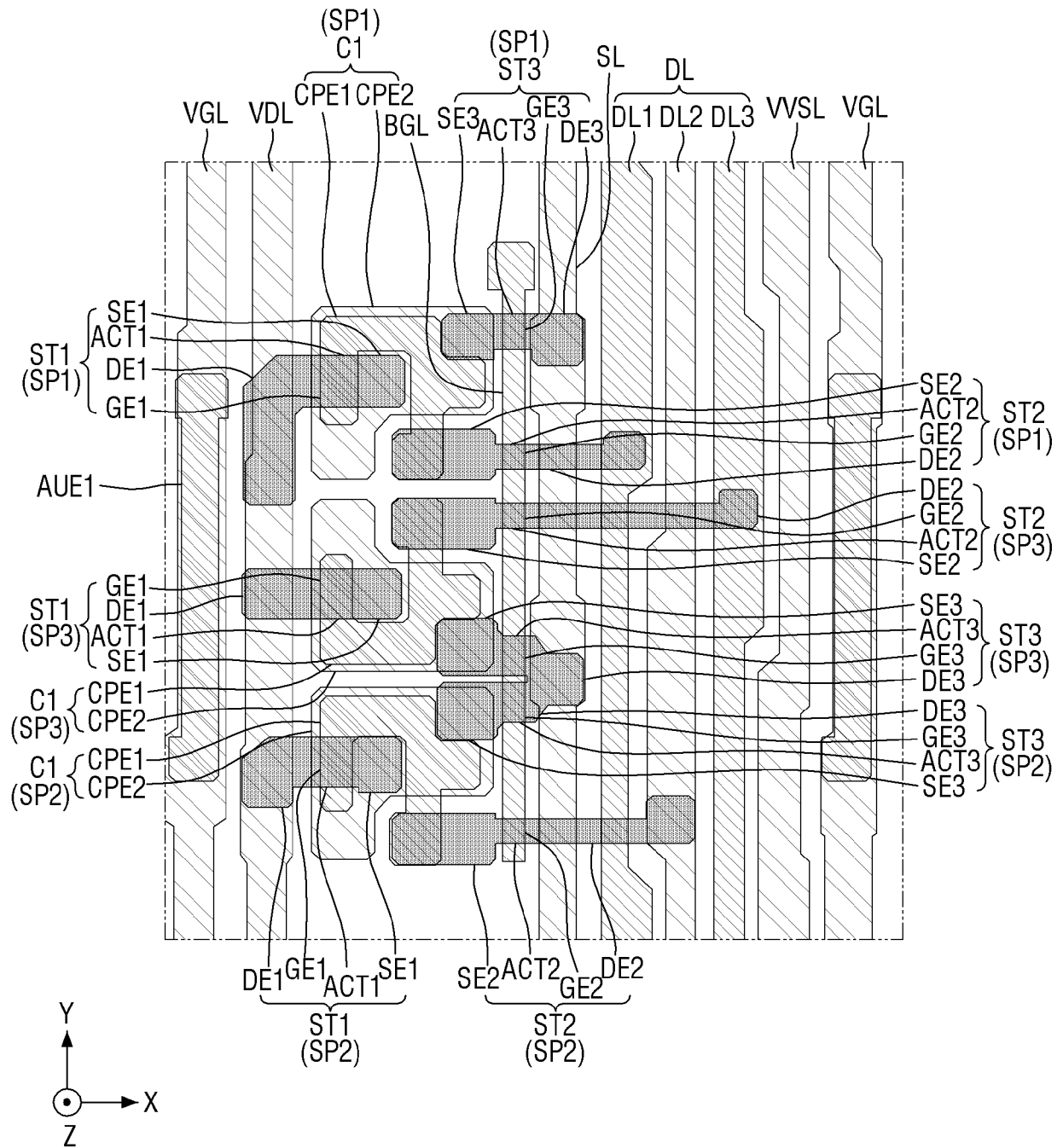


Figure 1 is a plan view of a semiconductor device, showing a grid of memory cells. The device includes various layers and regions labeled with codes. The labels are as follows:

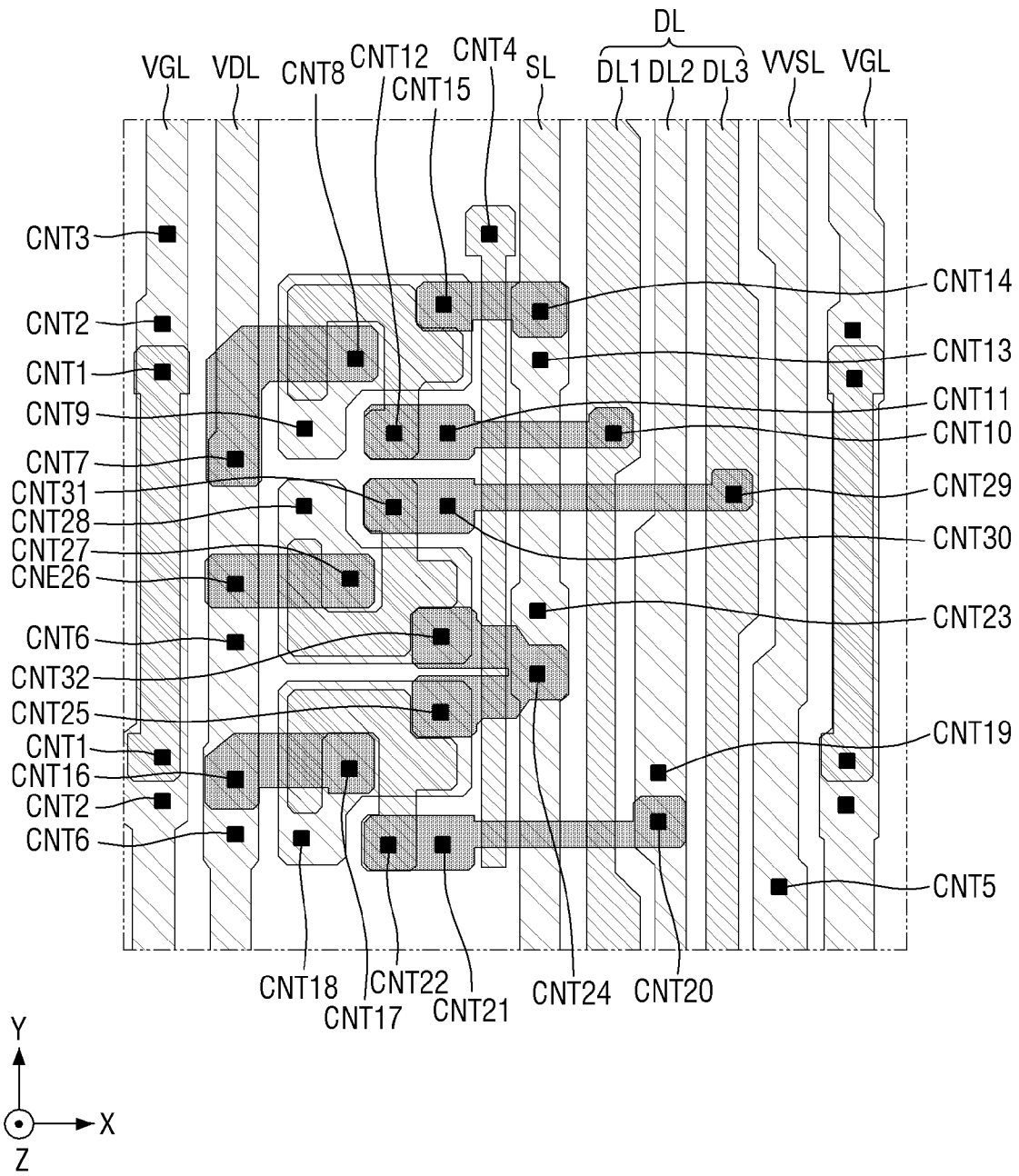
- Top labels: (SP1) C1, (SP1) ST3, SL, DL, VGL, VDL, HVDL, HGL.
- Left labels: ST1 (SP1), SE1, ACT1, DE1, GE1, BE1, BE2, AUE1, BE8, AUE2, BE7, ST1 (SP3), GE1, DE1, ACT1, SE1, C1 (SP3), CPE1, CPE2, C1 (SP2), CPE1, CPE2, BE10.
- Right labels: BE3, SE2, ACT2, GE2, DE2, ST2 (SP1), GE2, ACT2, SE2, ST2 (SP3), BE9, SE3, ACT3, GE3, DE3, ST3 (SP3), DE3, GE3, ACT3, SE3, ST3 (SP2), BE5, VSL.
- Bottom labels: DE1, GE1, ACT1, SE1, BE6, SE2, ACT2, GE2, ST1 (SP2), BE4, ST2 (SP2), BE5.

A coordinate system (X, Y, Z) is shown at the bottom left, with X pointing right, Y pointing up, and Z pointing out of the page.

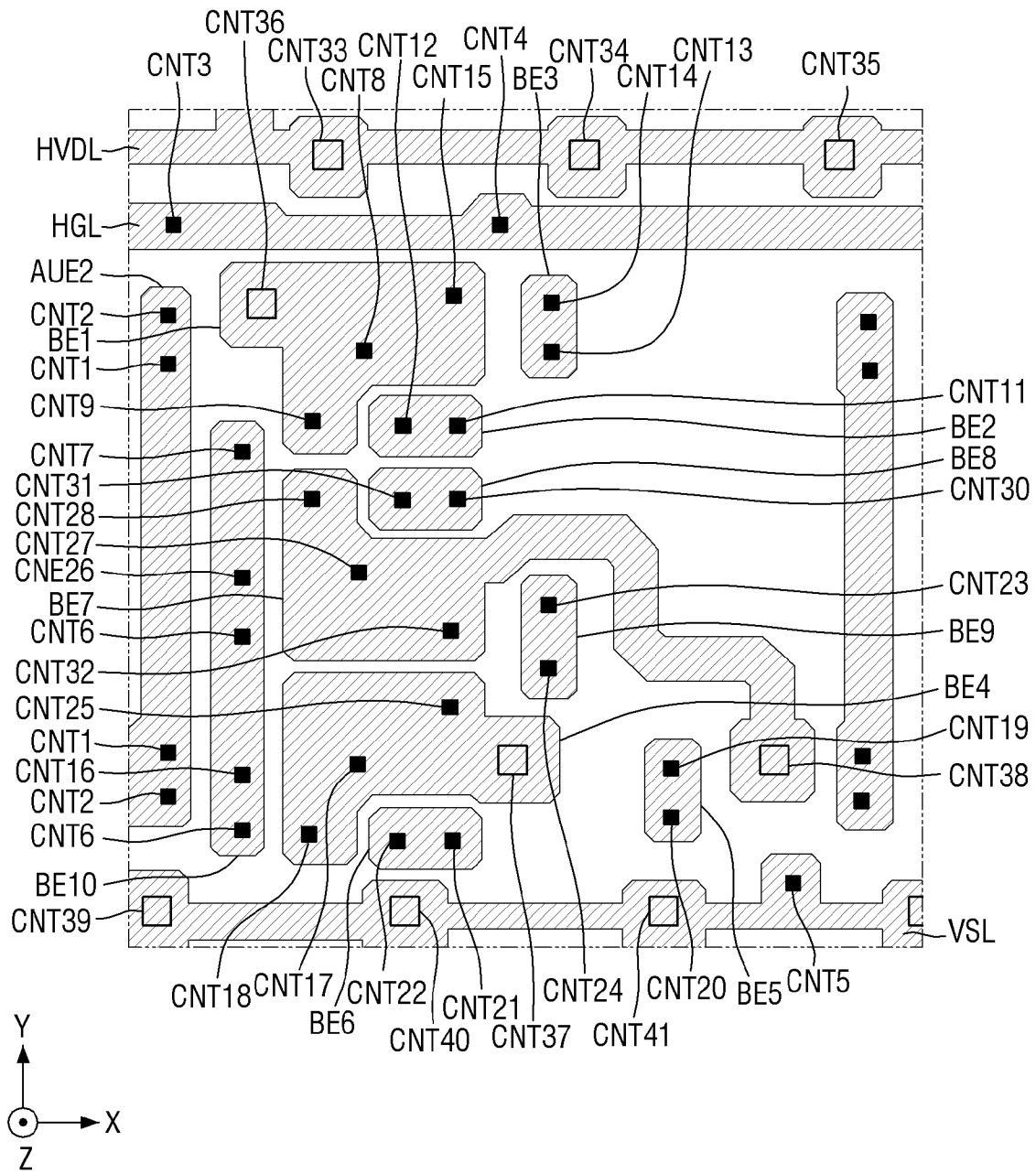
[도5]



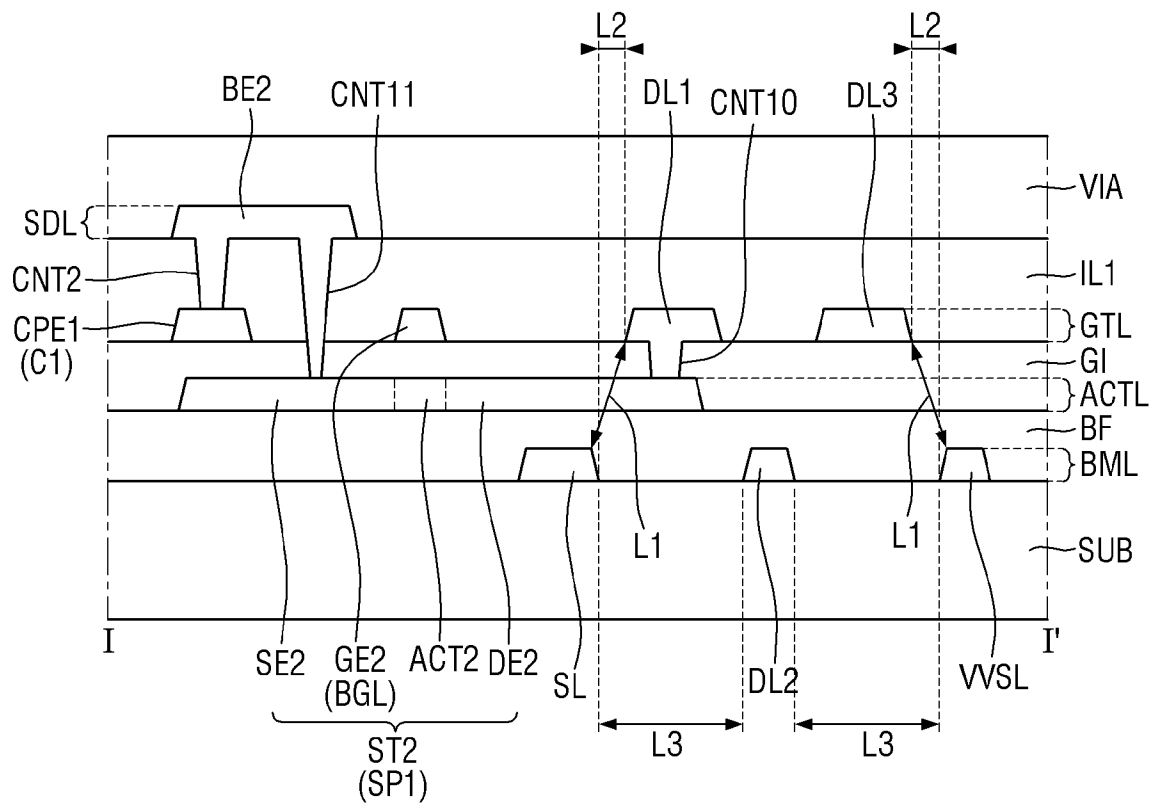
[도6]



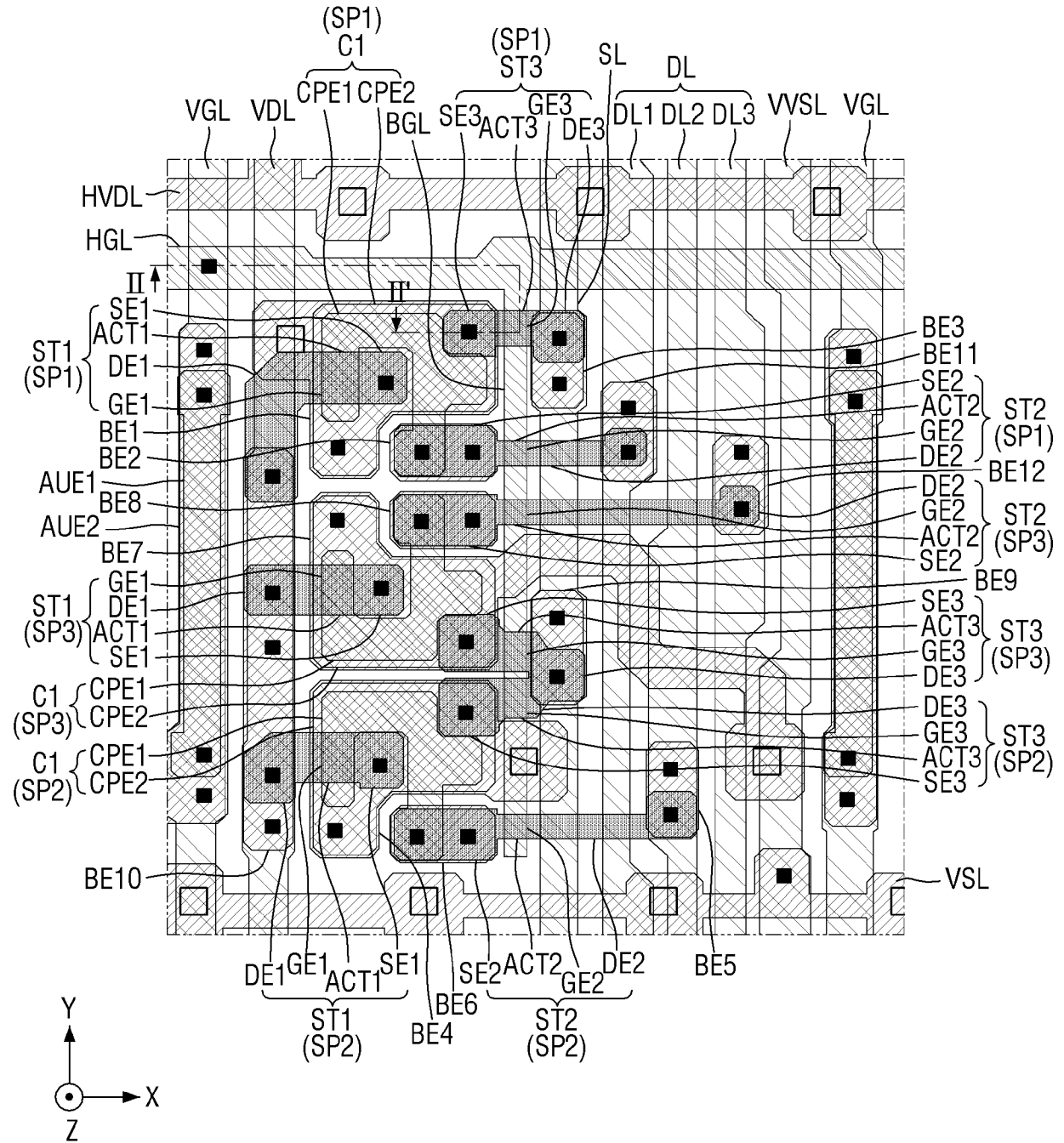
[도7]



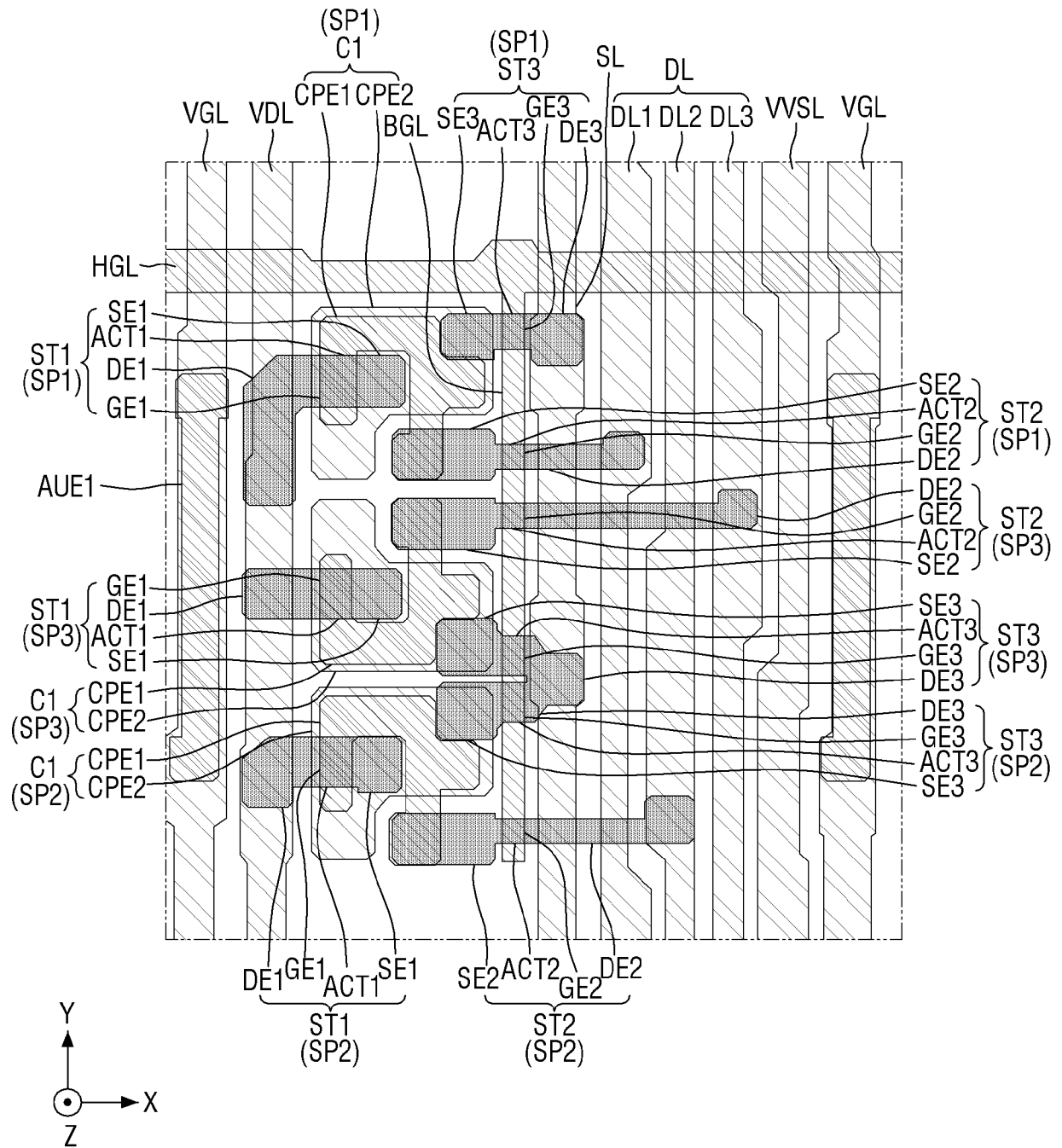
[도8]



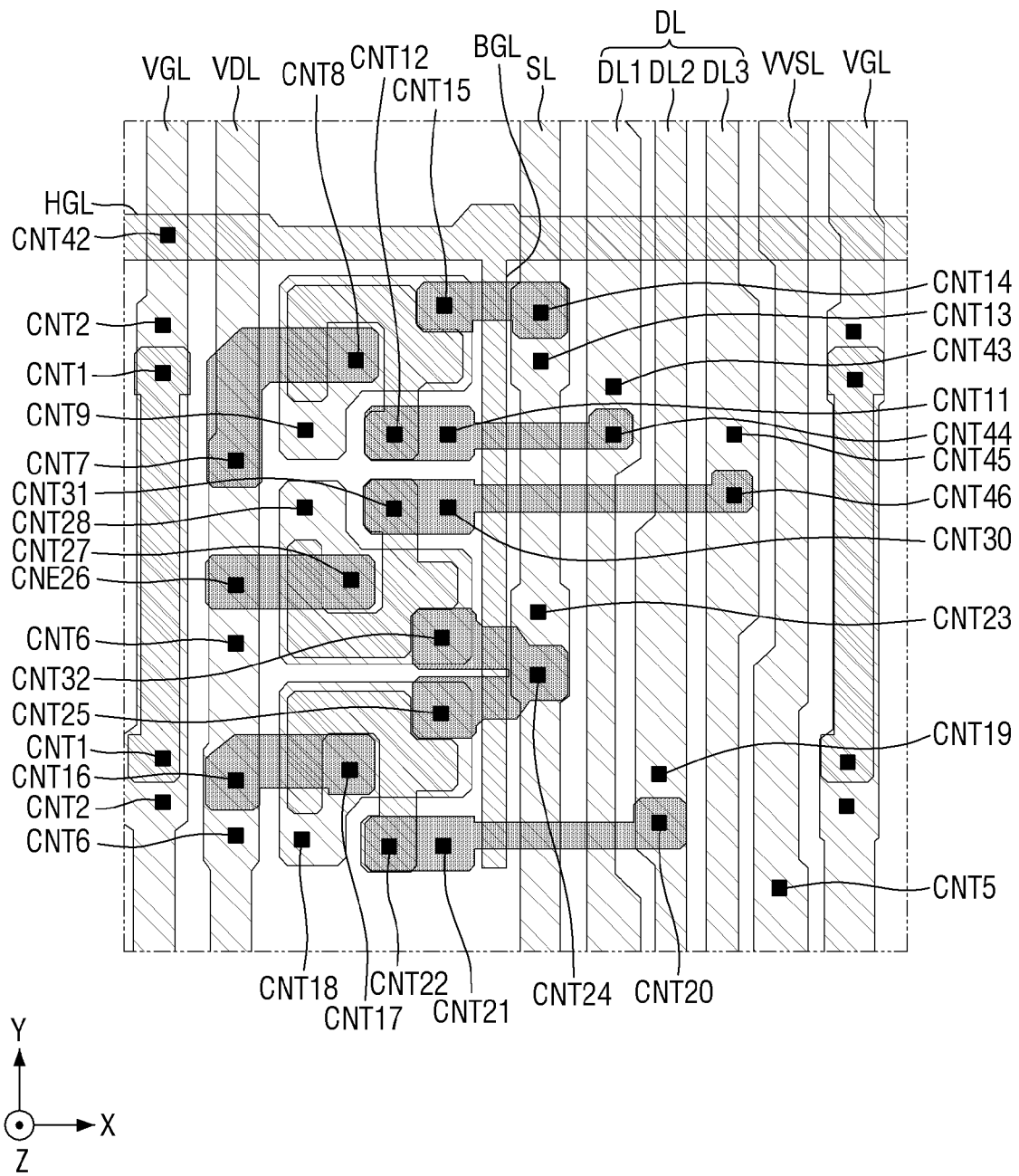
[도9]



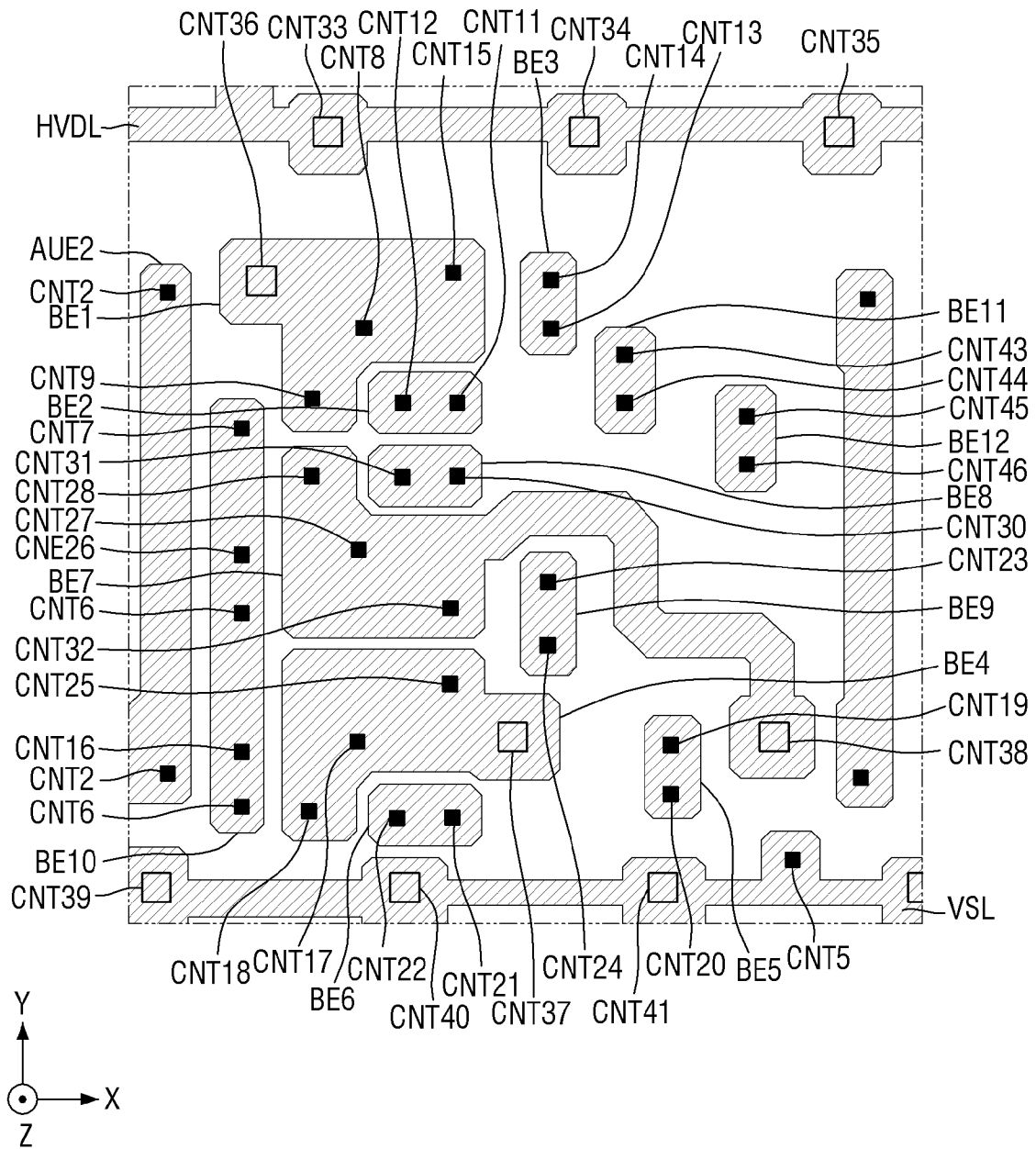
[도10]



[도11]

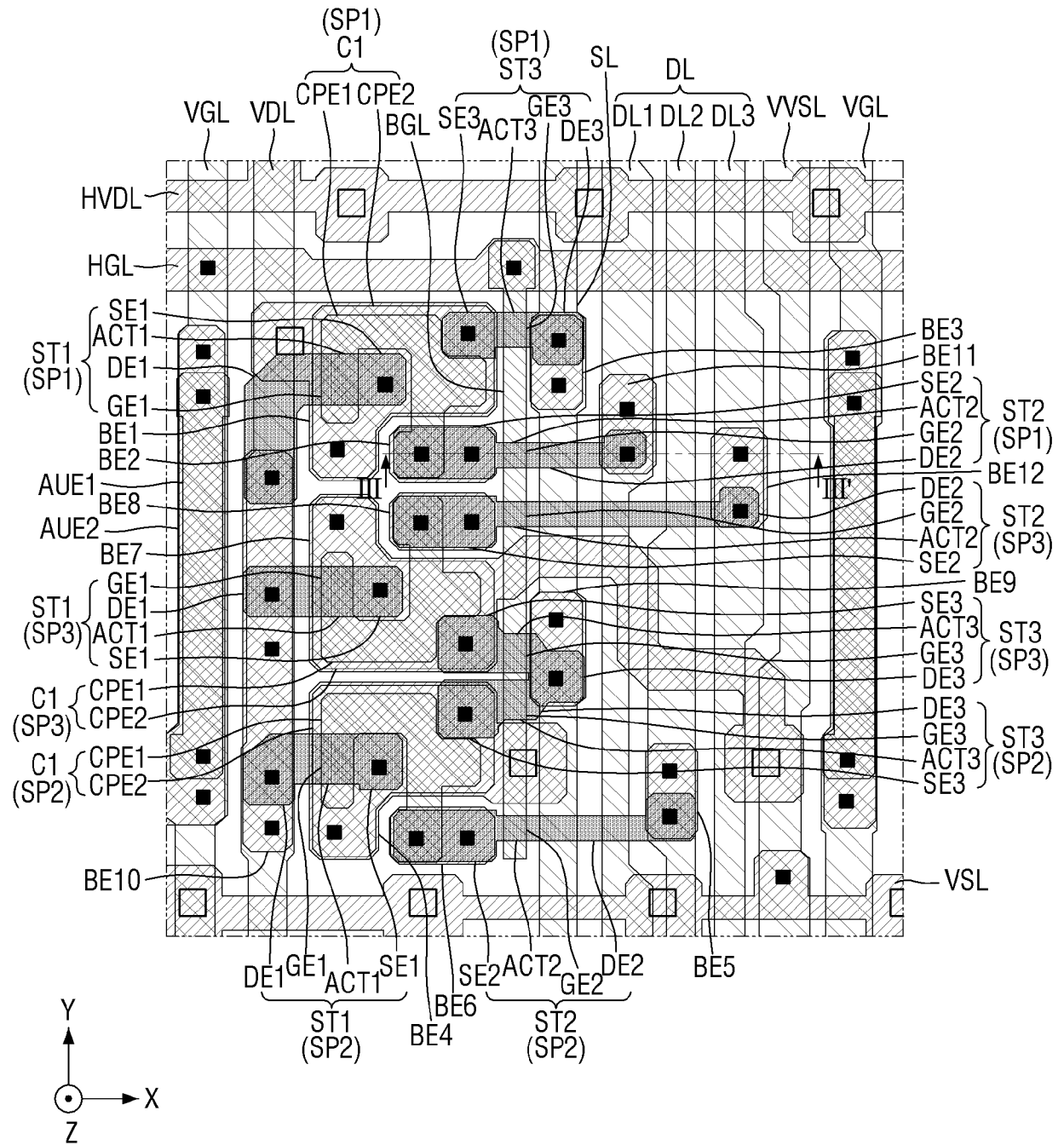


[도12]

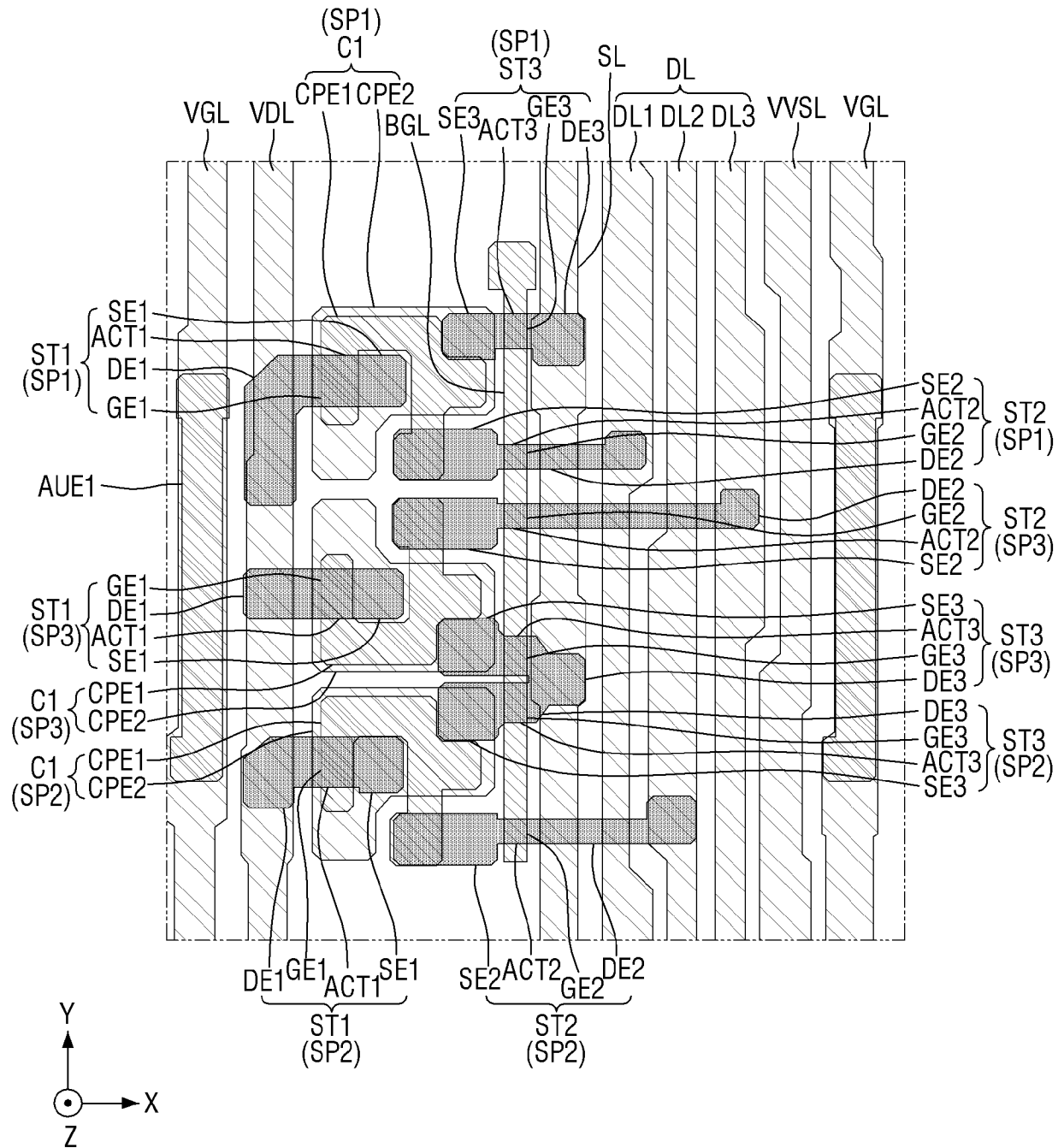


A detailed cross-sectional view of a semiconductor device. The structure is built on a substrate (SUB). From bottom to top, the layers include: a base layer (BML) with a dashed line indicating a boundary (BF); a layer (CNT3) with a wavy line; a gate layer (GTL) with a wavy line; an interlayer (IL1); and a top layer (HGL). Various conductive patterns and vias are formed within and on these layers. Labels on the left side include: HGL, BGL, BE1, IL1, GTL, CNT3, BF, BML, VGL, VDL, GE3, ACT3, SE3, and II'. Labels on the right side include: VIA, SDL, CNT15, CPE1, GI, ACTL, CPE2, and SUB. A bracket on the right groups CPE1, GI, and ACTL as C1. A bracket at the bottom groups GE3, ACT3, and SE3 as ST3 (SP1).

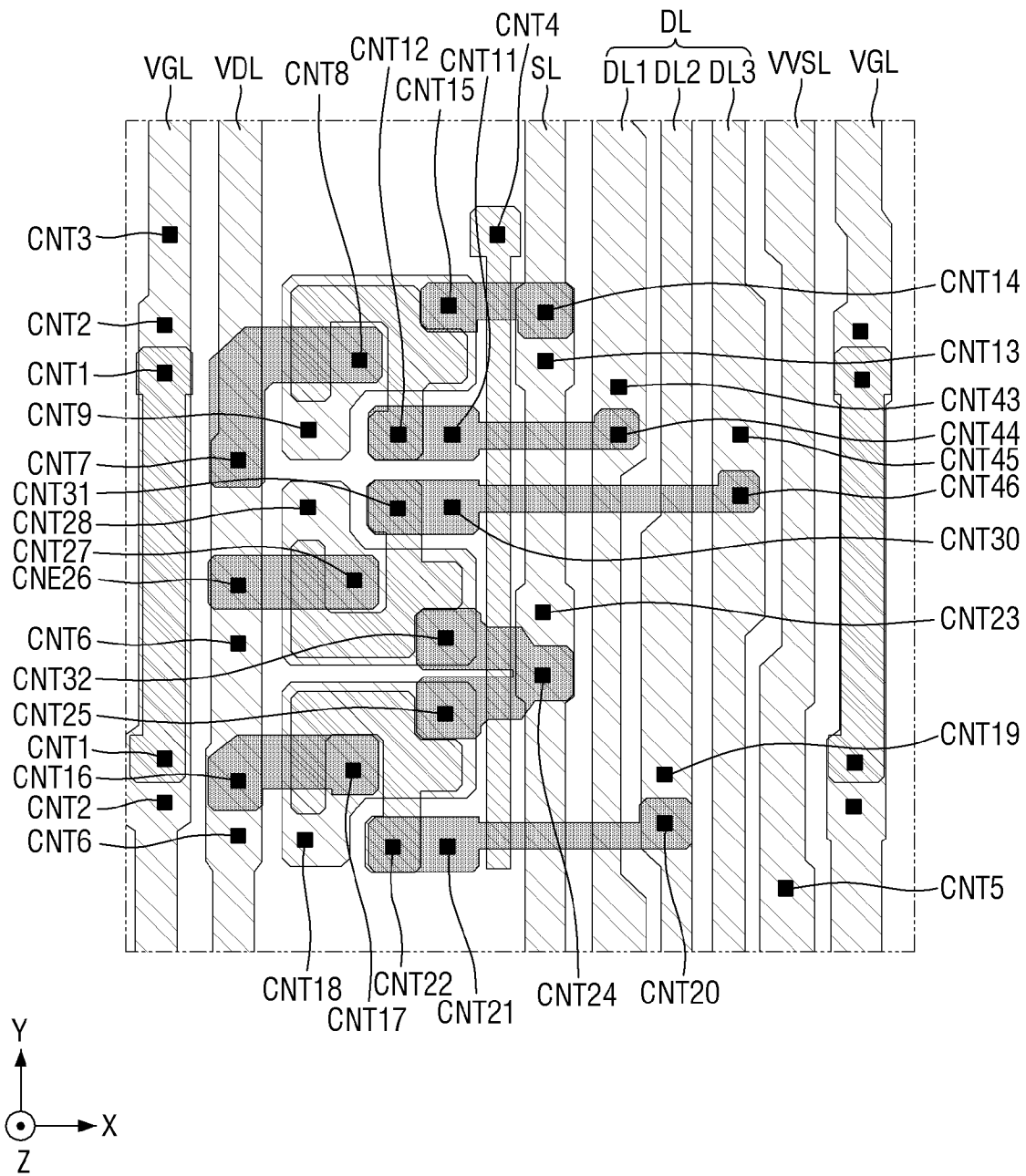
[도14]



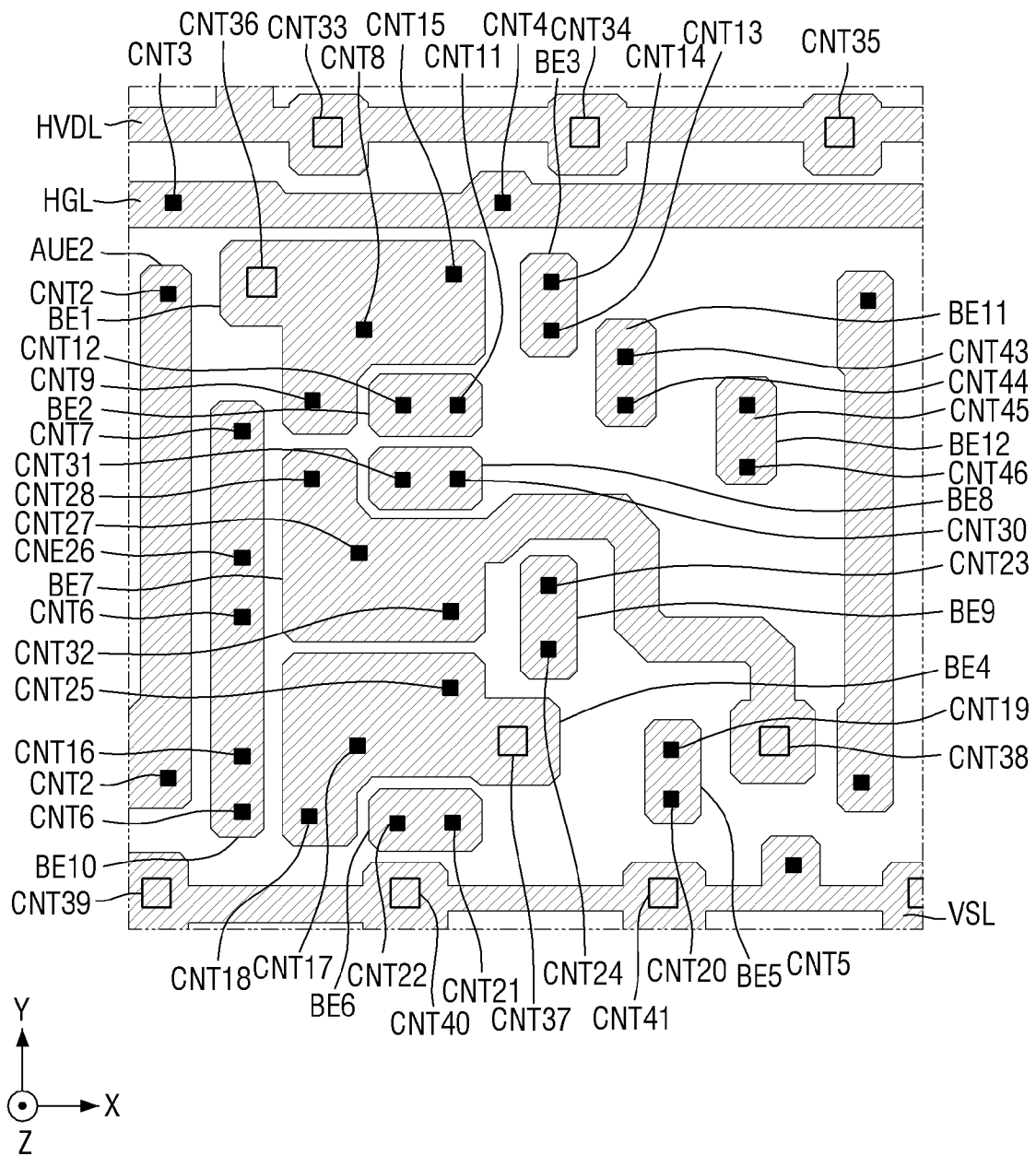
[도 15]



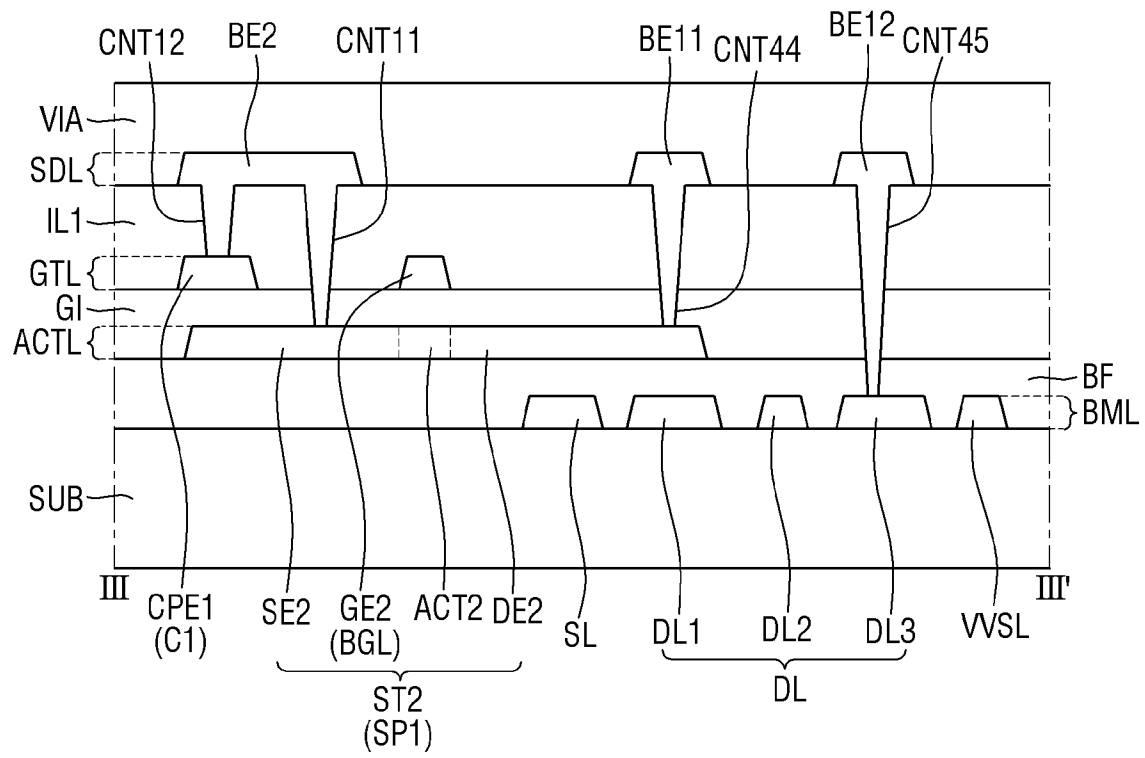
[도16]



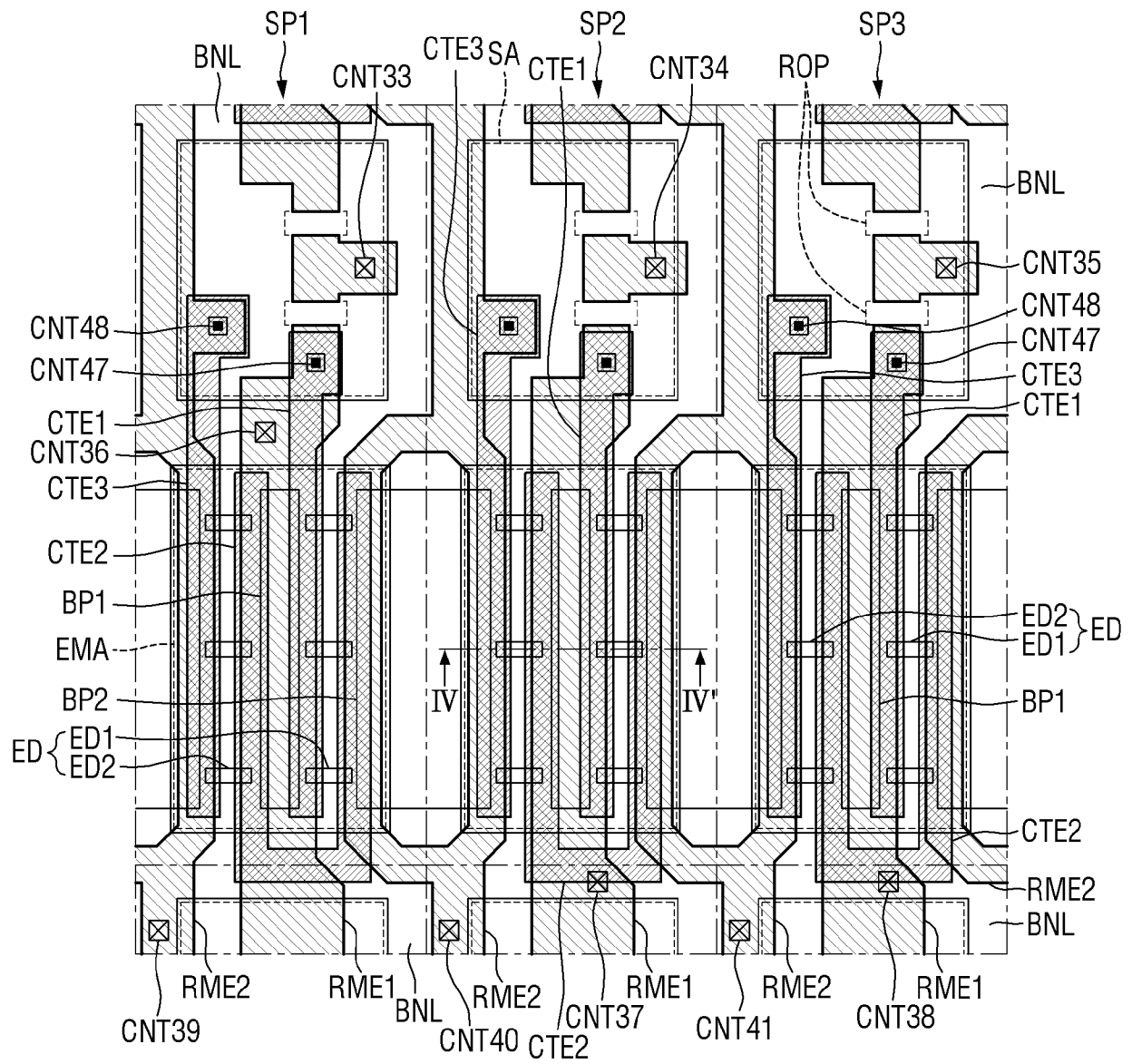
[도17]



[도18]

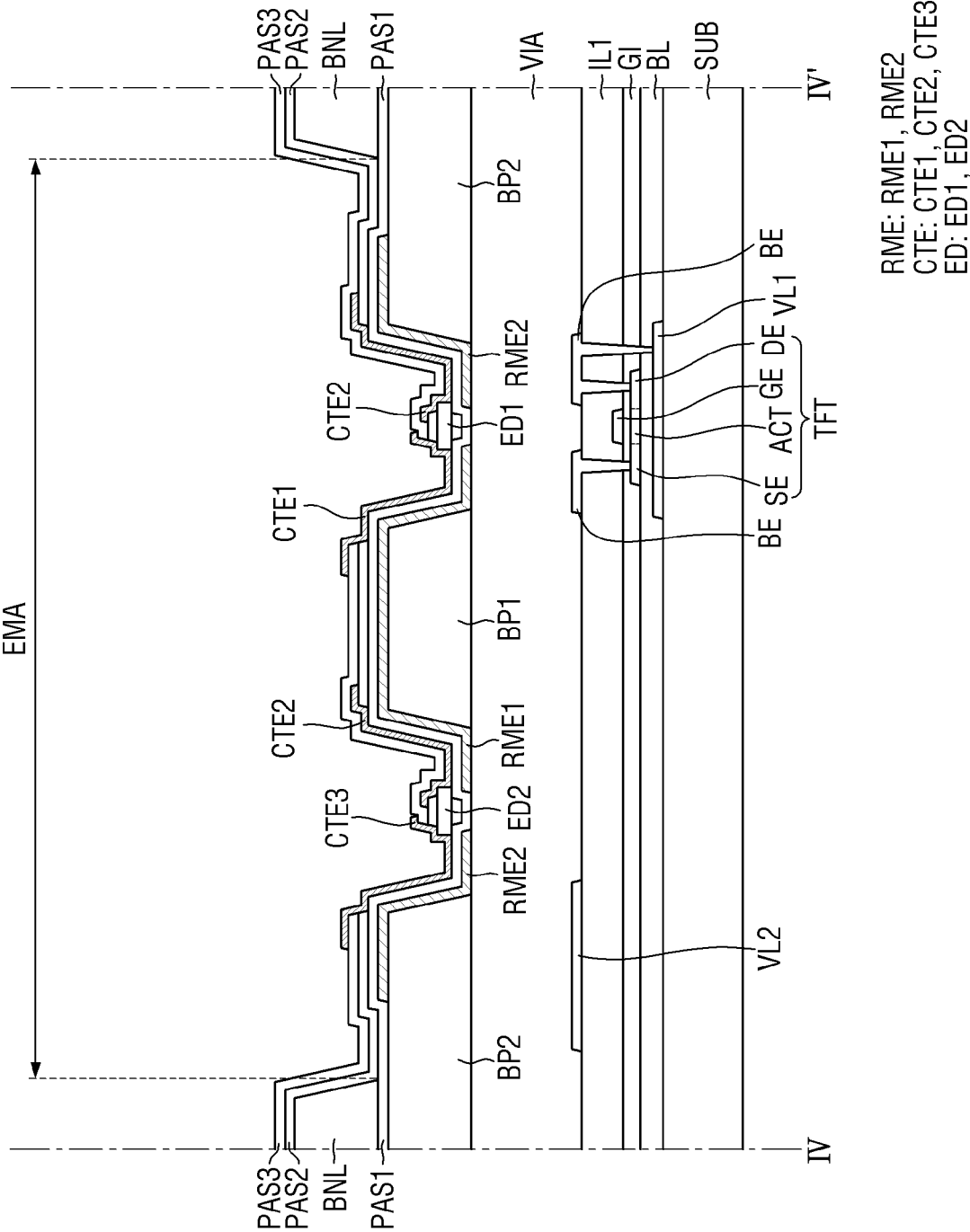


[도 19]



RME: RME1, RME2
 CTE: CTE1, CTE2, CTE3

[도20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/000764

A. CLASSIFICATION OF SUBJECT MATTER G09G 3/32(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G 3/32(2006.01); G02F 1/1335(2006.01); G09F 9/30(2006.01); G09F 9/35(2006.01); H01L 27/12(2006.01); H01L 27/32(2006.01); H01L 51/52(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 화소(pixel), 데이터라인(data line), 게이트라인(gate line), 센싱라인(sensing line), 금속층(metal layer)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2352312 B1 (SAMSUNG DISPLAY CO., LTD.) 19 January 2022 (2022-01-19) See paragraphs [0037]-[0433].	1-3,5-7
Y		4,8
A		9-20
Y	KR 10-2021-0081598 A (LG DISPLAY CO., LTD.) 02 July 2021 (2021-07-02) See paragraph [0118].	4,13
Y	JP 2022-023858 A (SEMICONDUCTOR ENERGY LAB CO., LTD.) 08 February 2022 (2022-02-08) See paragraph [0048].	8
Y	KR 10-2222144 B1 (LG DISPLAY CO., LTD.) 03 March 2021 (2021-03-03) See paragraphs [0015]-[0026].	9-20
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 17 April 2023		Date of mailing of the international search report 18 April 2023
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/000764**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2018-0062516 A (LG DISPLAY CO., LTD.) 11 June 2018 (2018-06-11) See paragraphs [0036]-[0075] and figures 9 and 10.	9-20
A	US 9437667 B2 (SAMSUNG DISPLAY CO., LTD.) 06 September 2016 (2016-09-06) See claims 1 and 12.	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2023/000764

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2352312	B1	19 January 2022	CN	109585500	A	05 April 2019
				EP	3462499	A2	03 April 2019
				EP	3462499	A3	07 August 2019
				KR	10-2022-0012382	A	03 February 2022
				US	10411083	B2	10 September 2019
				US	10840321	B2	17 November 2020
				US	11476318	B2	18 October 2022
				US	2019-0103455	A1	04 April 2019
				US	2019-0393294	A1	26 December 2019
				US	2021-0066444	A1	04 March 2021
				US	2023-0037775	A1	09 February 2023
KR	10-2021-0081598	A	02 July 2021	CN	113035909	A	25 June 2021
				EP	3843153	A1	30 June 2021
				EP	3843153	B1	22 March 2023
				US	2021-0193688	A1	24 June 2021
JP	2022-023858	A	08 February 2022	JP	2020-091483	A	11 June 2020
				JP	2022-184859	A	13 December 2022
				KR	10-2018-0067492	A	20 June 2018
				KR	10-2018-0133357	A	14 December 2018
				US	2011-0299003	A1	08 December 2011
				US	8599347	B2	03 December 2013
KR	10-2222144	B1	03 March 2021	None			
KR	10-2018-0062516	A	11 June 2018	CN	108122952	A	05 June 2018
				CN	108122952	B	23 November 2021
				JP	2018-092167	A	14 June 2018
				JP	6533822	B2	19 June 2019
				US	10236335	B2	19 March 2019
				US	2018-0151661	A1	31 May 2018
US	9437667	B2	06 September 2016	KR	10-2016-0053243	A	13 May 2016
				US	2016-0126303	A1	05 May 2016

A. 발명이 속하는 기술분류(국제특허분류(IPC)) G09G 3/32(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) G09G 3/32(2006.01); G02F 1/1335(2006.01); G09F 9/30(2006.01); G09F 9/35(2006.01); H01L 27/12(2006.01); H01L 27/32(2006.01); H01L 51/52(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 화소(pixel), 데이터라인(data line), 게이트라인(gate line), 센싱라인(sensing line), 금속층(metal layer)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2352312 B1 (삼성디스플레이 주식회사) 2022.01.19 단락 [0037]-[0433]	1-3,5-7
Y		4,8
A		9-20
Y	KR 10-2021-0081598 A (엘지디스플레이 주식회사) 2021.07.02 단락 [0118]	4,13
Y	JP 2022-023858 A (SEMICONDUCTOR ENERGY LAB CO., LTD.) 2022.02.08 단락 [0048]	8
Y	KR 10-2222144 B1 (엘지디스플레이 주식회사) 2021.03.03 단락 [0015]-[0026]	9-20
Y	KR 10-2018-0062516 A (엘지디스플레이 주식회사) 2018.06.11 단락 [0036]-[0075] 및 도면 9, 10	9-20
☒ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2023년04월17일(17.04.2023)		국제조사보고서 발송일 2023년04월18일(18.04.2023)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 양정록 전화번호 +82-42-481-5709

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2352312 B1	2022/01/19	CN 109585500 A	2019/04/05
		EP 3462499 A2	2019/04/03
		EP 3462499 A3	2019/08/07
		KR 10-2022-0012382 A	2022/02/03
		US 10411083 B2	2019/09/10
		US 10840321 B2	2020/11/17
		US 11476318 B2	2022/10/18
		US 2019-0103455 A1	2019/04/04
		US 2019-0393294 A1	2019/12/26
		US 2021-0066444 A1	2021/03/04
		US 2023-0037775 A1	2023/02/09
KR 10-2021-0081598 A	2021/07/02	CN 113035909 A	2021/06/25
		EP 3843153 A1	2021/06/30
		EP 3843153 B1	2023/03/22
		US 2021-0193688 A1	2021/06/24
JP 2022-023858 A	2022/02/08	JP 2020-091483 A	2020/06/11
		JP 2022-184859 A	2022/12/13
		KR 10-2018-0067492 A	2018/06/20
		KR 10-2018-0133357 A	2018/12/14
		US 2011-0299003 A1	2011/12/08
		US 8599347 B2	2013/12/03
KR 10-2222144 B1	2021/03/03	없음	
KR 10-2018-0062516 A	2018/06/11	CN 108122952 A	2018/06/05
		CN 108122952 B	2021/11/23
		JP 2018-092167 A	2018/06/14
		JP 6533822 B2	2019/06/19
		US 10236335 B2	2019/03/19
		US 2018-0151661 A1	2018/05/31
US 9437667 B2	2016/09/06	KR 10-2016-0053243 A	2016/05/13
		US 2016-0126303 A1	2016/05/05