

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成28年12月22日(2016.12.22)

【公開番号】特開2014-132750(P2014-132750A)

【公開日】平成26年7月17日(2014.7.17)

【年通号数】公開・登録公報2014-038

【出願番号】特願2013-262636(P2013-262636)

【国際特許分類】

H 03M 7/40 (2006.01)

【F I】

H 03M 7/40

【手続補正書】

【提出日】平成28年11月8日(2016.11.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

以前データブロックと現在データブロックとを含む入力データストリームを受信する段階と、

前記現在データブロックのそれぞれの遅延を対応する遅延回路の1つを用いて調節し、第1遅延データブロックと第2遅延データブロックとを生成する段階と、

前記以前データブロックの一部のみと以前参照データブロックの一部のみとを比較する第1比較と、前記第1遅延データブロックのすべてと現在参照データブロックのすべてとを比較する第2比較とを並列的に実行する段階と、

前記第1比較と前記第2比較との結果に基づいて、前記第2遅延データブロックを出力するか、または拡張データブロックを圧縮する段階と、を含み、

前記拡張データブロックは、前記以前データブロックの前記一部と前記第2遅延データブロックとを含み、

前記現在データブロックのサイズは、前記以前データブロックの前記一部のサイズよりも大きく、

前記現在参照データブロックのサイズは、前記以前参照データブロックの前記一部のサイズよりも大きいデータ圧縮方法。

【請求項2】

前記現在参照データブロックが保存された第1メモリ領域と前記以前参照データブロックが保存された第2メモリ領域のそれぞれは、インターリービング方式で割り当てられ、独立してアクセス可能な互いに異なるメモリに具現される請求項1に記載のデータ圧縮方法。

【請求項3】

前記拡張データブロックのサイズと前記現在データブロックのサイズとの比は、帯小数である請求項1に記載のデータ圧縮方法。

【請求項4】

バッファメモリから前記以前参照データブロックの前記一部と前記現在参照データブロックとを並列的にリードする段階をさらに含む請求項1に記載のデータ圧縮方法。

【請求項5】

以前データブロックと現在データブロックとを含む入力データストリームを受信する段

階と、

前記現在データブロックのそれぞれの遅延を対応する遅延回路の1つを用いて調節し、第1遅延データブロックと第2遅延データブロックとを生成する段階と、

メモリから以前参照データブロックの一部のみと現在参照データブロックとを並列的にリードする段階と、

前記以前データブロックの一部のみと前記以前参照データブロックの前記一部のみとに対する比較と、前記第1遅延データブロックと前記現在参照データブロックとに対する比較とを並列的に行う段階と、

前記以前データブロックの前記一部と前記以前参照データブロックの前記一部とがマッチされ、前記第1遅延データブロックと前記現在参照データブロックとがマッチされる時、拡張データブロックを圧縮する段階と、を含み、

前記拡張データブロックは、前記以前データブロックの前記一部と前記第2遅延データブロックとを含み、

前記現在データブロックのサイズは、前記以前データブロックの前記一部のサイズよりも大きく、

前記現在参照データブロックのサイズは、前記以前参照データブロックの前記一部のサイズよりも大きいデータ圧縮方法。

【請求項6】

前記以前データブロックの前記一部の少なくとも一部と前記以前参照データブロックの前記一部とがマッチされず、前記現在データブロックと前記現在参照データブロックとがマッチされない時、前記現在データブロックを選択的に圧縮または圧縮しない段階をさらに含む請求項5に記載のデータ圧縮方法。

【請求項7】

前記メモリは、前記現在参照データブロックが保存された第1メモリ領域と前記以前参照データブロックが保存された第2メモリ領域とを含むバッファメモリであり、前記第1メモリ領域と前記第2メモリ領域のそれぞれは、インターリービング方式で割り当てられ、独立してアクセス可能な互いに異なるメモリに具現される請求項5に記載のデータ圧縮方法。

【請求項8】

前記拡張データブロックのサイズと前記現在データブロックのサイズとの比は、帯小数である請求項5に記載のデータ圧縮方法。

【請求項9】

第1メモリ領域、第2メモリ領域、及び第3メモリ領域を含むバッファメモリと、

ハッシュキー生成回路から出力されたアドレスに応答して、前記第1メモリ領域に保存された以前参照データブロックの一部のみと前記第2メモリ領域に保存された現在参照データブロックとを出力するバッファメモリコントローラと、

入力データストリームを受信し、前記入力データストリームに含まれた現在データブロックのそれぞれの遅延を対応する遅延回路の1つを用いて調節し、第1遅延データブロックと第2遅延データブロックとを生成する入力データレジスタと、

以前データブロックの一部のみと前記以前参照データブロックの前記一部のみとがマッチするか否かと、前記第1遅延データブロックと前記現在参照データブロックとがマッチするか否かとを判断し、該判断の結果によって、制御情報を生成する比較回路と、

前記制御情報に基づいて、前記第2遅延データブロックを出力するか、圧縮データを出力する圧縮データ生成回路と、を含み、

前記圧縮データは、前記以前データブロックの前記一部のみと前記第2遅延データブロックとを含む拡張データブロックを圧縮して生成され、

前記現在データブロックのサイズは、前記以前データブロックの前記一部のサイズよりも大きく、

前記現在参照データブロックのサイズは、前記以前参照データブロックの前記一部のサイズよりも大きいデータ圧縮回路。

【請求項 1 0】

前記第1メモリ領域、前記第2メモリ領域、及び前記第3メモリ領域のそれぞれは、インターリービング方式で割り当てられ、独立してアクセス可能な互いに異なるメモリに具現される請求項9に記載のデータ圧縮回路。

【請求項 1 1】

前記バッファメモリコントローラは、前記第1メモリ領域から前記以前参照データブロックの前記一部と、前記第2メモリ領域から前記現在参照データブロックとを並列的にリードした後、前記現在データブロックを前記第3メモリ領域にライトする請求項9に記載のデータ圧縮回路。

【請求項 1 2】

前記バッファメモリコントローラは、

前記アドレスを用いて、前記第1メモリ領域に対する第1アドレスと前記第2メモリ領域に対する第2アドレスとを生成するアドレス生成器と、

前記第1アドレスを用いて、前記第1メモリ領域から前記以前参照データブロックの前記一部と、前記第2アドレスを用いて、前記第2メモリ領域から前記現在参照データブロックとを並列的にリードし、前記現在データブロックに対する第3アドレスに基づいて、前記現在データブロックを前記第3メモリ領域にライトするバッファメモリアクセス制御回路と、

を含む請求項9に記載のデータ圧縮回路。

【請求項 1 3】

前記比較回路は、前記以前データブロックの前記一部と前記以前参照データブロックの前記一部とがマッチするか否かと、前記現在データブロックと前記現在参照データブロックとがマッチするか否かとを並列的に判断する請求項9に記載のデータ圧縮回路。

【請求項 1 4】

前記比較回路は、

前記以前データブロックの前記一部を保存するレジスタと、

前記レジスタから出力された前記以前データブロックの前記一部と前記バッファメモリコントローラから出力された前記以前参照データブロックの前記一部とがマッチするか否かを判断する第1比較器と、

前記現在データブロックと前記現在参照データブロックとがマッチするか否かを判断する第2比較器と、

前記第1比較器の出力信号と前記第2比較器の出力信号とに基づいて、前記マッチの有無を示すマッチ情報とマッチされたデータ長を示す長さ情報を出力する長さ計算回路と、

前記以前データブロックの前記一部に対するアドレスと前記現在データブロックに対するアドレスとに基づいて距離情報を出力する距離計算回路と、を含み、

前記制御情報は、前記マッチ情報、前記長さ情報、及び前記距離情報を含む請求項9に記載のデータ圧縮回路。

【請求項 1 5】

前記圧縮データ生成回路は、

前記マッチ情報に基づいて選択信号を生成する選択信号生成回路と、

前記長さ情報と前記距離情報とに基づいて、前記圧縮データを生成するコード生成回路と、

前記選択信号に応答して、前記現在データブロックまたは前記圧縮データを出力する選択回路と、

を含む請求項14に記載のデータ圧縮回路。

【請求項 1 6】

データ保存装置と、

以前データブロックと現在データブロックとを含むデータストリームを出力するホストと、

前記現在データブロックを受信し、前記現在データブロックのそれぞれの遅延を対応する遅延回路の1つを用いて調節し、第1遅延データブロックと第2遅延データブロックとを生成する入力データレジスタを含むメモリコントローラと、を含み、

前記メモリコントローラは、前記ホストからの前記データストリームにおけるそれぞれのデータブロックまたはそれぞれの拡張データブロックのマッチング特性を判断し、該判断の結果によって、前記データストリームにおける前記第2遅延データブロックまたは前記拡張データブロックを圧縮し、該圧縮されたデータを前記データ保存装置に出力し、

前記メモリコントローラは、前記以前データブロックのマッチング特性を判断した後、前記以前データブロックの一部と前記第2遅延データブロックとを含む拡張データブロックのマッチング特性を判断し、

前記メモリコントローラは、前記以前データブロックの前記一部と以前参照データブロックの一部とがマッチするか否かと、前記第1遅延データブロックと現在参照データブロックとがマッチするか否かとを並列的に判断する比較回路をさらに含み、

前記現在データブロックのサイズは、前記以前データブロックの前記一部のサイズよりも大きく、

前記現在参照データブロックのサイズは、前記以前参照データブロックの前記一部のサイズよりも大きいデータ処理装置。

【請求項17】

前記メモリコントローラは、

第1メモリ領域、第2メモリ領域、及び第3メモリ領域を含むバッファメモリと、

アドレスに応答して、前記第1メモリ領域に保存された前記以前参照データブロックの前記一部と前記第2メモリ領域に保存された前記現在参照データブロックとを並列的に出力するバッファメモリコントローラと、さらに、判断の結果によって、制御情報を生成する前記比較回路と、

前記制御情報に基づいて、前記現在データブロックを出力するか、前記拡張データブロックを圧縮して生成された前記圧縮データを出力する圧縮データ生成回路と、をさらに含む請求項16に記載のデータ処理装置。

【請求項18】

前記第1メモリ領域、前記第2メモリ領域、及び前記第3メモリ領域のそれぞれは、インターリービング方式で割り当てられた互いに異なるアドレスを有する互いに異なるメモリに具現される請求項17に記載のデータ処理装置。

【請求項19】

前記バッファメモリコントローラは、

前記アドレスを用いて、前記第1メモリ領域に対する第1アドレスと前記第2メモリ領域に対する第2アドレスとを生成するアドレス生成器と、

前記第1アドレスを用いて、前記第1メモリ領域から前記以前参照データブロックの前記一部と、前記第2アドレスを用いて、前記第2メモリ領域から前記現在参照データブロックとを並列的にリードし、前記現在データブロックに対する第3アドレスに基づいて、前記現在データブロックを前記第3メモリ領域にライトするバッファメモリアクセス制御回路と、

を含む請求項17に記載のデータ処理装置。

【請求項20】

前記比較回路は、

前記以前データブロックの前記一部を保存するレジスタと、

前記レジスタから出力された前記以前データブロックの前記一部と前記バッファメモリコントローラから出力された前記以前参照データブロックの前記一部とがマッチするか否かを判断する第1比較器と、

前記現在データブロックと前記現在参照データブロックとがマッチするか否かを判断する第2比較器と、

前記第1比較器の出力信号と前記第2比較器の出力信号とに基づいて、前記マッチの有

無を示すマッチ情報とマッチされたデータ長を示す長さ情報とを出力する長さ計算回路と、

前記以前データブロックの前記一部に対するアドレスと前記現在データブロックに対するアドレスとに基づいて距離情報を出力する距離計算回路と、を含み、

前記制御情報は、前記マッチ情報、前記長さ情報、及び前記距離情報を含む請求項17に記載のデータ処理装置。

【請求項21】

前記圧縮データ生成回路は、

前記マッチ情報に基づいて選択信号を生成する選択信号生成回路と、

前記長さ情報と前記距離情報とに基づいて、前記圧縮データを生成するコード生成回路と、

前記選択信号に応答して、前記現在データブロックまたは前記圧縮データを出力する選択回路と、

を含む請求項20に記載のデータ処理装置。

【請求項22】

前記拡張データブロックのサイズと前記現在データブロックのサイズとの比は、整数ではない請求項16に記載のデータ処理装置。

【請求項23】

前記データ保存装置は、フラッシュメモリ、eMMC、UFS、USBフラッシュドライブ、またはSSDである請求項16に記載のデータ処理装置。

【請求項24】

前記データ保存装置は、ハードディスクドライブである請求項16に記載のデータ処理装置。

【請求項25】

前記データ処理装置は、スマートフォン、タブレットPC、モバイルインターネット装置、または電子ブックである請求項16に記載のデータ処理装置。