



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년08월24일  
 (11) 등록번호 10-1176503  
 (24) 등록일자 2012년08월17일

(51) 국제특허분류(Int. Cl.)  
**G11C 13/02** (2006.01)  
 (21) 출원번호 10-2009-0083341  
 (22) 출원일자 2009년09월04일  
 심사청구일자 2009년09월04일  
 (65) 공개번호 10-2011-0025331  
 (43) 공개일자 2011년03월10일  
 (56) 선행기술조사문헌  
 KR100650098 B1\*  
 KR1020090071396 A\*  
 US20090040812 A1  
 US05487032 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**에스케이하이닉스 주식회사**  
 경기도 이천시 부발읍 경충대로 2091  
 (72) 발명자  
**임우진**  
 서울특별시 성북구 송인로2길 61, 동부센트레빌  
 아파트 117동 1602호 (길음동)  
 (74) 대리인  
**김성남**

전체 청구항 수 : 총 8 항

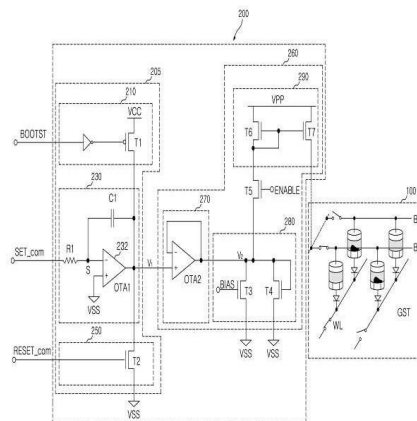
심사관 : 장진환

(54) 발명의 명칭 **라이트 드라이버를 구비한 상변화 메모리 장치**

**(57) 요약**

좁은 면적을 차지하면서, 적은 수의 제어 회로를 이용하여 셋 데이터 기입시 전류를 점진적 감소시킬 수 있는 상변화 메모리 장치에 대해 개시한다. 개시된 상변화 메모리 장치는 제공되는 전류량에 따라 셋 및 리셋 상태로 변화되는 상변화 물질들 각각 포함하는 복수의 메모리 셀들로 구성된 메모리 셀 어레이 영역, 및 상기 메모리 셀 어레이 영역의 선택된 메모리 셀에 셋 또는 리셋에 해당하는 전류를 제공하는 라이트 드라이버를 포함한다. 상기 라이트 드라이버는 상기 메모리 셀 어레이 영역에서 서서히 하강되는 전류를 제공하는 아날로그 회로부로 구성된 완속 강하부를 포함한다.

**대표도**



**특허청구의 범위**

**청구항 1**

복수의 워드 라인, 상기 복수의 워드 라인과 교차하는 복수의 비트 라인, 및 상기 워드 라인 및 비트 라인과 각각 전기적으로 연결되며 제공되는 전류량에 따라 셋 및 리셋 상태로 변화되는 상변화 물질을 각각 포함하는 복수의 메모리 셀들로 구성된 메모리 셀 어레이 영역; 및

상기 메모리 셀 어레이 영역의 상기 복수의 비트 라인들에 연결되고, 선택된 메모리 셀의 비트 라인을 통해 상기 상변화 물질에 셋 전류 및 리셋 전류를 제공하는 라이트 드라이버를 포함하고,

상기 라이트 드라이버는 상기 선택된 메모리 셀의 상변화 물질에 상기 셋 전류를 제공하는 완속 강하부, 상기 선택된 메모리 셀의 상변화 물질에 리셋 전류를 제공하는 급속 강하부, 및 상기 선택된 메모리 셀의 상변화 물질에 일정 레벨로 상승된 전류를 제공하도록 구성된 부스팅 회로부를 포함하고,

상기 완속 강하부는,

접지된 양의 입력 및 셋 명령을 입력받는 음의 입력을 갖는 연산 증폭기;

상기 연산 증폭기의 음의 입력단에 연결되는 저항; 및

상기 저항과 상기 부스팅 회로부의 출력단 사이에 연결되는 캐패시터를 포함하고,

상기 부스팅 회로부, 완속 강하부 및 급속 강하부 출력단은 상기 선택된 메모리 셀의 비트 라인과 전기적으로 연결되는 공통 노드에 접속되는 상변화 메모리 장치.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

제 1 항에 있어서,

상기 라이트 드라이버는 상기 공통 노드의 전압을 버퍼링하는 버퍼 회로부를 더 포함하는 상변화 메모리 장치.

**청구항 7**

제 6 항에 있어서,

상기 버퍼 회로부는,

상기 공통 노드에 연결된 버퍼부;

상기 버퍼부의 출력 전압을 전류로 변환하는 변환부; 및

상기 변환부의 출력 전류를 미러링하여 상기 메모리 셀 어레이 영역에 제공하는 전류 미러부를 포함하는 상변화 메모리 장치.

**청구항 8**

복수의 워드 라인 및 복수의 비트 라인 및 이들 사이에 각각 연결된 상변화 물질로 구성된 복수의 상변화 메모리 셀들을 포함하는 메모리 셀 어레이 영역; 및

상기 복수의 비트 라인과 전기적으로 연결되며, 상기 메모리 셀 어레이 영역의 선택된 비트 라인을 통해 선택된 상변화 메모리 셀의 상변화 물질에 특정 데이터에 해당하는 전류를 제공하고, 상기 선택된 상변화 메모리 셀의 상변화 물질에 전달되는 전류를 생성하기 위한 펄스를 생성하는 셋/리셋 펄스 생성부, 및 상기 셋/리셋 펄스 생성부의 출력 전압을 버퍼링하는 버퍼 회로부를 포함하는 라이트 드라이버를 포함하고,

상기 셋/리셋 펄스 생성부는,

상기 선택된 상변화 메모리 셀의 상변화 물질에 일정 레벨로 상승된 전류를 제공하도록 구성된 부스팅 회로부;

상기 상승된 전류를 하강시켜 상기 선택된 상변화 메모리 셀의 상기 상변화 물질에 제공하는 급속 강하부;

접지된 양의 입력 및 셋 명령을 입력받는 음의 입력을 갖는 연산 증폭기, 상기 연산 증폭기의 음의 입력단에 연결되는 저항, 및 상기 저항과 상기 부스팅 회로부의 출력단 사이에 연결되는 캐패시터를 포함하며, 상기 저항 및 캐패시터의 임피던스값에 따라 상기 상승된 전류의 하강률이 결정되어, 상기 선택된 상변화 메모리셀의 상변화 물질에 해당 전류를 제공하는 완속 강하부를 포함하며,

상기 부스팅 회로부, 급속 강하부 및 완속 강하부 각각의 출력단은 공통 노드에 연결되고, 상기 공통 노드는 상기 선택된 상변화 메모리 셀의 비트 라인에 전기적으로 연결되는 상변화 메모리 장치.

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

제 8 항에 있어서,

상기 부스팅 회로부는 부스팅 신호의 인에이블에 따라, 일정 전압을 출력하도록 구성되는 트랜지스터인 상변화 메모리 장치.

**청구항 13**

제 8 항에 있어서,

상기 급속 강하부는 리셋 명령에 의해 상기 부스팅 회로부의 출력 전압을 디스차지시키도록 구성된 트랜지스터인 상변화 메모리 장치.

**청구항 14**

제 8 항에 있어서,

상기 버퍼 회로부는,

상기 셋/리셋 펄스 생성부의 출력단에 연결된 버퍼부;

상기 버퍼부의 출력 전압을 전류로 변환하는 변환부; 및

상기 변환부의 출력 전류를 미러링하여 상기 상변화 메모리 셀의 상변화 물질에 제공하는 전류 미러부를 포함하는 상변화 메모리 장치.

**청구항 15**

제 14 항에 있어서,

상기 버퍼부는 입력 전압을 증폭하여 출력하도록 구성되는 전압 팔로워(voltage follower)인 상변화 메모리 장치.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 비휘발성 메모리 장치에 관한 것으로, 보다 구체적으로는 라이트 드라이버를 구비한 상변화 메모리 장치에 관한 것이다.

**배경기술**

[0002] 메모리 장치는 전원이 차단되면 입력된 정보가 소거되는 휘발성 메모리인 RAM(Random Access Memory)와, 입력 정보가 계속 유지되는 비휘발성 메모리인 ROM(Read Only Memory)으로 구분된다. 현재 보편적으로 사용되는 RAM 소자로는 DRAM, SRAM을 들 수 있고, ROM 소자로는 플래쉬 메모리를 들 수 있다.

[0003] DRAM은 소비전력이 낮고 임의 접근이 가능한 이점이 있는 반면, 휘발성이며 높은 전하 저장 능력이 요구되어 캐패시터의 용량을 높여야 하는 단점이 있다. 캐쉬(cache) 메모리 등으로 사용되는 SRAM은 임의 접근이 가능하고 속도가 빠른 장점이 있으나, 휘발성일 뿐 아니라 사이즈가 커서 비용이 높다는 한계가 있다. 아울러, 플래쉬 메모리는 비휘발성 메모리이긴 하나, 두 개의 게이트가 적층된 구조를 갖기 때문에 전원전압에 비해 높은 동작 전압이 요구되고 이에 따라, 기록 및 소거 동작에 필요한 전압을 형성하기 위해 별도의 승압 회로를 필요로 하므로 고집적화가 어렵고 동작 속도가 느린 단점이 있다.

[0004] 이러한 메모리 장치들의 단점을 극복하기 위해 개발된 메모리 소자로 강유전 메모리 장치(Ferroelectric Random Access Memory; FRAM), 강자성 메모리 장치(Magnetic Random Access Memory; MRAM) 및 상변화 메모리 장치(Phase-change Random Access Memory; PRAM)가 있다.

[0005] 그 중, 상변화 메모리 장치는 비정질 상태에서는 높은 저항을, 결정질 상태에서는 낮은 저항을 갖는 상변화 물질을 포함하고, 상변화 물질의 상변화에 의해 정보를 기록하고 독출하는 메모리 소자로서, 플래쉬 메모리에 비해 빠른 동작 속도 및 높은 집적도를 갖는 장점이 있다.

[0006] 이와 같은 상변화 메모리 장치의 메모리 셀은 워드 라인과 연결된 스위칭 소자, 스위칭 소자의 개폐에 의해 열을 제공받는 상변화 물질, 및 상변화 물질에 데이터를 기입하는 비트 라인으로 구성될 수 있다.

[0007] 상변화 메모리 장치는 여타의 다른 메모리 소자와 마찬가지로 리드 및 라이트 동작을 수행한다.

[0008] 상변화 메모리 장치의 리드 동작은 상변화 물질의 결정 상태가 변화되지 않을 정도의 낮은 전압 및 전류를 인가하여, 상변화 물질에 라이트된 저항값을 측정한다.

[0009] 한편, 상변화 메모리 장치의 라이트 동작은 비트 라인으로부터 제공되는 전류에 의해 상변화 물질의 결정 상태가 가변되어, 상변화 물질에 "1" 또는 "0"의 데이터가 기입된다.

[0010] 여기서, 상변화 물질이 비정질 상태인 경우, 도 1a와 같이 상변화 물질을 구성하는 Ge 원자가 일측으로 치우쳐 다른 원자들과 비대칭적으로 결합이 이루어져서, 상변화 물질은 완벽한 공유 결합이 이루어지지 않게 된다. 이에 따라, 상변화 물질은 상대적으로 높은 저항값을 갖게 되고, 이를 리셋(reset) 상태라 일컬으며, 이러한 상태의 상변화 물질의 저항값을 데이터 "1"로 정의한다.

[0011] 상변화 물질이 결정질 상태인 경우, 도 1b에 도시된 바와 같이, Ge 원자가 입방면심(立方面心)에 있는 원자와 Ge 원자가 모두 등거리로 배치되어, 대칭적 공유 결합(covalent bond)을 이룬다. 이에 따라, 상변화 물질은 상대적으로 낮은 저항값을 갖고, 이를 셋(set) 상태라 일컬으며, 이러한 상태의 상변화 물질의 저항값을 데이터 "0"으로 정한다.

[0012] 또한, 상변화 물질을 비정질 상태(RESET)로 만들기 위해서는, 도 2에 도시된 바와 같이, 상변화 물질에 소정 시간 동안 일정 레벨의 전류를 인가한 후, 급격히 전류 공급을 차단(fast-quench)시킨다. 여기서, 일정 레벨의 전류는 상변화 물질을 녹는점 이상으로 가열 가능한 수준의 전류일 수 있다.

- [0013] 한편, 상변화 물질을 결정질 상태로 만들기 위해서는, 상변화 물질에 소정 시간 동안 일정 레벨의 전류를 인가하다가, 서서히 전류 공급을 줄인다(slow-quench).
- [0014] 이에 따라, 상변화 메모리 장치의 라이트 구동 회로는 전류를 급격히 또는 점진적으로 감소시키기 위한 회로가 요구된다.
- [0015] 특히 종래에는 전류를 점진적으로 감소시키기 위한 회로로서, 복수의 저항이 직렬로 연결된 저항 스트링 회로가 제안되었다.(IEEE, Journal of Solid State Circuit, 2008년, 1월 "A 90nm 1.8V 512Mb Diode-Switch PRAM with 266MB/s Read Throughput, Kwang-Jin Lee et al)
- [0016] 그런데, 이와 같은 저항 스트링 회로는 복수의 저항이 직렬로 연속 배열되기 때문에, 매우 큰 면적이 요구될 뿐만 아니라, 전류를 점진적으로 감소시키기 위해, 서로 다른 전위를 선택하기 위한 복수의 제어 신호(특히 프로그램 펄스 신호등) 및 이들을 생성하기 위한 부수적인 회로 블록이 요구되어, 라이트 드라이버 회로의 면적을 상승시키는 원인으로 작용될 뿐만 아니라, 큰 스위칭 전력이 소모된다.

**발명의 내용**

**해결 하고자하는 과제**

- [0017] 따라서, 본 발명이 이루고자 하는 기술적 과제는 좁은 면적을 차지하면서, 적은 수의 제어 회로를 이용하여 셋 데이터 기입시 전류를 점진적 감소시킬 수 있는 상변화 메모리 장치를 제공하는 것이다.

**과제 해결수단**

- [0018] 상기한 본 발명의 기술적 과제를 달성하기 위한, 본 발명의 일 실시예에 따른 상변화 메모리 장치는 제공되는 전류량에 따라 셋 및 리셋 상태로 변화되는 상변화 물질을 각각 포함하는 복수의 메모리 셀들로 구성된 메모리 셀 어레이 영역, 및 상기 메모리 셀 어레이 영역의 선택된 메모리 셀에 셋 또는 리셋에 해당하는 전류를 제공하는 라이트 드라이버를 포함한다. 상기 라이트 드라이버는 상기 메모리 셀 어레이 영역에 서서히 하강되는 전류를 제공하는 아날로그 회로부로 구성된 완속 강하부를 포함한다.
- [0019] 또한, 본 발명의 다른 실시예에 따른 상변화 메모리 장치는 복수의 워드 라인 및 복수의 비트 라인으로 구성된 상변화 메모리 셀들을 포함하는 메모리 셀 어레이 영역, 및 상기 복수의 비트 라인과 전기적으로 연결되며, 상기 메모리 셀 어레이 영역의 선택된 상변화 메모리 셀에 특정 데이터에 해당하는 전류를 제공하고, 상기 선택된 상변화 메모리 셀 어레이 영역에 전달되는 전류를 생성하기 위한 펄스를 생성하는 셋/리셋 펄스 생성부, 및 상기 셋/리셋 펄스 생성부의 출력 전압을 버퍼링하는 버퍼 회로부를 포함하는 라이트 드라이버를 포함하고, 상기 셋/리셋 펄스 생성부는 반전 적분기로 구성된 된 완속 강하부를 포함한다.

**효과**

- [0020] 본 발명에 따르면, 라이트 드라이버의 완속 강하부를 선형적으로 전압을 감소시키는 반전 적분기로 구성한다. 이러한 반전 적분기는 연산 증폭기, 저항 및 캐패시터로 구성되므로 비교적 단순한 회로 구성을 가지므로, 전압을 점진적으로 감소시키기 위한 스트링 형태의 복수의 저항이 요구되지 않으며, 이러한 복수의 저항을 제어하기 위한 복수의 제어 신호 또한 요구되지 않는다.
- [0021] 이에 따라, 상변화 메모리 장치의 라이트 드라이버 회로 면적을 감축시킬 수 있고, 이에 의해, 상변화 메모리 장치의 집적 밀도를 증대시킬 수 있다.

**발명의 실시를 위한 구체적인 내용**

- [0022] 이하, 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다.
- [0023] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0024] 이하, 본 발명의 실시예들은 상변화 메모리 장치(PRAM: Phase change Random Access Memory)를 이용하여 설명

할 것이다. 그러나, 본 발명은 저항성 메모리 장치(RRAM: Resistive RAM), 강유전체 메모리 장치(FRAM:Ferroelectric RAM), 자기 메모리 장치(MRAM: Magnetic RAM)와 같이 저항체를 이용한 비휘발성 메모리 장치에 모두 적용될 수 있음은 본 발명이 속하는 기술의 당업자에게 자명하다.

- [0025] 도 3은 본 발명의 실시예에 따른 상변화 메모리 장치의 개략적인 회로 구성도이다.
- [0026] 도 3을 참조하면, 상변화 메모리 장치(100)는 메모리 셀 어레이 영역(100), 로우 제어 블록(130), 및 라이트 드라이버(200)를 구비하는 컬럼 제어 블록(150)을 포함할 수 있다.
- [0027] 메모리 셀 어레이 영역(100)은 복수의 비휘발성 메모리 셀, 즉 상변화 메모리 셀(Mc)을 포함한다. 메모리 셀 어레이 영역(100)은 교차하는 복수의 워드 라인(WL0~WLm) 및 복수의 비트 라인(BL0~BLn)을 포함하며, 복수의 워드 라인(WL0~WLm) 및 복수의 비트 라인(BL0~BLn)의 교차부 각각에서 상변화 메모리 셀(Mc)이 형성된다. 각각의 상변화 메모리 셀(Mc)은 전류에 따라 결정 상태가 가변되는 상변화 물질로 구성된 가변 저항(Rv) 및 가변 저항(Rv)에 제공되는 전류를 제어하는 스위칭 소자(SW)로 구성될 수 있다. 가변 저항(Rv)을 구성하는 상변화 물질로는 대표적으로 칼코게나이드(calcoegenide) 물질이 이용될 수 있다. 또한, 상기 스위칭 소자로는 적은 단위 면적을 갖는 수직 구조의 다이오드가 이용될 수 있지만, 다양한 스위칭 소자가 여기에 적용될 수 있다.
- [0028] 로우 제어 블록(130)은 복수의 메모리 셀들 중에서 라이트될 메모리 셀(Mc)이 연결되는 워드 라인을 선택하도록 구성된다. 이러한 로우 제어 블록(130)은 도면에 도시되지 않았지만, 프리 디코더, 로우 디코더 및 로우 선택부를 포함하여, 로우 어드레스 중 어느 하나를 인에이블시켜, 로우 선택부를 통해 해당 워드 라인을 인에이블시킨다.
- [0029] 컬럼 제어 블록(150)은 라이트될 메모리 셀(Mc)의 비트 라인(BL0~BLn)을 선택하도록 구성된다. 컬럼 제어 블록(150)은 컬럼 디코더(160), 컬럼 선택부(170) 및 라이트 드라이버(200)를 포함할 수 있다. 여기서, 라이트 드라이버(200)는 선택된 메모리 셀(Mc)에 라이트 전류, 예를 들어 셋 및 리셋 전류를 제공하도록 구성될 수 있으며 이하에서 보다 상세히 설명하도록 한다. 이러한 컬럼 제어 블록(150)은 컬럼 디코더(160)부터 제공되는 컬럼 선택 신호에 의해 해당 컬럼 선택부(170)를 구동시켜, 컬럼 선택부(170)에 의해 선택된 비트 라인(도면에는 도시되지 않았지만, 글로벌 비트 라인으로 해석할 수 있음은 물론이다)에 라이트 드라이버(200)에서 생성되는 셋 또는 리셋 전류를 제공한다.
- [0030] 상기 라이트 드라이버(200)는 도 4에 도시된 바와 같이, 셋/리셋 펄스 생성부(205) 및 버퍼 회로부(260)를 포함할 수 있다.
- [0031] 셋/리셋 펄스 생성부(205)는 부스팅 회로부(210), 완속(緩速) 강하부(slow quenching unit: 230), 급속(急速) 강하부(fast quenching unit: 250)로 구성될 수 있다.
- [0032] 부스팅 회로부(210)는 부스팅 신호(BOOST)가 인에이블되면, 일정 레벨의 전압(Vcc)을 출력하도록 구성된다. 여기서, '일정 레벨의 전압'이라 함은 상변화 물질의 상태를 가변시킬 수 있을 정도의 전류를 생성할 수 있는 전압이다. 부스팅 회로부(210)는 예를 들어, 부스팅 신호(BOOST)를 반전시키는 인버터(IN) 및 상기 인버터(IN)의 출력 신호에 따라 부스팅 전압(Vcc)을 전달하여 출력하는 제 1 스위칭 트랜지스터(T1)로 구성될 수 있다. 여기서, 부스팅 신호(BOOST)는 라이트 인에이블(write enable) 신호(도시되지 않음)에 의해 생성되는 신호일 수 있고, 제 1 스위칭 트랜지스터(T1)은 예를 들어, 응답 속도 특성이 우수한 와이드(wide) PMOS 트랜지스터 즉, 장 채널 트랜지스터일 수 있다.
- [0033] 완속 강하부(230)는 셋 명령(SET\_com) 입력시, 부스팅 회로부(210)의 출력 전압(Vcc)을 완속 강하(slow quenching)시키도록 구성될 수 있다. 셋 펄스 발생부(230)는 아날로그 회로 성분인 반전 적분기로 구성될 수 있다. 본 실시예의 셋 펄스 발생부(230)를 구성하는 반전 적분기는 저항(R1), 커패시터(C1) 및 연산 증폭기(232)를 포함할 수 있다. 연산 증폭기(232)는 양/음 입력(+/-)을 갖고, 상기 저항(R1)은 연산 증폭기(232)의 음 입력단(-)에 연결되고, 상기 커패시터(C1)는 상기 저항(R1)과 연산 증폭기(232) 사이의 노드(S) 및 부스팅 회로부(210)의 출력단 사이에 연결된다. 이와 같은 구조를 갖는 셋 펄스 발생부(230)는 셋 명령(SET\_com)이 저항(R1)을 통해 반전 적분기(232)에 입력되면, 부스팅 회로부(210)의 출력 전압을 시간에 따라 서서히 디스차지시킨다.
- [0034] 급속 강하부(250)는 리셋 명령(RESET\_com) 입력시, 부스팅 회로부(210)의 출력 전압(Vcc)을 급속 강하(fast quenching)시키도록 구성된다. 이와 같은 급속 강하부(250)는 리셋 명령(RESET\_com)에 응답하여 구동되는 제

2 스위칭 트랜지스터(T2)일 수 있다. 상기 제 2 스위칭 트랜지스터(T2)는 예를 들어, 응답 속도 특성이 우수한 와이드 NMOS 트랜지스터일 수 있다. 이에 따라, 급속 강하부(250)는 리셋 명령(RESET\_com)이 인에이블되면, 부스팅 회로부(210)의 출력 전압을 급속히 디스차지시킨다.

[0035] 여기서, 도면 부호 V1은 셋/리셋 펄스 생성부(205)의 출력 전압을 나타내며, 셋/리셋 펄스 생성부(205)의 출력 전압(V1)은 부스팅 회로부(210)의 출력 전압, 완속 강하부(230)의 출력 전압 또는 급속 강하부(250)의 출력 전압이 될 수 있다.

[0036] 한편, 상기 버퍼 회로부(260)는 버퍼부(270), 변환부(280) 및 전류 미러부(290)로 구성될 수 있다.

[0037] 버퍼부(270)는 셋/리셋 펄스 생성부(205)의 출력 전압(V1)을 버퍼링하는 전압 팔로워(voltage follower)로 구성될 수 있다. 잘 알려진 바와 같이, 전압 팔로워는 입력 전압을 증폭시켜 출력하는 연산 증폭기일 수 있고, 그것의 양의 입력으로 상기 셋/리셋 펄스 생성부(205)의 출력 전압(V1)이 입력되고, 그것의 음의 입력은 출력단과 연결되도록 구성된다. 이러한 버퍼부(270)는 셋/리셋 펄스 생성부(205)의 전압을 입력받아, 일정 레벨의 전압(V2)으로 안정화시킨다. 이하, V2를 버퍼부(270)의 출력 전압으로 칭한다.

[0038] 변환부(280)는 버퍼부(270)의 출력 전압을 커런트 레벨로 변환시킨다. 변환부(280)는 상기 버퍼부(270)의 출력단에 연결되는 제 3 및 제 4 트랜지스터(T3,T4)로 구성된다. 제 3 트랜지스터(T3)는 지속적으로 턴온되도록 일정 바이어스 전압(BIAS)을 게이트 전압으로서 입력받고, 상기 버퍼부(270)의 출력단과 접지단 사이에 연결된다. 제 4 트랜지스터(T4)는 그것의 게이트 및 드레인이 모두 상기 버퍼부(270)의 출력단에 연결되고, 소오스는 접지단에 연결된다.

[0039] 전류 미러부(290)는 변환부(280)의 전압 레벨에 따른 전류(I1)를 미러링하여, 미러링된 전류(I2)를 상기 메모리 셀 어레이 영역(100)에 제공한다. 전류 미러부(290)는 제 5 내지 제 7 트랜지스터(T5,T6,T7)로 구성될 수 있다. 제 5 트랜지스터(T5)는 상기 변환부(280)와 상기 제 6 트랜지스터(T6) 사이에 연결되며, 전류 미러부(290)를 구동시키기 위한 인에이블 전압(ENABLE)을 게이트 전압으로서 입력받는다. 제 6 트랜지스터(T6)는 다이오드 구조, 즉, 게이트 및 소오스가 공통 연결되어 있으며, 드레인으로부터 고전압(VPP)을 제공받는다. 제 7 트랜지스터(T7)는 상기 제 6 트랜지스터(T6)의 게이트와 전기적으로 연결되어 있고, 드레인으로부터 고전압(VPP)을 제공받으며, 소오스는 메모리 셀 어레이 영역(100)의 선택된 비트 라인과 전기적으로 연결된다.

[0040] 이와 같은 라이트 드라이버를 갖는 상변화 메모리 장치의 구동에 대해 도 5 및 도 6을 참조하여 설명한다.

[0041] 먼저, 결정질 상태(데이터 0)의 가변 저항(Rv)을 비정질 상태(데이터 1)로 변형시키기 위해서, 라이트 드라이버(200)의 부스팅 회로부(210)에 부스팅 신호(BOOST)를 인에이블시킨다. 그러면, 와이드 트랜지스터로 구성된 제 1 트랜지스터(T1)가 빠르게 턴 온되어, 메모리 셀 어레이 영역(100)의 선택된 메모리 셀(즉, 상변화 물질)에 급격하게 상승된 전류가 제공된다. 그러면, 상기 상변화 물질층에 충분한 에너지가 공급되어, 많은 수의 공유 결합이 해제되어, 비정질 상태가 된다.

[0042] 이때, 급속 강하부(250)의 리셋 명령(RESET\_com)이 인에이블되면, 급속 강하부(250)의 제 2 트랜지스터(T2)가 턴온되어, 충전되어 있던 셋/리셋 발생부(200)의 출력 전압(V1)이 방전된다. 이에 따라 메모리 셀 어레이 영역(100)에 전류 공급이 급속히 차단되어, 메모리 셀 어레이 영역(100)의 상변화 물질(Rv)은 비정질 상태를 유지하게 된다(RESET).

[0043] 한편, 상기 급격하게 상승된 전류가 제공되고 있는 상태에서, 완속 강하부(230)의 셋 명령(SET\_com)이 인에이블되면, 완속 강하부(230)를 구성하는 반전 적분기(232)가 구동된다. 이에 따라, 셋/리셋 발생부(200) 및 버퍼부(270)의 출력 전압(V1,V2)은 상기 일정 레벨의 전압(Vcc)에서 상기 셋 명령(SET\_com)에 응답하여 서서히 감소하는 형태로 발생된다.

[0044] 이에 대해, 도 6을 참조하여 보다 자세히 설명하면, 상기 셋 명령(SET\_com)이 인에이블되었을 때, 완속 강하부(230)의 출력 전압(V1)은 하기의 수학적 식 1과 같이 적분기의 출력 전압을 산출하는 수식으로 나타내어 진다.

**수학적 식 1**

$$V1(t) = -\frac{1}{R1C1} \int_{t1}^t Vs(t) dt + V1(t1) \dots (t1 < t < t2)$$

[0045]

[0046] 여기서, 상기 수식 1의 접지 전압(Vs)을 하기 수학적 식 2 및 3과 같이 유닛 스텝 펄스(unit step function)을

이용하여 다시 정리하면, 완속 강하부(230)의 출력 전압(V1(t))은 수학식 4의 형태로 구해진다.

**수학식 2**

$$Vs(t) = u(t-t1) - t(t-t2)$$

**수학식 3**

$$Vs(t) = V^\infty \dots (t1 < t < t2)$$

**수학식 4**

$$V1(t) = -\frac{1}{R1C1} V^\infty (t-t1) + V^\infty \dots (t1 < t < t2)$$

즉, 상기 수학식 4에 따르면, 완속 강하부(230)는 시간(t)에 대해 선형적으로 하강하는 형태의 전압(V1)을 출력하게 되며, 완속 강하부(230)의 출력 전압(V1)의 하강률(quenching ratio)은 적분기를 구성하는 저항(R1) 및 캐패시터(C1)의 크기에 따라 결정된다.

이와 같이 반전 적분기를 이용하여 출력 전압(V1)을 선형적으로 감소시키게 되면, 메모리 셀 어레이 영역(100)의 선택된 가변 저항(Rv), 즉 상변화 물질에 전류 공급이 서서히 감소되어, 가변 저항(Rv)을 구성하는 상변화 물질이 강한 공유 결합을 이루면서 서서히 냉각된다. 이에 따라, 상변화 물질은 결정질 상태가 된다.

여기서, 상기 반전 적분기를 구성하는 연산 증폭기는 일반적으로 적은 수의 MOS 트랜지스터로 구현 가능하기 때문에, 저항 스트링 보다 현격히 좁은 면적을 갖도록 제작 가능하고, 상기 반전 적분기는 셋 명령(SET\_com)만이 입력되면 동작 가능하므로, 별도의 제어 신호가 요구되지 않는다. 그러므로, 제어 신호를 생성하기 위한 회로 블록 또한 설치할 필요가 없으므로, 상변화 메모리 장치의 주변 회로의 면적을 줄일 수 있다.

이상에서 자세히 설명한 바와 같이, 본 발명에 따르면, 라이트 드라이버의 완속 강하부를 선형적으로 전압을 감소시키는 반전 적분기로 구성한다. 이러한 반전 적분기는 연산 증폭기, 저항 및 캐패시터로 구성되므로 비교적 단순한 회로 구성을 갖고, 전압을 점진적으로 감소시키기 위한 스트링 형태의 복수의 저항이 요구되지 않으며, 이러한 복수의 저항을 제어하기 위한 복수의 제어 신호 또한 요구되지 않는다.

특히, 상기 변환부에 별도의 복수의 프로그램 커런트의 공급없이 셋/리셋 펄스 생성부의 출력만이 제공되므로, 제어 신호의 수가 현격히 감소된다.

이에 따라, 상변화 메모리 장치의 라이트 드라이버 회로 면적을 감축 시킬 수 있고, 이에 의해, 상변화 메모리 장치의 집적 밀도를 증대시킬 수 있다.

이와같이, 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였으나, 본 발명의 범주에서 벗어나지 않는 한도내에서 여러가지 변형이 가능함은 물론이다. 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 안되며 후술하는 특허 청구 범위 뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

**도면의 간단한 설명**

도 1a는 비정질 상태의 상변화 물질막의 격자 상태를 보여주는 도면,

도 1b는 결정질 상태의 상변화 물질막의 격자 상태를 보여주는 도면,

도 2는 일반적인 상변화 메모리 장치의 셋 및 리셋 펄스를 보여주는 도면,

도 3은 본 발명의 실시예에 따른 상변화 메모리 장치의 개략적인 구성도,

도 4는 본 발명의 실시예에 따른 상변화 메모리 장치의 라이트 드라이버를 보여주는 상세 회로도,

도 5 및 도 6은 본 발명의 실시예에 따른 상변화 메모리 장치에 인가되는 신호들의 타이밍도이다.

<도면의 주요 부분에 대한 부호의 설명>



[0064] 100 : 메모리 셀 어레이 영역

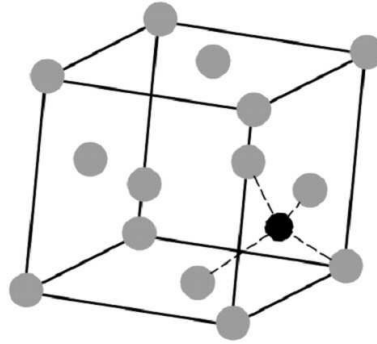
200 : 워드 라인 드라이버

[0065] 230 : 완속 강하부

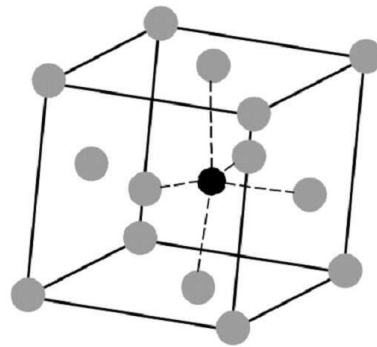
250 : 급속 강하부

도면

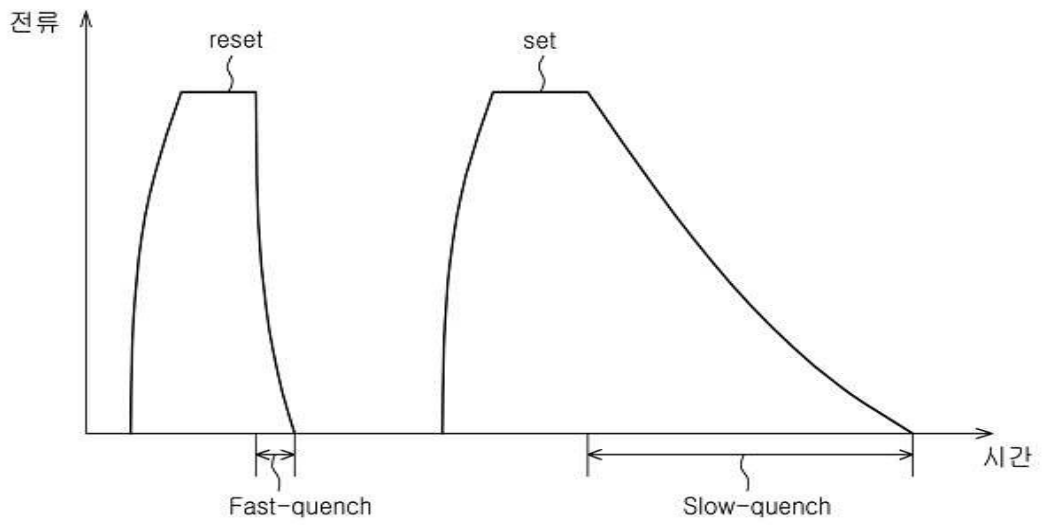
도면1a



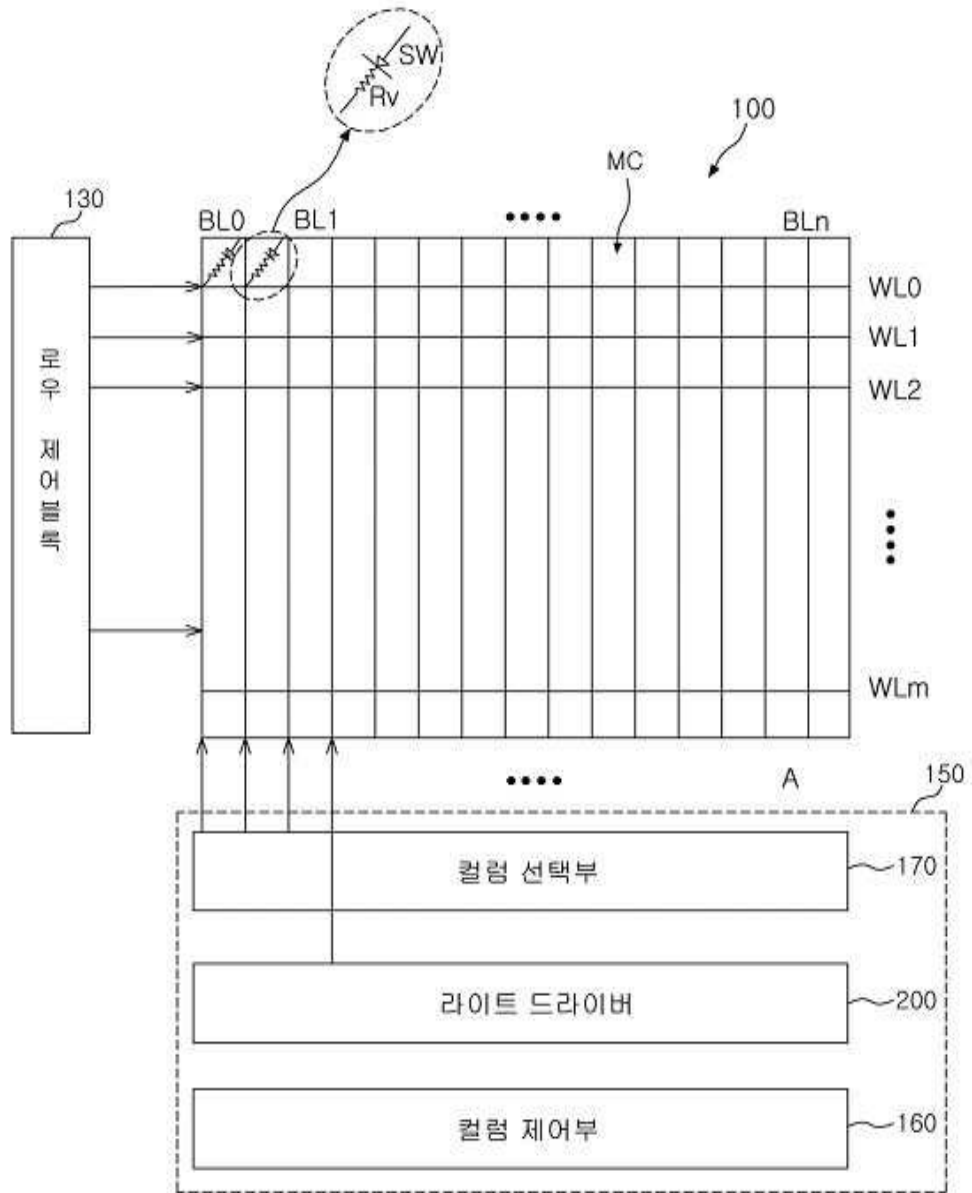
도면1b



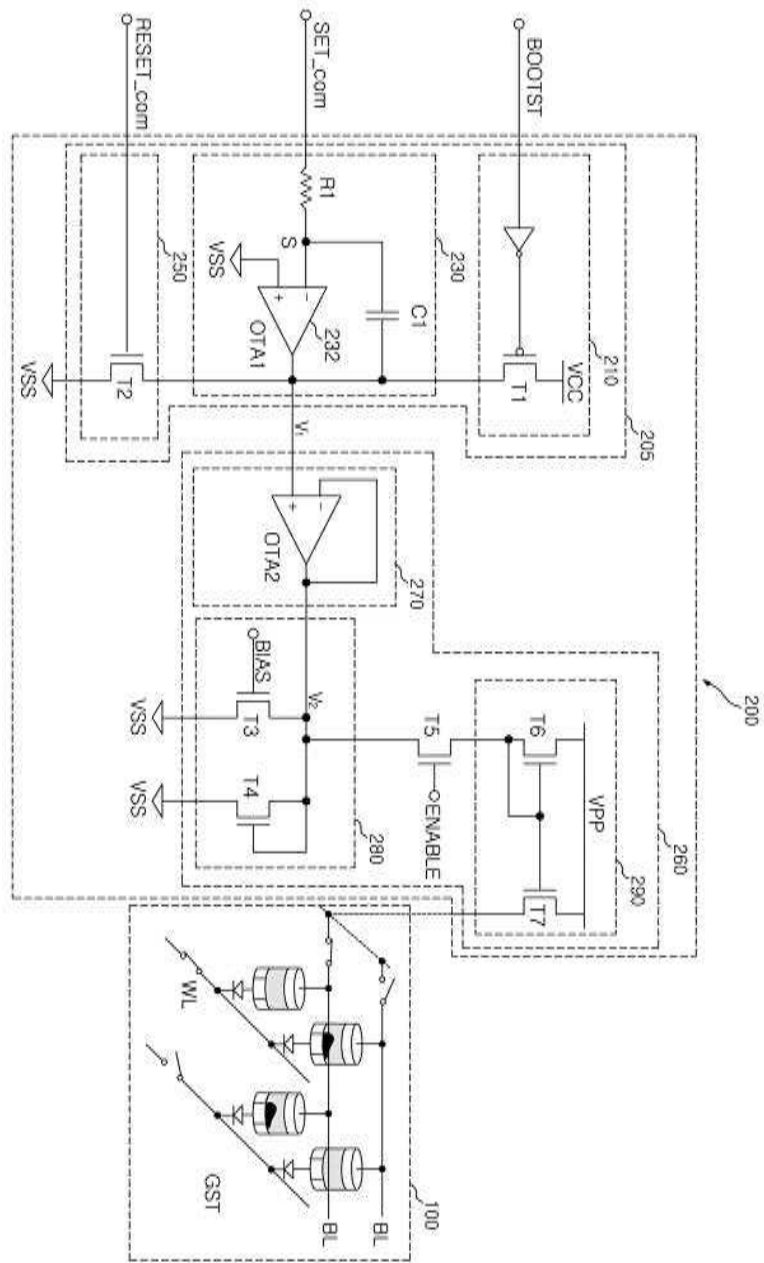
도면2



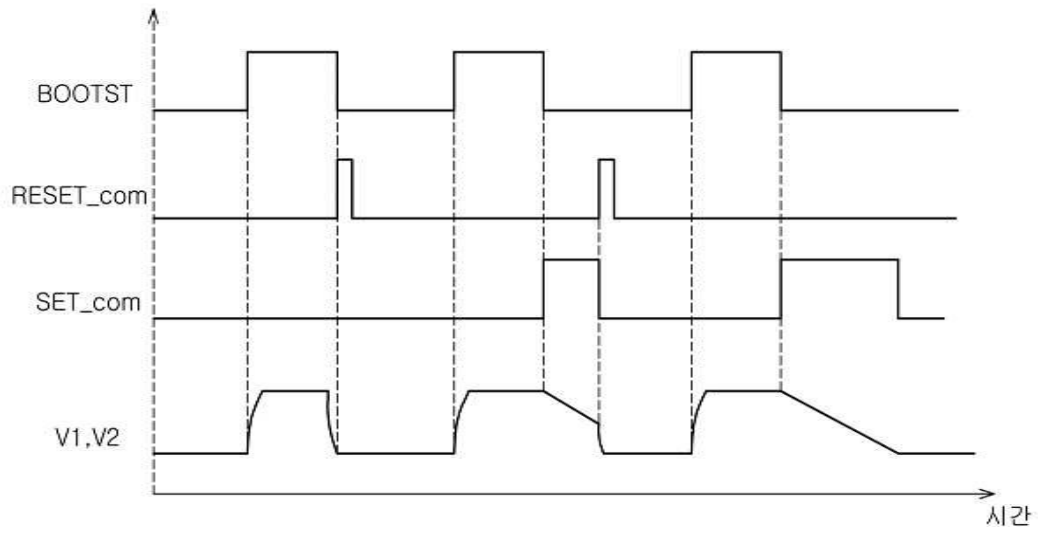
도면3



도면4



도면5



도면6

