



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0150972  
(43) 공개일자 2023년10월31일

- (51) 국제특허분류(Int. Cl.)  
H01L 29/423 (2006.01) H01L 23/482 (2006.01)  
H01L 29/16 (2006.01) H01L 29/417 (2006.01)  
H01L 29/739 (2006.01) H01L 29/78 (2006.01)
- (52) CPC특허분류  
H01L 29/4238 (2013.01)  
H01L 23/4824 (2013.01)
- (21) 출원번호 10-2023-7029542
- (22) 출원일자(국제) 2022년02월15일  
심사청구일자 없음
- (85) 번역문제출일자 2023년08월30일
- (86) 국제출원번호 PCT/US2022/070659
- (87) 국제공개번호 WO 2022/192830  
국제공개일자 2022년09월15일
- (30) 우선권주장  
17/194,846 2021년03월08일 미국(US)

- (71) 출원인  
세미컨덕터 콤포넌츠 인더스트리즈 엘엘씨  
미국 85250 아리조나 스카츠데일 엔. 피마 로드 5701
- (72) 발명자  
니어 토마스  
독일 81547 뮌헨 망팔스츠 2  
더 플리스하우어 헤르베르트  
벨기에 9870 줄트 메렐스트랏 13지  
알레르스탐 프레드릭  
스웨덴 17069 솔나 호너르스가탄 5
- (74) 대리인  
유미특허법인

전체 청구항 수 : 총 20 항

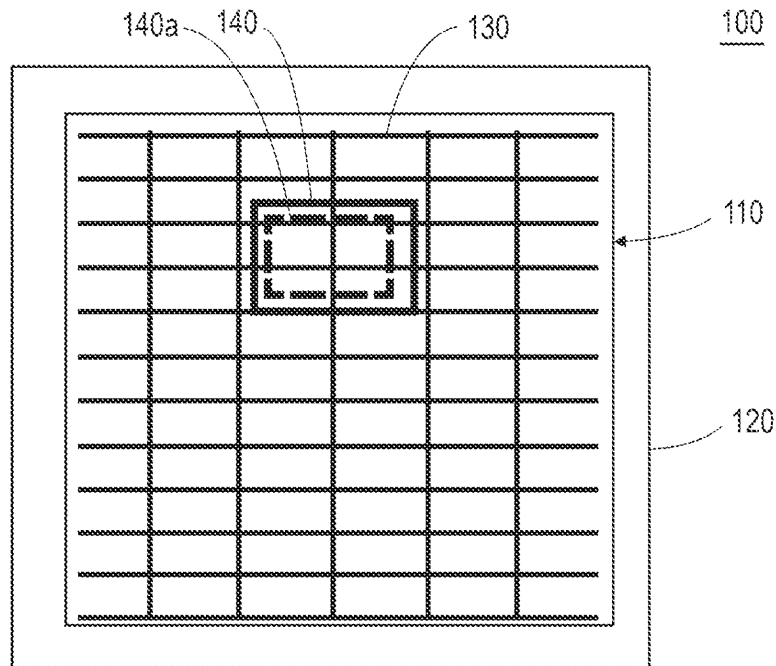
(54) 발명의 명칭 게이트 연결 그리드를 갖는 수직 트랜지스터들

(57) 요약

일반적인 태양에서, 반도체 디바이스(100)는 반도체 영역의 활성 영역(110) 내에 배치된 복수의 수직 트랜지스터 세그먼트들(200, 300)을 포함할 수 있다. 복수의 수직 트랜지스터 세그먼트들은 각자의 게이트 전극들(206b, 306b)을 포함할 수 있다. 제1 유전체(415, 915, 1015)가 활성 영역 상에 배치될 수 있다. 전기 전도성 그리드

(뒷면에 계속)

대표도 - 도1a



(130, 230, 330, 430, 630, 930, 1030)가 제1 유전체 상에 배치될 수 있다. 전기 전도성 그리드는 제1 유전체를 통해 형성된 복수의 전도성 콘택들(430a, 630a, 930a, 1030a)을 사용하여 각자의 게이트 전극들과 전기적으로 결합될 수 있다. 제2 유전체(925)가 전기 전도성 그리드 및 제1 유전체 상에 배치될 수 있다. 전도성 금속 층이 제2 유전체 층 상에 배치될 수 있다. 전도성 금속 층은, 제2 유전체를 통해 형성된 전기 전도성 그리드에 대한 적어도 하나의 전도성 콘택(930a)을 사용하여 전기 전도성 그리드를 통해 각자의 게이트 전극들과 전기적으로 결합되는 부분(951)을 포함할 수 있다.

(52) CPC특허분류

*H01L 29/1608* (2013.01)

*H01L 29/41741* (2013.01)

*H01L 29/7397* (2013.01)

*H01L 29/7813* (2013.01)

## 명세서

### 청구범위

#### 청구항 1

반도체 디바이스(100)로서,

수직 트랜지스터를 포함하고, 상기 수직 트랜지스터는,

제1 바디 영역(203, 303), 제1 소스 영역(204, 304), 및 제1 게이트 전극(206b, 306b)을 갖는 제1 트랜지스터 세그먼트(200, 300);

제2 바디 영역(203, 303), 제2 소스 영역(204, 304), 및 제2 게이트 전극(206b, 306b)을 갖는 제2 트랜지스터 세그먼트(200, 300);

상기 수직 트랜지스터 상에 배치된 제1 유전체 층(415, 915, 1015);

상기 제1 유전체 층 상에 배치된 전기 전도성 그리드(130, 230, 330, 430, 630, 930, 1030) - 상기 전기 전도성 그리드는 상기 제1 유전체 층을 통해 형성된 적어도 제1 전도성 콘택(contact)(430a, 630a, 930a, 1030a)을 사용하여 상기 제1 게이트 전극 및 상기 제2 게이트 전극과 전기적으로 결합됨 -;

상기 전기 전도성 그리드 및 상기 제1 유전체 층 상에 배치된 제2 유전체 층(925); 및

상기 제2 유전체 층 상에 배치된 금속 층을 포함하고, 상기 금속 층은,

상기 제1 유전체 층 및 상기 제2 유전체 층을 통해 형성된 적어도 제2 전도성 콘택(965)을 사용하여 상기 제1 바디 영역, 상기 제1 소스 영역, 상기 제2 바디 영역, 및 상기 제2 소스 영역과 전기적으로 결합되는 제1 부분(961); 및

상기 제2 유전체 층을 통해 형성된 적어도 제3 전도성 콘택(930b)을 사용하여 상기 전기 전도성 그리드와 전기적으로 결합되는 제2 부분(951)을 포함하는, 반도체 디바이스.

#### 청구항 2

제1항에 있어서,

상기 제1 게이트 전극은 제1 평면-게이트 전극 또는 제1 트렌치-게이트 전극 중 하나이고;

상기 제2 게이트 전극은 제2 평면-게이트 전극 또는 제2 트렌치-게이트 전극 중 하나인, 반도체 디바이스.

#### 청구항 3

제1항에 있어서,

상기 수직 트랜지스터는 반도체 기판(201, 202, 301, 302, 303)에 포함되고, 상기 반도체 기판은 평면 내에 배열되고;

적어도 상기 전기 전도성 그리드의 일부분 및 상기 수직 트랜지스터의 상기 제1 트랜지스터 세그먼트의 일부분이 상기 평면에 직교하는 라인을 따라 배열되는, 반도체 디바이스.

#### 청구항 4

제1항에 있어서, 상기 금속 층은 제1 금속 층이고, 상기 반도체 디바이스는,

상기 제1 금속 층 및 상기 제2 유전체 층 상에 배치된 제3 유전체 층(945); 및

상기 제3 유전체 층 상에 배치된 제2 금속 층을 추가로 포함하고, 상기 제2 금속 층은,

상기 제3 유전체 층을 통해 상기 제1 금속 층의 상기 제1 부분과 전기적으로 결합되는 제1 부분(960); 및

상기 제3 유전체 층을 통해 상기 제1 금속 층의 상기 제2 부분과 전기적으로 결합되는 제2 부분(950)을 포함하

는, 반도체 디바이스.

**청구항 5**

제4항에 있어서,

상기 제2 금속 층의 상기 제1 부분은 상기 제1 금속 층의 상기 제1 부분 상에 배치되고;

상기 제2 금속 층의 상기 제2 부분은 상기 제3 유전체 층을 통해 형성된 적어도 하나의 전도성 비아(950a)를 사용하여 상기 제1 금속 층의 상기 제2 부분과 전기적으로 결합되는, 반도체 디바이스.

**청구항 6**

제1항에 있어서,

상기 전기 전도성 그리드 및 상기 제1 전도성 콘택은 텅스텐을 포함하고;

상기 제1 게이트 전극 및 상기 제2 게이트 전극은 도핑된 폴리실리콘을 포함하는, 반도체 디바이스.

**청구항 7**

제1항에 있어서, 상기 수직 트랜지스터는 탄화규소(SiC) 반도체 영역에 포함되는, 반도체 디바이스.

**청구항 8**

제7항에 있어서,

상기 제1 바디 영역 및 상기 제2 바디 영역은,

제1 전도형(conductivity type)의 것이고;

상기 SiC 반도체 영역 내에 배치되고;

상기 SiC 반도체 영역, 상기 제1 소스 영역 및 상기 제2 소스 영역은 상기 제1 전도형에 반대인 제2 전도형의 것이고;

상기 제1 소스 영역은 상기 제1 바디 영역 내에 배치되고;

상기 제2 소스 영역은 상기 제2 바디 영역 내에 배치되는, 반도체 디바이스.

**청구항 9**

제7항에 있어서,

상기 수직 트랜지스터는 수직 전계 효과 트랜지스터(field-effect transistor, FET)를 포함하고,

상기 SiC 반도체 영역은,

상기 수직 FET의 드리프트 영역; 및

상기 수직 FET의 드레인 영역을 포함하는, 반도체 디바이스.

**청구항 10**

제7항에 있어서,

상기 수직 트랜지스터는 수직 절연 게이트 바이폴라 트랜지스터(insulated gate bipolar transistor, IGBT)를 포함하고,

상기 제1 소스 영역은 상기 수직 IGBT의 제1 이미터 영역을 포함하고,

상기 제2 소스 영역은 상기 수직 IGBT의 제2 이미터 영역을 포함하고,

상기 SiC 반도체 영역은,

상기 수직 IGBT의 드리프트 영역; 및

상기 수직 IGBT의 컬렉터 영역을 포함하는, 반도체 디바이스.

**청구항 11**

제1항에 있어서,

상기 제1 게이트 전극은 도핑된 폴리실리콘 게이트 전극의 제1 부분이고;

상기 제2 게이트 전극은 상기 도핑된 폴리실리콘 게이트 전극의 제2 부분인, 반도체 디바이스.

**청구항 12**

제1항에 있어서,

상기 제1 게이트 전극은 제1 도핑된 폴리실리콘 게이트 전극이고;

상기 제2 게이트 전극은 제2 도핑된 폴리실리콘 게이트 전극이고,

상기 제1 도핑된 폴리실리콘 게이트 전극은 상기 전기 전도성 그리드 및 상기 전기 전도성 그리드에 대한 각자의 전기적 콘택들을 통해 상기 제2 도핑된 폴리실리콘 게이트 전극과 전기적으로 결합되는, 반도체 디바이스.

**청구항 13**

제1항에 있어서,

상기 제1 유전체 층을 통해 형성된 상기 적어도 제1 전도성 콘택은 상기 제1 유전체 층을 통해 형성된 제1 복수의 전도성 콘택들을 포함하고;

상기 제1 유전체 층 및 상기 제2 유전체 층을 통해 형성된 상기 적어도 제2 전도성 콘택은 상기 제1 유전체 층 및 상기 제2 유전체 층을 통해 형성된 제2 복수의 전도성 콘택들을 포함하고;

상기 제2 유전체 층을 통해 형성된 상기 적어도 제3 전도성 콘택은 상기 제2 유전체 층을 통해 형성된 제3 복수의 전도성 콘택들을 포함하는, 반도체 디바이스.

**청구항 14**

반도체 디바이스로서,

반도체 영역(202, 303);

상기 반도체 영역 내에 배치된 활성 영역(110);

상기 반도체 영역 내에 배치되고, 상기 활성 영역을 적어도 부분적으로 둘러싸는 격리 영역(isolation region)(120);

상기 활성 영역 내에 배치되고, 각자의 게이트 전극들(206b, 306b)을 포함하는 복수의 수직 트랜지스터 세그먼트들(200, 300);

상기 활성 영역 상에 배치된 제1 유전체 층(415, 915, 1015);

상기 제1 유전체 층 상에 배치되고, 상기 제1 유전체 층을 통해 형성된 복수의 전도성 콘택들(430a, 630a, 930a, 1030a)을 사용하여 상기 각자의 게이트 전극들과 전기적으로 결합되는 전기 전도성 그리드(130, 230, 330, 430, 630, 930, 1030);

상기 전기 전도성 그리드 및 상기 제1 유전체 층 상에 배치된 제2 유전체 층(925); 및

상기 제2 유전체 층 상에 배치되고, 상기 제2 유전체 층을 통해 형성된 상기 전기 전도성 그리드에 대한 적어도 하나의 전도성 콘택(930b)을 사용하여 상기 전기 전도성 그리드를 통해 상기 각자의 게이트 전극들과 전기적으로 결합되는 부분(951)을 포함하는 금속 층을 포함하는, 반도체 디바이스.

**청구항 15**

제14항에 있어서, 상기 금속 층은 제1 금속 층이고, 상기 반도체 디바이스는,

상기 제1 금속 층 및 상기 제2 유전체 층 상에 배치된 제3 유전체 층(945); 및

상기 제3 유전체 층을 통해 상기 제1 금속 층의 상기 부분과 전기적으로 결합되는 부분(950)을 포함하는 제2 금속 층을 추가로 포함하는, 반도체 디바이스.

**청구항 16**

제14항에 있어서, 상기 각자의 게이트 전극들은 각자의 평면-게이트 전극들 또는 각자의 트렌치-게이트 전극들을 포함하는, 반도체 디바이스.

**청구항 17**

제14항에 있어서, 상기 전기 전도성 그리드는 상기 활성 영역의 활성 면적(area)을 감소시키지 않는, 반도체 디바이스.

**청구항 18**

제14항에 있어서, 상기 복수의 수직 트랜지스터 세그먼트들은, 복수의 수직 전계 효과 트랜지스터 세그먼트들; 또는 복수의 수직 절연 게이트 바이폴라 트랜지스터 세그먼트들 중 하나를 포함하는, 반도체 디바이스.

**청구항 19**

반도체 디바이스를 제조하기 위한 방법으로서,  
반도체 영역(202, 303)에서, 수직 트랜지스터를 형성하는 단계 - 상기 수직 트랜지스터는, 제1 바디 영역(203, 303), 제1 소스 영역(204, 304), 및 제1 게이트 전극(206b, 306b)을 갖는 제1 트랜지스터 세그먼트(200, 300); 제2 바디 영역(203, 303), 제2 소스 영역(204, 304), 및 제2 게이트 전극(206b, 306b)을 갖는 제2 트랜지스터 세그먼트(200, 300)를 포함함 -;  
상기 수직 트랜지스터 상에 제1 유전체 층(415, 915, 1015)을 형성하는 단계;  
상기 제1 유전체 층 상에 전기 전도성 그리드(130, 230, 330, 430, 630, 930, 1030)를 형성하는 단계 - 상기 전기 전도성 그리드는 상기 제1 유전체 층을 통해 형성된 적어도 제1 전도성 콘택(430a, 630a, 930a, 1030a)을 사용하여 상기 제1 게이트 전극 및 상기 제2 게이트 전극과 전기적으로 결합됨 -;  
상기 전기 전도성 그리드 및 상기 제1 유전체 층 상에 제2 유전체 층(925)을 형성하는 단계; 및  
상기 제2 유전체 층 상에 금속 층을 형성하는 단계 - 상기 금속 층은, 상기 제1 유전체 층 및 상기 제2 유전체 층을 통해 형성된 적어도 제2 전도성 콘택(965)을 사용하여 상기 제1 바디 영역, 상기 제1 소스 영역, 상기 제2 바디 영역, 및 상기 제2 소스 영역과 전기적으로 결합되는 제1 부분(961); 및  
상기 제2 유전체 층을 통해 형성된 적어도 제3 전도성 콘택(930b)을 사용하여 상기 전기 전도성 그리드와 전기적으로 결합되는 제2 부분(951)을 포함함 - 를 포함하는, 방법.

**청구항 20**

제19항에 있어서, 상기 금속 층은 제1 금속 층이고, 상기 방법은,  
상기 제1 금속 층 및 상기 제2 유전체 층 상에 제3 유전체 층(945)을 형성하는 단계; 및  
상기 제3 유전체 층 상에 제2 금속 층을 형성하는 단계를 추가로 포함하고, 상기 제2 금속 층은,  
상기 제3 유전체 층을 통해 상기 제1 금속 층의 상기 제1 부분과 전기적으로 결합되는 제1 부분(960); 및  
상기 제3 유전체 층을 통해 상기 제1 금속 층의 상기 제2 부분과 전기적으로 결합되는 제2 부분(950)을 포함하는, 방법.

**발명의 설명**

**기술분야**

[0001] 관련 출원의 상호 참조

[0002] 본 출원은 2021년 3월 8일자로 출원되고 발명의 명칭이 "VERTICAL TRANSISTORS WITH GATE CONNECTION GRID"인 미국 정규 특허 출원 제17/194,846호의 계속 출원이고 이에 대한 우선권을 주장하며, 이의 개시내용은 전체적으로 본 명세서에 참고로 포함된다.

**배경기술**

[0003] 반도체 다이에 구현된 수직 전력 트랜지스터들과 같은 수직 트랜지스터들이 매우 다양한 응용들에서 사용된다. 이러한 응용들은 산업 응용들, 소비자 전자 응용들 등을 포함한다. 일부 구현예들에서, 금속 트랙들 또는 러너(runner)들이 전력 트랜지스터를 포함한 반도체 디바이스에 포함될 수 있고, 여기서 그러한 금속 트랙들 또는 러너들은 그 트랜지스터에 대한 제어 신호들(예컨대, 게이트 신호)을 라우팅하는 데 사용될 수 있다.

[0004] 그러나, 그러한 금속 트랙들의 사용과 연관된 소정의 결점들이 있다. 예를 들어, 금속 트랙들을 라우팅하는 데 사용된 반도체 다이의 면적(area)들은 디바이스의 활성 부분들을 구현하는 데 사용되지 않을 수 있는데, 이는 이용가능한 반도체 다이 면적에 비해, 연관된 트랜지스터의 활성 면적을, 일부 구현예들에서 최대 15%만큼 감소시킬 수 있다. 탄화규소(SiC), 질화갈륨(GaN) 등과 같은 일부 기술들에서, 활성 면적의 그러한 감소는, 적어도, 그러한 트랜지스터들을 제조하기 위해 사용되는 반도체 웨이퍼들의 비용으로 인해, 제품 비용을 상당히 증가시킬 수 있다. 또한, 게이트 연결부들에 대한 그러한 금속 트랙들의 라우팅은, 수직 전계 효과 트랜지스터(field-effect transistor, FET)들에 대한 소스 금속 라우팅, 및/또는 절연 게이트 바이폴라 트랜지스터(insulated gate bipolar transistor, IGBT)들에 대한 이미터 금속 라우팅과 같은, 다른 트랜지스터 연결부들에 대한 금속 라우팅을 중단하는 것을 요구할 수 있다. 금속 라우팅의 그러한 중단들은 연관된 저항을 증가시킬 수 있고, 그리고/또는 연관된 반도체 다이를 패키징할 때 와이어 본드들 또는 전도성 클립들과 같은 전기적 연결부들을 형성하는 것을 복잡하게 할 수 있다.

**발명의 내용**

[0005] 일반적인 태양에서, 반도체 디바이스는 제1 트랜지스터 세그먼트 및 제2 트랜지스터 세그먼트를 갖는 수직 트랜지스터를 포함할 수 있다. 제1 트랜지스터 세그먼트는 제1 바디 영역(body region), 제1 소스 영역, 및 제1 게이트 전극을 포함할 수 있다. 제2 트랜지스터 세그먼트는 제2 바디 영역, 제2 소스 영역, 및 제2 게이트 전극을 포함할 수 있다. 반도체 디바이스는 수직 트랜지스터 상에 배치된 제1 유전체 층, 및 제1 유전체 층 상에 배치된 전기 전도성 그리드를 추가로 포함할 수 있다. 전기 전도성 그리드는 제1 유전체 층을 통해 형성된 적어도 제1 전도성 콘택(contact)을 사용하여 제1 게이트 전극 및 제2 게이트 전극과 전기적으로 결합될 수 있다. 반도체 디바이스는 또한, 전기 전도성 그리드 및 제1 유전체 층 상에 배치된 제2 유전체 층, 및 제2 유전체 층 상에 배치된 전도성 금속 층을 포함할 수 있다. 전도성 금속 층은 제1 부분 및 제2 부분을 포함할 수 있다. 제1 부분은 제1 유전체 층 및 제2 유전체 층을 통해 형성된 적어도 제2 전도성 콘택을 사용하여 제1 바디 영역, 제1 소스 영역, 제2 바디 영역, 및 제2 소스 영역과 전기적으로 결합될 수 있다. 제2 부분은 제2 유전체 층을 통해 형성된 적어도 제3 전도성 콘택을 사용하여 전기 전도성 그리드와 전기적으로 결합될 수 있다.

[0006] 다른 일반적인 태양에서, 반도체 디바이스는 반도체 영역, 반도체 영역 내에 배치된 활성 영역, 및 반도체 영역 내에 배치된 격리 영역(isolation region)을 포함할 수 있다. 격리 영역은 활성 영역을 적어도 부분적으로 둘러쌀 수 있다. 반도체 디바이스는 또한, 활성 영역 내에 배치된 복수의 수직 트랜지스터 세그먼트들을 포함할 수 있다. 복수의 수직 트랜지스터 세그먼트들은 각자의 게이트 전극들을 포함할 수 있다. 반도체 디바이스는 또한, 활성 영역 상에 배치된 제1 유전체 층, 및 제1 유전체 층 상에 배치된 전기 전도성 그리드를 포함할 수 있다. 전기 전도성 그리드는 제1 유전체 층을 통해 형성된 복수의 전도성 콘택들을 사용하여 각자의 게이트 전극들과 전기적으로 결합될 수 있다. 반도체 디바이스는 전기 전도성 그리드 및 제1 유전체 층 상에 배치된 제2 유전체 층, 및 제2 유전체 층 상에 배치된 전도성 금속 층을 추가로 포함할 수 있다. 전도성 금속 층은 제2 유전체 층을 통해 형성된 전기 전도성 그리드에 대한 적어도 하나의 전도성 콘택을 사용하여 전기 전도성 그리드를 통해 각자의 게이트 전극들과 전기적으로 결합되는 부분을 포함할 수 있다.

[0007] 다른 일반적인 태양에서, 반도체 디바이스를 제조하기 위한 방법은, 반도체 영역에서, 수직 트랜지스터를 형성하는 단계를 포함할 수 있다. 수직 트랜지스터는 제1 트랜지스터 세그먼트 및 제2 트랜지스터 세그먼트를 포함할 수 있다. 제1 트랜지스터 세그먼트는 제1 바디 영역, 제1 소스 영역, 및 제1 게이트 전극을 가질 수 있다.

제2 트랜지스터 세그먼트는 제2 바디 영역, 제2 소스 영역, 및 제2 게이트 전극을 가질 수 있다. 방법은 수직 트랜지스터 상에 제1 유전체 층을 형성하는 단계, 및 제1 유전체 층 상에 전기 전도성 그리드를 형성하는 단계를 추가로 포함할 수 있다. 전기 전도성 그리드는 제1 유전체 층을 통해 형성된 적어도 제1 전도성 콘택을 사용하여 제1 게이트 전극 및 제2 게이트 전극과 전기적으로 결합될 수 있다. 방법은 또한, 전기 전도성 그리드 및 제1 유전체 층 상에 제2 유전체 층을 형성하는 단계, 및 제2 유전체 층 상에 전도성 금속 층을 형성하는 단계를 포함할 수 있다. 전도성 금속 층은 제1 유전체 층 및 제2 유전체 층을 통해 형성된 적어도 제2 전도성 콘택을 사용하여 제1 바디 영역, 제1 소스 영역, 제2 바디 영역, 및 제2 소스 영역과 전기적으로 결합될 수 있는 제1 부분을 포함할 수 있다. 전도성 금속 층은 또한, 제2 유전체 층을 통해 형성된 적어도 제3 전도성 콘택을 사용하여 전기 전도성 그리드와 전기적으로 결합될 수 있는 제2 부분을 포함할 수 있다.

**도면의 간단한 설명**

[0008]

도 1a 및 도 1b는 게이트 연결 그리드를 포함하는 반도체 디바이스를 개략적으로 예시하는 도면들이다. 도 2는 게이트 연결 그리드와 결합되는 평면-게이트 전극을 갖는 수직 트랜지스터 세그먼트의 단면도를 개략적으로 예시하는 도면이다. 도 3은 게이트 연결 그리드와 결합되는 트랜치-게이트 전극을 갖는 수직 트랜지스터 세그먼트의 단면도를 개략적으로 예시하는 도면이다. 도 4는 게이트 연결 그리드를 포함하는 수직 트랜지스터를 구현하는 반도체 디바이스의 일부분을 예시하는 도면이다. 도 5는 수직 트랜지스터의 게이트 전극들 및 연관된 벌크/바디 및 소스/이미터 영역들을 개략적으로 예시하는 도면이다. 도 6 내지 도 8은 수직 트랜지스터 평면-게이트 전극들 및 연관된 벌크/바디 및 소스/이미터 영역들의 다양한 배열들을 개략적으로 예시하는 도면들이다. 도 9a 내지 도 9g는 평면-게이트 전극들을 갖는 수직 트랜지스터에 대한 제조 프로세스를 개략적으로 예시하는 단면도들이다. 도 10은 도 9a 내지 도 9g의 프로세스와 유사한 프로세스를 사용하여 제조될 수 있는 트랜치-게이트 전극들을 갖는 수직 디바이스를 개략적으로 예시하는 단면도이다.

반드시 축적대로 그려진 것은 아닌 도면들에서, 동일한 참조 부호들이 상이한 도면들에서 동일한 그리드/또는 유사한 구성요소들(요소들, 구조들 등)을 나타낼 수 있다. 도면들은 대체적으로 본 개시내용에서 논의되는 다양한 구현예들을 제한으로서가 아니라 예로서 예시한다. 하나의 도면에 도시된 참조 부호들은 관련 도면들 내의 동일한 그리드/또는 유사한 요소들에 대해 반복되지 않을 수 있다. 다수의 도면들에서 반복되는 참조 부호들은 그러한 도면들 각각에 대하여 구체적으로 논의되지 않을 수 있지만, 관련 도면들 사이의 맥락을 위해 제공된다. 또한, 도면들 내의 모든 동일한 요소들이, 요소의 다수의 인스턴스들이 주어진 도면에서 예시될 때 참조 부호로 구체적으로 참조 표시되는 것은 아니다.

**발명을 실시하기 위한 구체적인 내용**

[0009]

본 개시내용은 수직 트랜지스터 구현예들에 관한 것이다. 예시 및 논의의 목적들을 위해, 본 명세서에 예시된 예들은 대체적으로 평면-게이트 전극들로 구현된 n-채널 수직 트랜지스터들과 관련하여 설명된다. 그러나, 도 3 및 도 10의 구현예들과 같은 일부 구현예들에서, 본 명세서에 설명된 접근법들은 트랜치-게이트 전극들을 포함하는 수직 트랜지스터들에서 구현될 수 있다. 또한, 일부 구현예들에서, 본 명세서에서 논의된 반도체 전도형(conductivity type)들은 역전될 수 있다(예컨대, n-형 전도성 및 p-형 전도성은 p-채널 수직 트랜지스터들을 제조하기 위해 역전될 수 있음).

[0010]

본 명세서에 설명된 구현예들은 또한 위에 언급된 현재 구현예들의 결점들 중 적어도 일부를 해결할 수 있다. 예를 들어, 본 명세서에 설명된 구현예들은, 게이트 전극들, 예컨대, 수직 전력 트랜지스터와 같은 연관된 트랜지스터의 도핑된 폴리실리콘 게이트 전극들에 저저항 전기적 연결부들을 제공하기 위해 게이트 연결 그리드를 포함한다. 그러한 게이트 연결 그리드의 사용은, 게이트 제어 신호들을 전달하기 위한 금속 트랙들 또는 러너들이 반도체 다이에 구현되는 전력 트랜지스터들로부터 배제되거나 제거될 수 있게 한다. 따라서, 이용가능한 반도체 다이 면적과 비교하여, 연관된 트랜지스터의 활성 면적은, 이용가능한 반도체 다이 면적의 1퍼센트 또는

거의 100퍼센트까지 증가될 수 있다. 일부 구현예들에서, 이용가능한 반도체 다이 면적은 대응하는 반도체 다이의 격리 또는 종단 영역(termination region) 내의 반도체 면적일 수 있다. 대응하는 반도체 다이의 둘레의 적어도 일부분 주위에 배치될 수 있는 그러한 격리 또는 종단 영역은, 연관된 전력 트랜지스터의 브레이크다운 전압(breakdown voltage)을 조절하는 것을 도울 수 있다. 예를 들어, 그러한 격리 영역은, 예컨대 트랜지스터의 동작 동안 높은 전기장을 종료함으로써, 트랜지스터의 정격 전압 아래에서 브레이크다운이 발생하는 것을 방지할 수 있다.

[0011] 또한, 본 명세서에 설명된 예시적인 구현예들에서, 금속 트랙 또는 러너가 전력 트랜지스터의 전기 신호들, 예컨대 게이트 제어 신호들을 전달하는 데 사용되지 않기 때문에, 소스 및/또는 이미터 연결부들과 같은, 트랜지스터에 대한 다른 연결부들을 위한 신호 금속은 연속적일 수 있다. 즉, 그러한 금속 트랙들의 라우팅을 수용하기 위한 신호 금속의 파단들이, 그러한 금속 러너들이 사용되지 않기 때문에 본 명세서에 설명된 구현예들에서 회피된다. 이는 소스 및/또는 이미터 신호 금속의 연관된 면적이 증가될 수 있게 하며, 이는 결국, 예컨대 현재 구현예들과 동일한 다이 크기에 대해, 통전 용량(current carrying capability)을 증가시키고 연관된 트랜지스터의 성능을 개선시킬 수 있고, 또한, 사용을 위해 디바이스를 패키징할 때 전기 클립 또는 와이어 본드 연결부들과 같은, 전기적 연결부들을 만드는 것을 단순화할 수 있다.

[0012] 본 명세서에 설명된 접근법들은 또한 다른 이점들을 제공할 수 있다. 예를 들어, 일부 구현예들에서, 연관된 반도체 내부의 게이트 연결부의 저항은 쉽게 조정되거나, 밀리-옴 범위의 정확도들로 튜닝될 수 있다. 그러한 조정은 게이트 연결 그리드(예컨대, 텅스텐, 또는 다른 금속 그리드)와 트랜지스터의 세그먼트들의 게이트 전극들(예컨대, 도핑된 폴리실리콘 게이트 전극들) 사이에 만들어지는 다수의 전기적 콘택들의 결과로서 달성될 수 있다. 또한, 게이트 연결 그리드의 사용, 및 게이트 금속 트랙들 또는 러너들의 제거는, 연관된 반도체 프로세스에서 필드 산화물(field oxide) 형성이 배제될 수 있게 할 수 있는데, 왜냐하면 그러한 필드 산화물은 현재 접근법들에서 금속 게이트 트랙들의 전기적 격리에 사용될 수 있기 때문이다. 본 개시내용의 목적들을 위해, 게이트 연결 그리드는 또한 전기 전도성 그리드, 또는 전도성 그리드로 지칭될 수 있다.

[0013] 도 1a 및 도 1b는 게이트 연결 그리드(130)를 포함하는 반도체 디바이스(100)를 개략적으로 예시하는 도면들이다. 이러한 예에서, 반도체 디바이스(100)는 활성 면적(110) 및 격리 또는 종단 영역(120)을 포함한다. 이러한 예에서, 종단 영역(120)은 활성 면적(110)을 둘러싼다. 즉, 종단 영역(120)은 활성 면적(110)의 외주(outer perimeter)를 한정한다. 일부 구현예들에서, 종단 영역(120)은 반도체 디바이스(100)의 활성 면적(110)에 구현된 트랜지스터의 동작과 연관된 전기장을 종료하기 위해 임플란트들 및/또는 트렌치 구조물들을 포함할 수 있다.

[0014] 도 1a에 도시된 바와 같이, 반도체 디바이스(100)는 활성 면적(110) 내에 배치되는 게이트 연결 그리드(130) 및 게이트 패드 면적(140)을 포함한다. 이러한 예에서, 게이트 연결 그리드(130)는 텅스텐 또는 다른 금속 재료들로 구현될 수 있는 전기 전도성 재료의 규칙적으로 배열된 행들 및 열들을 포함한다. 즉, 본 명세서에 설명된 구현예들에서, 게이트 연결 그리드(전기 전도성 그리드)는 전기 전도성 재료의 행들 및 열들의 매트릭스를 포함할 수 있다. 일부 구현예들에서, 게이트 연결 그리드는 다른 배열들을 가질 수 있다. 예를 들어, 행들 및 열들은 불규칙적으로 이격될 수 있고, 세그먼트화될 수 있으며, 등등일 수 있다. 게이트 연결 그리드(130)와 같은 게이트 연결 그리드의 특정 배열은 특정 구현예에 의존할 것이다. 도 1a에 예시된 바와 같이, 게이트 연결 그리드(130)는 연관된 반도체 프로세스를 위해 활성 면적(110)으로부터 적절한 간격을 두고, 활성 면적(110)의 전부, 또는 거의 전부 위로 연장될 수 있다. 게이트 연결 그리드(130)의 배열은 게이트 연결 그리드(130)로부터, 활성 면적(110)에 포함된 연관된 트랜지스터의, 게이트 연결 그리드(130)보다 아래에 배치되는, 트랜지스터 세그먼트들의 게이트 전극들로의 저저항 연결부들을 허용한다. 예를 들어, 위에 언급된 바와 같이, 게이트 연결 그리드(130)는, 도핑된 폴리실리콘보다 저항성이 대략 100배 더 작은 텅스텐을 사용하여 구현될 수 있다.

[0015] 반도체 디바이스(100)는 또한, 게이트 패드 면적(140) 및 게이트 패드 연결 면적(140a)을 포함한다. 도 1a에 도시된 바와 같이, 게이트 패드 연결 면적(140a)은 게이트 패드 면적(140)보다 더 작은 면적을 가질 수 있다. 이러한 예에서, 반도체 디바이스(100)의 신호 분배 층의 일부일 수 있는 게이트 패드 금속(150)은 도 1b에 도시된 바와 같이 게이트 패드 면적(140) 내에 배치될 수 있다. 게이트 패드 금속(150)은, 게이트 패드 연결 면적(140a)에서, 예컨대 본 명세서에 설명된 접근법들에서와 같이, 다른 금속 층, 전도성 비아들 및/또는 전도성 콘택들을 사용하여, 게이트 연결 그리드(130)와 전기적으로 결합될 수 있다. 따라서, 이러한 예에서, 게이트 패드 금속(150)은 게이트 연결 그리드(130)를 통해, 뿐만 아니라 게이트 연결 그리드(130)와 게이트 전극들 사이의 전기적 연결부들, 및 게이트 패드 금속(150)과 게이트 연결 그리드(130) 사이의 전기적 연결부들을 통해 반도체 디바이스(100)의 연관된 트랜지스터의 게이트 전극들과 전기적으로 결합될 수 있다. 또한 이러한 예에서,

도 1b에 도시된 바와 같이, 게이트 패드 금속(150)을 포함하는 분배 층의 일부일 수 있는 소스 패드 금속(160)은, 게이트 패드 금속(150)으로 덮이지 않은 활성 면적(110)의 부분들 상에, 또는 그 위로 배치될 수 있고, 여기서 소스 패드 금속(160)은 게이트 패드 금속(150) 및 중단 영역(120)으로부터 적절히 이격된다.

[0016] 그러한 접근법들에서, 금속 게이트 트랙들이 제거되었기 때문에, 중단 영역(120)으로부터 적절한 간격을 두고 있는, 반도체 디바이스(100)의 전체 활성 면적(110)은 활성 트랜지스터 세그먼트들을 포함할 수 있다. 따라서, 금속 게이트 트랙들을 구현하는 데 이전에 사용된 면적은 제거되거나 활성 트랜지스터 면적에 사용될 수 있다. 따라서, 더 작은 면적을 갖는 반도체 다이가 금속 게이트 트랙들을 포함하는 반도체 디바이스의 트랜지스터 활성 면적과 동등한 트랜지스터 활성 면적을 갖는 반도체 디바이스를 제조하는 데 사용될 수 있다. 즉, 게이트 금속 트랙들을 구현하기 위한 면적이 제거될 수 있고, 그러한 게이트 금속 트랙들을 구현하는 데 사용된 면적의 양(예컨대, 연관된 활성 면적의 최대 15%)만큼 대응하는 다이 크기가 감소될 수 있다. 달리 말하면, 일부 구현 예들에서, 본 명세서에 설명된 예시적인 구현예들과 같은 게이트 연결 그리드는, 본 명세서에 설명된 수직 트랜지스터들과 같은 대응하는 반도체 디바이스의, 활성 영역 내의, 활성 면적을 감소시키지 않을 수 있다.

[0017] 도 2는 게이트 연결 그리드(230)와 결합되는 평면-게이트를 갖는 수직 트랜지스터 세그먼트(200)의 단면도를 개략적으로 예시하는 도면이다. 수직 트랜지스터 세그먼트(200)는 페이지의 안팎으로 제3 치수로 연장될 수 있다. 일부 구현예들에서, 도 2에 도시된 수직 트랜지스터 세그먼트(200) 복수 개가 반도체 다이에 포함될 수 있고, 게이트 연결 그리드(230)는 각자의 게이트 전극들을 함께 전기적으로 결합하여 복수의 수직 트랜지스터 세그먼트들을 포함하는 수직 트랜지스터를 구현하는 데 사용될 수 있다. 수직 트랜지스터 세그먼트(200)의 요소들의 특정 배열, 및/또는 수직 트랜지스터 세그먼트(200)의 요소들의 도핑 프로파일에 따라, 수직 트랜지스터 세그먼트(200)는 수직 전계 효과 트랜지스터(FET), 또는 절연 게이트 바이폴라 트랜지스터(IGBT)를 구현할 수 있다. 예로서, 수직 트랜지스터 세그먼트(200)는 대체적으로 수직 FET로서 설명된다.

[0018] 도 2의 예시적인 구현예에서, 수직 트랜지스터 세그먼트(200)는 SiC 기판, 또는 다른 반도체 기판과 같은 고농도로 도핑된 n-형 기판일 수 있는 기판(201)을 포함한다. 수직 트랜지스터 세그먼트(200)는 또한, 기판(201)의 도핑 농도보다 더 적은 도핑 농도를 갖는 n-형 에피택셜 층일 수 있는 에피택셜 층(202)을 포함한다. 이러한 예시적인 구현예에서, 기판(201)은 수직 트랜지스터 세그먼트(200)의 드레인 단자(또는 IGBT 구현예에서 컬렉터 단자)를 포함하거나 구현할 수 있다. 에피택셜 층(202)은 수직 트랜지스터 세그먼트(200)의 드리프트 영역을 구현할 수 있다. 도 2의 라인(270)은 동작 동안 온-상태에 있을 때 수직 트랜지스터 세그먼트(200)에 대한 대부분의 캐리어 유동 방향을 나타낸다. 이러한 예에서, 대부분의 캐리어 유동은 전자들일 것이지만, 수직 트랜지스터 세그먼트(200)의 전도형들이 역전되어, n-형 및 p-형 전도성들이 스위칭되었다면 정공들일 것이다.

[0019] 또한 도 2에 도시된 바와 같이, 수직 트랜지스터 세그먼트(200)는 벌크 영역들로도 지칭될 수 있는 p-형 웰 영역들일 수 있는 바디 영역들(203)을 포함할 수 있다. 소스 영역들(204)(IGBT 구현예의 경우 이미터 영역들)은 각각 바디 영역들(203) 내에 배치될 수 있다. 이러한 예에서, 소스 영역들(204)은 고농도로 도핑된 n-형 임플란트들일 수 있다. 수직 트랜지스터 세그먼트(200)는 바디 영역들(203) 내에 각각 배치되는 고농도(heavy) 바디 영역들(205)(또는 하위 콘택 영역들)을 추가로 포함할 수 있다. 고농도 바디 영역들(205)은 소스 신호 금속 층(또는 IGBT 구현예의 경우 이미터 신호 금속 층)으로부터 바디 영역들(203)로의 옴 콘택(ohmic contact)들의 형성을 용이하게 하는 고도로 도핑된 p-형 임플란트들일 수 있고, 여기서 소스 신호 금속은 또한 소스 영역들(204)에 대한 옴 콘택들을 형성할 수 있다.

[0020] 수직 트랜지스터 세그먼트(200)는 또한 게이트 구조물(206)을 포함한다. 게이트 구조물(206)은 게이트 유전체(206a) 및 게이트 전극(206b)을 포함한다. 게이트 구조물(206)은, 도 2에 도시된 바와 같이, 소스 영역들(204) 사이에서 연장되어, 부분적으로 소스 영역들(204) 각각 위로 연장된다. 동작 시, 게이트 구조물(206)의 게이트 전극(206b)에 적절한 바이어스를 인가하면, 소스 영역들(204)로부터, 바디 영역들(203)을 통해 에피택셜 층(202)까지(예컨대, 수직 트랜지스터 세그먼트(200)의 드리프트 영역까지) 전도 채널이 형성된다. 위에 언급된 바와 같이, 게이트 구조물(206), 구체적으로 게이트 전극(206b)은 게이트 연결 그리드(230)와 전기적으로 결합될 수 있는데, 그 예들이 본 명세서에 설명되고, 게이트 연결 그리드(230)는 추가적인 수직 트랜지스터 세그먼트들의 게이트 구조물들, 예컨대 수직 트랜지스터 세그먼트(200)의 복제된 인스턴스들에 결합될 수 있다.

[0021] 일부 구현예들에서, 수직 트랜지스터 세그먼트(200)의 인스턴스들은, 활성 면적(110)의 전부 또는 거의 전부가 복제된 수직 트랜지스터 세그먼트들로 점유되도록, 반도체 디바이스(100)의 활성 면적(110) 전체에 걸쳐 복제될 수 있다. 이러한 예에서, 중단 영역(120)에 가장 가까운 복제된 트랜지스터 세그먼트들은 중단 영역(120)으로부터 적절하게 이격될 수 있다. 그러한 수직 트랜지스터 세그먼트들 사이의 전기적 상호연결부들은 본 명세서

에 설명된 접근법들을 사용하여 구현될 수 있다. 예를 들어, 그러한 트랜지스터 세그먼트들의 게이트 구조물들(게이트 구조물(206))은 게이트 연결 그리드(230)를 통해 상호연결될 수 있는 한편, 바디 영역들(203), 소스 영역들(204) 및 고농도 바디 영역들(205)은 전도성 금속 층을 통해 상호연결될 수 있다.

[0022] 도 3은 게이트 연결 그리드(330)와 결합되는 트랜치-게이트를 갖는 수직 트랜지스터 세그먼트(300)의 단면도를 개략적으로 예시하는 도면이다. 수직 트랜지스터 세그먼트(300)는, 수직 트랜지스터 세그먼트(200)와 마찬가지로, 페이지의 안쪽으로 제3 치수로 연장될 수 있다. 일부 구현예들에서, 도 3에 도시된 수직 트랜지스터 세그먼트(300) 복수 개가 반도체 다이에 포함될 수 있고, 게이트 연결 그리드(330)는 각자의 게이트 전극들을 함께 전기적으로 결합하여 복수의 수직 트랜지스터 세그먼트들을 포함하는 수직 트랜지스터를 구현하는 데 사용될 수 있다. 수직 트랜지스터 세그먼트(300)의 요소들의 특정 배열, 및/또는 수직 트랜지스터 세그먼트(300)의 요소들의 도핑 프로파일에 따라, 수직 트랜지스터 세그먼트(300)는 수직 전계 효과 트랜지스터(FET), 또는 절연 게이트 바이폴라 트랜지스터(IGBT)를 구현할 수 있다. 예로서, 수직 트랜지스터 세그먼트(300)는 대체적으로 수직 FET로서 설명된다.

[0023] 도 3의 예시적인 구현예에서, 수직 트랜지스터 세그먼트(300)는 SiC 기판, 또는 다른 반도체 기판과 같은 고농도로 도핑된 n-형 기판일 수 있는 기판(301)을 포함한다. 수직 트랜지스터 세그먼트(300)는 또한, 기판(301)의 도핑 농도보다 더 적은 도핑 농도를 갖는 n-형 에피택셜 층일 수 있는 에피택셜 층(302)을 포함한다. 이러한 예시적인 구현예에서, 기판(301)은 수직 트랜지스터 세그먼트(300)의 드레인 단자(또는 IGBT 구현예에서 컬렉터 단자)를 포함하거나 구현할 수 있다. 에피택셜 층(302)은 수직 트랜지스터 세그먼트(300)의 드리프트 영역을 구현할 수 있다. 도 3의 라인들(370)은 동작 동안 온-상태에 있을 때 수직 트랜지스터 세그먼트(300)에 대한 대부분의 캐리어 유동 방향을 나타낸다. 이러한 예에서, 대부분의 캐리어 유동은 전자들일 것이지만, 수직 트랜지스터 세그먼트(300)의 전도형들이 역전되어, n-형 및 p-형 전도성들이 스위칭되었다면 정공들일 것이다.

[0024] 또한 도 3에 도시된 바와 같이, 수직 트랜지스터 세그먼트(300)는 에피택셜 층(302)에 형성된 p-형 웰 영역일 수 있는 바디 영역(303)을 추가로 포함할 수 있다. 바디 영역(303)은 또한 벌크 영역으로 지칭될 수 있다. 소스 영역들(304)(IGBT 구현예의 경우 이미터 영역들)은, 각각, 바디 영역(303) 내에, 그리고 트랜치-게이트 구조물(306)에 인접하게 배치될 수 있다. 이러한 예에서, 소스 영역들(304)은 고농도로 도핑된 n-형 임플란트들일 수 있다. 수직 트랜지스터 세그먼트(300)는 바디 영역(303) 내에, 또는 소스 영역들(304)에 각각 인접한 고농도 바디 영역들(305)(또는 하위 콘택 영역들)을 추가로 포함할 수 있다. 고농도 바디 영역(305)은 소스 신호 금속 층(또는 IGBT 구현예의 경우 이미터 신호 금속 층)으로부터 바디 영역들(303)로의 옴 콘택들의 형성을 용이하게 하는 고도로 도핑된 p-형 임플란트일 수 있고, 여기서 소스 신호 금속은 또한 소스 영역들(304)에 대한 옴 콘택들을 형성할 수 있다.

[0025] 위에 언급된 바와 같이, 수직 트랜지스터 세그먼트(300)는 또한 트랜치-게이트 구조물(306)을 포함한다. 트랜치-게이트 구조물(306)은 게이트 유전체(306a), 및 게이트 전극(306b)을 포함하며, 여기서 게이트 유전체(306a)는 트랜치(306c)를 라이닝(lining)하고, 게이트 전극(306b)은 게이트 유전체(306a) 내에 배치된다. 게이트 구조물(306), 예컨대 트랜치(306c)는, 도 3에 도시된 바와 같이, 바디 영역(303)을 통해 에피택셜 층(302)의 n-형 부분 내로 연장된다. 일부 구현예들에서, 트랜치는 기판(301) 내로 연장될 수 있다. 동작 시, 게이트 구조물(306)의 게이트 전극(306b)에 적절한 바이어스를 인가하면, 소스 영역들(304)로부터, 바디 영역들(303)을 통해 에피택셜 층(302)의 n-형 부분까지(예컨대, 수직 트랜지스터 세그먼트(300)의 드리프트 영역까지) 전도 채널이 형성된다. 위에 언급된 바와 같이, 게이트 구조물(306), 구체적으로 게이트 전극(306b)은 게이트 연결 그리드(330)와 전기적으로 결합될 수 있는데, 그 예들이 본 명세서에 설명되고, 게이트 연결 그리드(330)는 추가적인 수직 트랜지스터 세그먼트들의 게이트 구조물들, 예컨대 수직 트랜지스터 세그먼트(300)의 복제된 인스턴스들에 결합될 수 있다.

[0026] 일부 구현예들에서, 수직 트랜지스터 세그먼트(300)의 인스턴스들은, 활성 면적(110)의 전부 또는 거의 전부가 복제된 수직 트랜지스터 세그먼트들로 점유되도록, 반도체 디바이스(100)의 활성 면적(110) 전체에 걸쳐 복제될 수 있다. 이러한 예에서, 중단 영역(120)에 가장 가까운 복제된 트랜지스터 세그먼트들은 중단 영역(120)으로부터 적절하게 이격될 수 있다. 그러한 수직 트랜지스터 세그먼트들 사이의 전기적 상호연결부들은 본 명세서에 설명된 접근법들을 사용하여 구현될 수 있다. 예를 들어, 그러한 트랜지스터 세그먼트들의 게이트 구조물들(게이트 구조물(306))은 게이트 연결 그리드(330)를 통해 상호연결될 수 있는 한편, 바디 영역들(바디 영역(303)), 소스 영역들(304) 및 고농도 바디 영역들(305)은 전도성 금속 층을 통해 상호연결될 수 있다.

[0027] 도 4는 게이트 연결 그리드(430)를 포함하는 수직 트랜지스터를 구현하는 반도체 디바이스(400)의 일부분을 예

시하는 등축도(isometric diagram)이다. 도 4에 예시된 반도체 디바이스(400)의 일부분은 게이트 연결 그리드(430)의 예시적인 배열 및 대응하는 수직 트랜지스터 세그먼트들의 게이트 구조물들(406)에 대한 게이트 연결 그리드(430)의 연결을 예시하기 위해 예로서 주어진다. 도 4의 예에는, 기판 및/또는 에피택셜 층과 같은 기저 반도체 영역들이 구체적으로 도시되지 않는다. 추가적으로, 반도체 디바이스(400)의 다른 요소들이 예시된 구조물을 가리지 않도록 도 4에 도시되지 않는다. 그러한 요소들은 유전체 층들, 금속 층들, 비아들 등을 포함할 수 있는데, 이들은 반도체 디바이스(400)의 수직 트랜지스터 세그먼트들 사이의 상호연결부들을 구현하는 데 사용될 수 있고, 도 4에 도시된 바와 같은 반도체 디바이스(400)의 일부분의 상부 표면 상에 배치될 수 있다. 또한 도 4에는, 예시의 목적들을 위해, 바디 영역들, 고농도 바디 영역들 및 소스(또는 이미터) 영역들이 각자의 단일 영역들로서 도시되며, 이들은 본 명세서에서 소스/바디 영역들(405)로 지칭된다. 소스/바디 영역들(405) 내의 각자의 소스(또는 이미터) 영역들의 배열은 바디 영역들(203) 내의 소스 영역들(204)에 대해 도 2에 도시된 배열과 유사할 수 있다.

[0028] 도 4에 도시된 바와 같이, 반도체 디바이스(400)는, 도 2에 도시된 게이트 구조물(206)과 유사할 수 있고 소스/바디 영역들(405)이 배치되는 반도체 영역 상에 배치될 수 있는 게이트 구조물들(406)을 포함한다. 반도체 디바이스(400)에서, 유전체 층(415)은 게이트 구조물들(406) 상에 배치될 수 있다. 유전체 층(415)은 게이트 구조물들(406)과 게이트 연결 그리드(430) 사이에 콘택들(430a)이 형성되는 곳을 제외하고는 게이트 구조물(406)을 게이트 연결 그리드(430)로부터 전기적으로 격리시킬 수 있다. 일부 구현예들에서, 게이트 구조물들(406)은 모두, 게이트 연결 그리드(430) 및 콘택들(430a)을 통해, 그리고/또는 게이트 구조물들(406)의 게이트 전극들을 형성하는 데 사용되는 도핑된 폴리실리콘을 통해, 서로 전기적으로 결합될 수 있다. 그러한 구현예들에서, 게이트 구조물들(406)은 대응하는 트랜지스터 세그먼트들을 포함하는 트랜지스터에 대한 단일 트랜지스터 게이트로서 기능할 수 있다.

[0029] 이러한 예에서, 게이트 연결 그리드(430)는 유전체 층(415) 상에(예컨대, 유전체 층(415)의 상부 표면 상에), 또는 유전체 층(415)에 형성된 리세스 내에 배치될 수 있다. 그러한 리세스된 패턴은 포토리소그래피 기법들을 사용하여 형성될 수 있다. 또한 도 4에 도시된 바와 같이, 콘택들(430a)은 유전체 층(415)을 통해 형성되어, 게이트 연결 그리드(430)를 게이트 구조물들(406) 중 하나 이상과 전기적으로 결합할 수 있다. 위에서 논의된 바와 같이, 일부 구현예들에서, 게이트 연결 그리드(430) 및 콘택들(430a)은 텅스텐 및/또는 다른 전기 전도성 저저항 금속 재료들을 사용하여 형성될 수 있다. 반도체 디바이스(400)의 트랜지스터 세그먼트들의 다른 요소들과 마찬가지로, 콘택들(430a)은 페이지의 안팎으로 연장될 수 있다. 또한, 게이트 연결 그리드(430)와 게이트 구조물들(406) 사이의 콘택들(430a)은, 도 4의 페이지의 안팎에 위치되는 위치들과 같은, 게이트 연결 그리드(430)의 상이한 위치들에 형성될 수 있다. 따라서, 그러한 콘택들은 도 4에서 보이지 않는다.

[0030] 도 4에 추가로 도시된 바와 같이, 소스/바디 영역들(405)에 대한 전기적 콘택들(465)은 유전체 층(415)을 통해 만들어질 수 있으며, 여기서 콘택들(465)은 게이트 연결 그리드(430)의 개구들을 통해 연장되고 게이트 연결 그리드(430)로부터 이격된다. 반도체 디바이스(400)에서, 전기적 콘택들(465)은, 예컨대 제2 유전체 층을 통해, 반도체 디바이스(400)의 예시된 부분으로부터 상향으로 연장될 수 있다. 예를 들어, 도 9e 내지 도 9g에 전기적 콘택들(965)에 대해 도시된 바와 같이, 전기적 콘택들(465)은 소스/바디 신호 금속 층을 바디 영역들(405)과 전기적으로 결합할 수 있다.

[0031] 도 5는 수직 트랜지스터의 게이트 전극들(506), 및 소스/바디 영역들(505)로 지칭되는 연관된 벌크/바디 및 소스/이미터 영역들을 개략적으로 예시하는 단면도이다. 도 4에서와 같이, 기저 반도체 영역들(예컨대, 기판 및/또는 에피택셜 층)은 도 5에 도시되지 않는다. 또한, 소스/바디 영역들(405)과 마찬가지로, 도 5의 소스/바디 영역들(505)은, 바디 영역들(203), 소스 영역들(204) 및 고농도 바디 영역들(205)이 수직 트랜지스터 세그먼트(200)의 게이트 구조물(206)과 함께 배열되는 것과 유사하게 게이트 전극들(506)과 함께 배열될 수 있다. 도 5의 단면도는 또한, 이하에 각각 설명되는, 도 6 내지 도 8의 예시적인 구현예들의 게이트 전극들 및 소스/바디 영역들의 단면도들을, 그러한 도면들 각각에 도시된 섹션 라인들 5-5를 따라 개략적으로 예시한다.

[0032] 구체적으로, 도 6 내지 도 8은 수직 트랜지스터에 포함될 수 있는 수직 트랜지스터 평면-게이트 전극들 및 연관된 벌크/바디 및 소스/이미터 영역들의 다양한 배열들을 개략적으로 예시하는 도면들이다. 도 6 내지 도 8 각각에는, 도 4 및 도 5와 마찬가지로, 수직 트랜지스터 세그먼트(200)의 바디 영역들(203), 소스 영역들(204) 및 고농도 바디 영역들(205)이 게이트 전극(206)에 대해 배열되는 것과 유사하게 그들의 대응하는 게이트 전극들과 함께 배열될 수 있는 소스/바디 영역들이 도시된다.

[0033] 예를 들어, 도 6은 소스/바디 영역들(605)이 노출되는 개구들을 포함하는 게이트 전극(606)(와플 형상 게이트

전극)의 일부분을 예시한다. 도 6의 게이트 전극(606)은, 게이트 전극(606)이 연속적인 도핑된 폴리실리콘 피쳐로부터 형성될 수 있기 때문에, 완전 연결된(fully-connected) 게이트 전극으로 지칭될 수 있다. 소스/바디 영역들(605)에 대한 전기적 콘택들은 게이트 전극(606) 내의 개구들을 통해 만들어질 수 있다. 도 6의 섹션 라인 5-5는 도 5의 단면도와 대응하는 소스/바디 영역들(605) 및 게이트 전극(606)의 일부분을 나타낸다. 또한 도 6에는, 게이트 연결 그리드(630)의 일부분 및 그 게이트 연결 그리드(630)로부터 게이트 전극(606)으로의 콘택들(630a)이 도시되어 있다. 따라서, 이러한 예시적인 구현예에서, 게이트 전극(606)의 세그먼트들은 게이트 전극(606)의 도핑된 폴리실리콘을 통해, 그리고 게이트 연결 그리드(630)를 통해 서로 전기적으로 결합될 수 있다.

[0034] 도 7은 수직 트랜지스터의 일부분의 게이트 전극들(706)을 예시한다. 도 7에 도시된 바와 같이, 게이트 전극들(706)은 대체적으로 스트라이프들로서 배열되며, 여기서 일부 인접한 스트라이프들은 상호연결된다. 즉, 도 7의 게이트 전극들(706)의 일부 인접한 스트라이프들은 연속적인 도핑된 폴리실리콘 피쳐를 사용하여 형성될 수 있는 한편, 게이트 전극들(706)의 다른 인접한 스트라이프들은 별개의 도핑된 폴리실리콘 피쳐들로서 형성될 수 있다. 도 7에 도시된 바와 같이, 소스/바디 영역들(705)은 인접한 스트라이프들 사이의 공간들을 통해 노출되고, 소스/바디 영역들(605)에 대한 전기적 콘택들은 게이트 전극들(706) 사이의 공간들을 따라 만들어질 수 있다. 도 6의 섹션 라인 5-5와 마찬가지로, 도 7의 섹션 라인 5-5는 도 5의 단면도와 대응하는 소스/바디 영역들(705) 및 게이트 전극(706)의 일부분을 나타낸다. 도 7에 구체적으로 도시되지 않았지만, 게이트 전극들(706)은, 예컨대 본 명세서에 설명된 접근법들을 사용하여, 게이트 연결 그리드와 결합될 수 있다.

[0035] 도 8은 소스/바디 영역들(805)이 노출되는 육각형 개구들을 갖는, 완전 연결된 육각형 폴리실리콘 피쳐들, 예컨대 상호연결된 육각형들을 포함하는 게이트 전극(806)의 일부분을 예시한다. 소스/바디 영역들(805)에 대한 전기적 콘택들은 게이트 전극(806) 내의 개구들을 통해 만들어질 수 있다. 도 8의 섹션 라인 5-5는 도 5의 단면도와 대응하는 소스/바디 영역들(805) 및 게이트 전극(806)의 일부분을 나타낸다.

[0036] 도 9a 내지 도 9g는 평면-게이트 전극들을 갖는 수직 트랜지스터를 제조하기 위한 제조 프로세스의 동작들을 개략적으로 예시하는 단면도들이다. 도 9a 내지 도 9g에는, 도 4 및 도 5에서와 같이, 기저 반도체 영역들이 구체적으로 도시되지 않는다. 또한, 도 9a 내지 도 9g에 의해 예시된 프로세싱 동작들의 시퀀스는 BOL(back-of-line) 프로세싱 동작들로 지칭될 수 있다. 즉, 도 9a 내지 도 9g의 프로세싱 동작들은 반도체 영역 내에 배치되는 수직 트랜지스터의 세그먼트들의 상호연결을 예시하는데, 여기서 트랜지스터 세그먼트들을 제조하기 위한 프로세싱 동작들은 FOL(front-of-line) 프로세싱으로 지칭될 수 있다. 구체적으로, 도 9a를 참조하면, (예컨대, 도 4 내지 도 8과 관련하여 위에서 논의된) 소스/바디 영역들(905) 및 대응하는 게이트 전극들(906)이 예컨대 FOL 프로세싱 동작들의 결과로서, 이미 존재한다. 일부 구현예들에서, 도 9a 내지 도 9g의 트랜지스터는 반도체 디바이스(100)의 활성 면적(110)과 같은 활성 면적에 포함되는, 수직 트랜지스터 세그먼트(200)와 같은 트랜지스터 세그먼트들을 사용하여 구현될 수 있다. 예컨대 도 2와 관련하여 위에서 논의된 바와 같이, 게이트 전극들(906)은 도 9a 내지 도 9g에 구체적으로 도시되지 않은 기저 게이트 유전체 층을 가질 수 있다.

[0037] 도 9a를 참조하면, BOL 프로세싱은, FOL 프로세싱 동안 제조된 수직 트랜지스터 세그먼트들 상의 유전체 층(915)의 형성을 포함할 수 있고, 예컨대, 그 형성으로 시작할 수 있다. 유전체 층(915)(뿐만 아니라 본 명세서에서 논의된 다른 유전체 층들)은 보로포스포실리케이트 유리(BPSG), 퇴적된 산화물, 또는 다른 유전체 재료와 같은 유리 재료를 포함할 수 있다. 도 9b에 도시된 바와 같이, 유전체 층(915)을 형성한 후에, 대응하는 게이트 전극들(906) 중 하나 이상에 대한 적어도 하나의 전기적 콘택(930a)이 유전체 층(915)을 통해 형성될 수 있다. 단지 단일의 전기적 콘택(930a)만이 도 9b(및 관련 도면들)에 보이지만, 위에 언급된 바와 같이, 다른 전기적 콘택(930a)이 게이트 전극들(906)에 대해, 연관된 트랜지스터 디바이스의 다른 위치들에, 예컨대 페이지의 안으로의 또는 밖으로의, 제3 치수에서의 위치들에, 또는 도 9b의 도면의 측면 위치들에, 예컨대, 도시된 세그먼트들의 좌측 및/또는 우측에 구현된 트랜지스터 세그먼트들에 만들어질 수 있다.

[0038] 도 9c를 참조하면, 전기적 콘택(930a), 및 다른 그러한 콘택들을 형성한 후에, 게이트 연결 그리드(930)가 유전체 층(915) 및 연관된 전기적 콘택들, 예컨대 전기적 콘택(930a) 상에 형성되어, 게이트 연결 그리드(930)를 게이트 전극들(906)과 전기적으로 결합시킬 수 있다. 도 9d로 이동하면, 유전체 층(935)이 게이트 연결 그리드(930) 및 유전체 층(915) 상에 형성될 수 있다. 이러한 예시와 같이, 일부 구현예들에서, 유전체 층(935)은 (전기적 콘택(930a) 및 게이트 연결 그리드(930)를 형성하기 이전에 유전체(915)에도 수행될 수 있는 바와 같이) 평탄화될 수 있다. 그러한 평탄화는 화학적-기계적 연마 동작을 포함할 수 있다.

[0039] 도 9e를 참조하면, 유전체 층(935)을 평탄화한 후에, 게이트 연결 그리드(930)에 대한 전기적 콘택들(930b)뿐만

아니라 바디 영역들(905)에 대한 전기적 콘택들(965)이 형성될 수 있다. 다시, 단지 단일의 전기적 콘택들(930b, 965)만이 도 9e뿐만 아니라 하나 이상의 관련 도면들에 도시되어 있지만, 다른 그러한 전기적 콘택들이 연관된 트랜지스터 디바이스의 다른 위치들에, 예컨대 페이지의 안으로의 또는 밖으로의, 제3 치수에서의 위치들, 또는 도 9e의 도면의 측면 위치들에 형성될 수 있다. 일부 구현예에서, 콘택들은 동일한 포토리소그래피 마스크를 사용하여 형성될 수 있거나, 또는 상이한 포토리소그래피 마스크들을 사용하여 형성될 수 있다. 구현예들에서, 전기적 콘택들(930b) 및 전기적 콘택들(965)이 형성되는 순서는 특정 프로세싱 구현예에 의존할 것이다.

[0040] 도 9f에 도시된 바와 같이, 콘택들(930b, 965)을 형성한 후에, 전기적 콘택(930b)과 전기적으로 결합되고, 다른 그러한 콘택들과도 전기적으로 결합될 수 있는 제1 부분(951)을 포함하는 신호 금속 층(제1 신호 금속 층)이 형성되어, 제1 신호 금속 층의 제1 부분(951)을 게이트 연결 그리드(930)에 전기적으로 결합시킬 수 있다. 따라서, 제1 부분(951)은 전기적 콘택들(930b), 게이트 연결 그리드(930), 및 전기적 콘택들(930a)을 통해 게이트 전극들(906)에 전기적으로 결합된다. 제1 신호 금속 층은 또한, 전기적 콘택(965)과 전기적으로 결합되고, 다른 그러한 콘택들과도 전기적으로 결합될 수 있는 제2 부분(961)을 포함할 수 있다. 따라서, 제2 부분(961)은 전기적 콘택들(965)을 통해 소스/바디 영역들(905)에 전기적으로 결합된다.

[0041] 도 9g를 참조하면, 제1 신호 금속 층을 형성한 후에, 유전체 층(945)이 제1 신호 금속 층 및 유전체 층(935) 상에 형성될 수 있고, 제2 신호 금속 층이 제1 신호 금속 층 상에 그리고 유전체 층(945) 상에 형성될 수 있다. 도 9g에 도시된 바와 같이, 제2 신호 금속 층은 제1 신호 금속 층의 제1 부분(951)과 전기적으로 결합되는 제1 부분(950)을 포함한다. 이러한 예에서, 제2 신호 금속 층의 제1 부분(950)은 전도성 비아(950a)를 통해 제1 신호 금속 층의 제1 부분(951)과 전기적으로 결합되지만, 다른 접근법들도 가능하다. 예를 들어, 제2 신호 금속 층의 제1 부분(950)은, 적어도 부분적으로, 제1 신호 금속 층의 제1 부분(951) 상에, 직접 배치될 수 있다. 이러한 예에서, 제2 신호 금속 층의 제1 부분(950)은 게이트 패드 금속으로 지칭될 수 있고, 도 9g에 도시되고 전술된 바와 같이, 게이트 연결 그리드(930)를 포함한, 상호연결 구조물을 통해 게이트 전극들(906)에 전기적으로 결합될 수 있다.

[0042] 또한 도 9g에 도시된 바와 같이, 제2 신호 금속 층은 제1 신호 금속 층의 제1 부분(961)과 전기적으로 결합되는 제2 부분(960)을 포함한다. 이러한 예에서, 제2 신호 금속 층의 제2 부분(960)은, 적어도 부분적으로, 제1 신호 금속 층의 제2 부분(961) 상에, 직접 배치되는 결과로서 제1 신호 금속 층의 제2 부분(961)과 전기적으로 결합된다. 이러한 예에서, 제2 신호 금속 층의 제2 부분(960)은 소스 패드 금속(또는 이미터 패드 금속)으로 지칭될 수 있고, 도 9g에 도시되고 전술된 바와 같이, 상호연결 구조물을 통해 바디 영역들(905)에 전기적으로 결합될 수 있다.

[0043] 도 9g에서, FOL 프로세싱 동안 제조된 두 번째 복제된 트랜지스터 셀이 도 9a 내지 도 9f에 도시된 셀의 좌측에 또는 그의 측면에 예시된다. 따라서, 도 9f는 연관된 반도체 디바이스의 활성 면적에서 수직 트랜지스터 셀들의 복제를 보여준다. 도 9g에 도시된 바와 같이, 복제된 셀은 게이트 신호 금속에 대한 콘택(930b)을 포함하는 것으로 도시되지 않았는데, 복제된 셀 내의 게이트 연결 그리드(930)의 일부분이 소스 금속, 예컨대 제1 신호 금속 층의 제2 부분(961)보다 아래에 배치되기 때문이다. 그러나, 본 명세서에 설명된 바와 같이, 복제된 셀에 포함된 게이트 전극들(906)은, 도 1에 도시된 바와 같이, 게이트 연결 그리드(930)가 연관된 활성 면적 위로 연장될 수 있기 때문에, 게이트 연결 그리드(930)를 통해 제1 신호 금속 층의 제1 부분(951)과 전기적으로 결합될 수 있다.

[0044] 또한 도 9g에 도시된 바와 같이, 제1 신호 금속 층의 제1 부분(951)은 제2 신호 금속 층의 제1 부분(950) 아래로 연장될 수 있으며, 이는 소스 신호 금속(또는 이미터 신호 금속)의 양을 증가시키고, 연관된 트랜지스터의 통전 용량을 증가시킬 수 있다. 위에 언급된 바와 같이, 제2 신호 금속 층(제1 부분(950) 및 제2 부분(960)을 포함함)은 신호 분배 또는 재분배 층으로 지칭될 수 있다.

[0045] 도 10은 도 9a 내지 도 9g의 프로세스와 유사하게 BOL 프로세스를 사용하여 제조될 수 있는 트랜치-게이트 전극들을 갖는 수직 디바이스를 개략적으로 예시하는 단면도이다. 도 10의 수직 트랜지스터를 제조하기 위한 프로세스가 도 9a 내지 도 9g의 프로세스와 유사함에 따라, 그 프로세스의 세부사항들은 여기서 다시 상세히 설명되지 않는다. 대신에, 도 9g의 트랜지스터와 비교한 도 10의 트랜지스터의 구조의 차이들이 이하에 설명된다. 간략하게, 도 10의 트랜지스터는 소스/바디 영역들(1005)(또는 이미터/바디 영역들), 트랜치-게이트 구조물들(1006), 유전체 층(1015), 게이트 연결 그리드(1030), 콘택들(1030a), 콘택(1030b), 콘택들(1065), 제1 신호 금속 층의 제1 부분(1051), 제1 신호 금속 층의 제2 부분(1061), 제2 신호 금속 층의 제1 부분(1050), 전도성

비아(1050a), 및 제2 신호 금속 층(1061)의 제2 부분(1060)을 포함한다. 도 10에 도시된 트랜지스터는 또한, 도 10에 구체적으로 참조 표시되지 않은 도 9g의 트랜지스터와 유사한 다른 요소들을 포함한다. 또한, 도 10의 1000 시리즈 번호들로 참조 표시된 요소들은, 각각, 도 9의 동일한 900 시리즈 번호로 참조 표시된 요소들과 대응한다.

- [0046] 도 9g를 추가로 참조하여, 도 10을 참조하면, 도 10의 게이트 구조물들(1006)은 도 9a 내지 도 9g에 도시된 게이트 전극들(906)을 포함한, 평면-게이트 구조물들과 비교하여, 트렌치 게이트 구조물들이다. 또한 도 10에서, 유전체 층(1015)은 평면 상부 표면을 갖는데, 이는 트렌치-게이트 구조물들(1006)의 구현 및/또는 유전체 층(1015)의 평탄화의 결과일 수 있다. 따라서, 게이트 연결 그리드(1030)는 유전체 층(915)의 표면 상의 게이트 연결 그리드(930)의 등각 형성과 비교하여 평면이다.
- [0047] 또한 도 10에 도시된 바와 같이, 반도체 디바이스(1000)가 구현되는 반도체 기판 또는 반도체 영역은 평면(P)을 따라 배열될 수 있다. 도 10의 예에서, 적어도 게이트 연결 그리드(1030)의 일부분 및 활성 면적(A)의 일부분(예컨대, 수직 트랜지스터의 하나 이상의 세그먼트들의 각자의 부분들)은 평면(P)에 직교하는 라인(L)을 따라 배열될 수 있다. 즉, 게이트 연결 그리드(1030)에 포함된 전도체들은 라인(L)을 따라, 반도체 디바이스(1000)의 수직 트랜지스터의 활성 부분들 바로 위에 배치될 수 있다.
- [0048] 일반적인 태양에서, 반도체 디바이스는 제1 트랜지스터 세그먼트 및 제2 트랜지스터 세그먼트를 갖는 수직 트랜지스터를 포함할 수 있다. 제1 트랜지스터 세그먼트는 제1 바디 영역, 제1 소스 영역, 및 제1 게이트 전극을 포함할 수 있다. 제2 트랜지스터 세그먼트는 제2 바디 영역, 제2 소스 영역, 및 제2 게이트 전극을 포함할 수 있다. 반도체 디바이스는 수직 트랜지스터 상에 배치된 제1 유전체 층, 및 제1 유전체 층 상에 배치된 전기 전도성 그리드를 추가로 포함할 수 있다. 전기 전도성 그리드는 제1 유전체 층을 통해 형성된 적어도 제1 전도성 콘택을 사용하여 제1 게이트 전극 및 제2 게이트 전극과 전기적으로 결합될 수 있다. 반도체 디바이스는 또한, 전기 전도성 그리드 및 제1 유전체 층 상에 배치된 제2 유전체 층, 및 제2 유전체 층 상에 배치된 전도성 금속 층을 포함할 수 있다. 전도성 금속 층은 제1 부분 및 제2 부분을 포함할 수 있다. 제1 부분은 제1 유전체 층 및 제2 유전체 층을 통해 형성된 적어도 제2 전도성 콘택을 사용하여 제1 바디 영역, 제1 소스 영역, 제2 바디 영역, 및 제2 소스 영역과 전기적으로 결합될 수 있다. 제2 부분은 제2 유전체 층을 통해 형성된 적어도 제3 전도성 콘택을 사용하여 전기 전도성 그리드와 전기적으로 결합될 수 있다.
- [0049] 구현예들은 하기 특징들 중 하나 이상을 포함할 수 있다. 예를 들어, 제1 게이트 전극은 제1 평면-게이트 전극일 수 있고, 제2 게이트 전극은 제2 평면-게이트 전극일 수 있다. 제1 게이트 전극은 제1 트렌치-게이트 전극일 수 있고, 제2 게이트 전극은 제2 트렌치-게이트 전극일 수 있다.
- [0050] 수직 트랜지스터는 반도체 기판에 포함될 수 있다. 반도체 기판은 평면 내에 배열될 수 있다. 적어도 게이트 연결 그리드의 일부분 및 수직 트랜지스터의 제1 세그먼트의 일부분은 평면에 직교하는 라인을 따라 배열될 수 있다.
- [0051] 금속 층은 제1 금속 층일 수 있고, 반도체 디바이스는 제1 금속 층 및 제2 유전체 층 상에 배치된 제3 유전체 층, 및 제3 유전체 층 상에 배치된 제2 금속 층을 포함할 수 있다. 제2 금속 층은 제3 유전체 층을 통해 제1 금속 층의 제1 부분과 전기적으로 결합되는 제1 부분을 포함할 수 있다. 제2 금속 층은 제3 유전체 층을 통해 제1 금속 층의 제2 부분과 전기적으로 결합되는 제2 부분을 포함할 수 있다. 제2 금속 층의 제1 부분은 제1 금속 층의 제1 부분 상에 배치될 수 있다. 제2 금속 층의 제2 부분은 제3 유전체 층을 통해 형성된 적어도 하나의 전도성 비아를 사용하여 제1 금속 층의 제2 부분과 전기적으로 결합될 수 있다.
- [0052] 전기 전도성 그리드 및 제1 전도성 콘택은 텅스텐을 포함할 수 있다. 제1 게이트 전극 및 제2 게이트 전극은 도핑된 폴리실리콘을 포함할 수 있다.
- [0053] 수직 트랜지스터는 탄화규소(SiC) 반도체 영역에 포함될 수 있다. 제1 바디 영역 및 제2 바디 영역은 제1 전도형의 것일 수 있고, SiC 반도체 영역 내에 배치될 수 있다. SiC 반도체 영역, 제1 소스 영역 및 제2 소스 영역은 제1 전도형에 반대인 제2 전도형의 것일 수 있다. 제1 소스 영역은 제1 바디 영역 내에 배치될 수 있고, 제2 소스 영역은 제2 바디 영역 내에 배치될 수 있다.
- [0054] 수직 트랜지스터는 수직 전계 효과 트랜지스터(FET)를 포함할 수 있다. SiC 반도체 영역은 수직 FET의 드립 트 영역, 및 수직 FET의 드레인 영역을 포함할 수 있다.
- [0055] 수직 트랜지스터는 수직 절연 게이트 바이폴라 트랜지스터(IGBT)를 포함할 수 있다. 제1 소스 영역은 수직 IGBT의 제1 이미터 영역일 수 있고, 제2 소스 영역은 수직 IGBT의 제2 이미터 영역일 수 있다. SiC 반도체 영

역은 수직 IGBT의 드리프트 영역, 및 수직 IGBT의 컬렉터 영역을 포함할 수 있다.

- [0056] 제1 게이트 전극은 도핑된 폴리실리콘 게이트 전극의 제1 부분일 수 있고, 제2 게이트 전극은 도핑된 폴리실리콘 게이트 전극의 제2 부분일 수 있다. 제1 게이트 전극은 제1 도핑된 폴리실리콘 게이트 전극일 수 있고, 제2 게이트 전극은 제2 도핑된 폴리실리콘 게이트 전극이다. 제1 도핑된 폴리실리콘 게이트 전극은 전기 전도성 그리드 및 전기 전도성 그리드에 대한 각자의 전기적 콘택들을 통해 제2 도핑된 폴리실리콘 게이트 전극과 전기적으로 결합될 수 있다.
- [0057] 제1 유전체 층을 통해 형성된 적어도 제1 전도성 콘택은 제1 유전체 층을 통해 형성된 제1 복수의 전도성 콘택들을 포함할 수 있다. 제1 유전체 층 및 제2 유전체 층을 통해 형성된 적어도 제2 전도성 콘택은 제1 유전체 층 및 제2 유전체 층을 통해 형성된 제2 복수의 전도성 콘택들을 포함할 수 있다. 제2 유전체 층을 통해 형성된 적어도 제3 전도성 콘택은 제2 유전체 층을 통해 형성된 제3 복수의 전도성 콘택들을 포함할 수 있다.
- [0058] 다른 일반적인 태양에서, 반도체 디바이스는 반도체 영역, 반도체 영역 내에 배치된 활성 영역, 및 반도체 영역 내에 배치된 격리 영역을 포함할 수 있다. 격리 영역은 활성 영역을 적어도 부분적으로 둘러쌀 수 있다. 반도체 디바이스는 또한, 활성 영역 내에 배치된 복수의 수직 트랜지스터 세그먼트들을 포함할 수 있다. 복수의 수직 트랜지스터 세그먼트들은 각자의 게이트 전극들을 포함할 수 있다. 반도체 디바이스는 또한, 활성 영역 상에 배치된 제1 유전체 층, 및 제1 유전체 층 상에 배치된 전기 전도성 그리드를 포함할 수 있다. 전기 전도성 그리드는 제1 유전체 층을 통해 형성된 복수의 전도성 콘택들을 사용하여 각자의 게이트 전극들과 전기적으로 결합될 수 있다. 반도체 디바이스는 전기 전도성 그리드 및 제1 유전체 층 상에 배치된 제2 유전체 층, 및 제2 유전체 층 상에 배치된 전도성 금속 층을 추가로 포함할 수 있다. 전도성 금속 층은 제2 유전체 층을 통해 형성된 전기 전도성 그리드에 대한 적어도 하나의 전도성 콘택을 사용하여 전기 전도성 그리드를 통해 각자의 게이트 전극들과 전기적으로 결합되는 부분을 포함할 수 있다.
- [0059] 구현예들은 하기 특징들 중 하나 이상을 포함할 수 있다. 예를 들어, 금속 층은 제1 금속 층일 수 있다. 반도체 디바이스는 제1 금속 층 및 제2 유전체 층 상에 배치된 제3 유전체 층을 포함할 수 있고, 제2 금속 층은 제3 유전체 층을 통해 제1 금속 층의 부분과 전기적으로 결합되는 부분을 포함할 수 있다.
- [0060] 각자의 게이트 전극들은 각자의 평면-게이트 전극들을 포함할 수 있다. 각자의 게이트 전극들은 각자의 트렌치-게이트 전극들을 포함할 수 있다. 복수의 수직 트랜지스터 세그먼트들은 복수의 수직 전계 효과 트랜지스터 세그먼트들, 또는 복수의 수직 절연 게이트 바이폴라 트랜지스터 세그먼트들 중 하나를 포함할 수 있다. 게이트 연결 그리드는 활성 영역의 활성 면적을 감소시키지 않을 수 있다.
- [0061] 다른 일반적인 태양에서, 반도체 디바이스를 제조하기 위한 방법은, 반도체 영역에서, 수직 트랜지스터를 형성하는 단계를 포함할 수 있다. 수직 트랜지스터는 제1 트랜지스터 세그먼트 및 제2 트랜지스터 세그먼트를 포함할 수 있다. 제1 트랜지스터 세그먼트는 제1 바디 영역, 제1 소스 영역, 및 제1 게이트 전극을 가질 수 있다. 제2 트랜지스터 세그먼트는 제2 바디 영역, 제2 소스 영역, 및 제2 게이트 전극을 가질 수 있다. 방법은 수직 트랜지스터 상에 제1 유전체 층을 형성하는 단계, 및 제1 유전체 층 상에 전기 전도성 그리드를 형성하는 단계를 추가로 포함할 수 있다. 전기 전도성 그리드는 제1 유전체 층을 통해 형성된 적어도 제1 전도성 콘택을 사용하여 제1 게이트 전극 및 제2 게이트 전극과 전기적으로 결합될 수 있다. 방법은 또한, 전기 전도성 그리드 및 제1 유전체 층 상에 제2 유전체 층을 형성하는 단계; 및 제2 유전체 층 상에 전도성 금속 층을 형성하는 단계를 포함할 수 있다. 전도성 금속 층은 제1 유전체 층 및 제2 유전체 층을 통해 형성된 적어도 제2 전도성 콘택을 사용하여 제1 바디 영역, 제1 소스 영역, 제2 바디 영역, 및 제2 소스 영역과 전기적으로 결합될 수 있는 제1 부분을 포함할 수 있다. 전도성 금속 층은 또한, 제2 유전체 층을 통해 형성된 적어도 제3 전도성 콘택을 사용하여 전기 전도성 그리드와 전기적으로 결합될 수 있는 제2 부분을 포함할 수 있다.
- [0062] 구현예들은 하기 특징들 중 하나 이상을 포함할 수 있다. 예를 들어, 금속 층은 제1 금속 층일 수 있다. 방법은 제1 금속 층 및 제2 유전체 층 상에 제3 유전체 층을 형성하는 단계, 및 제3 유전체 층 상에 제2 금속 층을 형성하는 단계를 포함할 수 있다. 제2 금속 층은 제3 유전체 층을 통해 제1 금속 층의 제1 부분과 전기적으로 결합되는 제1 부분, 및 제3 유전체 층을 통해 제1 금속 층의 제2 부분과 전기적으로 결합되는 제2 부분을 포함할 수 있다.
- [0063] 본 개시내용의 목적들을 위해, 층, 영역, 또는 기관과 같은 요소가 다른 요소 위에 있거나, 그 상에 배치되거나, 그에 연결되거나, 그에 전기적으로 연결되거나, 그에 결합되거나, 또는 그에 전기적으로 결합되는 것으로 지칭될 때, 그 요소가 다른 요소 바로 위에 있거나, 다른 요소에 연결되거나 또는 결합될 수 있거나, 또

는 하나 이상의 개재 요소들이 존재할 수 있음이 이해될 것이다. 그에 반해서, 요소가 다른 요소 또는 층 바로 위에 있거나, 그 상에 직접 배치되거나, 그에 직접 연결되거나, 또는 그에 직접 결합되는 것으로 지칭될 때, 개재 요소들 또는 층들은 존재하지 않는다. 상세한 설명 전체에 걸쳐, 용어들 '바로 위에', '에 직접 연결된', 또는 '에 직접 결합된'이 사용되지 않을 수 있지만, 바로 위에 있거나, 직접 연결되거나 또는 직접 결합되는 것으로 도시되는 요소들이 이러한 것으로 간주될 수 있다. 본 출원의 청구범위는 명세서에 설명되거나 도면에 도시된 예시적인 관계를 나타내기 위해 보정될 수 있다.

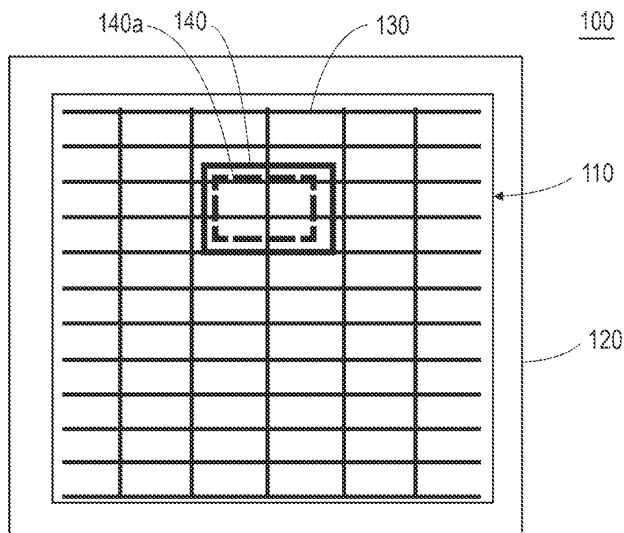
[0064] 본 명세서에서 사용되는 바와 같이, 단수형은 문맥상 특정한 경우를 명확하게 나타내지 않는 한, 복수형을 포함할 수 있다. 공간적으로 상대적인 용어들(예를 들어, 위(over), 보다 위(above), 상부(upper), 아래(under), 바로 밑(beneath), 보다 아래(below), 하부(lower) 등)은 도면에 도시되어 있는 배향에 더하여 사용 또는 동작 중인 디바이스의 상이한 배향들을 포괄하는 것으로 의도된다. 일부 구현예들에서, 상대적인 용어들 '보다 위' 및 '보다 아래'는 각각 '보다 수직 위' 및 '보다 수직 아래'를 포함할 수 있다. 몇몇 구현예들에서, 용어 '인접한'은 '에 측면으로 인접한', '에 수직으로 인접한', 또는 '에 수평으로 인접한'을 포함할 수 있다.

[0065] 몇몇 구현예들은 다양한 반도체 프로세싱 및/또는 패키징 기법들을 사용하여 구현될 수 있다. 몇몇 구현예들은, 예를 들어, 규소(Si), 갈륨비소(GaAs), 질화갈륨(GaN), 탄화규소(SiC) 등을 포함하지만 이것으로 한정되지는 않는 반도체 기관들과 연관된 다양한 유형들의 반도체 프로세싱 기법들을 사용하여 구현될 수 있다.

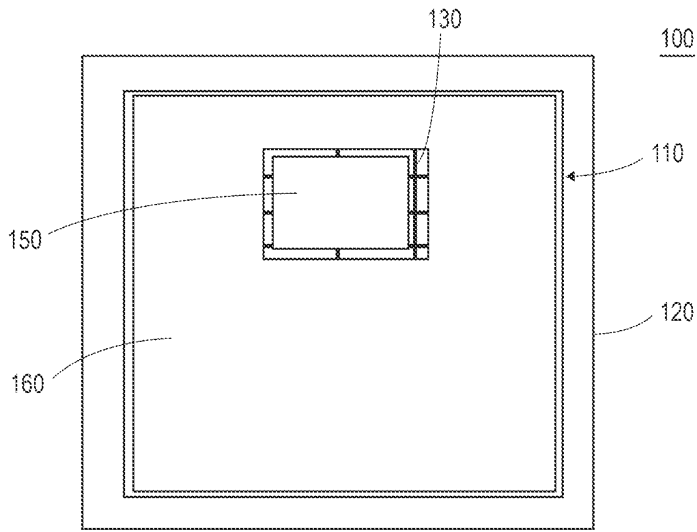
[0066] 다양한 예시적인 구현예들의 소정의 특징들이 본 명세서에 설명된 바와 같이 예시되었지만, 이제 당업자에게는 많은 수정, 대체, 변경 및 등가물이 발생할 것이다. 따라서, 첨부된 청구범위는 구현예들의 범주 내에 속하는 모든 그러한 수정 및 변경을 포함하도록 의도된다는 것이 이해되어야 한다. 이는 이들이 제한이 아닌 예로서 제시된 것이며, 형태 및 세부사항에 있어서 다양한 변경이 이루어질 수 있음을 이해해야 한다. 본 명세서에 설명된 장치 및/또는 방법의 임의의 부분은 상호 배타적인 조합을 제외하면 임의의 조합으로 조합될 수 있다. 본 명세서에 설명된 구현예들은 설명된 상이한 구현예의 기능, 구성요소 및/또는 특징의 다양한 조합 및/또는 하위 조합을 포함할 수 있다.

**도면**

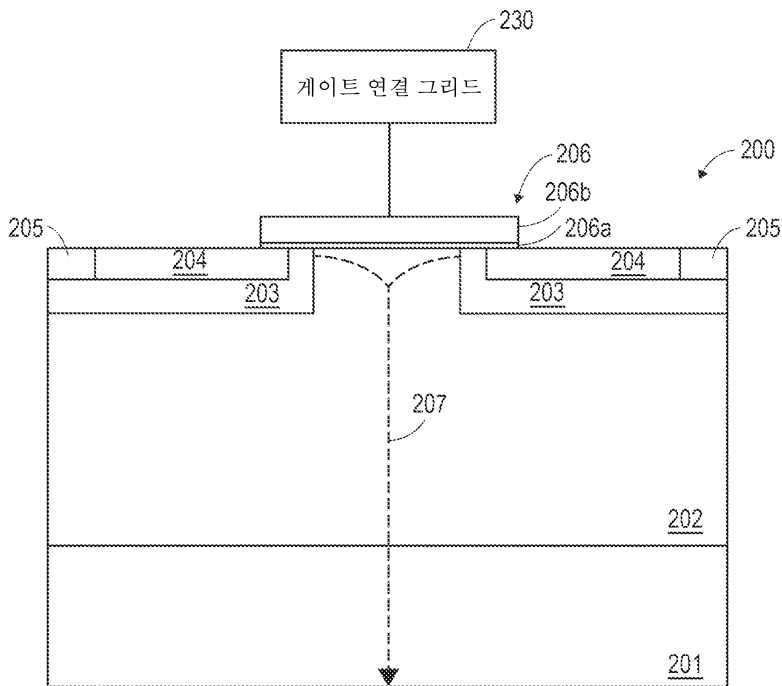
**도면1a**



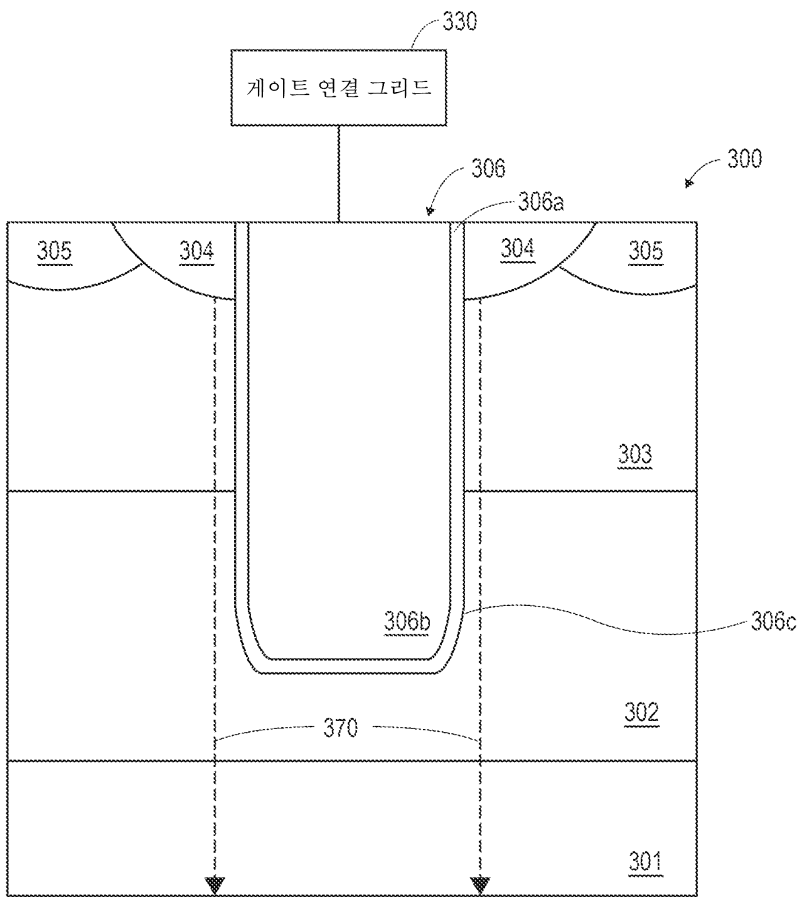
도면1b



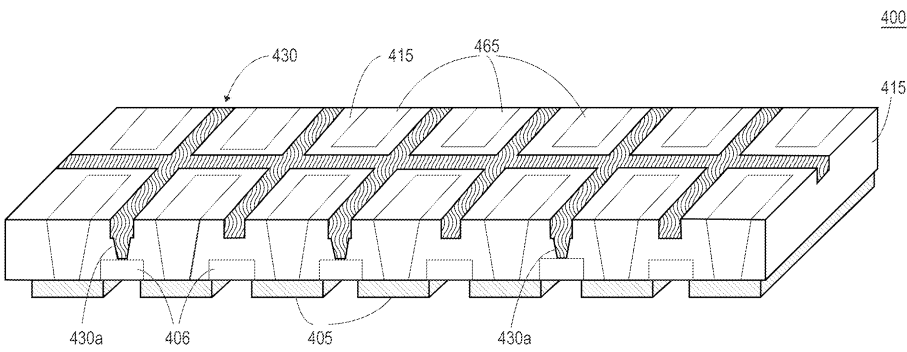
도면2



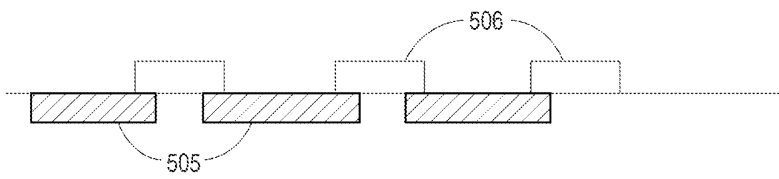
도면3



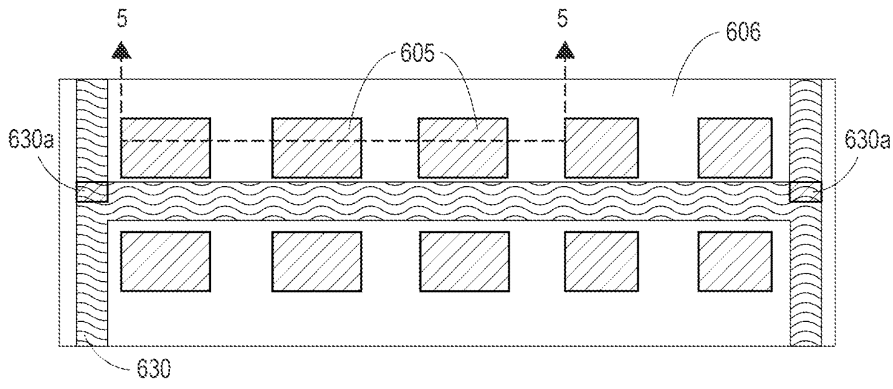
도면4



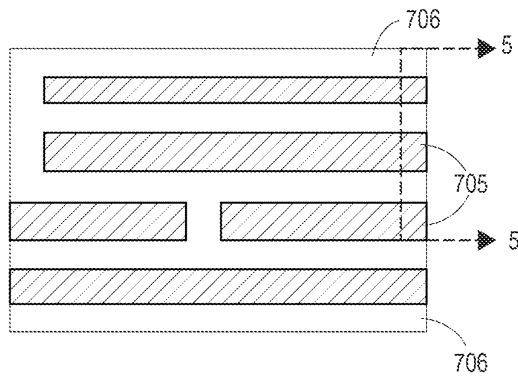
도면5



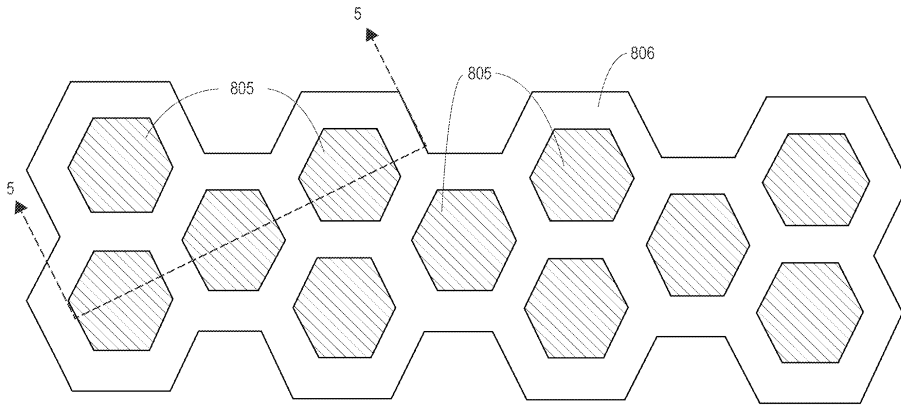
도면6



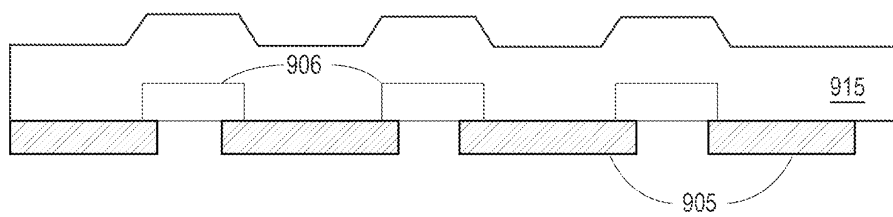
도면7



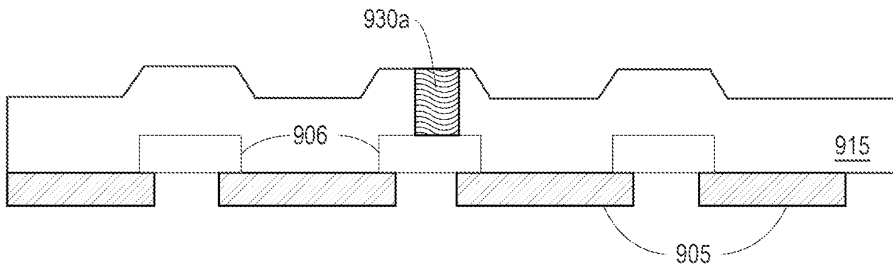
도면8



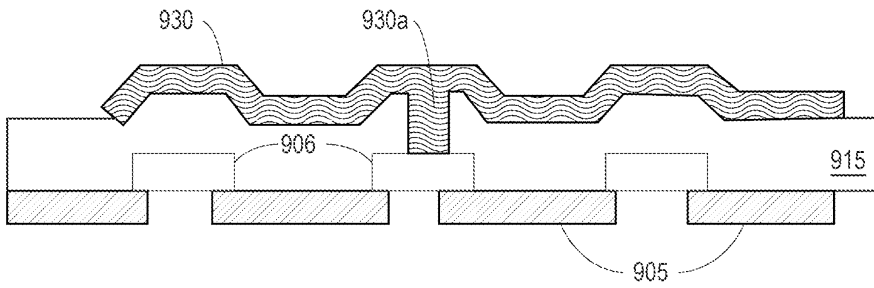
도면9a



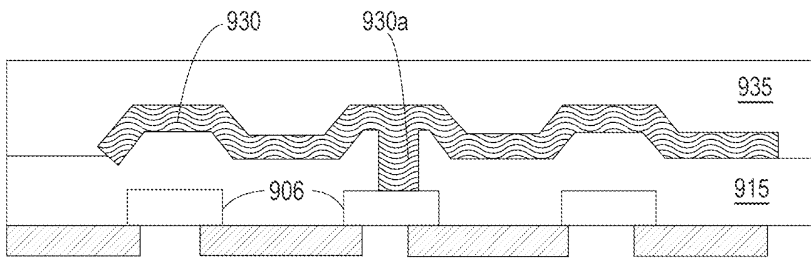
도면9b



도면9c



도면9d



도면9e

