

公告本

申請日期	85.6.28
案 號	85107831
類 別	17037 ³ ₀₀ Int. Cl. ⁶

(以上各欄由本局填註)

A4
C4

312871

發明專利說明書

一、發明 名稱	中 文	相位檢波器
	英 文	A PHASE DETECTOR
二、發明 創作人	姓 名	原口嘉典
	國 籍	日本
三、申請人	住、居所	東京都港區芝五丁目7番1號 日本電氣株式會社內
	姓 名 (名稱)	日本電氣股份有限公司 (日本電氣株式會社)
	國 籍	日本
	住、居所 (事務所)	東京都港區芝五丁目7番1號
	代 表 人 姓 名	金子尚志

裝

訂

線

312871

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本

1995年6月29日特願平7-164257

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明()

發明背景

本發明有關一種相位檢波器，且較特別地，有關一種應用於延遲鎖定迴路(Delay Locked Loop)(下文中簡稱為DLL)電路之相位檢波器，該延遲鎖定迴路電路係使用於一內部時脈產生器之中以用於一例如為藍巴士(Rambus)(美國 Rambus公司商標)DRAM(動態隨機存取記憶體)之同步動態RAM(隨機存取記憶體)(下文中簡稱為SDRAM)。

第4圖係一方塊圖，描繪一使用於SDRAM(同步動態隨機存取記憶體)及藍巴士DRAM(動態隨機存取記憶體)之DLL(延遲鎖定迴路)電路之實例，其中包含：

一個四相位時脈產品器41，供應以一頻率 f 之輸入時脈101用以產生四時脈110至113，其各具有 $2f$ 之頻率且相互具有 $\pi/2$ 倍數之相位差；

一相位檢波器42，用以檢出輸入時脈101與一輸出時脈103間之相位差；

一相位控制信號產生器44，用以產生相位控制信號114與115其相位控制值由一相對應於供應自相位檢波器42之控制信號108與109信號準位之預定值來增加或減少；

一相移電路43，用以藉根據供應自相位控制信號產生器44之相位控制信號114與115來混波四時脈110至113以控制中間時脈116與117之相位；以及

一輸出電路45，用以自相移電路43所產生之中間信號116與117產生具有頻率 f 之輸出時脈103。

此處，相位檢波器42由一相位差異辨別電路11與一用

五、發明說明 (>)

以控制此等控制信號 108 與 109 之信號準位之準位轉移電路 13 所組成。

在相位檢波器 42 中，於各週期內嚴格地要求各控制信號 108 與 109 之信號準位維持於其固定值用以精確地維持相位控制信號 114 與 115 之相位控制值，而此相位控制值係於各週期內根據控制信號 108 與 109 由相位控制信號產生器 44 來增加或減少。

繼續上述 DLL 電路之實例，參照第 5 圖與第 6 圖說明一習知應用於 SDRAM 或一藍巴士 (Rambus) DRAM 之相位檢波器 42 實例之形態。

第 5 圖係一電路圖，描繪一習知由相位差異辨別電路 11 以及準位轉移電路 13 所組成之相位檢波器。此相位差異辨別電路 11 包含：pMOS (p 型金屬氧化物半導體) 電晶體 51, 55, 56; nMOS (n 型金屬氧化物半導體) 52, 53, 54, 57, 60 至 67; 以及反相器 58 與 59。此準位轉移電路 11 包含：pMOS 電晶體 68 至 71; 以及 nMOS 電晶體 72 至 75。

首先，結合第 6 圖中所示之定時圖說明相位差異辨別電路 11 之作業。

當輸出時脈 103 於 HIGH (高) 準位期間 (下文稱為 "使不能期間" (disabled period))，nMOS 電晶體 57, 60 與 61 ON (導通) 以及相互經由 nMOS 電晶體 57 連接之信號 118 與 119 均經由 nMOS 電晶體 60 與 61 接地時，第 5 圖中之信號 104 與 105 均如第 6 圖中所示被固定於 HIGH (高) 準位。

當輸出時脈 103 轉變為 Low (低) 準位時，一電壓差發生

五、發明說明()

於其各根據第5圖中之各輸入時脈101與參考電壓102之信號118與119之間，而nMOS電晶體57，60與61轉變為OFF(關閉)以及nMOS電晶體53，54，64至67轉變為ON(導通)。

於此實例中，當輸入時脈101較低於參考電壓102時，信號118呈較低於信號119。

於第5圖之相位差異辨別電路11中，其中具備pMOS電晶體55與56以及nMOS電晶體62與63所建構之正反器電路，而此正反器電路係經由當輸出時脈103於Low(低)準位時而ON(導通)中之電晶體51來供應以一電源供應電壓Vdd，此時，信號118與119間之電壓差被放大，以及因而各信號104與105轉移至Low(低)準位。

亦即，於輸出時脈103之下降緣處，若輸入時脈101較高於參考電壓102時，即，若輸出信號103之相位延遲於輸入時脈101之相位時，則輸出自相位差異辨別電路11之信號105轉移為Low(低)準位，而當輸出時脈103係相位超前於輸入時脈101時，則輸出自相位差異辨別電路11之信號104轉移為Low(低)準位，如第6圖中所描繪。

現參照第5圖與第6圖說明被供應以信號104與105用於產生控制信號108與109之準位轉移電路13。

於一期間當輸出時脈103係於Low(低)準位且因而此相位差異辨別電路11被使能(enabled)時，則輸出自相位差異辨別電路11之信號104與105之一呈Low(低)準位而另一則呈HIGH(高)準位。

例如，若信號104呈Low(低)準位時，第5圖之準位轉

五、發明說明(4)

移電路13之pMOS電晶體71呈ON(導通)而nMOS電晶體呈OFF(關閉)。因此，控制信號109之信號準位轉移至電源供應電壓Vdd，而因為pMOS電晶體69轉變為OFF(關閉)以及閘極具備信號105 HIGH(高)準位之nMOS電晶體73呈OFF(關閉)，故控制信號108之信號準位轉移為nMOS電晶體72之門限電壓Vt。相反地，若信號105轉變為Low(低)準位時，輸出自準位轉移電路13之控制信號109之信號準位轉移為nMOS電晶體74之門限電壓Vt而控制信號108之信號準位則轉移至電源供應電壓Vdd，如第6圖中所示。

現說明當輸出時脈103於HIGH(高)準位，亦即，當相位差異辨別電路11為使不能之期間中第5圖之相位檢波器之作業。

於此期間中，信號104與105均維持於HIGH(高)準位，假設一種情況，即當信號104係從Low(低)準位轉變為HIGH(高)準位而信號105保持於HIGH(高)準位。

具備轉變為OFF(關閉)之第5圖準位轉移電路之pMOS電晶體71以及閘極由信號104轉變為HIGH(高)準位而轉變為ON(導通)之nMOS電晶體75，欲自準位轉移電路13輸出之控制信號109之信號準位開始下降至nMOS電晶體74之門限電壓Vt。然而，當nMOS電晶體74亦經由閘極藉仍保持於門限電壓Vt之信號108來控制而保持於ON(導通)狀態中之pMOS電晶體70被供應以電源供應電壓Vdd，故控制信號109之信號準位無法充分地下降，而徘徊在pMOS電晶體70與nMOS電晶體74之平衡準位之處。

五、發明說明(5)

準位轉移電路13具有一關於控制信號108與109之鏡形態，亦即，控制信號108亦經由閘極藉下降之控制信號109所控制之pMOS電晶體69而開始被供應以電源供應電壓Vdd，兩控制信號108與109之信號準位則平衡於一中間點之處，如第6圖中所描繪。

因而，當輸出時脈103係於Low(低)準位時，由第5圖之相位差異辨別電路11與準位轉移電路13所組成之習知相位檢波器42之輸出控制信號108與109，則根據輸入時脈101與輸出時脈103間之相位差異，輸出控制信號之一於電源供應電壓Vdd處而另一則於MOS電晶體之門限電壓 V_t 處。

然而，在習知相位檢波器42中，當輸出信號103於HIGH(高)準位時，此二控制信號108與109均呈一中間準位。

如上述，應用於第4圖DLL電路之相位檢波器42需在每一週期中輸出維持於其固定準位之控制信號108與109，用以在一週期中精確地控制相位控制信號114與115之相位控制值。

然而，具備第5圖之習知相位檢波器很難以藉相位控制信號產生器44在一週期中控制與維持相位控制值，因為所供應之此二控制信號108與109於輸出時脈103之每一HIGH(高)準位處均徘徊於一中間電壓附近，此為一大問題。

而且，於此輸出時脈103之每一HIGH(高)準位處，不必要之電流會流經由控制信號108與109之中間值所控制

五、發明說明(6)

之準位轉移電路13中之諸MOS電晶體，此為另一問題。

發明概述

因此，本發明一主要目的係提供一種相位檢波器，用以檢出輸入時脈101與輸出時脈103間之相位差異而充分穩定地輸出控制信號，即使當輸出時脈103係於HIGH(高)準位，也不會有任何不必要之電流散發。

為達成此目的，本發明應用於SDRAM或藍巴士(Rambus) DRAM之DLL(延遲鎖定迴路)電路中用以檢出DLL電路之一輸入時脈與一輸出時脈間相位差異之相位檢波器，包含：

一供應以輸入時脈與輸出時脈之相位差異辨別電路，用以辨別輸入時脈與輸出時脈間之相位差異，而輸出兩信號以指示輸入時脈與輸出時脈之相位何者超前；

一門鎖電路(latch circuit)，用以門鎖上述指示輸入時脈與輸出時脈之相位何者超前之兩信號，供輸出兩門鎖信號，各上述兩門鎖信號穩定且互補地維持於各兩固定準位處；以及

一準位轉移電路，用以根據供應自上述門鎖電路之上述兩門鎖信號之狀態來產生使用於DLL電路中之控制信號。

此時，上述門鎖電路可包含兩個正反器，各上述兩正反器門鎖各上述指示輸入時脈與輸出時脈之相位何者超前之兩信號，用以藉供應於其時脈輸入端子之輸出時脈來控制及輸出各上述兩門鎖信號。

或者，上述門鎖電路可包含兩個NAND(非及)閘，各上

五、發明說明(7)

述兩 NAND 閘被供應以指示輸入時脈與輸出時脈之相位何者超前之各上述兩信號於其一輸入端子處，而於其另一輸入端子處則被供應以上述兩 NAND 閘之另一個之輸出，用以輸出各上述門鎖信號。

因此，具備有一門鎖電路配置於相位辨別電路與準位轉移電路之間，本發明之相位檢波器可產生出穩定地轉移與維持於其準位之互補控制信號，即使是在相位辨別電路被使不能之期間中，而且可抑制不必要之電流散發於準位轉移電路中。

圖式簡述

本發明上述，進一步之目的，特性與優點將從考慮下列說明，附加之申請專利範圍，以及其中相同之標號指示相同或相對應部件之附圖而呈明顯。

第 1 圖係一方塊圖，描繪本發明相位檢波器之一實施例；

第 2A 圖係一方塊圖，描繪第 1 圖之門鎖電路 12 之一實施例；

第 2B 圖係一方塊圖，描繪第 1 圖之門鎖電路 12 之另一實施例；

第 3 圖顯示定時圖，描繪實施例之諸信號間之關係；

第 4 圖係一方塊圖，描繪一使用於 SDRAM 中之 DLL 電路之實施例；

第 5 圖係一電路圖，描繪一習知之相位檢波器；

第 6 圖係定時圖，描繪第 5 圖之相位差異辨別電路 11

五、發明說明(8)

之作業；

第7A圖係一定時圖，量度供一以3.3V(伏特)電源供應電壓與4ns(奈秒)時脈週期來作業之本發明相位檢波器；以及

第7B圖係一定時圖，量度供一相對應於第7圖相位檢波器之習知相位檢波器。

較佳實施例詳述

現將結合圖式說明本發明之實施例。

第1圖係一方塊圖，描繪本發明相位檢波器之一實施例，包含：一相位相差異辨別電路11，一門鎖電路12以及一準位轉移電路13。

當比較於第5圖之習知相位檢波器時，可易於理解在第1圖實施例之相位相差異辨別電路11與準位轉移電路13之間，被進一步地插置一門鎖電路12以用於在DLL電路一輸出信號103之每一下降緣處門鎖傳遞自相位相差異辨別電路11之信號104與105，以及分別輸出它們為門鎖信號106與107。

第2A圖係一方塊圖，描繪門鎖電路12之一實例，此電路包含正反器14與15用於在輸出時脈103之各下降緣處門鎖信號104與105以分別地被輸出為門鎖信號106與107。

第3圖顯示定時圖，描繪此實施例之諸信號間之關係。

現參照第1至3圖說明此實施例之作業，省略重複說明有關相同於第5圖習知相位檢波器之相對應電路之相位相差異辨別電路11以及準位轉移電路13。

五、發明說明(9)

相類似於第5圖之習知相位檢波器，當DLL電路之輸出時脈103於高準位時，兩者均於高準位之信號104與105自相位差異辨別電路11輸出。

於輸出時脈103之每一下降緣處，信號104與105之一根據輸入時脈101與輸出時脈103間之相位差異而轉變為Low(低)準位，而另一則保持於HIGH(高)準位。它們均分別由正反器14與15來門鎖以被輸出為門鎖信號106與107，而正反器14與15亦由輸出時脈103之每一下降緣所控制。

因此，當輸出時脈103之相位延遲於輸入時脈101之相位時，輸出自門鎖電路12而被供應至準位轉移電路13之門鎖信號106與107均穩定地分別維持於HIGH(高)準位與Low(低)準位，且當輸出時脈103超前於輸入時脈時，它們均穩定地分別維持於Low(低)準位與HIGH(高)準位，如第3圖中所示。

供應以穩定地維持於HIGH(高)與Low(低)準位之門鎖信號106與107，準位轉移電路13可穩定地轉移與維持控制信號108與109為電源供應電壓Vdd與MOS電晶體之門限電壓。

而且，即使在相位差異辨別電路11之使不能期間，亦即，當輸出時脈103於HIGH(高)準位時，並沒有不必要之電流散發，而此電流係由第5圖習知相位檢波器中控制信號108與109徘徊於一中間準位處所造成。

第7A圖係一定時圖，量度用於一以3.3V之電源供應電

五、發明說明(10)

壓與4ns之時脈作業之本發明相位檢波器，而第7B圖係一定時圖，量度供一相對應於第7A圖之相位檢波器而無門鎖電路12之習知相位檢波器。從第7A圖與7B圖之電流值201與202，本發明之相位檢波器中之平均電流散發從習知相位檢波器中之2.5mA(毫安培)降低至1.5mA。

第2B圖係一方塊圖，描繪第1圖之門鎖電號12之另一由NAND閘17與18所組成之實例。

於第2B圖之實例中，並不需要供應輸出時脈103，當傳遞自相位辨別電路11之信號104與105均於HIGH(高)準位時，分別為NAND閘18與17之輸出之門鎖信號106與107係維持於其前一狀態而彼此互補。當信號104與105之一轉變為Low(低)準位時，各正反器17與18輸出各輸入信號之相反邏輯為各門鎖信號106與107。

因此，於此實例中，門鎖信號106與107亦根據輸入時脈101與輸出時脈103間之相位差異而維持於其準位而無於關於輸出時脈103之信號準位，且準位轉移電路13可穩定地轉移與維持控制信號108,109有如第2圖之實例而不會有不必要之電流散發。

如上述，具備一門鎖電路12配置於相位辨別電路11與準位轉移電路13之間，本發明之相位檢波器可產生互補之控制信號穩定地轉移與維持於其準位，即使當相位辨別電路11係於使不能之期間內，且可抑制準位轉移電路中不必要之電流散發。

四、中文發明摘要(發明之名稱：

相位檢波器

)

為提供一種相位檢波器用以產生使用於SDRAM(同步動態隨機存取記憶體)或藍巴士(Rambus)(美國藍巴士公司商標)DRAM(動態隨機存取記憶體)之DLL(延遲鎖定迴路)電路中而不會有不必要之電流散發,本發明之相位檢波器包含:一相位差異辨別電路(11),一準位轉移電路(13)以及配置於其間之門鎖電路(12)。藉由與DLL之輸出時脈計時之門鎖電路(12),相位差異辨別電路(11)之輸出穩定地門鎖與維持於其供應至準位轉移電路(13)之準位,即使是在相位差異辨別電路(11)之使不能之期間中。

英文發明摘要(發明之名稱:A PHASE DETECTOR

)

In order to provide a phase detector for generating stable control signals used in a DLL circuit of a SDRAM or Rambus (trade mark of Rambus Inc., US) DRAM without unnecessary current dissipation, phase detector of the invention comprises a phase difference discrimination circuit (11), a level shift circuit (13) and a latch circuit (12) provided between them. By the latch circuit (12) clocked with output clock of the DLL circuit, outputs of the phase difference discrimination circuit (11) are latched and maintained stably at their levels to be supplied to the level shift circuit (13), even in disabled periods of the phase difference discrimination circuit (11).

六、申請專利範圍

1. 一種相位檢波器，應用於一 SDRAM(同步動態 RAM)或一 Rambus(藍巴士) DRAM之一 DLL(延遲鎖定迴路)電路中，用以檢出該 DLL電路之一輸入時脈與一輸出時脈間之相位差異，包含：

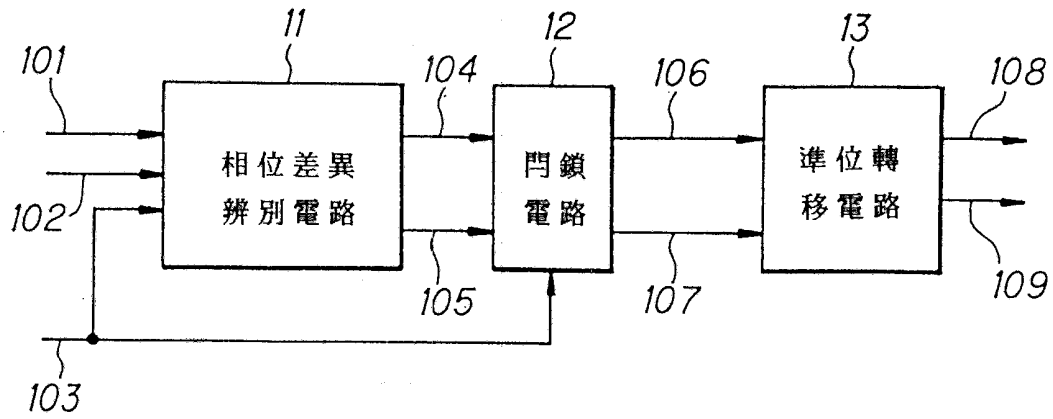
一相位差異辨別電路，被供應以該輸入時脈與該輸出時脈，用以辨別該輸入時脈與該輸出時脈間之一相位差異，及輸出兩個信號指示該輸入時脈與該輸出時脈之相位何者超前；

一門鎖電路，用以門鎖該兩個指示該輸入時脈與該輸出時脈之相位何者超前之信號供輸出兩個門鎖信號，各該兩個門鎖信號穩定地且互補地維持於兩個固定準位之一；以及

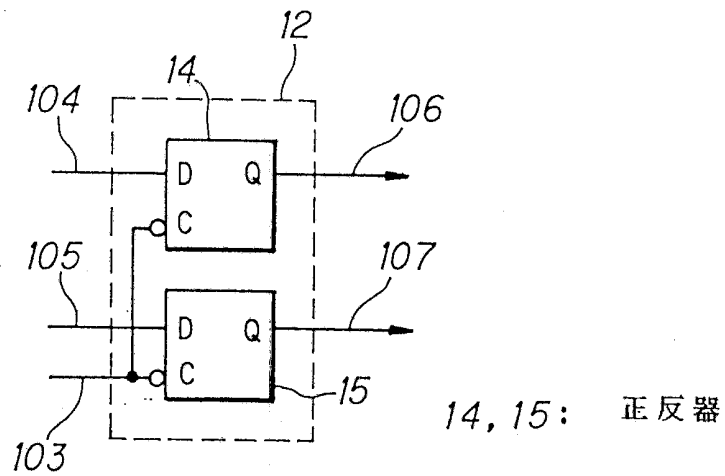
一準位轉移電路，用以根據該兩個供應自該門鎖電路之門鎖信號之狀態，而產生使用於該 DLL電路之控制信號。

2. 如申請專利範圍第 1 項之相位檢波器，其中該門鎖電路包含兩個正反器，各該兩個正反器門鎖各該兩個指示該輸入時脈與該輸出時脈之相位何者超前之信號以用於輸出各該兩個門鎖信號，該兩個正反器由供應於其一時脈輸入端子之輸出時脈所控制。
3. 如申請專利範圍第 1 項之相位檢波器，其中該門鎖電路包含兩個 NAND 閘，各該兩個 NAND 閘被供應以各該兩個指示該輸入時脈與該輸出時脈之相位何者超前之信號於其一輸入端子，且被供應以該兩個 NAND 閘之另一輸出於其另一輸入端子，用以產生各該門鎖信號。

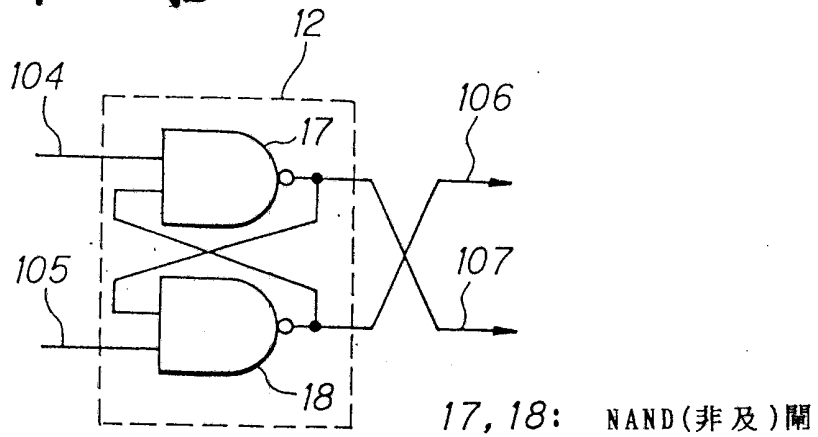
第1圖



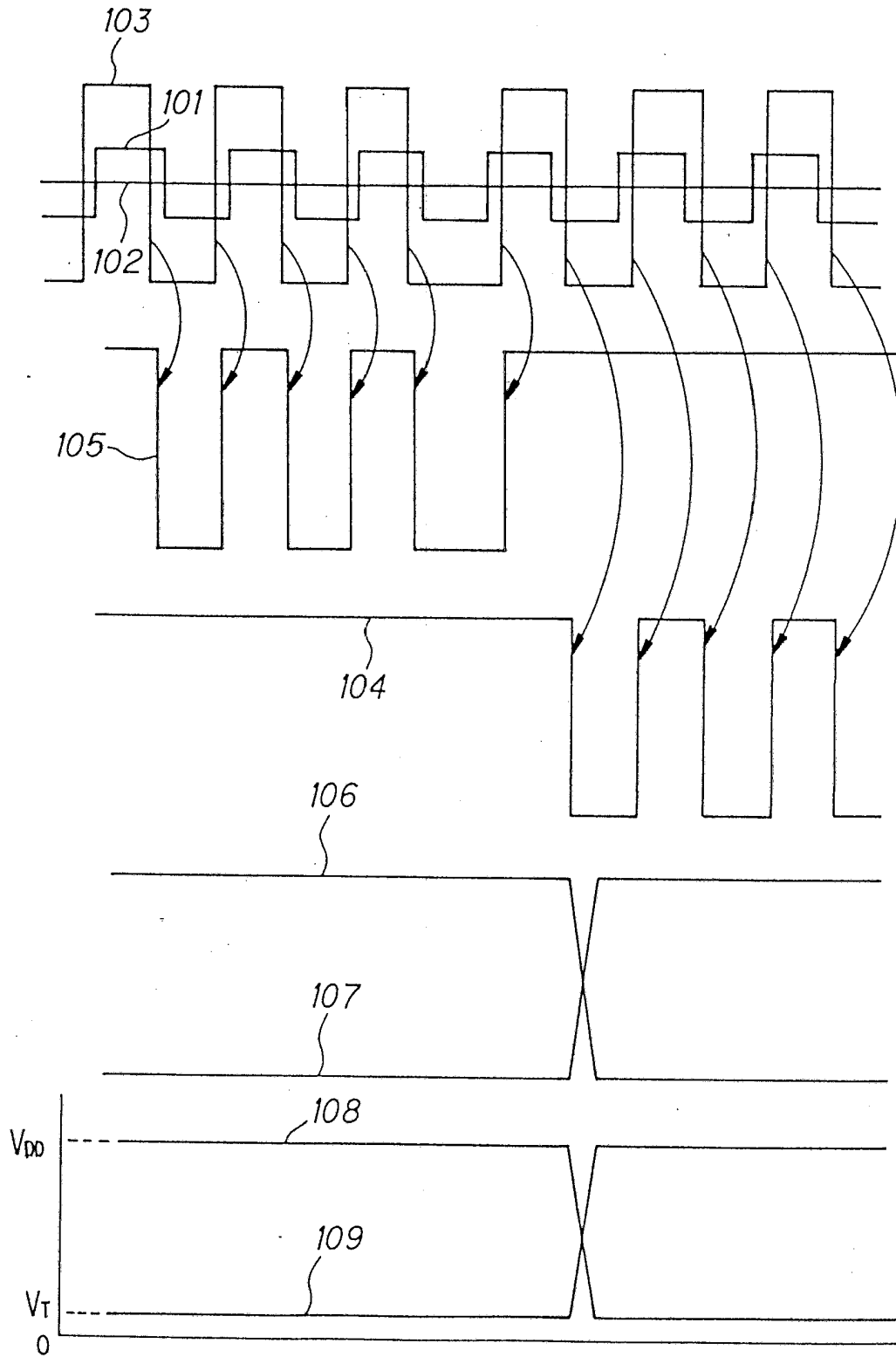
第2圖A

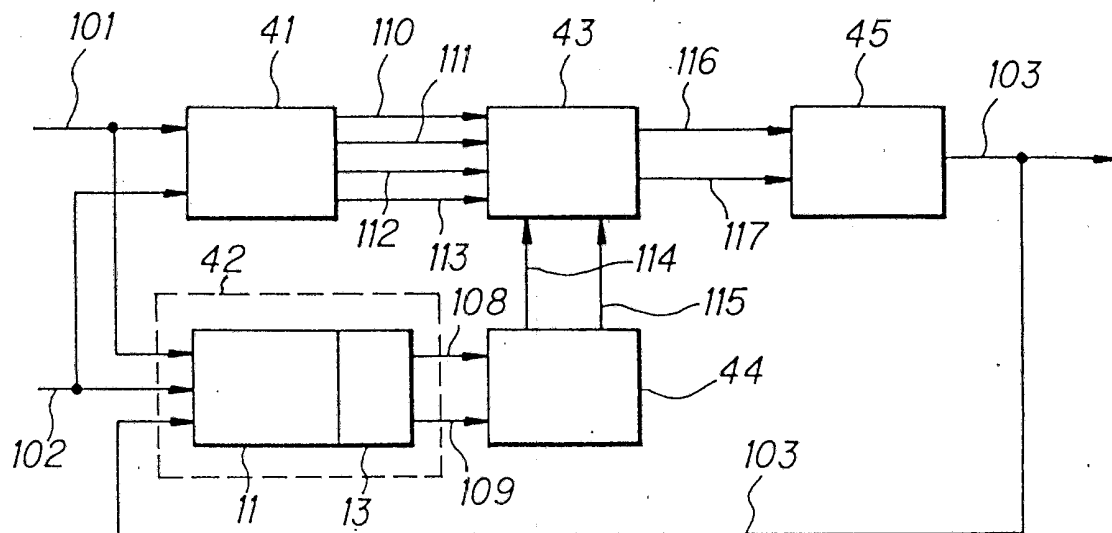


第2圖B



第3圖

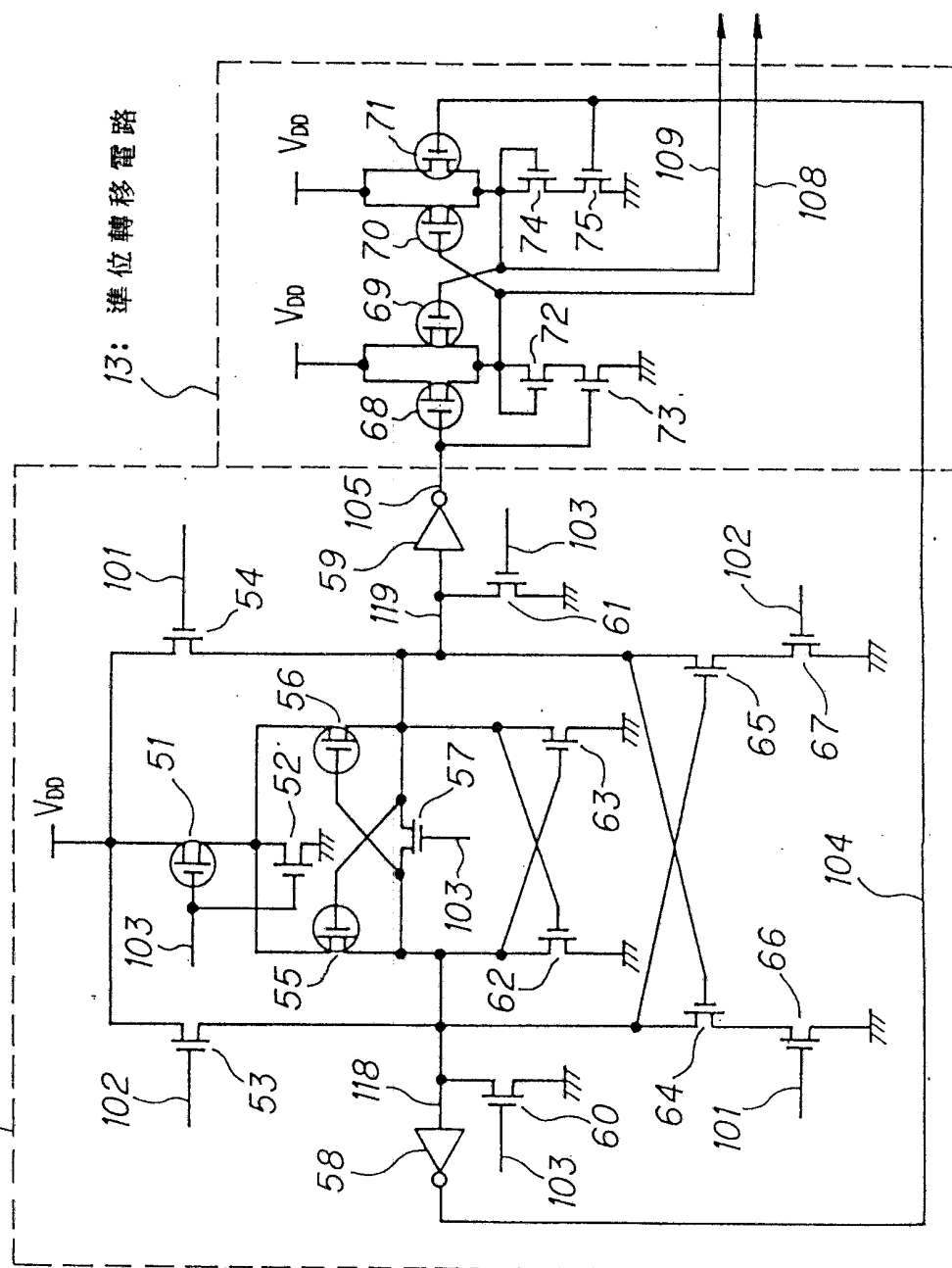




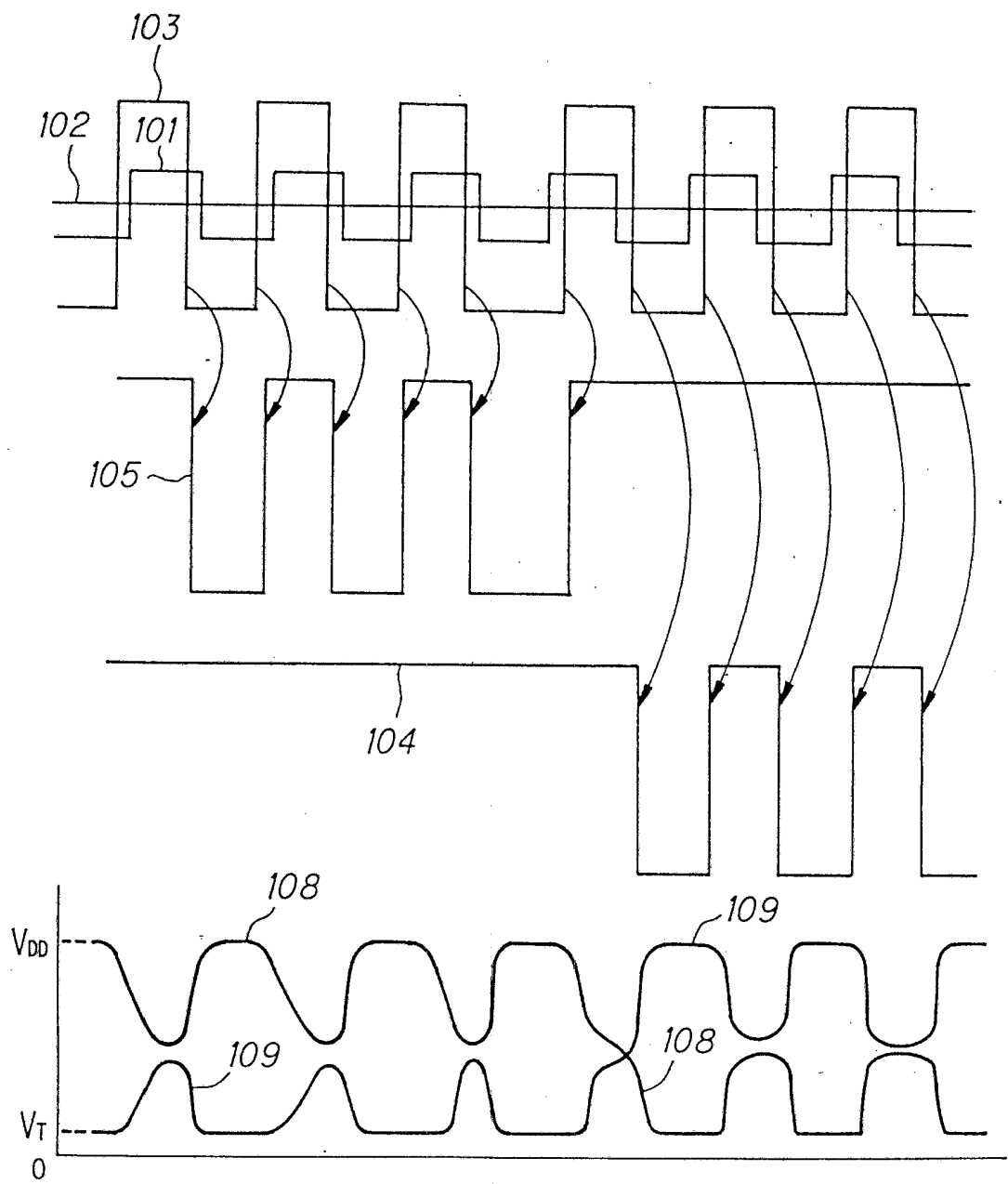
- 11: 相位差異辨別電路
- 13: 位準轉移電路
- 41: 四相位時脈產生器
- 42: 相位檢波器
- 43: 相移電路
- 44: 相位控制信號產生器
- 45: 輸出電路

第五回

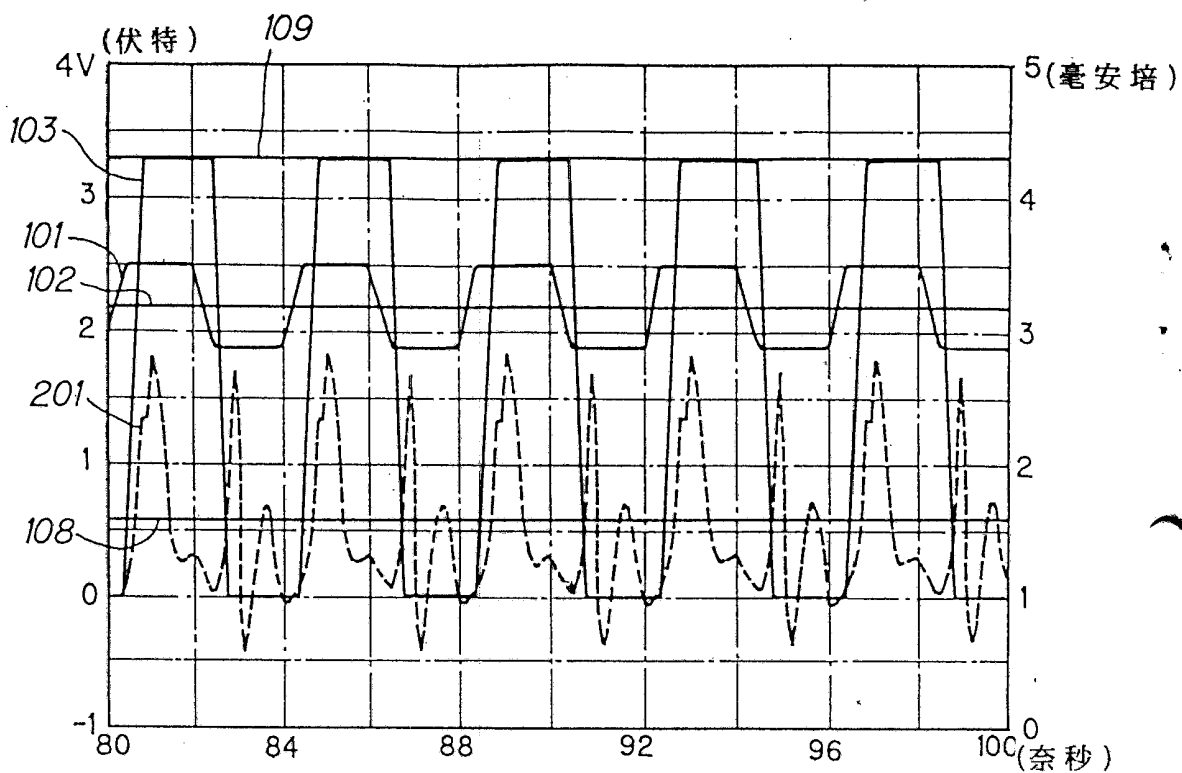
11: 相位差異別電路



第6圖



第7圖A



第7圖B

