



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 349 123**

51 Int. Cl.:
H03L 7/087 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **03785447 .8**

96 Fecha de presentación : **29.12.2003**

97 Número de publicación de la solicitud: **1588489**

97 Fecha de publicación de la solicitud: **26.10.2005**

54 Título: **Bucle cerrado de retardo analógico/numérico.**

30 Prioridad: **31.12.2002 US 335535**

45 Fecha de publicación de la mención BOPI:
28.12.2010

45 Fecha de la publicación del folleto de la patente:
28.12.2010

73 Titular/es:
MOSAID TECHNOLOGIES INCORPORATED
11 Hines Road, Suite 203
Ottawa, Ontario K2K 2X1, CA

72 Inventor/es: **Vlasenko, Peter y**
Haerle, Dieter

74 Agente: **Ungría López, Javier**

ES 2 349 123 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

ANTECEDENTES DE LA INVENCIÓN

Muchos dispositivos, tales como la memoria síncrona
5 dinámica de acceso aleatorio (SDRAM) y los microprocesa-
dores, reciben una señal de reloj externo generada por
una fuente de reloj externo, tal como un oscilador de
cristal. La señal de reloj externo recibida a través de
un teclado de entrada en el dispositivo es dirigida a va-
10 rios circuitos dentro del dispositivo a través de un
árbol de circuitos intermedios. El árbol intermedio in-
troduce un retardo común entre el reloj externo y cada
reloj intermedio.

Típicamente, se usa un bucle cerrado de retardo
15 (DLL) con una línea de retardo ajustable para sincronizar
la señal de reloj intermedio con la señal de reloj exter-
no retardando la señal de reloj externo aplicada al árbol
intermedio. El DLL incluye un detector de fase, que de-
tecta la diferencia de fase entre la señal de reloj ex-
20 terno y una señal de reloj intermedio. En base a la dife-
rencia de fase detectada, el DLL sincroniza la señal de
reloj intermedio a la señal de reloj externo añadiendo un
retardo apropiado a la señal de reloj externo hasta que
la señal de reloj intermedio externo (el reloj interno)
25 esté en fase con la señal de reloj externo. El DLL puede
ser implementado como un bucle cerrado de retardo analó-
gico o un bucle cerrado de retardo digital. En un bucle
cerrado de retardo analógico se usa una línea de retardo
controlada por voltaje para retardar la señal de reloj
30 externo.

US 6 392 456 describe un DLL incluyendo una línea de
retardo digital que tiene unidades de retardo analógicas.

La figura 1 es un diagrama de bloques de un bucle
cerrado de retardo analógico de la técnica anterior (DLL)
35 100. El DLL analógico 100 sincroniza una señal de reloj

interno CKI con una señal de reloj externo CKE. La señal de reloj externo CKE está acoplada a una línea de retardo controlada por voltaje 102, y la línea de retardo controlada por voltaje 102 está acoplada a memorias intermedias de árbol de relojes 108. La señal de reloj externo CKE retardada es alimentada a las memorias intermedias de árbol de relojes 108 donde se propaga a las salidas del árbol y es aplicada a los varios circuitos. El retardo a través de la memoria intermedia de árboles de reloj 108 da lugar a una diferencia de fase entre la señal de reloj externo CKE y la señal de reloj interno CKI. La línea de retardo controlada por voltaje 102 regula el retardo de la señal de reloj externo CKE incrementando o disminuyendo el retardo, para sincronizar las señales de reloj externo e interno.

Para determinar el retardo apropiado en la línea de retardo, una de las salidas de las memorias intermedias de árbol de relojes 108 está acoplada a un detector de fase 104 donde se compara con la señal de reloj externo CKE. El detector de fase 104 detecta la diferencia de fase entre el reloj interno CKI y el reloj externo CKE. La salida del detector de fase 104 es integrada por una bomba de carga 106 y un condensador de filtro de bucle 112 para proporcionar un voltaje de polarización variable VCTRL 110 para la línea de retardo controlada por voltaje (VCDL) 102. El voltaje de polarización VCTRL selecciona la cantidad de retardo a añadir a la señal de reloj externo por el VCDL 102 para sincronizar la señal de reloj interno CKI con la señal de reloj externo CKE.

El detector de fase 104 es un flip-flop de tipo D con la entrada D acoplada a la señal de reloj externo CKE y la entrada de reloj acoplada a la señal de reloj interno CKI. En cada borde ascendente de la señal de reloj interno CKI, la salida del detector de fase 104 indica si el borde ascendente de la señal de reloj interno está an-

tes o después del borde ascendente de la señal de reloj externo.

El DLL analógico 100 produce un retardo controlado por voltaje con alta exactitud. Sin embargo, el funcionamiento del DLL analógico varía en un rango de frecuencias porque el retardo generado usando la línea de retardo controlada por voltaje varía de forma no lineal con los cambios del voltaje de control de polarización VCTRL.

La figura 2 es un gráfico que ilustra la característica de voltaje de control no lineal para la línea de retardo controlada por voltaje representada en la figura 1. En general, los dispositivos soportan un amplio rango de frecuencias de reloj externo dentro del que se selecciona una frecuencia operativa para un dispositivo concreto. En el ejemplo representado en la figura 2, el dispositivo puede operar a cualquier frecuencia entre el punto A y el punto C. La frecuencia operativa seleccionada está en el punto B.

Como se representa, la característica de voltaje de control es no lineal: pronunciada en un extremo del rango de voltaje de control (punto C) y casi plana en el extremo opuesto (punto A). Esta característica de voltaje de control da lugar a inestabilidad del DLL en el punto C y tiempos de bloqueo largos en el punto A. El amplio rango de frecuencias (retardos) es controlado por el voltaje de polarización VCTRL.

Con referencia de nuevo a la figura 1, el voltaje de polarización VCTRL es la salida de la bomba de carga 106, que permanece en un estado de alta impedancia la mayor parte del tiempo. Cualquier ruido en la señal de voltaje de polarización VCTRL perturba la salida del DLL analógico 100. Por ejemplo, si el DLL analógico está operando en el punto B, un pequeño cambio de voltaje (ΔV) debido a ruido da lugar a un cambio grande en el retardo. Así, el DLL analógico es muy sensible a ruido cuando opera en el

punto B, dentro del amplio rango de frecuencias representado desde el punto C al punto A. Por lo tanto, el DLL analógico no es estable dentro de un amplio rango de frecuencias.

5 Un DLL digital no tiene el problema de estabilidad de un DLL analógico. Sin embargo, la exactitud de un DLL digital es tan alta como la exactitud de un DLL analógico, porque el retardo se facilita combinando un quantum fijo (pasos) de retardo. Cuanto menor es el paso de re-
10 tardo, más alta es la exactitud. Sin embargo, una disminución del tamaño del paso da lugar a un aumento correspondiente en la zona de silencio porque se requieren más elementos de retardo para cubrir el amplio rango de frecuencias.

15 La presente invención proporciona un bucle cerrado de retardo según la reivindicación 1, y un método según la reivindicación 7. Se definen realizaciones de la invención en las reivindicaciones 2 a 6 y 8 a 14.

 Un bucle cerrado de retardo según la invención puede
20 tener alta exactitud, buena estabilidad y un tiempo de bloqueo rápido en un amplio rango de frecuencias, puede combinar un tiempo de bloqueo más corto, buena exactitud y estabilidad con bajo consumo de potencia y una zona de silencio pequeña para que el bucle cerrado de retardo ope-
25 re en un amplio rango de frecuencias.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

 Los anteriores y otros objetos, características y ventajas de la invención serán evidentes por la siguiente descripción más concreta de realizaciones preferidas de
30 la invención ilustradas en los dibujos acompañantes en los que caracteres de referencia análogos hacen referencia a las mismas partes en todas las diferentes vistas. Los dibujos no son necesariamente a escala, insistiéndose, en cambio, en que ilustran los principios de la in-
35 vención.

La figura 1 es un diagrama de bloques de un bucle cerrado de retardo analógico de la técnica anterior (DLL).

La figura 2 es un gráfico que ilustra la característica de voltaje de control no lineal para la línea de retardo controlada por voltaje representada en la figura 1.

La figura 3 es un diagrama de bloques de un bucle cerrado de retardo de amplio rango de frecuencias según los principios de la presente invención.

Las figuras 4A-4B ilustran elementos de retardo en el DCDL y el VCDL.

La figura 5 es un esquema de una realización de cualquiera de los elementos de retardo representados en las figuras 4A-4B.

La figura 6 es un gráfico que ilustra la característica de voltaje de control no lineal para el rango estrecho de frecuencia del VCDL en el DLL representado en la figura 3.

La figura 7 es un esquema de una realización del detector de bloqueo y el interruptor analógico representado en la figura 3.

Las figuras 8A-C son diagramas de tiempo que ilustran la relación de la salida del detector de fase a la diferencia de fase entre los relojes.

Y la figura 9 es un diagrama de tiempo que ilustra señales en el esquema representado en la figura 7.

DESCRIPCIÓN DETALLADA DE LA INVENCION

Sigue una descripción de realizaciones preferidas de la invención.

La figura 3 es un diagrama de bloques de un bucle cerrado de retardo (DLL) de amplio rango de frecuencias 300 según los principios de la presente invención. El DLL de amplio rango de frecuencias 300 tiene dos dominios de operación: un dominio digital que incluye un circuito de retardo digital 302 y un dominio analógico que incluye un

circuito de retardo analógico 304.

En un DLL se logran típicamente alta exactitud, uso de una zona de silicio pequeña y menor potencia usando una técnica analógica, mientras que se logran típicamente
5 buena estabilidad y tiempos de bloqueo más cortos con una técnica digital. El DLL de amplio rango de frecuencias 300 combina las dos técnicas para proporcionar alta exactitud, buena estabilidad y un tiempo de bloqueo rápido en un amplio rango de frecuencias. El circuito de retardo
10 digital 302 es responsable del ajuste de fase basto durante la inicialización y el circuito de retardo analógico 304 es responsable del ajuste de fase fino durante la operación normal, después de que el circuito de retardo digital 302 termina el ajuste de fase basto. El circuito
15 de retardo digital 302 opera dentro del rango de retardo amplio y pone el bucle cerrado de retardo 300 en un punto de operación estable durante la inicialización a la conexión. En operación normal, el circuito de retardo analógico 304 opera dentro de un pequeño rango de retardo
20 del punto de operación estable dentro del rango de retardo amplio y mantiene el bucle cerrado de retardo en el punto de operación estable mientras el circuito de retardo digital 302 se mantiene a un retardo fijo.

El retardo general proporcionado por el DLL incluye
25 una línea de retardo controlada digitalmente (DCDL) 306 que tiene un conjunto de elementos de retardo, teniendo cada uno un retardo fijo, y una línea de retardo controlada por voltaje (VCDL) 312. La combinación del retardo DCDL proporcionado por el DCDL 306 y el retardo VCDL proporcionado por el VCDL 312 proporciona un retardo exacto.
30 Solamente uno de los dominios puede variar el retardo DLL en cualquier tiempo. A la inicialización a la conexión, el circuito de retardo digital 302 varía el DCDL 306 (retardo basto). Después de terminar el ajuste de fase basto
35 (se llega a bloqueo), el retardo DCDL se mantiene a un

número fijo de elementos de retardo DCCL (congelado) y el circuito de retardo analógico 304 varía el retardo DLL para proporcionar ajuste de fase fino variando el retardo VCDL.

5 El circuito de retardo digital 302 opera dentro del rango de retardo amplio para poner rápidamente el DLL 300 en el punto de operación (bloqueo) para proporcionar un tiempo de bloqueo corto. Un detector de bloqueo 310 en el circuito de retardo digital 302 detecta cuándo el circui-
10 to de retardo digital 302 ha llevado el retardo DLL al punto de operación estable y permite que el control del retardo DLL sea conmutado al circuito de retardo analógico 304.

Un detector de fase 320 detecta la diferencia de fase entre la señal de reloj externo CKE y la señal de reloj interno CKI. El detector de fase 320 puede ser cualquier detector de fase conocido por los expertos en la técnica. En la realización representada, el detector de fase 320 (figura 3) incluye un flip-flop de tipo D con
15 CKI conectado a la entrada de reloj y CKE conectado a la entrada D. El borde ascendente de CKI retiene el estado de CKE en la salida (Ph_det) del flip-flop de tipo D.

El circuito de retardo analógico 304 incluye un multiplexor 314, un VCDL 312 y una bomba de carga 316. El
25 VCDL 312 es una cadena de etapas de entrada diferencial-salida diferencial (elementos de retardo) cada una controlada por dos voltajes de polarización VBP, VBN que puede ser proporcionados por dos fuentes diferentes bajo el control del multiplexor 314, como se describirá con
30 más detalle más tarde. En la figura 3, se usa una sola señal para designar los dos voltajes de polarización de cada fuente, es decir VBP2, VBN2 y VBP1, VBN1.

El multiplexor 314 selecciona la fuente de los voltajes de polarización VCDL 322 para el VCDL 312. Los voltajes de polarización VCDL 322 pueden ser un par de vol-
35

tajes de polarización VBP1, VBN1 proporcionados por el generador de voltaje de polarización 318 o un par de voltajes de polarización variables VBP2, VBN2 proporcionados por la bomba de carga 316. Durante la inicialización, antes de que el DCDL 306 logre el bloqueo, el par de voltajes de polarización diferenciales VBP1, VBN1 es suministrado al voltaje de polarización VCDL 322 a través del multiplexor 314. Así, mientras el circuito de retardo digital 302 selecciona el retardo DCDL, el voltaje de polarización VCDL 322 proporciona un retardo VCDL constante. Dicho retardo puede estar en el medio del rango de retardo completo del VCDL para permitir la sintonización fina en ambas direcciones positiva y negativa, como se explica a continuación.

15 A la inicialización, el código almacenado en un contador 308 es inicializado a cero, que corresponde al retardo mínimo; es decir, el número mínimo de elementos de retardo en el DCDL 306 que están habilitados. El detector de bloqueo 310 permite que el DCDL 306 aumente el retardo DCDL añadiendo elementos de retardo a medida que el contador 318 se incrementa hasta que el borde ascendente más próximo de la señal de reloj interno CKI se alinea con el borde ascendente de la señal de reloj externo CKE. El contador 308 se incrementa por la señal de reloj externo CKE hasta que se alcanza el bloqueo (los bordes de los relojes están alineados). En una realización, el contador 308 es un contador ascendente que aumenta en cada borde ascendente de la señal de reloj externo CKE mientras está habilitado por la señal SW del detector de bloqueo 310. Se añaden elementos de retardo en el DCDL 306 a la línea de retardo DCDL en base al valor de recuento de c-bits enviado por el contador 308 para permitir el número mínimo de elementos de retardo DCDL necesarios dependiendo del par de voltajes de polarización VBP1, VBN1.

35 Después de que los bordes de los relojes están ali-

neados, la señal SW enviada por el detector de bloqueo 310 inhabilita todo incremento adicional del contador 308. El voltaje de polarización VCDL 322 es proporcionado por el par de voltajes de polarización VBP2, VBN2, la salida de la bomba de carga 316, a través del multiplexor 314. La bomba de carga 316 puede ser cualquier bomba de carga conocida por los expertos en la técnica.

Habilitando solamente el número mínimo de elementos de retardo en el DCDL 306, la línea de retardo general es de longitud mínima para minimizar el ruido. Los elementos de retardo habilitados proporcionan el ajuste de fase basto en el bucle cerrado de retardo. Una vez alcanzado el bloqueo, el circuito de retardo digital 302 se mantiene a un retardo fijo inhabilitando el incremento adicional del contador 308. Solamente la porción VCDL de la línea de retardo DLL puede ser variada por el circuito de retardo analógico 304 para proporcionar el ajuste de fase fino en el bucle cerrado de retardo. El circuito de retardo analógico 304 sintoniza finamente el retardo DLL para compensar toda deriva y cambios de estado durante la operación normal del DLL, para mantener alineados los bordes de señal de reloj externo e interno, variando el retardo VCDL, que se añade al retardo fijo proporcionado por el DCDL. La línea de retardo analógica controlada 310 varía el retardo VCDL hacia arriba o hacia abajo variando el voltaje de polarización a los elementos de retardo VCDL 402 en base a la diferencia de fase detectada entre los relojes.

Las figuras 4A-4B ilustran con más detalle elementos de retardo en el DCDL y el VCDL. La línea de retardo controlada digitalmente (DCDL) incluye una cadena de elementos de retardo DCDL 400 y la línea de retardo controlada por voltaje (VCDL) incluye una cadena de elementos de retardo VCDL 402. El retardo de cada célula DCDL 400 se fija conectando permanentemente el voltaje de polarización

para cada célula DCDL 400 a un par fijo de voltajes de polarización VBP1, VBN1. El par fijo de voltajes de polarización VBP1, VBN1 es proporcionado por un generador de voltaje de polarización 318 (figura 3) que puede ser cualquier tipo de dispositivo estabilizador de voltaje, por ejemplo, una referencia de intervalo de banda, y no tiene que corresponder al voltaje de polarización VCDL 322 inicialmente aplicado al VCDL, como se explicará con más detalle más adelante.

10 La figura 5 es un esquema de una realización de cualquiera de los elementos de retardo representados en las figuras 4A-4B. El elemento de retardo 400 incluye un par acoplado en fuente de dispositivos NMOS T1, T2 con cargas simétricas 500, 502.

15 La señal de reloj de entrada diferencial CKEI-, CKEI+ se acopla a las respectivas puertas de los dispositivos NMOS T1, T2 con CKEI+ acoplado a la puerta del dispositivo NMOS T1 y CKEI- acoplado a la puerta del dispositivo NMOS T2. La señal de reloj de salida diferencial CKEO-, CKEO+ es acoplada a los respectivos drenajes de los dispositivos NMOS T1, T2. Las fuentes de los dispositivos NMOS T1 y T2 están acopladas y también se acoplan al drenaje de la fuente de corriente NMOS T3. La fuente de corriente NMOS T3 compensa las variaciones de voltaje del drenaje y la fuente.

25 La carga simétrica 500 incluye un dispositivo PMOS diodo conectado T4 conectado en paralelo con un dispositivo PMOS polarizado T5. La carga simétrica 502 incluye un dispositivo PMOS diodo conectado T7 conectado en paralelo con un dispositivo PMOS polarizado T6. La resistencia efectiva de las cargas simétricas 500, 502 cambia con los cambios del voltaje de polarización VBP1 dando lugar a un cambio de retardo correspondiente a través de la etapa de retardo de la entrada de reloj diferencial a la salida de reloj diferencial.

Volviendo a la figura 4, a la inicialización, ninguno de los elementos de retardo 400 en el DCDL 306 está habilitado, dado que el valor de recuento de c-bits salido del contador es 0 y solamente el multiplexor 408 está habilitado. El retardo DLL incluye solamente el retardo fijo proporcionado por el demultiplexor 404, el multiplexor 408 y los elementos de retardo VCDL 402 en el VCDL conectado al par fijo de voltajes de polarización VBP1, VBN1. El retardo VCDL proporcionado por VCDL depende del par fijo de voltajes de polarización VBP1, VBN2. En la realización representada en las figuras 4A-4B, los elementos de retardo DCDL 400 y los elementos de retardo VCDL 402 son el mismo elemento de retardo con retardo controlado por voltaje. Sin embargo, en una realización alternativa, el elemento de retardo DCDL 400 puede diferir del elemento de retardo VCDL 402, que se describe e ilustra en la figura 5.

El retardo DCDL se varía incrementando el número de elementos de retardo DCDL 400, teniendo cada elemento de retardo DCDL 400 el mismo retardo establecido por el par fijo de voltajes de polarización VBP1, VBN1. En la realización representada, durante la inicialización el mismo par fijo de voltajes de polarización VBP1, VBN1 está acoplado a los elementos de retardo DCDL 400 y los elementos VCDL 402. Sin embargo, en realizaciones alternativas, el voltaje de polarización fijo acoplado a los elementos de retardo VCDL 402 y los elementos de retardo DCDL 400 puede ser diferente; por ejemplo, un primer voltaje de polarización VBP1 se puede poner a 0,3VDD acoplado al DCDL y un segundo voltaje de polarización VBP2 se puede poner a 0,5VDD acoplado al VCDL. El retardo VCDL se fija inicialmente con cada uno de los tres elementos de retardo VCDL 402 numerados 1-3 acoplados al par fijo de voltajes de polarización VBP1, VBN1, pero el retardo VCDL varía con los cambios en el par de voltajes de polarización VCDL

322 VBP2, VBN2 durante la operación normal.

El número de elementos de retardo habilitados en el DCDL 306 depende del recuento de c-bits 406 enviado por el contador 308. El recuento de c-bits 406 está acoplado a lógica de selección de multiplexor 430 que proporciona una señal de selección de multiplexor de m-bits, con uno de cada uno de los m-bits acoplado a cada multiplexor en el DCDL 306 y una señal de selección de demultiplexor de d-bits 432 acoplada al demultiplexor 404. La señal de selección de demultiplexor de d-bits 406 está acoplada al demultiplexor 404 para seleccionar la salida del demultiplexor 404 a través de la que el reloj externo es enviado al DCDL 306. En una realización la lógica de selección de multiplexor 430 es un decodificador que decodifica el recuento de c-bits para proporcionar la señal de selección de multiplexor de m-bits. En la realización representada, m y d son 7 y c es 3. Sin embargo, en una realización alternativa, m y d pueden ser diferentes. Hay seis elementos de retardo 400 etiquetados 4-9. La lógica de selección de multiplexor 430 decodifica un recuento de tres bits 406 para seleccionar uno de los siete multiplexores a través del que proporcionar el reloj externo al elemento de retardo respectivo, como se expone en la tabla 1 siguiente. El bit más significativo (MSB) de la señal de selección de multiplexor de siete bits corresponde a la señal de selección del multiplexor 420 y el bit menos significativo (LSB) de la señal de multiplexor de siete bits corresponde a la señal de selección del multiplexor 408. Así, a medida que aumenta el recuento, se incrementa el número de elementos de retardo habilitados. En una realización alternativa, la lógica de selección de multiplexor puede ser implementada como un registro de desplazamiento temporizado por el reloj externo y habilitado por la señal SW.

TABLA 1

Recuento de salida del contador [2:0]	Selección de multiplexor mux en[6:0]	Selección de demultiplexor de- mux_sel[6:0]
000	1111110	1111110
001	1111101	1111101
010	1111011	1111011
011	1110111	1110111
100	1101111	1101111
101	1011111	1011111
110	0111111	0111111

Después de llegar al bloqueo, la señal de reloj externo CKE es retardada a través de elementos de retardo DCDL habilitados dependiendo del recuento de c-bits enviado por el contador 308. El control del retardo DLL es conmutado al VCDL 312 conmutando el voltaje de polarización proporcionado al VCDL desde el par de voltajes de polarización VBP1, VBN1 al par de voltajes de polarización VBP2, VBN2 a través del multiplexor 314 (figura 3).

Así, el retardo DLL incluye retardo mínimo proporcionado por los elementos de retardo DCDL habilitados 400 en el DCDL 306 y retardo adicional proporcionado por el VCDL 312 para proporcionar un retardo DLL exacto. La estabilidad del DLL se incrementa usando el dominio digital para cubrir un rango de retardo amplio con el fin de obtener un retardo mínimo, congelando después el dominio digital para permitir que el dominio analógico opere dentro de un pequeño rango de retardo para proporcionar ajuste de fase fino en el bucle cerrado de retardo controlando el retardo DLL. El voltaje de polarización acoplado al voltaje de polarización VCDL 322 se pone de modo que el VCDL no controle el retardo general DLL hasta después de que una condición bloqueada sea detectada por el

dominio digital. Antes de la condición bloqueada, el VCDL simplemente proporciona un retardo constante independiente de la diferencia de fase entre los relojes.

En una realización, el contador 308 es implementado
5 como un contador de ondulación. Inicialmente el contador 308 se resetea a 0. El demultiplexor 404 dirige el reloj externo CKE a elementos de retardo dependiendo de la señal de selección de demultiplexor de d-bits 432 enviada por la lógica de selección de multiplexor 430. Con la salida del contador 308 puesta a '0' y la señal de selección de demultiplexor 432 puesta a '1111110', CKE es dirigido a través de la salida 422 del demultiplexor 404 acoplada al multiplexor 408 y no se habilitan elementos DCDL de retardo 400.
10

Después de que la salida del contador 308 es incrementada de 000 a 001 como se expone en la tabla 1 por CKE, la señal de reloj CKE es dirigida a través de la salida 424 del demultiplexor 404 por la salida del contador puesta a '1' para permitir la etapa de retardo DCDL etiquetada 4. El multiplexor 410 es habilitado para permitir que CKE sea dirigido a través a la etapa de retardo DCDL 400 cuando la señal de selección de multiplexor de m-bits enviada por la lógica de selección de multiplexor 430 dirige el CKE retardado a través del multiplexor 408 al VCDL. Los expertos en la técnica entenderán que la realización del demultiplexor 404 puede ser implementada con una pluralidad de transistores PMOS habilitado cada uno por una señal lógica activa baja, manteniéndose las otras señales a lógica alta, como se ilustra en la Tabla 1. Alternativamente, se podría utilizar transistores NMOS o puertas de paso CMOS plenas para implementar el demultiplexor 404.
15
20
25
30

Las seis etapas de retardo DCDL son habilitadas cuando la salida del contador se pone a seis, y CKE es dirigido a través de la salida del demultiplexor 426 a
35

través de multiplexores 420, 418, 416, 414, 412, 410, 408 y elementos de retardo etiquetados 9-4. La línea DCDL se congela cuando el contador 308 es inhabilitado por la señal SW puesta a lógica baja.

5 La figura 6 es un gráfico que ilustra la característica de voltaje de control no lineal para el rango estrecho de retardo del VCDL 312 en el DLL 300 representado en la figura 3. En la realización representada, el dominio digital proporciona el retardo mínimo para poner el rango operativo del DLL 300 en el punto B. Después de lograr la
10 condición de bloqueo, el dominio analógico opera dentro de un rango de retardo estrecho 600 desde el punto B-Alto al punto B-Bajo. Este rango de retardo es mucho menor que el rango de retardo amplio soportado por el DLL, pero
15 puede ser controlado por el mismo rango grande de voltajes aplicado en el caso analógico puro de la figura 2. El rango de retardo pequeño controlado por un rango grande de voltajes asegura la estabilidad del dominio analógico durante la operación normal del DLL.

20 Como se representa, el circuito de retardo analógico 304 opera dentro del rango de retardo 85ns a 80ns en el rango de voltajes 200mV a 800mV para proporcionar ajuste de fase fino para el bucle cerrado de retardo. En contraposición al rango de retardo amplio en el mismo rango de
25 voltajes representado en la figura 2, una pequeña variación en el voltaje de control (ΔV) no afecta sustancialmente al retardo.

 La figura 7 es un esquema de una realización del detector de bloqueo 310 y el multiplexor 314 representado
30 en la figura 3. El detector de bloqueo 310 incluye dos flip-flops SR 700, 702, puerta Y 706 y el inversor 704. El flip-flop SR 700 detecta cuándo la señal de reloj interno CKI está dentro de una ventana de detección de fase. El flip-flop SR 702 detecta cuándo la señal de reloj
35 interno CKI está en fase con la señal de reloj externo

CKE. Una vez que la señal de reloj interno CKI está en fase con la señal de reloj externo CKE, la señal SW se pone a '0' lógico para inhabilitar más cambios en el retardo DCDL.

5 La salida del detector de bloqueo SW se mantiene a '0' lógico antes de alcanzar el bloqueo y se pone a '1' lógico después de alcanzar el bloqueo. Antes de alcanzar el bloqueo, el '0' lógico en la señal SW acopla el voltaje de polarización fijo a través de multiplexor 314 para
10 proporcionar el par de voltajes de polarización VCDL 322. Después de llegar al bloqueo, el '1' lógico en SW acopla el par de voltajes de polarización variable VBPN2, VBPN2 a través de multiplexor 314 para proporcionar el par de voltajes de polarización VCDL 322, para permitir que el
15 VCDL 312 sintonice finamente el retardo general.

Durante la conexión del dispositivo, la señal de reseteo acoplada a la entrada R del flip-flop SR 700 y el flip-flop SR 702 se pone a '1' lógico. Ambos flip-flops 700, 702 son reseteados con las respectivas salidas Q
20 (LC1, SW) puestas a '0' lógico. Los flip-flops SR 700, 702 permanecen en un estado reseteado con '0' lógico en las respectivas salidas Q hasta que el detector de fase 320 detecta que la diferencia de fase entre las señales de reloj CKE, CKI está en la ventana de detección de fase.
25 La diferencia de fase está dentro de la ventana de detección de fase mientras el borde ascendente de la señal de reloj interno CKI tiene lugar después del borde descendente de la señal de reloj externo CKE. La salida del detector de fase (Ph_det) cambia a '0' lógico. El '0' lógico en Ph_det cambia la entrada S del flip-flop SR 700
30 a '1' lógico a través del inversor 704 que pone el flip-flop SR 700 (es decir, la salida Q cambia a '1' lógico). El retardo proporcionado por el DCDL 306 sigue aumentando retardando más el borde ascendente de la señal de reloj interno hasta que la señal de reloj interno y las señales
35

de reloj externo están en fase. El flip-flop SR 702 se pone al borde ascendente siguiente de Ph-det que tiene lugar cuando el borde ascendente de CKE es detectado después del borde ascendente de CKI. La salida Q del flip-flop SR 702 se pone a '1' lógico indicando que el circuito de retardo digital proporciona el ajuste de fase basto. El '1' lógico en la salida del flip-flop SR 702, la señal SW, desconecta la señal de polarización VCDL 322 del par de voltajes de polarización VBP1, VBN1 a través del multiplexor 314 y conecta el par de voltajes de polarización VBP2, VBN2 de la bomba de carga 316 (figura 3) al par de voltajes de polarización VCDL 322 al VCDL 312.

El detector de bloqueo 310 permanece en un estado bloqueado con SW puesto a '1' lógico hasta que el sistema se resetee. Mientras está en el estado bloqueado, el dominio digital ya no controla el retardo porque, mientras el SW está puesto a '1' lógico, el código almacenado en el contador 308 se congela para congelar el retardo DCDL.

Las figuras 8A-C son diagramas de tiempo que ilustran la relación de la salida del detector de fase (Ph-det) con la diferencia de fase entre los relojes. Con referencia a la figura 8A, a la inicialización, el detector de fase 320 (figura 3) detecta que el borde ascendente del reloj interno tiene lugar después del borde ascendente del reloj externo. El borde ascendente de CKI retiene un '1' en la salida Ph_det del flip-flop de tipo D. El borde ascendente de CKE sigue incrementando el código para añadir retardo adicional al DCDL.

Con referencia a la figura 8B, el detector de fase detecta que el borde ascendente CKI está ahora después del borde descendente de CKE, es decir, el borde ascendente del reloj interno está dentro de una ventana de detección de fase. El borde ascendente de CKI retiene un '0' en la salida Ph_det del flip-flop de tipo D. El borde ascendente de CKE incrementa el código para añadir más

elementos de retardo 400 al DCDL.

Con referencia a la figura 8C, el detector de fase detecta la condición de bloqueo cuando el borde ascendente CKI se mueve después del borde ascendente CKE. El borde ascendente de CKI retiene un '1' en la salida Ph_det del flip-flop de tipo D.

La figura 9 es un diagrama de tiempo que ilustra señales en el esquema representado en la figura 7. El diagrama de tiempo representa el estado de señales en el esquema cuando el sistema está reseteado, al detectar que se ha alcanzado la ventana de detección de fase y al detectar la condición de bloqueo (cuando los bordes de reloj CKE y CKI están alineados). La figura 9 se describe en unión con la figura 3 y la figura 7.

En el tiempo 900, el sistema se resetea y la señal reseteada se conmuta a '1' lógico. La señal reseteada se acopla a las entradas R de los flip-flops 700, 702 para resetear los flip-flops. La señal Ph_det se resetea a '1' lógico. Las salidas Q (LC1, SW) de ambos flip-flops se resetean a '0'. La señal de reloj interno CKI tiene la misma frecuencia que la señal de reloj externo CKE, pero hay una diferencia de fase inicial debida al retardo de CKE a través de las memorias intermedias de árbol de relojes 328.

En el tiempo 902, después de resetear el sistema, la señal reseteada cambia a '0' lógico. Inicialmente el retardo es añadido a CKE a través del DCDL y no se añade retardo a través del VCDL. El borde ascendente de CKI tiene lugar más tarde que el borde ascendente de CKE debido al retardo a través de las memorias intermedias de árbol de relojes 328 (figura 3) y el retardo a través del DCDL. La señal SW puesta a '0' lógico permite a CKE incrementar el código almacenado en el contador 308 (figura 3). Cuando el código almacenado en el contador 308 (figura 3) es incrementado por CKE (borde ascendente o borde

descendente), más elementos de retardo 400 (figuras 4A-4B) son añadidos al DCDL 306 (figura 3) para retardar más CKE. El retardo entre CKE y CKI aumenta hasta que se alcanza la ventana de detección de fase.

5 En el tiempo 904, el detector de fase 320 (figura 3) detecta que la ventana de detección de fase ha sido introducida. La señal Ph_det salida del detector de fase cambia de estado de '1' lógico a '0' lógico indicando que el detector de fase 320 ha detectado un borde ascendente
10 de la señal CKI después de un borde descendente de CKE. El flip-flop SR 600 se pone, y LC1 en la salida Q se pone a '1'. En períodos de reloj sucesivos, la diferencia de fase entre CKE y CKI disminuye cuando aumenta el retardo DCDL.

15 En el tiempo 906, el detector de fase 320 (figura 3) detecta que el DCDL ha añadido el retardo suficiente para que el borde ascendente de CKI tenga lugar después del borde ascendente de CKE. La salida Ph-det del detector de fase 320 cambia de nuevo a '1' lógico. LC2 en la salida
20 de la puerta Y 706 cambia a '1' lógico, el flip-flop SR 702 se pone y la salida Q (SW) cambia a '1' lógico. Otros cambios en la señal Ph-det no afectan al estado de LC1 y SW. La señal SW puesta a '1' inhabilita el incremento adicional del contador 308.

25 Durante la operación DLL normal, el ajuste de retardo del recorrido de reloj para compensar derivas y cambios de condición cubre un rango estrecho del rango de retardo amplio. Así, después de alcanzar el bloqueo, el DCDL permite que los elementos de retardo proporcionen
30 ajuste de fase basto en el bucle cerrado de retardo. El retardo DLL es variado por el VCDL dentro de un rango de retardo más pequeño para proporcionar ajuste de fase fino en el bucle cerrado de retardo. La supervisión del rango de retardo más pequeño durante la operación normal pro-
35 porciona más estabilidad y reduce la sensibilidad de nodo

del voltaje de control. En caso de que el DLL pierda la condición de bloqueo más allá de la capacidad de compensación del VCDL, el sistema se resetea a las condiciones iniciales y el DCDL es reactivado para poner los relojes
5 externo e interno dentro del rango de ventana de detección de fase.

La invención se ha descrito con respecto a una realización que tiene un solo nivel fijo de voltaje de polarización. En una realización alternativa se puede usar
10 más de un nivel fijo de voltaje de polarización, o se puede usar más de un par de niveles fijos de voltajes de polarización, para proporcionar un DLL más compacto que sea menos sensible al ruido. Esto permite modificar el rango de retardo amplio con el fin de reducir el número
15 de elementos de retardo DCDL seleccionando un nivel fijo de voltaje de polarización dependiendo de la frecuencia del reloj externo. La reducción del número de elementos de retardo DCDL, reduce la sensibilidad al ruido. Por ejemplo, en una realización, con un voltaje de polarización fijo de $0,6V_{DD}$, se requieren quince elementos de retardo DCDL para proporcionar el retardo DCDL. Cuando el voltaje de polarización fijo es $0,7V_{DD}$, solamente se requieren ocho elementos de retardo DCDL para proporcionar el retardo DCDL. Sin embargo, el cambio del rango de retardo
20 puede dar lugar al rango de retardo que cubre una región inestable, por ejemplo, en el punto C del gráfico representado en la figura 2.

La invención puede ser usada en circuitos integrados que requieran alta exactitud de sincronismo de datos de
30 entrada/salida, por ejemplo, en memoria, microprocesador y circuitos integrados específicos de aplicación (ASICs).

Aunque esta invención se ha mostrado y descrito en concreto con referencia a sus realizaciones preferidas, los expertos en la técnica entenderán que se pueden hacer
35 en ella varios cambios en la forma y los detalles sin

apartarse del alcance de la invención abarcado por las reivindicaciones anexas. Por ejemplo, aunque el retardo del DCDL permanezca fijo en tiempos cortos, se puede permitir que ocasionalmente cambie, por ejemplo, cuando el

5 VCDL se aproxime a sus límites de retardo.

REIVINDICACIONES

1. Un bucle cerrado de retardo (300) incluyendo:
 - un circuito de retardo digital (302) que permite que elementos de retardo (400) realicen un ajuste de fase
 - 5 basto durante la inicialización en el bucle cerrado de retardo;
 - un circuito de retardo analógico (304) que proporciona, después de terminar el ajuste de fase basto durante la inicialización, un ajuste de fase fino en el bucle
 - 10 cerrado de retardo mientras el circuito de retardo digital (302) se mantiene a un retardo fijo en respuesta a una señal de control; y
 - circuitería (314, 316, 318) que proporciona una señal de control fija al circuito de retardo analógico
 - 15 (304) mientras que el circuito de retardo digital (302) proporciona el ajuste de fase basto, y que proporciona una señal de control variable al circuito de retardo analógico durante el ajuste de fase fino.
2. El bucle cerrado de retardo de la reivindicación
- 20 1, incluyendo además:
 - un detector de bloqueo (310) en el circuito de retardo digital (302) que detecta la terminación del ajuste de fase basto, congela el retardo fijo a la terminación y permite el ajuste de fase fino.
- 25 3. El bucle cerrado de retardo de la reivindicación 1, donde el circuito de retardo digital opera en un rango de retardo amplio.
4. El bucle cerrado de retardo de la reivindicación
- 30 3, donde el circuito de retardo analógico opera en un rango de retardo pequeño dentro del rango de retardo amplio.
5. El bucle cerrado de retardo de la reivindicación
- 1, donde el circuito de retardo analógico se mantiene a un segundo retardo fijo hasta que el circuito de retardo
- 35 digital completa el ajuste de fase basto.

6. El bucle cerrado de retardo de la reivindicación 1, donde el circuito de retardo digital incluye una pluralidad de elementos de retardo fijo.

7. Un método para realizar ajuste de fase en un bucle cerrado de retardo incluyendo los pasos de:

5 permitir que elementos de retardo (400) en un circuito de retardo digital (302) proporcionen ajuste de fase basto en el bucle cerrado de retardo durante la inicialización;

10 proporcionar una señal de control fija a un circuito de retardo analógico (304) durante el ajuste de fase basto;

15 proporcionar una señal de control variable al circuito de retardo analógico (304) durante un ajuste de fase fino; y

20 proporcionar, después de terminar el ajuste de fase basto durante la inicialización, el ajuste de fase fino con el circuito de retardo analógico (304) en el bucle cerrado de retardo mientras que el circuito de retardo digital se mantiene a un retardo fijo proporcionando la señal de control variable al circuito de retardo analógico (304), mientras el circuito de retardo digital (302) se mantiene al retardo fijo.

25 8. El método de la reivindicación 7, incluyendo además los pasos de:

detectar la terminación del ajuste de fase basto;
congelar el ajuste de fase basto a la terminación; y
permitir el ajuste de fase fino a la congelación.

30 9. El método de la reivindicación 7, donde el circuito de retardo digital opera en un rango de retardo amplio.

10. El método de la reivindicación 9, donde el circuito de retardo analógico opera en un segundo rango de retardo que está dentro del rango de retardo.

35 11. El método de la reivindicación 7, incluyendo

además el paso de:

mantener el circuito de retardo analógico a un segundo retardo fijo hasta que el circuito de retardo digital complete el ajuste de fase basto.

5 12. El método de la reivindicación 7, donde el circuito de retardo digital incluye una pluralidad de elementos de retardo fijo.

10 13. El bucle cerrado de retardo según la reivindicación 1, donde el circuito de retardo analógico es distinto de y está en serie con el circuito de retardo digital.

14. El método según la reivindicación 7, donde el circuito de retardo analógico es distinto de y está en serie con el circuito de retardo digital.

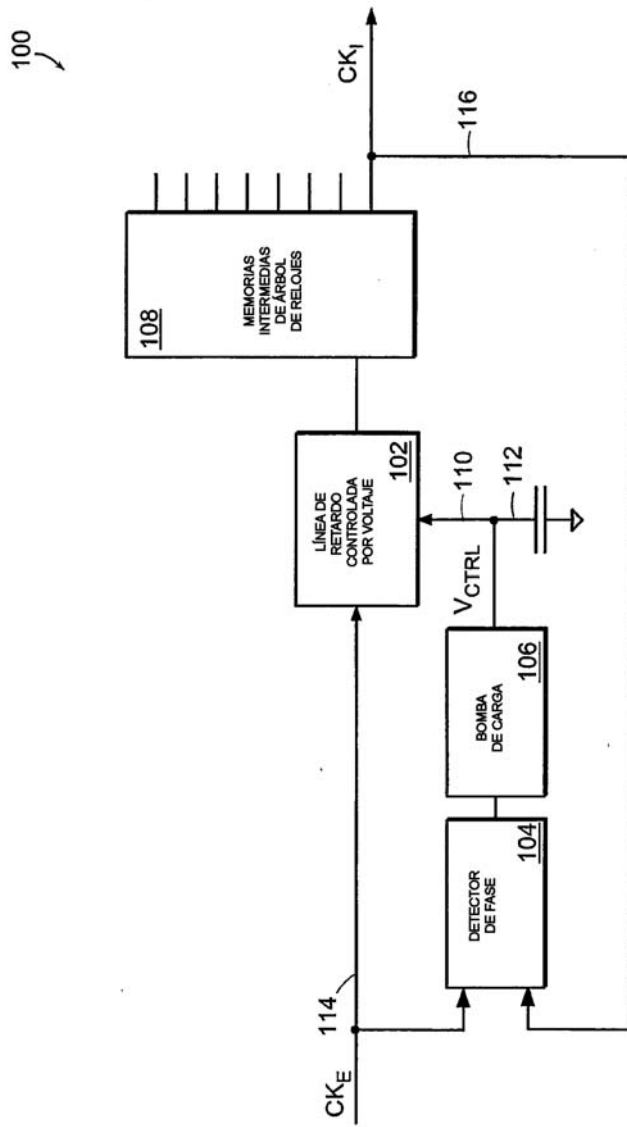


FIG. 1

TÉCNICA ANTERIOR

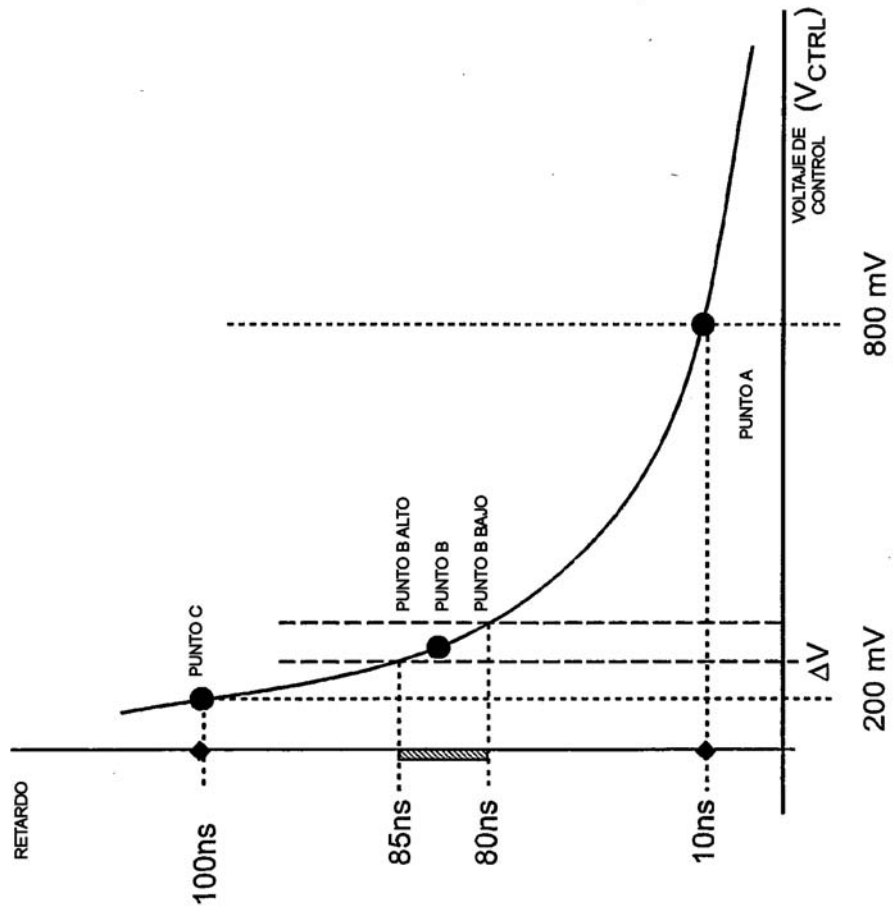


FIG. 2

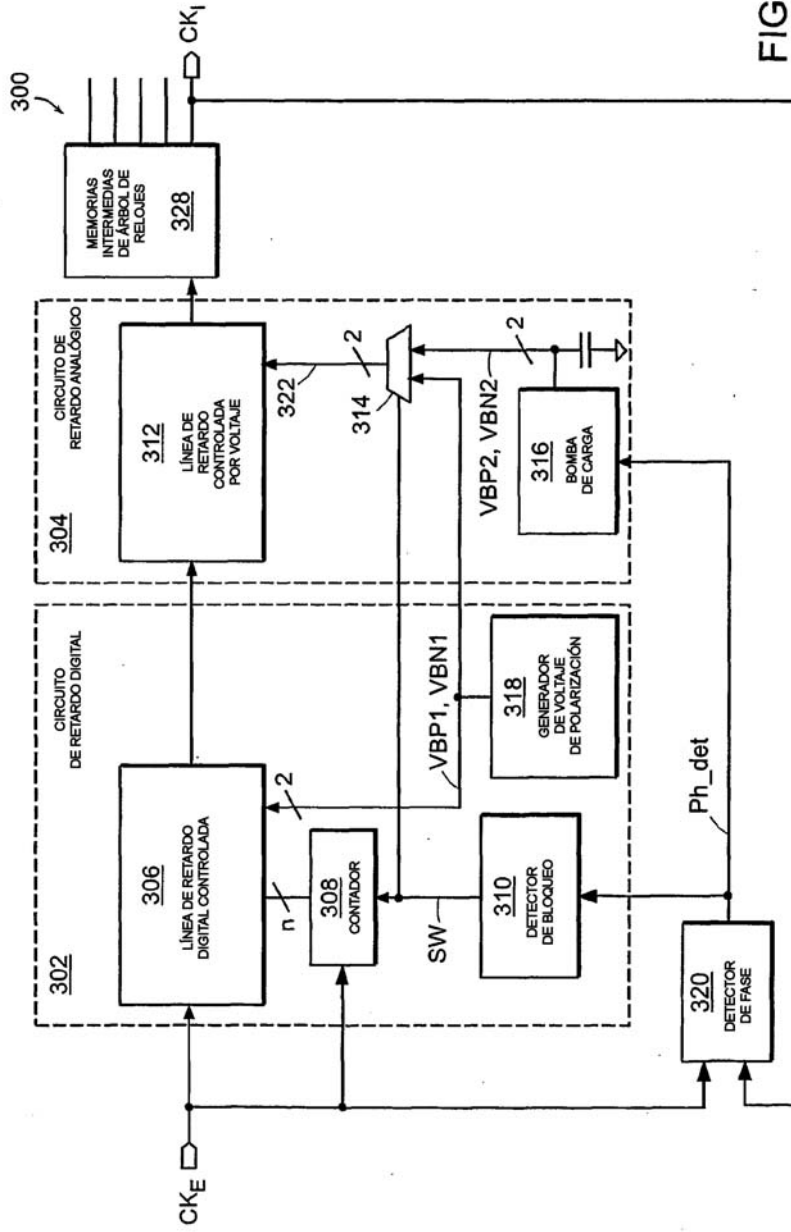


FIG.3

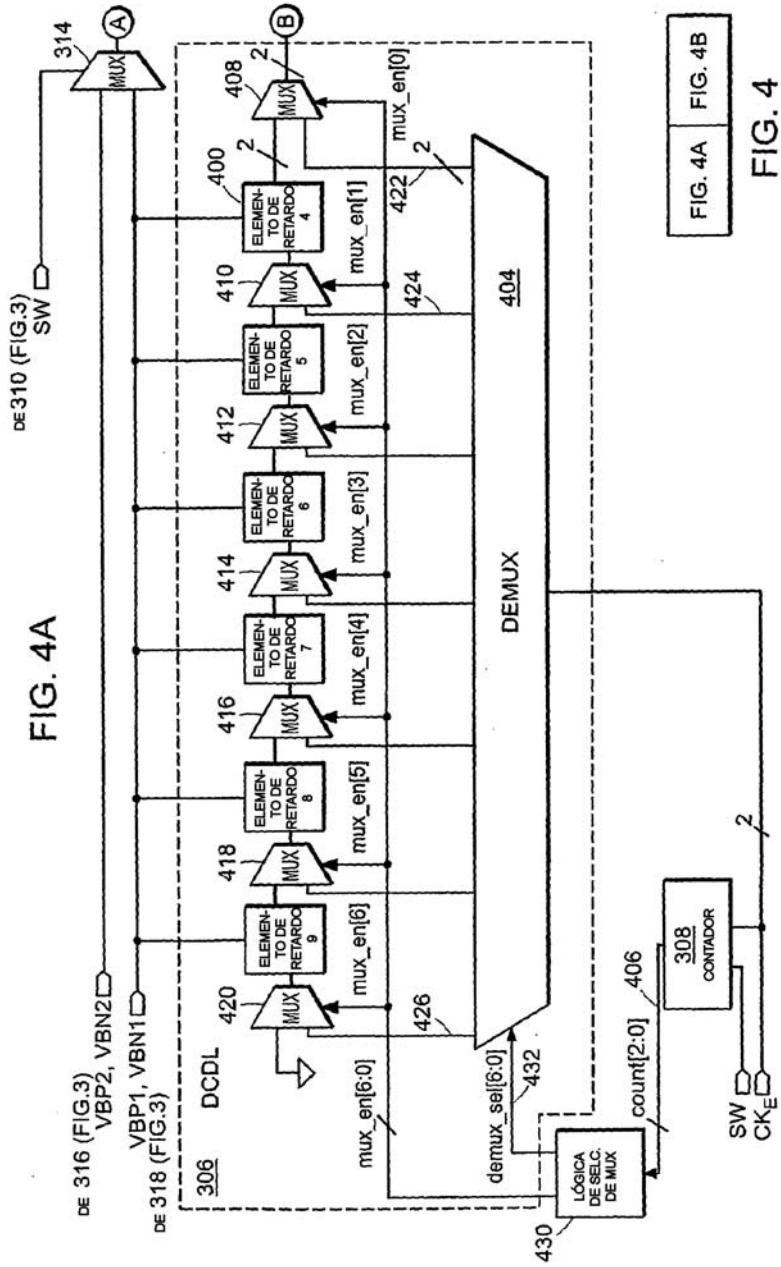


FIG. 4A

FIG. 4B

FIG. 4

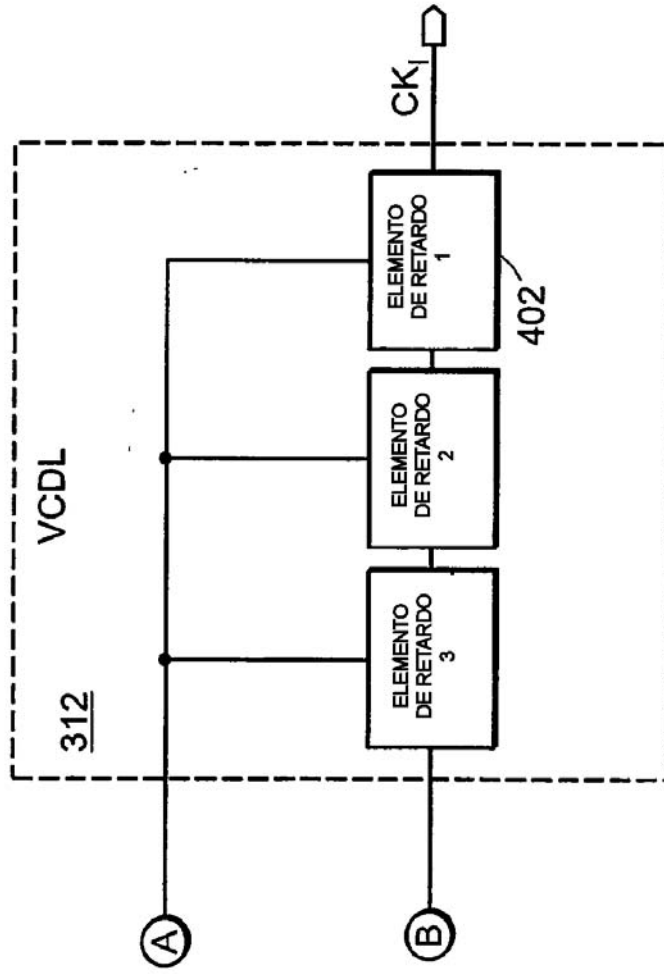


FIG. 4B

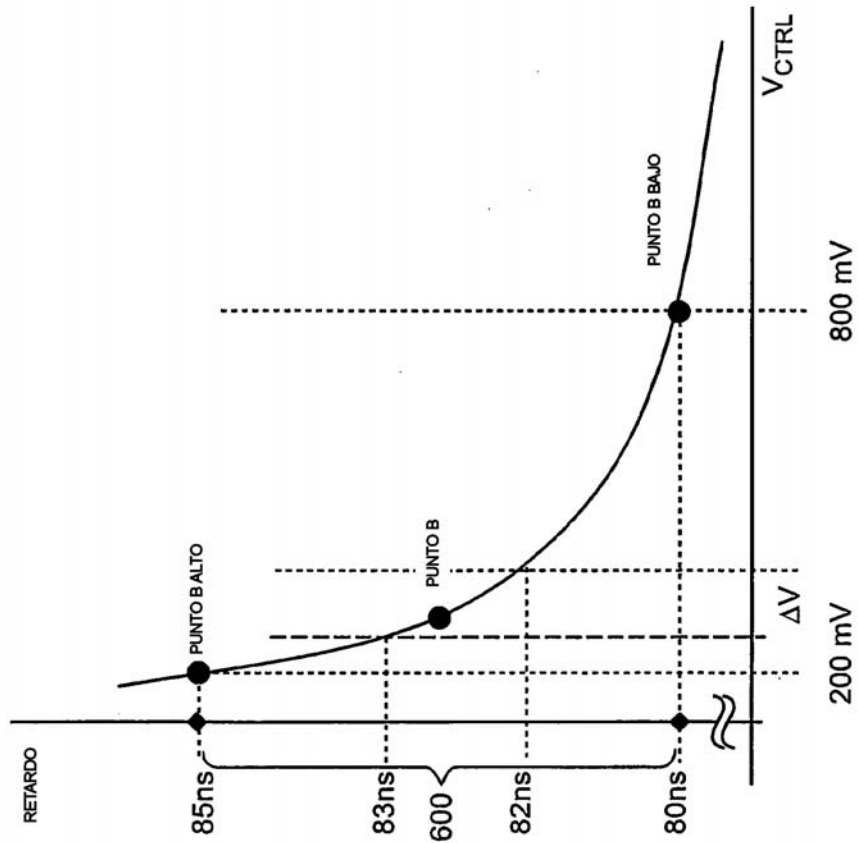


FIG. 6

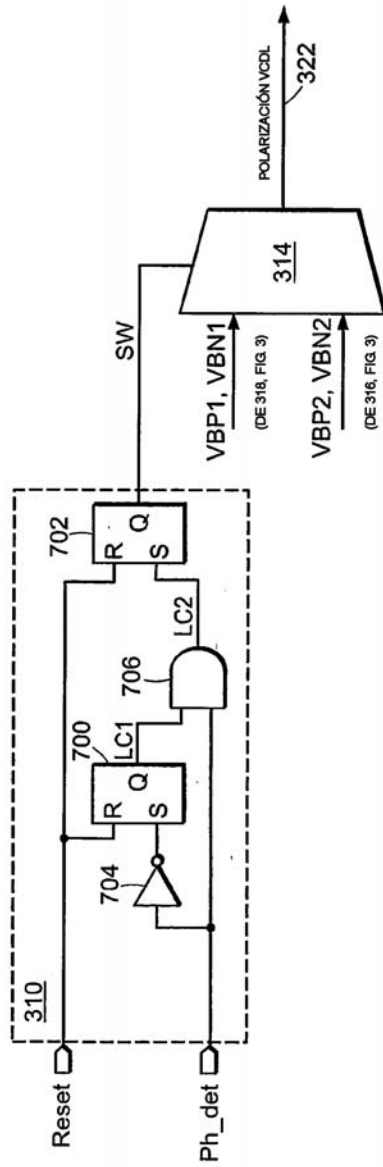


FIG. 7

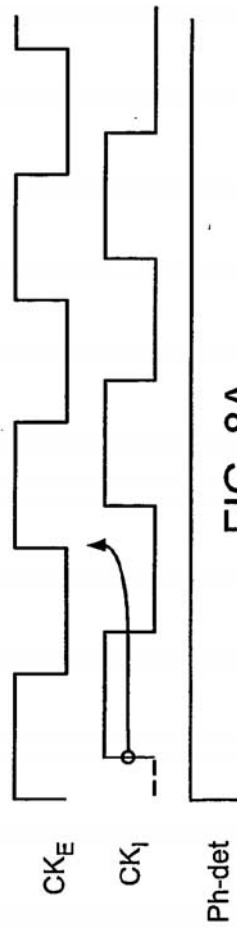


FIG. 8A

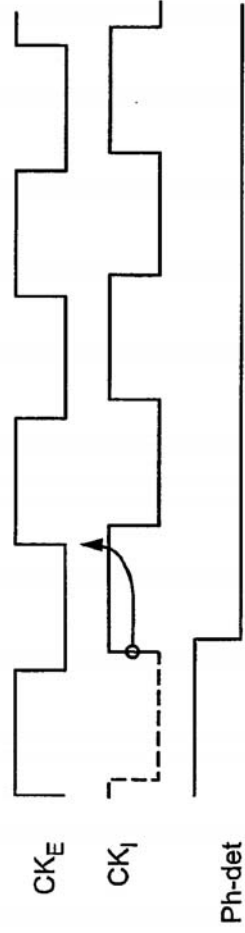


FIG. 8B

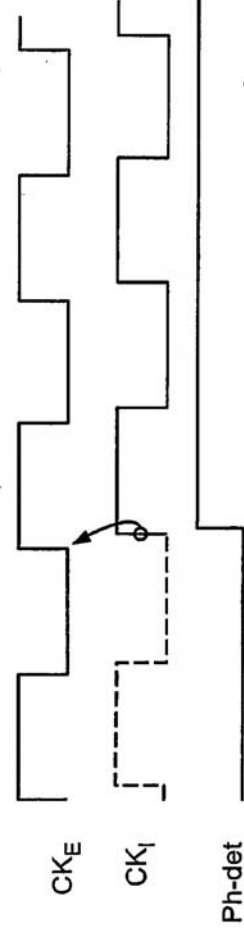


FIG. 8C

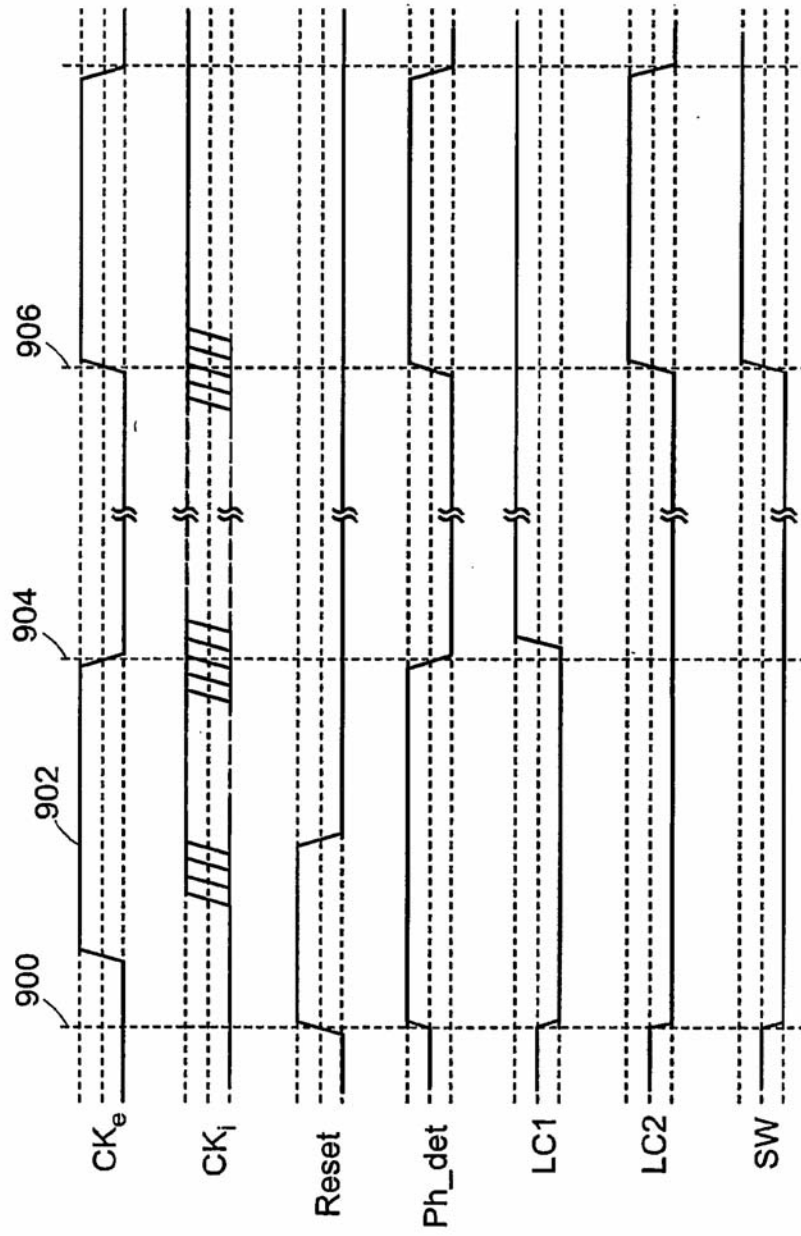


FIG. 9