



(12) 发明专利申请

(10) 申请公布号 CN 118077150 A

(43) 申请公布日 2024. 05. 24

(21) 申请号 202180101748.9

(51) Int.Cl.

(22) 申请日 2021.08.31

H04B 1/40 (2006.01)

(85) PCT国际申请进入国家阶段日

2024.02.26

(86) PCT国际申请的申请数据

PCT/CN2021/115845 2021.08.31

(87) PCT国际申请的公布数据

W02023/028896 ZH 2023.03.09

(71) 申请人 华为技术有限公司

地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

(72) 发明人 高鹏

(74) 专利代理机构 北京中博世达专利商标代理

有限公司 11274

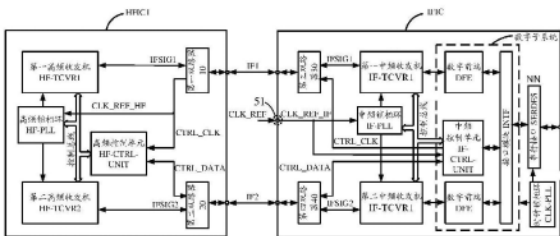
专利代理师 申健

(54) 发明名称

一种无线通信系统及电子设备

(57) 摘要

本申请实施例提供一种无线通信系统及电子设备,涉及无线通信技术领域,可以解决高频芯片和中频芯片之间进行传输的硬件线路较多的问题。无线通信系统的第一高频芯片包括高频控制单元、第一双路器和第二双路器;中频芯片包括中频控制单元、第三双路器和第四双路器;高频控制单元和中频控制单元之间传输控制信号,控制信号包括指令数据信号和随路时钟信号;指令数据信号和随路时钟信号的相位同步,指令数据信号和随路时钟信号的频率为同频或倍频关系;随路时钟信号通过第一双路器和第三双路器在高频控制单元和中频控制单元之间传输;指令数据信号通过第二双路器和第四双路器在高频控制单元和中频控制单元之间传输。



(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 3 月 9 日 (09.03.2023)



(10) 国际公布号
WO 2023/028896 A1

(51) 国际专利分类号:

H04B 1/40 (2015.01)

(21) 国际申请号:

PCT/CN2021/115845

(22) 国际申请日:

2021 年 8 月 31 日 (31.08.2021)

(25) 申请语言:

中文

(26) 公布语言:

中文

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 高鹏 (GAO, Peng); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 北京中博世达专利商标代理有限公司 (BEIJING ZBSD PATENT&TRADEMARK

AGENT LTD.); 中国北京市海淀区交大东路31号11号楼8层, Beijing 100044 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: WIRELESS COMMUNICATION SYSTEM AND ELECTRONIC DEVICE

(54) 发明名称: 一种无线通信系统及电子设备

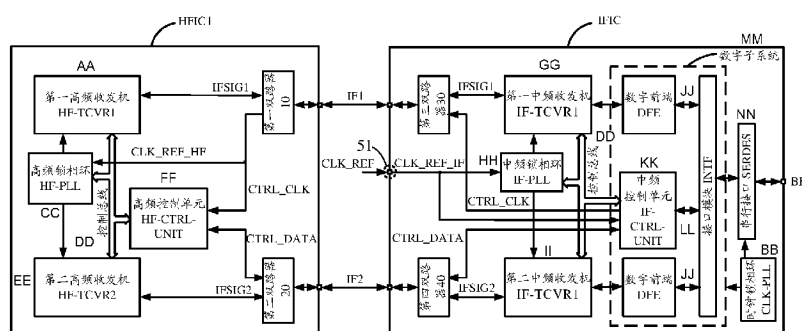


图 14

AA First high-frequency transceiver
BB Clock phase-locked loop
CC High-frequency phase-locked loop
DD Control bus
EE Second high-frequency transceiver
FF High-frequency control unit
GG First intermediate-frequency transceiver
HH Intermediate-frequency phase-locked loop
II Second intermediate-frequency transceiver
JJ Digital front end
KK Intermediate-frequency control unit
LL Interface module
MM Digital subsystem
NN Serial interface
10 First duplexer
20 Second duplexer
30 Third duplexer
40 Fourth duplexer

(57) Abstract: Embodiments of the present application relate to the technical field of wireless communications, and provide a wireless communication system and an electronic device, which can solve the problem that there are a great number of hardware lines for transmission between a high-frequency chip and an intermediate-frequency chip. A first high-frequency chip of the wireless communication system comprises a high-frequency control unit, a first duplexer, and a second duplexer; an intermediate-frequency chip comprises an intermediate-frequency control unit, a third duplexer, and a fourth duplexer; a control signal is transmitted between the high-frequency control unit and the intermediate-frequency control unit, the control signals comprising an instruction data signal and an associated clock signal; the phases of the instruction data signal and the associated clock signal are synchronized, and the frequencies of the instruction data signal and the associated clock signal are the same frequency or multiplied; the associated clock signal is transmitted between the high-frequency control unit and the intermediate-frequency control unit by means of the first duplexer and the third duplexer; the instruction data signal is transmitted between the high-frequency control unit and the intermediate-frequency control unit by means of the second duplexer and the fourth duplexer.



RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：本申请实施例提供一种无线通信系统及电子设备，涉及无线通信技术领域，可以解决高频芯片和中频芯片之间进行传输的硬件线路较多的问题。无线通信系统的第一高频芯片包括高频控制单元、第一双路器和第二双路器；中频芯片包括中频控制单元、第三双路器和第四双路器；高频控制单元和中频控制单元之间传输控制信号，控制信号包括指令数据信号和随路时钟信号；指令数据信号和随路时钟信号的相位同步，指令数据信号和随路时钟信号的频率为同频或倍频关系；随路时钟信号通过第一双路器和第三双路器在高频控制单元和中频控制单元之间传输；指令数据信号通过第二双路器和第四双路器在高频控制单元和中频控制单元之间传输。

一种无线通信系统及电子设备

技术领域

5 本申请涉及无线通信技术领域，尤其涉及一种无线通信系统及电子设备。

背景技术

在高频段通信中，比如 5G NR(new radio, 新无线电)或者下一代 wifi 通信标准中，将高频频段（FR2，frequency range 2）引入到通信系统中，为通信系统获取了更加丰富的频谱资源，可以支持更大吞吐率的通信能力需求。

10 图 1 为一种典型的 5G NR 通信系统的结构示意图。如图 1 所示，该通信系统的信号链路主要由 3 颗芯片组成，分别为高频芯片（high-frequency integrated circuit, HFIC）、中频芯片（intermediate-frequency integrated circuit, IFIC）和基带芯片（baseband integrated-circuit, BBIC），该通信系统还包括与高频芯片 HFIC 耦合的天线阵列（antenna array, ANT-array），天线阵列 ANT-array 包括多个天线单元，例如天线单元
15 ANT1、天线单元 ANT2 和天线单元 ANT3。

然而，现有的高频芯片和中频芯片之间需要通过多路硬件线路传输信号，而多路硬件线路会占用较多的硬件布线资源，对于手机等体积较小的电子设备，硬件布线资源有限。此外，在一些 5G 高频设备上，高频芯片与中频芯片在硬件上有较远的距离，甚至安装在不同的电路板上，需要定制的排线进行连接，过多的硬件线路会限制排线
20 以及硬件连接器的设计。基于此，减少高频芯片和中频芯片之间的硬件线路是目前急需解决的问题。

发明内容

本申请的实施例提供一种无线通信系统及电子设备，可以解决高频芯片和中频芯片之间进行传输的硬件线路较多的问题。

25 为达到上述目的，本申请采用如下技术方案：

第一方面，提供一种无线通信系统，该无线通信系统包括第一高频芯片、中频芯片以及天线阵列；第一高频芯片耦合于天线阵列和中频芯片之间。其中，第一高频芯片包括第一高频收发机、第二高频收发机、高频锁相环、高频控制单元、第一双路器和第二双路器；第一高频收发机和第一双路器耦合，第二高频收发机和第二双路器耦合；高频锁相环分别与第一高频收发机、第二高频收发机耦合；高频控制单元分别与第一双路器、第二双路器耦合。中频芯片包括第一中频收发机、第二中频收发机、中频锁相环、中频控制单元、第三双路器和第四双路器；第一中频收发机和第三双路器耦合，第二中频收发机和第四双路器耦合；中频锁相环分别与第一中频收发机、第二中频收发机耦合；中频控制单元分别与第三双路器、第四双路器耦合。第一双路器和第三双路器耦合，第二双路器和第四双路器耦合。其中，高频控制单元和中频控制单元之间传输控制信号，控制信号包括指令数据信号和随路时钟信号；指令数据信号和随路时钟信号的相位同步，且指令数据信号和随路时钟信号的频率为同频或倍频关系；随路时钟信号通过第一双路器和第三双路器在高频控制单元和中频控制单元之间传输；
30
35

指令数据信号通过第二双路器和第四双路器在高频控制单元和中频控制单元之间传输。在本申请中，“相位同步”并不是严格意义上的准确同步，指令数据信号和随路时钟信号的相位也可以在可接受偏差范围内有一定的偏差，其中所述可接受偏差范围例如可以由本领域技术人员公认的工程实现上导致的偏差。同样的，“同频或倍频”也并不是严格意义上准确地同频或倍频，指令数据信号和随路时钟信号的频率为同频或倍频时，也可以在可接受偏差范围内有一定的偏差。

由于第一高频芯片包括第一双路器，第一双路器分别与第一高频收发机和高频控制单元耦合，中频芯片包括第三双路器，第三双路器分别与第一中频收发机和中频控制单元耦合，第一双路器和第三双路器可以通过一路硬件线路耦合，第一高频收发机和第一中频收发机可以用于传输第一通信信号，因此通过该一路硬件线路既可以在第一高频收发机和第一中频收发机之间传输第一通信信号，又可以在高频控制单元和中频控制单元之间传输随路时钟信号。同样的，由于第一高频芯片还包括第二双路器，第二双路器分别与第二高频收发机和高频控制单元耦合，中频芯片还包括第四双路器，第四双路器分别与第二中频收发机和中频控制单元耦合，第二双路器和第四双路器可以通过一路硬件线路耦合，第二高频收发机和第二中频收发机可以用于传输第二通信信号，因此通过该一路硬件线路既可以在第二高频收发机和第二中频收发机之间传输第二通信信号，又可以在高频控制单元和中频控制单元之间传输指令数据信号。基于此，本申请可以通过一路硬件线路在第一高频芯片和中频芯片之间实现第一通信信号和随路时钟信号的传输，且通过一路硬件线路在第一高频芯片和中频芯片之间实现第二通信信号和指令数据信号的传输，也就是说，在本申请中，第一高频芯片和中频芯片之间需要两路硬件线路就可以实现第一通信信号、第二通信信号、随路时钟信号和指令数据信号的传输。相对于第一高频收发机和第一中频收发机之间的第一通信信号通过一路硬件线路进行传输，第二高频收发机和第二中频收发机之间的第二通信信号通过一路硬件线路进行传输，高频控制单元和中频控制单元之间的随路时钟信号、指令数据信号分别通过一路硬件线路进行传输，也就是说第一高频芯片和中频芯片之间需要四路硬件线路分别传输第一通信信号、第二通信信号、随路时钟信号和指令数据信号，因此本申请可以减少硬件线路的数量，这样一来，可以节省硬件布线资源。

由于指令数据信号和随路时钟信号的相位同步，且指令数据信号和随路时钟信号的频率为同频或倍频关系，因此相比于没有以上关系的两个信号，指令数据信号和随路时钟信号之间不会相互干扰，且指令数据信号和随路时钟信号产生的谐波相同，因而对第一高频芯片和中频芯片的干扰是相同的，这样一来，可以降低无线通信系统的抗干扰设计难度。此外，相比于其他系统的信号会受到额外的限制，比如本振信号，本振信号的频率会随着射频载频的信号变化，随路时钟信号的选择更加灵活，可以使得控制信号稳定工作在一个更加优化的频率范围，因而也可以降低无线通信系统的设计难度。

在一种可能的实施方式中，指令数据信号在随路时钟信号的上升沿和/或下降沿发出指令数据信号。由于指令数据信号在随路时钟信号的上升沿和/或下降沿发出指令数据信号，因此指令数据信号和随路时钟信号的相位同步。

在一种可能的实施方式中，中频控制单元将随路时钟信号通过第三双路器和第一双路器传输给高频控制单元，即随路时钟信号由中频控制单元向高频控制单元传输。

由于随路时钟信号通常是由上层系统的主控制器产生，而主控制器一般集成在基带芯片或中频芯片中，因此随路时钟信号由中频控制单元向高频控制单元传输，用于作为高频控制单元的随路时钟信号。

在一种可能的实施方式中，第一双路器还与高频锁相环耦合；中频控制单元将随路时钟信号通过第三双路器和第一双路器还传输给高频锁相环，用于为高频锁相环提供第一参考时钟信号。由于中频控制单元将随路时钟信号通过第三双路器传输给第一双路器后，第一双路器既可以将随路时钟信号传输给高频控制单元，用于作为高频控制单元的随路时钟信号，又可以将随路时钟信号传输给高频锁相环，复用为高频锁相环的第一参考时钟信号，因此第一高频芯片中无需设置高频管脚用于接收第一参考时钟信号，因而也就无需设置与高频管脚耦合的硬件线路，这样一来，与第一高频芯片耦合的硬件线路的数量进一步减少，第一高频芯片至少可以通过两路硬件线路为其提供所需的各类信号。

在一种可能的实施方式中，中频芯片还包括中频管脚，中频管脚用于接收第二参考时钟信号。可以通过中频管脚接收第二参考时钟信号，用于为中频芯片提供参考时钟信号。

在一种可能的实施方式中，中频管脚与中频锁相环耦合，中频管脚接收到的第二参考时钟信号用于为中频锁相环提供第二参考时钟信号。也就是说，中频锁相环的参考时钟信号可以通过中频管脚接收到的第二参考时钟信号来提供。

在一种可能的实施方式中，中频控制单元传输的随路时钟信号是根据中频管脚接收到的第二参考时钟信号生成的。随路时钟信号可以根据中频管脚接收到的第二参考时钟信号生成，并提供给中频芯片和第一高频芯片。

在一种可能的实施方式中，中频芯片还包括同步器，用于使指令数据信号和随路时钟信号同步；同步器与第三双路器、第四双路器以及中频控制单元耦合；随路时钟信号通过第一双路器、第三双路器以及同步器在高频控制单元和中频控制单元之间传输；指令数据信号通过第二双路器、第四双路器以及同步器在高频控制单元和中频控制单元之间传输。通过同步器可以提高随路时钟信号的信号质量。

在一种可能的实施方式中，第一高频收发机和第一中频收发机之间通过第一双路器和第三双路器传输第一通信信号，第二高频收发机和第二中频收发机之间通过第二双路器和第四双路器传输第二通信信号。这样可以将第一通信信号提供给第一高频收发机和第一中频收发机，将第二通信信号提供给第二高频收发机和第二中频收发机。

在一种可能的实施方式中，上述无线通信系统还包括第二高频芯片；第二高频芯片包括第一高频收发机、第二高频收发机、高频锁相环、高频控制单元、第一双路器和第二双路器。其中，第三双路器分别与第一高频芯片的第一双路器以及第二高频芯片的第一双路器耦合；第四双路器分别与第一高频芯片的第二双路器以及第二高频芯片的第二双路器耦合。由于第三双路器分别与第一高频芯片的第一双路器以及第二高频芯片的第一双路器耦合；第四双路器分别与第一高频芯片的第二双路器以及第二高频芯片的第二双路器耦合，因此中频芯片可以同时与第一高频芯片和第二高频芯片进行通信，这样第一高频芯片和第二高频芯片可以同时工作，且由于每个高频芯片都与天线阵列耦合，因而可以实现较大规模的天线阵列。

在一种可能的实施方式中，第一高频芯片和第二高频芯片均包括至少一个编址管脚，编址管脚用于接收高电平或低电平，以对第一高频芯片和第二高频芯片的芯片编码进行区分。当某一特定控制信号在中频芯片产生时，该控制信号对应的目标高频芯片的芯片编号，嵌入到指令数据信号中。当控制信号同时发送到多颗高频芯片中时，
5 高频芯片的高频控制器都会对指令数据信号进行解析，从中提取出携带的目标芯片编号信息。当提取出的目标芯片编号与本芯片的芯片编号编码吻合时，即认为该指令数据信号是发给本高频芯片的，否则可以认为该指令数据信号是发给其它高频芯片的，本高频芯片可以忽略该指令数据信号。

在一种可能的实施方式中，上述无线通信系统还包括第二高频芯片、第一多路开关、第二多路开关；第二高频芯片包括第一高频收发机、第二高频收发机、高频锁相环、高频控制单元、第一双路器和第二双路器。其中，第三双路器通过第一多路开关分别与第一高频芯片的第一双路器以及第二高频芯片的第一双路器耦合；第一多路开关用于控制第三双路器与第一高频芯片的第一双路器或第二高频芯片的第一双路器导通。第四双路器通过第二多路开关分别与第一高频芯片的第二双路器以及第二高频芯
10 片的第二双路器耦合；第二多路开关用于控制第四双路器与第一高频芯片的第二双路器或第二高频芯片的第二双路器导通。此处，可以通过一颗中频芯片配合多颗高频芯片例如第一高频芯片、第二高频芯片工作，以集成多个天线阵列，且通过第一多路开关和第二多路开关控制中频芯片与第一高频芯片或第二高频芯片通信。

在一种可能的实施方式中，第一双路器包括高通滤波器和低通滤波器，高通滤波器
20 器和低通滤波器均包括第一端和第二端；高通滤波器的第一端与第一高频收发机耦合，低通滤波器的第一端与高频控制单元耦合；高通滤波器的第二端和低通滤波器的第二端均还与第三双路器的合成端口耦合；其中，高通滤波器允许频率大于第一频率的信号通过，低通滤波器允许频率小于第二频率的信号通过；第一频率大于第二频率。由于高通滤波器和低通滤波器的频率选择特性，因此高通滤波器仅能通过中频通信信号，而控制信号（控制信号包括指令数据信号和随路时钟信号）被阻止通过；相反，低通滤波器
25 器仅能通过控制信号，而中频通信信号被阻止通过。

在一种可能的实施方式中，第一频率的范围为 7GHz~15GHz。由于通信信号的频段通常为 7GHz~15GHz，因而从频谱上看，中频的通信信号可以通过高通滤波器。

在一种可能的实施方式中，第一双路器包括带通滤波器和低通滤波器，带通滤波器
30 器和低通滤波器均包括第一端和第二端；带通滤波器的第一端与第一高频收发机耦合，低通滤波器的第一端与高频控制单元耦合；带通滤波器的第二端和低通滤波器的第二端均还与第三双路器的合成端口耦合；其中，带通滤波器允许频率大于第三频率，且小于第四频率的信号通过，低通滤波器允许频率小于第二频率的信号通过；第三频率和第四频率大于第二频率。此处，带通滤波器除了可以滤除控制信号外，还可以滤除
35 第一中频收发机和第二中频收发机产生的谐波，避免谐波对通信带外产生干扰。此外，低通滤波器具有与上述低通滤波器相同的技术效果，可以参考上述，此处不再赘述。

在一种可能的实施方式中，带通滤波器的中心频率的范围为 7GHz~15GHz，带通滤波器的带宽的范围为 0.5GHz~5GHz。根据带通滤波器的中心频率和带通滤波器的带宽可以得到第三频率和第四频率。

在一种可能的实施方式中，第二频率的范围为 100MHz~500MHz。由于控制信号的频段通常为 100MHz~500MHz，因而从频谱上看，低频的控制信号例如指令数据信号和随路时钟信号可以通过低通滤波器。

在一种可能的实施方式中，指令数据信号和/或随路时钟信号的频率为 245.76Mbps、307.2Mbps，491.52Mbps 中的一个。当指令数据信号和/或随路时钟信号的频率为 245.76Mbps、307.2Mbps，491.52Mbps 中的一个时，对于 5G NR 系统而言，可以直接采用协议中定义的相关的时钟频率，降低无线通信系统的难度。

在一种可能的实施方式中，无线通信系统还包括硬件线路；第一双路器和第三双路器之间通过一条硬件线路耦合；第二双路器和第四双路器之间通过一条硬件线路耦合；其中，硬件线路为线缆或设置于电路板中的走线。

第二方面，提供一种无线通信系统，该无线通信系统包括第一高频芯片、中频芯片以及天线阵列；第一高频芯片耦合于天线阵列和中频芯片之间。其中，第一高频芯片包括第一高频收发机、第二高频收发机、高频锁相环和高频控制单元；高频锁相环分别与第一高频收发机、第二高频收发机耦合。中频芯片包括第一中频收发机、第二中频收发机、中频锁相环和中频控制单元；中频锁相环分别与第一中频收发机、第二中频收发机耦合。其中，高频控制单元和中频控制单元之间传输控制信号，控制信号包括指令数据信号和随路时钟信号，高频控制单元和中频控制单元之间通过第一硬件线路传输指令数据信号，通过第二硬件线路传输随路时钟信号。中频控制单元将随路时钟信号还通过第二硬件线路传输给高频锁相环，用于为高频锁相环提供第一参考时钟信号。由于中频控制单元将随路时钟信号还通过第二硬件线路传输给高频锁相环，用于为高频锁相环提供第一参考时钟信号，因而无需单独的硬件线路为高频锁相环提供第一参考时钟信号，相对于第一参考时钟信号通过单独的一条硬件线路而言，本申请提供的无线通信系统可以减少一条硬件线路。

应理解，第二方面无线通信系统还可以有其他可能的实现方式，具体可以参考第一方面各种可能实现方式中的特征，此处不再重复。

第三方面，提供一种高频芯片，该高频芯片包括：第一高频收发机、第二高频收发机、高频锁相环、高频控制单元、第一双路器和第二双路器；第一高频收发机和第一双路器耦合，第二高频收发机和第二双路器耦合；高频锁相环分别与第一高频收发机、第二高频收发机耦合；高频控制单元分别与第一双路器、第二双路器耦合；其中，高频控制单元和第一双路器之间传输随路时钟信号，高频控制单元和第二双路器之间传输指令数据信号；指令数据信号和随路时钟信号的相位同步，且指令数据信号和随路时钟信号的频率为同频或倍频关系。由于第一双路器分别与第一高频收发机和高频控制单元耦合，因而通过第一双路器的一个引脚（即一个合成端口）可以与第一高频收发机之间传输的第一通信信号，且同时与高频控制单元之间传输的随路时钟信号，相对于通过两个引脚分别传输第一通信信号给第一高频收发机和传输的随路时钟信号给高频控制单元，因此本申请减少了一个引脚。同样的，由于第二双路器分别与第二高频收发机和高频控制单元耦合，因而通过第二双路器的一个引脚（即一个合成端口）可以与第二高频收发机之间传输的第二通信信号，且同时与高频控制单元之间传输的指令数据信号，相对于通过两个引脚分别传输第二通信信号给第二高频收发机和传输的指令数据信号给高频控制单元，因此

本申请还可以减少了一个引脚。

第四方面，提供一种中频芯片，中频芯片包括第一中频收发机、第二中频收发机、中频锁相环、中频控制单元、第三双路器和第四双路器；第一中频收发机和第三双路器耦合，第二中频收发机和第四双路器耦合；中频锁相环分别与第一中频收发机、第二中频收发机耦合；中频控制单元分别与第三双路器、第四双路器耦合；其中，中频控制单元和第三双路器之间传输随路时钟信号，中频控制单元和第四双路器之间传输指令数据信号；指令数据信号和随路时钟信号的相位同步，且指令数据信号和随路时钟信号的频率为同频或倍频关系。第四方面提供的中频芯片具有与第三方面提供的高频芯片相同的技术效果，可以参考上述第三方面的相关描述，此处不再赘述。

应理解，第三方面和第四方面中的高频芯片和中频芯片还可以有其他可能的实现方式，具体可以参考第一方面各种可能实现方式中的特征，此处不再重复。

第五方面，提供一种电子设备，该电子设备包括电路板和上述第一方面到第二方面提供的无线通信系统。由于电子设备具有与上述无线通信系统相同的技术效果，因而可以参考上述，此处不再赘述。

附图说明

图 1 为一种典型的 5G NR 通信系统的结构示意图；

图 2 为本申请的实施例提供的一种电子设备的结构示意图；

图 3 为本申请的实施例提供的一种高频芯片的结构示意图；

图 4 为本申请的实施例提供的一种高频锁相环的结构示意图；

图 5 为本申请的实施例提供的一种中频芯片的结构示意图；

图 6 为本申请的实施例提供的一种无线通信系统的结构示意图；

图 7 为本申请的实施例提供的一种无线通信系统和电路板的结构示意图；

图 8a 为本申请的另一实施例提供的一种无线通信系统和电路板的结构示意图；

图 8b 为本申请的又一实施例提供的一种无线通信系统和电路板的结构示意图；

图 9 为本申请的另一实施例提供的一种高频芯片的结构示意图；

图 10 为本申请的另一实施例提供的一种中频芯片的结构示意图；

图 11 为本申请的实施例提供的一种控制信号的结构示意图；

图 12 为本申请的另一实施例提供的一种控制信号的结构示意图；

图 13 为本申请的实施例提供的一种高频芯片和中频芯片耦合的结构示意图；

图 14 为本申请的另一实施例提供的一种高频芯片和中频芯片耦合的结构示意图；

图 15 为本申请的又一实施例提供的一种高频芯片和中频芯片耦合的结构示意图；

图 16 为本申请的实施例提供的一种第一双路器的结构示意图；

图 17a 为本申请的实施例提供的一种高频芯片和中频芯片之间信号传输的结构示意图；

图 17b 为本申请的另一实施例提供的一种高频芯片和中频芯片之间信号传输的结构示意图；

图 18 为本申请的另一实施例提供的一种第一双路器的结构示意图；

图 19 为本申请的另一实施例提供的一种电子设备的结构示意图；

图 20 为本申请的实施例提供的一种中频芯片和多个高频芯片耦合的结构示意图；

图 21 为本申请的实施例提供的一种高频芯片和多个天线阵列耦合的结构示意图；

图 22 为本申请的实施例提供的另一种中频芯片和多个高频芯片耦合的结构示意图；

图 23 为本申请的另一实施例提供的一种高频芯片和中频芯片之间信号传输的结构示意图。

附图标记：10-第一双路器；20-第二双路器；30-第三双路器；40-第四双路器；50-高频管脚；51-中频管脚；100-电子设备；110-处理器；120-外部存储器接口；121-内部存储器；130-USB 接口；140-充电管理模块；141-电源管理模块；142-电池；150-无线通信系统；170-音频模块；180-传感器模块；190-按键；191-马达；192-指示器；193-摄像头；194-显示屏；195-SIM 卡接口。

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。

以下，术语“第一”、“第二”等仅用于描述方便，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”等的特征可以明示或者隐含地包括一个或者更多个该特征。在本申请的描述中，除非另有说明，“多个”的含义是两个或两个以上。

在本申请实施例中，除非另有明确的规定和限定，术语“耦合”可以是直接的耦合，也可以通过中间媒介间接的耦合。

在本申请实施例中，“示例性的”或者“例如”等词用于表示作例子、例证或说明。本申请实施例中被描述为“示例性的”或者“例如”的任何实施例或设计方案不应被解释为比其它实施例或设计方案更优选或更具优势。确切而言，使用“示例性的”或“例如”等词旨在以具体方式呈现相关概念。

在本申请实施例中，“和/或”，描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 的情况，其中 A，B 可以是单数或者复数。字符“/”一般表示前后关联对象是一种“或”的关系。

本申请的实施例提供一种电子设备，该电子设备例如可以为手机(mobile phone)、平板电脑(pad)、个人数字助理(personal digital assistant, PDA)、电视、智能穿戴产品(例如，智能手表、智能手环)、虚拟现实(virtual reality, VR)电子设备、增强现实(augmented reality, AR)电子设备、充电家用小型电器(例如豆浆机、扫地机器人)、无人机、雷达、航空航天设备和车载设备等不同类型的用户设备或者电子设备；该电子设备还可以为基站等网络设备。本申请实施例对电子设备的具体形式不作特殊限制。

图 2 为本申请实施例示例性地提供的一种电子设备的结构示意图。如图 2 所示，该电子设备 100 包括处理器 110，外部存储器接口 120，内部存储器 121，通用串行总线(universal serial bus, USB)接口 130，充电管理模块 140，电源管理模块 141，电池 142，无线通信系统 150，音频模块 170，传感器模块 180，按键 190，马达 191，指示器 192，摄像头 193，显示屏 194，以及用户标识模块(subscriber identification module, SIM)卡接口 195 等。

可以理解的是，本申请实施例示意的结构并不构成对电子设备 100 的具体限定。在本申请另一些实施例中，电子设备 100 可以包括比图示更多或更少的部件，或者组合某些部件，或者拆分某些部件，或者不同的部件布置。图示的部件可以以硬件，软件或软件和硬件的组合实现。

5 处理器 110 可以包括一个或多个处理单元，例如，处理器 110 可以包括应用处理器(application processor, AP)，中央处理器(central processing unit, CPU)，调制解调处理器，图形处理器(graphics processing unit, GPU)，图像信号处理器(image signal processor, ISP)，控制器，视频编解码器，数字信号处理器(digital signal processor, DSP)，基带处理器，和/或神经网络处理器(neural-network processing unit, NPU)等。处理器
10 110 中还可以设置存储器，用于存储指令和数据。

在一些示例中，处理器 110 可以包括一个或多个接口，例如可以是通用串行总线(universal serial bus, USB)接口 130。

外部存储器接口 120 可以用于连接外部存储卡，例如 Micro SD 卡，实现扩展电子设备 100 的存储能力。内部存储器 121 可以用于存储计算机可执行程序代码，所述可
15 执行程序代码包括指令。

充电管理模块 140 用于从充电器接收充电输入。其中，充电器可以是无线充电器，也可以是有线充电器。

电源管理模块 141 用于连接电池 142，充电管理模块 140 与处理器 110。电源管理模块 141 接收电池 142 和/或充电管理模块 140 的输入，为处理器 110，内部存储器 121，
20 显示屏 194，摄像头 193，和无线通信模块 160 等供电。电源管理模块 141 还可以用于监测电池容量，电池循环次数，电池健康状态(漏电，阻抗)等参数。

传感器模块 180 包括压力传感器、陀螺仪传感器、气压传感器或磁传感器等。按键 190 包括开机键，音量键等。马达 191 可以产生振动提示。指示器 192 可以是指示灯，可以用于指示充电状态，电量变化，也可以用于指示消息，未接来电，通知等。
25 SIM 卡接口 195 用于连接 SIM 卡。

电子设备 100 可以通过 GPU，显示屏 194，以及应用处理器等实现显示功能。

电子设备 100 可以通过 ISP，摄像头 193，视频编解码器，GPU，显示屏 194 以及应用处理器等实现拍摄功能。

电子设备 100 可以通过音频模块 170，扬声器，受话器，麦克风，耳机接口，以
30 及应用处理器等实现音频功能。

电子设备 100 的通信功能可以通过无线通信系统 150、调制解调处理器以及基带处理器等实现。

调制解调处理器可以包括调制器和解调器。其中，调制器用于将待发送的低频基带信号调制成中高频信号。解调器用于将接收的电磁波信号解调为低频基带信号。随后解调器将解调得到的低频基带信号传送至基带处理器处理。低频基带信号经基带处理器处理后，被传递给应用处理器。应用处理器通过音频设备(不限于扬声器，受话器等)输出声音信号，或通过显示屏 194 显示图像或视频。
35

在此基础上，电子设备 100 还可以包括电路板，电路板例如可以为印刷电路板(printed circuit boards, PCB)或柔性电路板(flexible printed circuit, FPC)等。此外，

电子设备 100 中的一些芯片或电子器件例如处理器 110、内部存储器 121 等可以设置于 PCB 上。

以下对上述电子设备 100 中的无线通信系统 150 进行介绍。

5 在一种可选的实施例中,如图 1 所示,上述无线通信系统 150 包括高频芯片 HFIC、中频芯片 IFIC 和基带芯片 BBIC;无线通信系统 150 可以还包括与高频芯片 HFIC 耦合的天线阵列 ANT-array,天线阵列 ANT-array 包括多个天线单元,例如天线单元 ANT1、天线单元 ANT2 和天线单元 ANT3。

下面分别对上述高频芯片 HFIC、中频芯片 IFIC 和基带芯片 BBIC 的功能和结构进行介绍。

10 首先,对高频芯片 HFIC 的功能和结构进行示例性介绍。

高频芯片 HFIC 的主要功能是用于实现高频频段信号的放大、移相等操作,以及信号在高频频率和中频频率之间的转换。

图 3 为本申请示例性地提供的一种应用于支持相控阵 (phased array) 技术的高频芯片 HFIC 的结构示意图。在该相控阵系统中,由多个天线单元 ANT 组成的天线阵列 ANT-array 与高频芯片 HFIC 耦合,图 3 示意出了两个天线阵列 ANT-array (ANT-A),分别为天线阵列 ANT array-H (ANT A-H) 和天线阵列 ANT array-V (ANT A-V),每个天线阵列 ANT-array 包括多个独立的天线单元 ANT,例如天线单元 ANT1、天线单元 ANT2、...、天线单元 ANTn。

20 请继续参考图 3,高频芯片 HFIC 主要包括:高频收发机 (high-frequency transceiver, HF-TCVR)、高频锁相环 (high-frequency phase-locked loop, HF-PLL)、高频控制单元 (HF-CTRL-UNIT) 等。

高频收发机 HF-TCVR

25 高频收发机 HF-TCVR 的作用主要用于完成信号通路的放大、变频、移相等处理。在无线通信系统中,由多个天线单元 ANT 组成一组天线阵列 ANT-array,高频收发机 HF-TCVR 通过调整各个天线单元 ANT 收发信号之间的相对相位特性,实现波束赋形 (beamforming),从而获得在特定方向天线增益增强的效果,也就是说,可以实现在特定方向上更强的发射功率以及更优异的接收灵敏度性能。

30 图 3 所示的高频收发机 HF-TCVR,集成了 n 路高频收发前端单元 (front-end, FE),在每个天线阵列 ANT array 中,各包含了 n 个独立的天线单元 ANT,n 个天线单元 ANT 和 n 路前端单元 FE 一一对应耦合。需要说明的是,本申请包括但不限于一个天线单元 ANT 与一个前端单元 FE 耦合,例如,还可以是一个前端单元 FE 与多个天线单元 ANT 耦合,本申请不限于前端单元 FE 与天线单元 ANT 的组合方式。

35 上述高频收发机 HF-TCVR 中各个前端单元 FE 的电路构成相同,前端单元 FE 主要包括用以接收信号的低噪声放大器 (low-noise amplifier, LNA) 以及用以发射信号的功率放大器 (power amplifier, PA)。前端单元 FE 还包括移相器 (phase shifter, PHS),低噪声放大器 LNA 和功率放大器 PA 均与移相器 PHS 耦合。通过对各个前端单元 FE 中移相器 PHS 配置合理的移相参数,即可通过多个天线单元 ANT 接收或发射信号的空间合成,形成特定空间方向上的等效天线增益的提升。

请继续参考图 3,高频收发机 HF-TCVR 还包括功率合路器 (power combiner, PC)

和下变频器 (down-converter, DC), 其中, 上述多个前端单元 FE 均与功率合路器 PC 耦合, 功率合成器 PC 与下变频器 DC 耦合。需要说明的是, 在接收方向上, 可以称为功率合路器 PC, 在发射方向上, 功率合路器 PC 也可以称为功率分路器 (power splitter, PS)。在接收方向上, 可以称为下变频器 DC, 在发射方向上, 下变频器 DC 也可以称为上变频器 (up-converter, UC)。

上述的下变频器 DC 包括可变增益放大器 (amplifier, AMP)、混频器 (mixer, MIX) 和固定增益放大器 AMP, 混频器 MIX 分别与可变增益放大器 AMP 和固定增益放大器 AMP 耦合。图 3 中带箭头的放大器表示可变增益放大器 AMP。

在接收方向上, 各个天线单元 ANT 接收的信号经过低噪声放大器 LNA 放大后, 经过移相器 PHS 进行移相操作。通过配置各路移相器 PHS 的移相参数, 可以获得特定方向的等效天线增益提升。经过移相处理后的接收信号, 通过功率合路器 (power combiner, PC) 合成为一路信号。合路之后的信号经过下变频器 (down-converter, DC), 从高频频率 f_{HF} 搬移到相对较低的中频频率 f_{IF} 上, 并送入中频芯片 IFIC 中进一步处理。

在发射方向上, 从中频芯片 IFIC 送入的中频信号, 经过上变频器 (up-converter, UC) 进行变频至高频频率 f_{HF} , 经过功率分路器 PS 分成 n 路, 并行送入各个前端单元 FE 中。在各个前端单元 FE 中, 发射信号先经过移相器 PHS 进行移相操作。与接收方向类似, 发射方向的移相操作, 也可获得特定方向上的天线增益增强, 实现波束赋形。移相后的发射信号, 通过功率放大器 PA 放大到额定的功率, 并经过天线单元 ANT 辐射到空间中。

应当理解到, 由于 5G NR 高频通信系统是时分双工系统 (time division duplex, TDD), 接收和发送操作不会同时出现, 因此高频收发机 HF-TCVR 的信号端口可以收、发复用, 各个端口均采用开关实现收、发通道切换。例如, 参考图 3, 可以通过开关 S (例如开关 S1、S2、...、Sn)、开关 M (例如开关 M1、M2、...、Mn)、开关 N 以及开关 T 实现收发通道切换。

需要说明的是, 图 3 以高频芯片 HFIC 集成了 2 路高频收发机 HF-TCVR 为例进行示例, 这 2 路高频收发机 HF-TCVR 分别为第一高频收发机 HF-TCVR1、第二高频收发机 HF-TCVR2。由于高频芯片 HFIC1 包括第一高频收发机 HF-TCVR1 和第二高频收发机 HF-TCVR2, 因此无线通信系统 150 包括与第一高频收发机 HF-TCVR1 耦合的天线阵列 ANT-array 和与第二高频收发机 HF-TCVR2 耦合的天线阵列 ANT-array。在一些示例中, 天线阵列 ANT-array 包括水平极化天线阵列 ANT A-H 和垂直极化天线阵列 ANT A-V, 第一高频收发机 HF-TCVR1 与水平极化天线阵列 ANT A-H 耦合, 第二高频收发机 HF-TCVR2 与垂直极化天线阵列 ANT A-V 耦合, 这样一来, 第一高频收发机 HF-TCVR1 和第二高频收发机 HF-TCVR2 可以支持双极化天线的通信工作。

可以理解的是, 本申请提供的高频芯片 HFIC 包括但不限于 2 路高频收发机 HF-TCVR, 还可以集成更多的高频收发机 HF-TCVR。对于 5G NR 高频通信系统, 通信标准要求至少支持双极化天线阵列收发, 因此高频芯片 HFIC 至少需要集成 2 路高频收发机 HF-TCVR 通道。

高频锁相环 HF-PLL

高频锁相环 HF-PLL 的功能是产生高频本振 (high-frequency local oscillator, HFLO)

信号，并通过下变频器 DC 或上变频器 UC 的变频操作，实现信号的频谱搬移。

图 4 为本申请示例性地提供的一种高频锁相环 HF-PLL 的结构示意图。如图 4 所示，高频锁相环 HF-PLL 主要包括以下几个部件：受控振荡器(oscillator, OSC)、反馈分频器(divider, DIV)、鉴相器 (phasedetector, PD)、控制器 CTRL 和本振产生器 (local oscillator generator, LOG)。

上述受控振荡器 OSC 用于输出 CLK_PLL。受控振荡器 OSC 输出的 CLK_PLL 的频率受到其输入信号 VCTRL 的控制。假设输出 CLK_PLL 的频率为，控制信号 VCTRL 的值为 V_{CTRL} ，则：

$$f_{CLK_PLL} = K_{OSC} \cdot V_{CTRL}$$

上式中为受控振荡器 OSC 的转换增益，表征的是受控振荡器的控制信号 VCTRL 与其输出频率的关系。

上述反馈分频器 DIV 用于将受控振荡器 OSC 输出信号进行分频处理，产生与输入参考时钟信号 CLK_REF 频率相近的反馈信号 CLK_DIV。反馈分频器 DIV 的分频比通过控制信号 FCW 控制。假设控制信号 FCW 的值为 N_{FCW} ，则反馈信号 CLK_DIV 的频率为：

$$f_{CLK_DIV} = \frac{f_{CLK_PLL}}{N_{FCW}}$$

上述鉴相器 PD 用于比较反馈信号 CLK_DIV 与参考时钟信号 CLK_REF 之间的相位差，并输出与两个信号相位差相关的输出信号 PD_OUT。假设反馈信号 CLK_DIV 和参考时钟 CLK_REF 的相位分别为 ϕ_{CLK_DIV} 和 ϕ_{CLK_REF} ，则鉴相器 PD 输出信号 PD_OUT 的值为：

$$V_{PD_OUT} = K_{PD} \cdot (\phi_{CLK_REF} - \phi_{CLK_DIV})$$

上式中为鉴相器 PD 的转换增益。

上述控制器 CTRL 用于处理鉴相器 PD 输出信号 PD_OUT，并产生受控振荡器 OSC 的控制信号 VCTRL。控制器 CTRL 的行为决定了高频锁相环 HF-PLL 的关键特性，例如环路带宽和动态响应特性等。

上述本振产生器 LOG 的作用是对受控振荡器 OSC 的输出 CLK_PLL 进行进一步的分频或者倍频处理，得到高频收发机 HF-TCVR 所需要的本振信号(local oscillator, LO)，假设本振产生器 LOG 的分频比率为 N_{LO} ，则本振产生器 LOG 输出信号的频率为：

$$f_{LO} = \frac{f_{CLK_PLL}}{N_{LO}}$$

基于上述高频锁相环 HF-PLL 中各个关键部件的描述，可知高频锁相环 HF-PLL 是一个负反馈系统，通过负反馈机制，实现输出的本振信号 LO 与输入参考时钟 CLK_REF 的频率和相位同步。在负反馈机制作用下，高频锁相环 HF-PLL 输出的本振信号 LO 的频率可锁定为：

$$f_{LO} = N_{FCW} \cdot f_{CLK_REF}$$

需要说明的是，本申请对于高频锁相环 HF-PLL 中受控振荡器 OSC、反馈分频器 DIV、鉴相器 PD、控制器 CTRL 以及本振产生器 LOG 的实现方式不进行限定。此外，本申请提供的高频锁相环 HF-PLL 包括但不限于图 4 所示的结构。

高频控制单元 HF-CTRL-UNIT

高频控制单元 HF-CTRL-UNIT 的功能主要是通过高频芯片控制管脚接收上层系统下发的指令，解析成一定的格式，用以控制高频收发机 HF-TCVR、高频锁相环 HF-PLL 等电路模块的工作状态。或者，根据上层系统下发的指令，读取高频接收机 HF-TCVR、
5 高频锁相环 HF-PLL 的工作状态，并通过高频芯片控制管脚上报给上层系统。

控制信号（也可以称为控制指令）的内容是由上层系统的主控制器产生，比如控制指令中的内容是由上层系统产生。主控制器可以集成在基带芯片 BBIC 中，也可以集成在中频芯片 IFIC 中，BBIC 或 IFIC 中的控制器只是对这些内容包装成指定的格式，再传送出去。在一些示例中，可以考虑将主控制器集成在中频芯片 IFIC 中，即控制指令是从中频芯片 IFIC 发给高频芯片 HFIC。如果更高层系统需要下发指令给高频芯片 HFIC，可以将控制指令下发给中频芯片 IFIC 中的控制单元 IF-CTRL-UNIT，通过中频芯片 IFIC 的控制单元 IF-CTRL-UNIT 处理后，再下发给高频芯片 HFIC。
10

高频芯片控制管脚，通常设计为串行接口形式，即指令信息的二进制编码，是通过串行的方式，逐位送入高频芯片 HFIC 中。高频芯片控制管脚包括指令数据管脚 CTRL-DATA 和随路时钟管脚 CTRL-CLK。在高频芯片 HFIC 的控制单元 HF-CTRL-UNIT 中，串行的指令被解析后，提取出有用的控制信息，并通过高频芯片 HFIC 内部的控制总线（CTRL BUS），将指令发送到各个功能模块。
15

接下来，对中频芯片 IFIC 的功能和结构进行示例性介绍。

中频芯片 IFIC 的功能是完成信号在中频频率和基带之间的频谱搬移，并实现信号放大、数模/模数转换等功能。
20

图 5 为本申请示例性地提供的一种应用于 5G NR 高频通信系统的中频芯片 IFIC 的结构示意图。图 5 所示的中频芯片 IFIC 为一种数字基带接口的中频芯片，即中频芯片与基带芯片之间传递的信号，为数字信号格式，通过 SerDes 接口进行通信。这类中频芯片 IFIC 主要包括以下几个模块：中频收发机（intermediate-frequency transceiver, IF-TCVR）、中频锁相环（intermediate-frequency phase-locked loop, IF-PLL）和数字子系统（digital）。
25

中频收发机 IF-TCVR

中频收发机 IF-TCVR 的主要功能是完成信号的类型转换、放大等操作。在每一个中频收发机 IF-TCVR 中分别集成了一路发射机（TX）和一路接收机（RX），分别用于信号的接收和发射。由于 5G NR 高频通信系统是时分双工 TDD 系统，发射和接收不同同时工作，因此发射机 TX 和接收机 RX 的中频端口可通过开关 Q 进行选择。
30

在接收方向上，信号经过高频芯片 HFIC 的处理，进入中频芯片 IFIC。中频芯片 IFIC 的接收机 RX 对信号进行放大，并经过混频器 MIX 搬移到基带。模拟基带处理器（analog baseband processor, ABB）将对信号进行低通滤波处理，抑制带外的干扰或噪声，避免模拟-数字转换器（analog-to-digital converter, ADC）采样混叠恶化信噪比。同时，ABB 通常提供一定的可调增益，用以调节模拟基带信号的幅值，以获得 ADC 输入端期望的信号强度。ABB 输出的模拟基带信号，经过 ADC 转换为数字信号，并送入数字子系统的接收数字前端 RXDFE 进一步处理后，通过 SerDes 接口送给基带芯片 BBIC。
35

在发射方向上，基带数据通过 SerDes 接口送入中频芯片 IFIC 后，经过发射数字

前端 TXDFE 预处理后, 通过数字-模拟转换器 (digital-to-analog converter, DAC) 转换成模拟基带信号。模拟基带信号首先通过 ABB, 滤除数模转换代入的镜像信号, 并抑制数字基带信号和 DAC 代入的量化噪声。滤波后的模拟基带信号, 经过射频调制器 (modulator, MOD), 搬移到中频频段, 并经过放大器 AMP 进行功率调整后, 以一定的功率输出给高频芯片 HFIC。

需要说明的是, 图 5 所示的中频芯片 IFIC 是以集成了两路中频收发机, 分别为第一中频收发机 IF-TCVR1 和第二中频收发机 IF-TCVR2 为例进行的示意。在 5G NR 通信系统中, 通信标准要求至少支持双极化天线的收发, 因此中频芯片 IFIC 至少需要支持 2 路中频收发机 IF-TCVR。可以理解的是, 本申请提供的中频芯片 IFIC 包括但不限于 2 路中频收发机 IF-TCVR, 对于更加复杂的应用场景, 中频芯片 IFIC 可能集成更多的中频收发机 IF-TCVR 通道。

中频锁相环 IF-PLL

中频锁相环 IF-PLL 的功能是给中频收发机 IF-TCVR 提供中频本振信号 (intermediate-frequency local oscillator, IFLO), 用以实现信号的频谱搬移操作。

在一些示例中, 中频锁相环 IF-PLL 的结构与高频锁相环 HF-PLL 的结构基本相同, 只是输出的频率不同。可以参考上述对高频锁相环 HF-PLL 的结构描述, 此处不再赘述。

数字子系统 digital

中频芯片 IFIC 的数字子系统主要包括: 数字前端 (digital front-end, DFE)、接口模块 INTF 和中频控制单元 IF-CTRL-UNIT。

其中, 上述数据前端 DFE 包括接收数字前端 RXDFE 和发射数字前端 TXDFE, 分别与接收机 RX 和发射机 TX 配合工作。

接收数字前端 RXDFE 用以接收模拟-数字转换器 ADC 输出的数字基带信号, 通过数字信号处理对数据进行采样率变换, 或者补偿接收机通道的非理想特性引入的误差。发射数字前端 TXDFE 用于发射信号的预处理, 采用数字信号处理方法调整信号的采样率, 或对数据进行预失真, 补偿发射机通道非理想特性引入的误差。

每一路接收机 RX 和发射机 TX 通道都有相对应的接收数字前端 RXDFE 和发射数字前端 TXDFE。

此处, 对于上述接口模块 INTF, 以图 5 所示的中频芯片 IFIC 为例, 图 5 所示的中频芯片 IFIC 采用了数字基带接口, 即需要采用 SerDes 接口电路实现中频芯片 IFIC 与基带芯片 BBIC 之间数据和指令的传输。在中频芯片 IFIC 与基带芯片 BBIC 中集成了相互成对的 SerDes 接口电路。

在接收方向上, 数字基带信号经过接收数字前端 RXDFE 处理后, 送入到接口模块 INTF 中, 进行编码、打包等处理。经过接口模块 INTF 后的数据, 提升了传输的可靠性, 但也额外增加了一些传输开销。处理完成的数据, 送入 SerDes 发射机 (transmit lane, TL) 中, 进行并串转换后, 以串行数据的形式送给基带芯片 BBIC。在基带芯片 BBIC 一侧, 提供一路与中频芯片 IFIC 对应的 SerDes 接收机 (receive lane, RL), 接收从中频芯片 IFIC 送来的串行数据, 并将之转换为并行信号。在基带芯片 BBIC 一侧同样集成了接口模块 INTF, 用于对接收到的数据进行解包、译码等处理, 去除传输开

销后, 获得实际有效数据, 交给基带处理器处理。在发射方向上, 数字信号的传输类似接收方向, 只是数据是从基带芯片 BBIC 传送到中频芯片 IFIC。

此外, 对于上述中频控制单元 IF-CTRL-UNIT, 中频控制单元 IF-CTRL-UNIT 的功能是接收上层系统的指令, 解析之后通过控制总线发送给中频芯片 IFIC 的各个功能模块, 或者进一步翻译为串行指令格式, 通过串行控制接口发送给高频芯片 HFIC。

上层系统通常是集成在基带芯片 BBIC 中, 发送给中频芯片 IFIC, 或通过中频芯片 IFIC 传递给高频芯片 HFIC 的指令, 通过基带芯片 BBIC 以及运行在基带芯片 BBIC 的软件系统产生。基带信号产生的指令通过接口模块 INTF 与基带数据交织为特定的格式, 并通过 SerDes 模块从基带信号发送至中频芯片 IFIC。

接下来, 对基带芯片 BBIC 的功能和结构进行示例性介绍。

基带芯片 BBIC 的主要功能是实现信息与物理信号之间的转换。在接收方向上, 从中频芯片 IFIC 传过来的基带信号, 经过基带处理器的解调、译码等操作, 从信号中提取出承载的有用信息。在发射方向上, 信息经过基带处理的编码、调制等操作, 被加载到特定格式的波形信号上, 并发送给中频芯片 IFIC。

在上述的无线通信系统 150 中, 射频收发机即高频收发机 HF-TCVR 和中频收发机 IF-TCVR 采用超外差 (heterodyne) 结构, 通过两次变频操作, 实现信号在高频天线端和基带之间的频谱搬移。也就是说, 基带信号与高频信号之间的转换通过两次频谱搬移实现, 两次频谱搬移分别在中频芯片 IFIC 和 高频芯片 HFIC 中实现。

基于上述高频芯片 HFIC 和中频芯片 IFIC 的结构可知, 如图 6 所示, 高频芯片 HFIC 和中频芯片 IFIC 之间通过第一信号管脚 IF1、第二信号管脚 IF2 和控制管脚传输信号, 控制管脚包括指令数据管脚 CTRL_DATA 及其随路时钟管脚 CTRL_CLK。此外, 高频芯片 HFIC 和中频芯片 IFIC 都有各自独立的参考时钟管脚 CLK_REF。

需要说明的是, 高频芯片 HFIC 和中频芯片 IFIC 之间传输的中频信号是通过第一信号管脚 IF1 和第二信号管脚 IF2 进行传输。由于 5G NR 高频通信系统是 TDD 系统, 接收和发射不同时进行, 因此接收和发射可以用同一路硬件线路进行传输。高频芯片 HFIC 和中频芯片 IFIC 内部各通过开关进行收、发功能切换。由于上述的无线通信系统 150 中, 中频芯片 IFIC 和 高频芯片 HFIC 内部各有两路收发机通道, 因此高频芯片 HFIC 和中频芯片 IFIC 的第一信号管脚 IF1 和第二信号管脚 IF2 分别通过一路硬件线路耦合。

由于高频芯片 HFIC 的第一信号管脚 IF1 和中频芯片 IFIC 的第一信号管脚 IF1 之间、高频芯片 HFIC 的第二信号管脚 IF2 和中频芯片 IFIC 的第二信号管脚 IF2 之间、高频芯片 HFIC 的指令数据管脚 CTRL_DATA 和中频芯片 IFIC 的指令数据管脚 CTRL_DATA 之间、以及高频芯片 HFIC 的随路时钟管脚 CTRL_CLK 和中频芯片 IFIC 的随路时钟管脚 CTRL_CLK 之间均通过一路硬件线路进行传输, 此外, 高频芯片 HFIC 和中频芯片 IFIC 的参考时钟管脚 CLK_REF 各自通过一路硬件线路进行传输, 因此基于上述高频芯片 HFIC 和中频芯片 IFIC 的管脚设计, 对于高频芯片和中频芯片各自而言, 均至少需要 5 路硬件线路为其提供所需的各类信号。

然而, 多路硬件线路会占用较多的硬件布线资源, 对于手机等体积较小的电子设备, 硬件布线资源有限。此外, 在一些 5G 高频设备上, 高频芯片 HFIC 与中频芯片 IFIC

在硬件上有较远的距离，甚至安装在不同的电路板上，需要定制的排线进行连接，过多的硬件线路会限制排线以及硬件连接器的设计。

为了解决在上述无线通信系统 150 中，高频芯片 HFIC 和中频芯片 IFIC 之间需要较多的硬件线路进行传输的问题，本申请还提供一种无线通信系统 150，该无线通信系统 150 可以应用于上述的电子设备 100 中，以下通过几个具体的实施例对本申请提供的无线通信系统 150 进行示例性介绍。

实施例一

如图 7 所示，无线通信系统 150 包括第一高频芯片 HFIC1、中频芯片 IFIC 以及天线阵列 ANT-array，第一高频芯片 HFIC1 耦合于天线阵列 ANT-array 和中频芯片 IFIC 之间。无线通信系统 150 还包括基带芯片 BBIC，中频芯片 IFIC 耦合在第一高频芯片 HFIC1 和基带芯片 BBIC 之间。

其中，基带芯片 BBIC 和天线阵列 ANT-array 可以参考上述相关描述，实施例一中不再赘述。

应当理解到，本申请提供的无线通信系统 150 可以分别在发射模式和接收模式下工作。在发射模式下，通信信号从基带芯片 BBIC 送入中频芯片 IFIC，再从中频芯片 IFIC 送入第一高频芯片 HFIC1，之后，通过天线阵列 ANT-array 发射出去。在接收模式下，天线阵列 ANT-array 接收到通信信号后，送入第一高频芯片 HFIC1，通信信号再从第一高频芯片 HFIC1 送入中频芯片 IFIC，之后再送入基带芯片 BBIC。

在一些示例中，如图 7 所示，第一高频芯片 HFIC1、中频芯片 IFIC 以及基带芯片 BBIC 可以集成在一个电路板 200（电路板 200 例如可以为印刷电路板）上。在另一些示例中，如图 8a 所示，第一高频芯片 HFIC1、中频芯片 IFIC 以及基带芯片 BBIC 中任意两个集成在一个电路板 200 上，另外一个集成在另一个电路板 200 上。图 8a 以中频芯片 IFIC 和基带芯片 BBIC 集成在一个电路板 200 上，第一高频芯片 HFIC1 集成在另一个电路板 200 上为例进行示意。在又一些示例中，如图 8b 所示，第一高频芯片 HFIC1、中频芯片 IFIC 以及基带芯片 BBIC 分别各自集成在一个电路板 200 上。

如图 9 所示，上述第一高频芯片 HFIC1 包括：第一高频收发机 HF-TCVR1、第二高频收发机 HF-TCVR2、高频锁相环 HF-PLL、高频控制单元 HF-CTRL-UNIT；高频锁相环 HF-PLL 分别与第一高频收发机 HF-TCVR1 和第二高频收发机 HF-TCVR2 耦合。

需要说明的是，第一高频收发机 HF-TCVR1 和第二高频收发机 HF-TCVR2 的结构可以参考上述高频收发机 HF-TCVR 的相关介绍，图 9 示意出了第一高频收发机 HF-TCVR1 和第二高频收发机 HF-TCVR2 的具体结构。高频锁相环 HF-PLL 的结构可以参考上述高频锁相环 HF-PLL 的相关介绍，高频控制单元 HF-CTRL-UNIT 的结构可以参考上述高频控制单元 HF-CTRL-UNIT 的相关介绍，此处不再赘述。

此处，第一高频收发机 HF-TCVR1 和第二高频收发机 HF-TCVR2 可以用于接收或发射通信信号，通信信号通常为中频信号 IF，该通信信号的频段例如可以为 7GHz~15GHz。高频控制单元 HF-CTRL-UNIT 用于接收或发射控制信号，控制信号例如可以包括指令数据信号 CTRL_DATA 和随路时钟信号 CTRL_CLK，控制信号通常为低频信号，该控制信号的频段例如可以为 100MHz~500MHz。在一些示例中，指令数据信号 CTRL_DATA 和/或随路时钟信号 CTRL_CLK 的频率为 245.76Mbps、307.2Mbps，

491.52Mbps 中的一个。当指令数据信号 CTRL_DATA 和/或随路时钟信号 CTRL_CLK 的频率为 245.76Mbps、307.2Mbps，491.52Mbps 中的一个时，对于 5G NR 系统而言，可以直接采用协议中定义的相关的时钟频率，降低无线通信系统的难度。

在此基础上，请继续参考图 9，第一高频芯片 HFIC1 还包括第一双路器 (duplexer) 10 和第二双路器 20；第一高频收发机 HF-TCVR1 和第一双路器 10 耦合；第二高频收发机 HF-TCVR2 和第二双路器 20 耦合；高频控制单元 HF-CTRL-UNIT 分别与第一双路器 10、第二双路器 20 耦合。其中，高频控制单元 HF-CTRL-UNIT 和第一双路器 10 之间传输随路时钟信号 CTRL_CLK，高频控制单元 HF-CTRL-UNIT 和第二双路器 20 之间传输指令数据信号 CTRL_DATA。

其中，第一双路器 10 和第二双路器 20 均包括第一分配端口、第二分配端口和合成端口，第一双路器 10 的第一分配端口和第一高频收发机 HF-TCVR1 耦合，第二分配端口和高频控制单元 HF-CTRL-UNIT 耦合；第二双路器 20 的第一分配端口和第二高频收发机 HF-TCVR2 耦合，第二分配端口和高频控制单元 HF-CTRL-UNIT 耦合。

如图 10 所示，上述中频芯片 IFIC 包括：第一中频收发机 IF-TCVR1、第二中频收发机 IF-TCVR2、中频锁相环 IF-PLL 和数字子系统；中频锁相环 IF-PLL 分别与第一中频收发机 IF-TCVR1、第二中频收发机 IF-TCVR2 耦合。其中，数字子系统包括中频控制单元 IF-CTRL-UNIT、数字前端 DFE 和接口模块 INTF。

需要说明的是，第一中频收发机 IF-TCVR1 和第二中频收发机 IF-TCVR2 的结构可以参考上述有关中频收发机 IF-TCVR 的相关描述，图 10 示意出了第一中频收发机 IF-TCVR1 和第二中频收发机 IF-TCVR2 的具体结构。中频锁相环 IF-PLL 和数据子系统的结构可以参考上述相关描述，此处不再赘述。

此处，第一中频收发机 IF-TCVR1 和第二中频收发机 IF-TCVR2 可以用于接收或发射通信信号，通信信号具体可以参考上述第一高频收发机 HF-TCVR1 和第二高频收发机 HF-TCVR2 中相关描述。中频控制单元 IF-CTRL-UNIT 用于接收或发射控制信号，控制信号具体可以参考上述高频控制单元 HF-CTRL-UNIT 中相关描述。

在此基础上，请继续参考图 10，中频芯片 IFIC 还包括第三双路器 30 和第四双路器 40；第一中频收发机 IF-TCVR1 和第三双路器 30 耦合；第二中频收发机 IF-TCVR2 和第四双路器 40 耦合；中频控制单元 IF-CTRL-UNIT 分别与第三双路器 30、第四双路器 40 耦合。其中，中频控制单元 IF-CTRL-UNIT 和第三双路器 30 之间传输随路时钟信号 CTRL_CLK，中频控制单元和第四双路器之间传输指令数据信号 CTRL_DATA。

其中，第三双路器 30 和第四双路器 40 均包括第一分配端口、第二分配端口和合成端口，第三双路器 30 的第一分配端口与第一中频收发机 IF-TCVR1 耦合，第二分配端口与中频控制单元 IF-CTRL-UNIT 耦合；第四双路器 40 的第一分配端口与第二中频收发机 IF-TCVR2 耦合，第二分配端口与中频控制单元 IF-CTRL-UNIT 耦合。

基于上述第一高频芯片 HFIC1 和中频芯片 IFIC 的结构，通过使第一高频芯片 HFIC1 的第一双路器 10 和中频芯片 IFIC 的第三双路器 30 耦合，第一高频芯片 HFIC1 的第二双路器 20 和中频芯片 IFIC 的第四双路器 40 耦合，从而可以实现第一高频芯片 HFIC1 和中频芯片 IFIC 之间的耦合。

应当理解到，“第一双路器 10 和第三双路器 30 耦合，第二双路器 20 和第四双路器 40

耦合”，即第一双路器 10 的合成端口与第三双路器 30 的合成端口耦合，第二双路器 20 的合成端口与第四双路器 40 的合成端口耦合。

在一些示例中，上述无线通信系统 150 还包括硬件线路，示例性地，硬件线路可以为线缆例如同轴线缆，或者为设置于电路板中的走线，其中，设置于电路板中的走线可以是设置于 PCB 中的走线，也可以是设置于 FPC 中的走线。上述第一双路器 10 和第三双路器 30 之间可以通过一条硬件线路耦合，第二双路器 20 和第四双路器 40 之间可以通过一条硬件线路耦合。在图 7 中，第一双路器 10 和第三双路器 30 之间通过硬件线路 IF1 耦合，第二双路器 20 和第四双路器 40 之间通过硬件线路 IF2 耦合。

需要说明的是，在本申请中，若硬件线路用于传输差分信号，则一条硬件线路包括一对差分线路，即包括两条线路。

由于第一高频收发机 HF-TCVR1 和第一双路器 10 耦合，第一中频收发机 IF-TCVR1 和第三双路器 30 耦合，且第一双路器 10 和第三双路器 30 耦合，因此第一高频收发机 HF-TCVR1 和第一中频收发机 IF-TCVR1 之间可以通过第一双路器 10 和第三双路器 30 传输第一通信信号 IFSIG1。相应的，由于第二高频收发机 HF-TCVR2 和第二双路器 20 耦合，第二中频收发机 IF-TCVR2 和第四双路器 40 耦合，且第二双路器 20 和第四双路器 40 耦合，因此第二高频收发机 HF-TCVR2 和第二中频收发机 IF-TCVR2 之间可以通过第二双路器 20 和第四双路器 40 传输第二通信信号 IFSIG2。

此处，第一通信信号 IFSIG1 和第二通信信号 IFSIG2 可以相同，也可以不相同。

应当理解到，第一通信信号 IFSIG1 和第二通信信号 IFSIG2 均可以在第一高频芯片 HFIC1 和中频芯片 IFIC 之间进行双向传输，以第一通信信号 IFSIG1 为例，在接收模式下，第一通信信号 IFSIG1 可以由第一高频芯片 HFIC1 的第一高频收发机 HF-TCVR1 经过第一双路器 10 和第三双路器 30 向第一中频收发机 IF-TCVR1 传输；在发射模式下，第一通信信号 IFSIG1 可以由中频芯片 IFIC 的第一中频收发机 IF-TCVR1 经过第三双路器 30 和第一双路器 10 向第一高频收发机 HF-TCVR1 传输。第二通信信号 IFSIG2 的传输路径可以参考第一通信信号 IFSIG1，此处不再赘述。另外，第一通信信号 IFSIG1 的传输方向和第二通信信号 IFSIG2 的传输方向可以相同，也可以不相同。

由于高频控制单元 HF-CTRL-UNIT 分别与第一双路器 10、第二双路器 20 耦合，中频控制单元 IF-CTRL-UNIT 分别与第三双路器 30、第四双路器 40 耦合，且第一双路器 10 和第三双路器 30 耦合，第二双路器 20 和第四双路器 40 耦合，因而高频控制单元 HF-CTRL-UNIT 和中频控制单元 IF-CTRL-UNIT 之间可以传输控制信号，控制信号包括指令数据信号 CTRL_DATA 和随路时钟信号 CTRL_CLK，指令数据信号 CTRL_DATA 和随路时钟信号 CTRL_CLK 的相位同步，且指令数据信号 CTRL_DATA 和随路时钟信号 CTRL_CLK 的频率为同频或倍频关系。

应当理解到，随路时钟信号 CTRL_CLK 用于作为指令数据信号 CTRL_DATA 的随路时钟信号 CTRL_CLK。指令数据信号 CTRL_DATA 和随路时钟信号 CTRL_CLK 的相位同步指的是指令数据信号 CTRL_DATA 在随路时钟信号 CTRL_CLK 的上升沿和/或下降沿发出指令数据信号 CTRL_DATA。

此处，可以在随路时钟信号 CTRL_CLK 的上升沿发出指令数据信号 CTRL_DATA；也可以在随路时钟信号 CTRL_CLK 的下降沿发出指令数据信号 CTRL_DATA；当然还

可以在随路时钟信号 CTRL_CLK 的上升沿和下降沿均发出指令数据信号 CTRL_DATA。

图 11 和图 12 为本申请示例性地提供一种典型的控制信号的结构。其中，CTRL_DATA 为指令数据信号，指令数据信号 CTRL_DATA 中例如可以包括指令类型、地址位和数据位等，参考图 11 和图 12，C3...C0 为指令类型，例如读、写操作等，A15...A0 为 16bit 的地址位，D31...D0 为 32bit 的数据位。CTRL_CLK 为指令数据信号的随路时钟信号，以便在指令接收端，例如中频控制单元，能够正确的处理指令数据。

此处，在一些示例中，随路时钟信号 CTRL_CLK 的频率可以与指令数据信号 CTRL_DATA 的频率为同频关系，即如图 11 所示，在随路时钟信号 CTRL_CLK 的每个时钟周期内，发送一个指令数据。图 11 所示的这种格式也可以称为单数据率（single data rate，SDR）。

在另一些示例中，随路时钟信号 CTRL_CLK 的频率可以与指令数据信号 CTRL_DATA 的频率为倍频关系。例如，如图 12 所示，可以在随路时钟信号 CTRL_CLK 的上升沿和下降沿分别发送指令数据，即在随路时钟信号 CTRL_CLK 的每个时钟周期内发送 2bit 指令数据，图 12 所示的这种格式也可以称为双数据率（double data rate，DDR）。

在高频控制单元 HF-CTRL-UNIT 内，串行送入的指令数据，在随路时钟信号 CTRL_CLK 的作用下，转换为并行格式，并通过高频芯片 HFIC 内的控制总线 CTRL BUS，发送到各个功能模块。

需要说明的是，控制信号的格式可根据实际需求设计。此外，本申请对控制信号中的指令数据信号的具体格式没有限制，指令数据信号中包括但不限于指令类型、地址位以及数据位，可以根据需要进行设计。在本申请中，设定的控制信号包括了一路指令数据信号 CTRL_DATA 以及一路随路时钟信号 CTRL_CLK。应当理解到，控制信号包括但不限于指令数据信号 CTRL_DATA 和随路时钟信号 CTRL_CLK，还可以包括其它的信号。

在此基础上，上述控制信号中的随路时钟信号 CTRL_CLK 通过第一双路器 10 和第三双路器 30 在高频控制单元 HF-CTRL-UNIT 和中频控制单元 IF-CTRL-UNIT 之间传输；上述控制信号中的指令数据信号 CTRL_DATA 通过第二双路器 20 和第四双路器 40 在高频控制单元 HF-CTRL-UNIT 和中频控制单元 IF-CTRL-UNIT 之间传输。

此处，指令数据信号 CTRL_DATA 可以在第一高频芯片 HFIC1 和中频芯片 IFIC 之间进行双向传输，在接收模式下，指令数据信号 CTRL_DATA 可以由第一高频芯片 HFIC1 的高频控制单元 HF-CTRL-UNIT 经过第二双路器 20 和第四双路器 40 向中频控制单元 IF-CTRL-UNIT 传输；在发射模式下，指令数据信号 CTRL_DATA 可以由中频芯片 IFIC 的中频控制单元 IF-CTRL-UNIT 经过第四双路器 40 和第二双路器 20 向高频控制单元 HF-CTRL-UNIT 传输。

同样的，随路时钟信号 CTRL_CLK 可以在第一高频芯片 HFIC1 和中频芯片 IFIC 之间进行双向传输，随路时钟信号 CTRL_CLK 可以由第一高频芯片 HFIC1 的高频控制单元 HF-CTRL-UNIT 经过第一双路器 10 和第三双路器 30 向中频控制单元 IF-CTRL-UNIT

传输;随路时钟信号 CTRL_CLK 也可以由中频芯片 IFIC 的中频控制单元 IF-CTRL-UNIT 经过第三双路器 30 和第一双路器 10 向高频控制单元 HF-CTRL-UNIT。此外,指令数据信号 CTRL_DATA 的传输方向和随路时钟信号 CTRL_CLK 的传输方向可以相同,也可以不相同。另外,第一通信信号 IFSIG1、第二通信信号 IFSIG2、指令数据信号 CTRL_DATA、
5 随路时钟信号 CTRL_CLK 的传输方向可以相同,也可以不相同。

考虑到通常情况下,随路时钟信号 CTRL_CLK 是由上层系统的主控制器产生,而主控制器一般集成在基带芯片 BBIC 或中频芯片 IFIC 中,因此在一些示例中,如图 7 所示,中频控制单元 IF-CTRL-UNIT 将随路时钟信号 CTRL_CLK 通过第三双路器 30 和第一双路器 10 传输给高频控制单元 HF-CTRL-UNIT,用于作为高频控制单元
10 HF-CTRL-UNIT 的随路时钟信号 CTRL_CLK。

以发射方向为例,中频芯片 IFIC 集成了第三双路器 30 和第四双路器 40,第三双路器 30 将第一中频收发机 IF-TCVR1 的第一通信信号 IFSIG1 和控制信号中的随路时钟信号 CTRL_CLK 复接到一条硬件线路 IF1 上,第四双路器 40 将第二中频收发机 IF-TCVR2 的第二通信信号 IFSIG2 和控制信号中的指令数据信号 CTRL_DATA 复接到
15 一条硬件线路 IF2 上,通过第三双路器 30 和第四双路器 40,控制信号和两路通信信号被分别复接到两条硬件线路上。

同样的,第一高频芯片 HFIC1 集成了第一双路器 10 和第二双路器 20,第一双路器 10 与硬件线路 IF1 耦合,将硬件线路 IF1 上携带的第一通信信号 IFSIG1 和控制信号中的随路时钟信号 CTRL_CLK 分解到两条线路,第一通信信号 IFSIG1 送入到第一
20 高频收发机 HF-TCVR1,随路时钟信号 CTRL_CLK 送入到高频控制单元 HF-CTRL-UNIT。第二双路器 20 与硬件线路 IF2 耦合,将硬件线路 IF2 上携带的第二通信信号 IFSIG2 和控制信号中的指令数据信号 CTRL_DATA 分解到两条线路,第二通信信号 IFSIG2 送入到第二高频收发机 HF-TCVR2,指令数据信号 CTRL_DATA 送入到高频控制单元 HF-CTRL-UNIT 进行处理。

在本实施例一中,由于第一高频芯片 HFIC1 包括第一双路器 10,第一双路器 10 分别与第一高频收发机 HF-TCVR1 和 高频控制单元 HF-CTRL-UNIT 耦合,中频芯片 IFIC 包括第三双路器 30,第三双路器 30 分别与第一中频收发机 IF-TCVR1 和中频控制单元 IF-CTRL-UNIT 耦合,且第一双路器 10 和第三双路器 30 通过一路硬件线路 IF1 耦合,因此通过该一路硬件线路 IF1 既可以在第一高频收发机 HF-TCVR1 和第一中频收发机
30 IF-TCVR1 之间传输第一通信信号 IFSIG1,又可以在高频控制单元 HF-CTRL-UNIT 和中频控制单元 IF-CTRL-UNIT 之间传输随路时钟信号 CTRL_CLK。同样的,由于第一高频芯片 HFIC1 还包括第二双路器 20,第二双路器 20 分别与第二高频收发机 HF-TCVR2 和 高频控制单元 HF-CTRL-UNIT 耦合,中频芯片 IFIC 还包括第四双路器 40,第四双路器 40 分别与第二中频收发机 IF-TCVR2 和中频控制单元 IF-CTRL-UNIT 耦合,且第二双路器 20 和第四双路器 40 通过一路硬件线路 IF2 耦合,因此通过该一路硬件线路 IF2 既可以在第二高频收发机 HF-TCVR2 和第二中频收发机 IF-TCVR2 之间传输第二通信信号 IFSIG2,又可以在高频控制单元 HF-CTRL-UNIT 和中频控制单元 IF-CTRL-UNIT 之间传输指令数据信号 CTRL_DATA。
35

基于上述可知,本实施例一可以通过一路硬件线路 IF1 在第一高频芯片 HFIC1 和

中频芯片 IFIC 之间实现第一通信信号 IFSIG1 和随路时钟信号 CTRL_CLK 的传输, 且可以通过一路硬件线路 IF2 在第一高频芯片 HFIC1 和中频芯片 IFIC 之间实现第二通信信号 IFSIG2 和指令数据信号 CTRL_DATA 的传输, 也就是说, 在本实施例一中, 第一高频芯片 HFIC1 和中频芯片 IFIC 之间需要两路硬件线路就可以实现第一通信信号 IFSIG1、第二通信信号 IFSIG2、随路时钟信号 CTRL_CLK 和指令数据信号 CTRL_DATA 的传输。相对于第一高频收发机 HF-TCVR1 和第一中频收发机 IF-TCVR1 之间的第一通信信号 IFSIG1 通过一路硬件线路进行传输, 第二高频收发机 HF-TCVR2 和第二中频收发机 IF-TCVR2 之间的第二通信信号 IFSIG2 通过一路硬件线路进行传输, 高频控制单元 HF-CTRL-UNIT 和中频控制单元 IF-CTRL-UNIT 之间的随路时钟信号 CTRL_CLK、指令数据信号 CTRL_DATA 分别通过一路硬件线路进行传输, 也就是说第一高频芯片 HFIC1 和中频芯片 IFIC 之间需要四路硬件线路分别传输第一通信信号 IFSIG1、第二通信信号 IFSIG2、随路时钟信号 CTRL_CLK 和指令数据信号 CTRL_DATA, 因此本实施例一可以减少硬件线路的数量, 这样一来, 可以节省硬件布线资源。

由于指令数据信号 CTRL_DATA 和随路时钟信号 CTRL_CLK 的相位同步, 且指令数据信号 CTRL_DATA 和随路时钟信号 CTRL_CLK 的频率为同频或倍频关系, 因此相比于没有以上关系的信号, 指令数据信号 CTRL_DATA 和随路时钟信号 CTRL_CLK 之间不会相互干扰, 且指令数据信号 CTRL_DATA 和随路时钟信号 CTRL_CLK 产生的谐波相同, 因而对第一高频芯片 HFIC1 和中频芯片 IFIC 的干扰是相同的, 这样一来, 可以降低无线通信系统的抗干扰设计难度。此外, 相比于其他系统的信号会受到额外的限制, 比如本振信号, 本振信号的频率会随着射频载频的信号变化, 随路时钟信号 CTRL_CLK 的选择更加灵活, 可以使得控制信号的稳定工作在一个更加优化的频率, 因而也可以降低无线通信系统的设计难度。

可以理解的是, 第一高频芯片 HFIC1 和中频芯片 IFIC 都有各自独立的参考时钟信号。在一些示例中, 如图 13 所示, 第一高频芯片 HFIC1 还包括高频管脚 50, 高频管脚 50 用于接收第一参考时钟信号 CLK_REF_HF。中频芯片 IFIC 还包括中频管脚 51, 中频管脚 51 用于接收第二参考时钟信号 CLK_REF_IF。此处, 第一参考时钟信号 CLK_REF_HF 和第二参考时钟信号 CLK_REF_IF 可以相同, 也可以不相同。考虑到第一高频芯片 HFIC1 和中频芯片 IFIC 在同一无线通信系统 150 中, 因此在一些示例中, 第一高频芯片 HFIC1 的第一参考时钟信号 CLK_REF_HF 和中频芯片 IFIC 的第二参考时钟信号 CLK_REF_HF 相同。

对于同一无线通信系统 150, 第一高频芯片 HFIC1 和中频芯片 IFIC 的参考时钟信号的源头通常是相同, 例如可以由专用的时钟芯片为第一高频芯片 HFIC1 提供第一参考时钟信号 CLK_REF_HF, 且为中频芯片 IFIC 提供第二参考时钟信号 CLK_REF_IF, 在此情况下, 时钟芯片通过两条硬件线路分别和高频管脚 50、中频管脚 51 耦合。基于此, 第一高频芯片 HFIC1 和中频芯片 IFIC 均至少需要三路硬件线路为其提供所需的各类信号。

基于上述, 在第一高频芯片 HFIC1 包括高频管脚 50 的情况下, 高频管脚 50 可以与高频锁相环 HF-PLL 耦合, 高频管脚 50 接收到的第一参考时钟信号 CLK_REF_HF 用于为高频锁相环 HF-PLL 提供参考时钟信号。同样的, 在中频芯片 IFIC 包括中频管

脚 51 的情况下, 中频管脚 51 与中频锁相环 IF-PLL 耦合, 中频管脚 51 接收到的第二参考时钟信号 CLK_REF_IF 用于为中频锁相环 IF-PLL 提供第二参考时钟信号。

为了进一步减少硬件线路的数量, 在一些示例中, 第一高频芯片 HFIC1 中可以不设置高频管脚 50, 高频锁相环 HF-PLL 所需的第一参考时钟信号 CLK_REF_HF 可以复用随路时钟信号 CTRL_CLK 实现。具体的, 如图 7 所示, 第一双路器 10 还与高频锁相环 HF-PLL 耦合; 中频控制单元 IF-CTRL-UNIT 将随路时钟信号 CTRL_CLK 通过第三双路器 30 和第一双路器 10 还传输给高频锁相环 HF-PLL, 用于为高频锁相环 HF-PLL 提供第一参考时钟信号 CLK_REF_HF。

由于中频控制单元 IF-CTRL-UNIT 将随路时钟信号 CTRL_CLK 通过第三双路器 30 传输给第一双路器 10 后, 第一双路器 10 既可以将随路时钟信号 CTRL_CLK 传输给高频控制单元 HF-CTRL-UNIT, 用于作为高频控制单元 HF-CTRL-UNIT 的随路时钟信号 CTRL_CLK, 又可以将随路时钟信号 CTRL_CLK 传输给高频锁相环 HF-PLL, 复用为高频锁相环 HF-PLL 的第一参考时钟信号 CLK_REF_HF, 因此第一高频芯片 HFIC1 中无需设置高频管脚 50 用于接收第一参考时钟信号 CLK_REF_HF, 因而也就无需设置与高频管脚 50 耦合的硬件线路, 这样一来, 与第一高频芯片 HFIC1 耦合的硬件线路的数量进一步减少, 第一高频芯片 HFIC1 至少可以通过两路硬件线路为其提供所需的各类信号。

需要说明的是, 随路时钟信号 CTRL_CLK 除了可以由上层系统的主控制器产生外, 在一些示例中, 如图 14 所示, 中频控制单元 IF-CTRL-UNIT 传输的随路时钟信号 CTRL_CLK 是根据中频管脚 51 接收到的第二参考时钟信号 CLK_REF_IF 生成的, 也就是说, 中频管脚 51 接收到的第二参考时钟信号 CLK_REF_IF 可以先传输给中频控制单元 IF-CTRL-UNIT, 经中频控制单元 IF-CTRL-UNIT 处理后再生成随路时钟信号 CTRL_CLK。

考虑到指令数据信号 CTRL_DATA 和随路时钟信号 CTRL_CLK 在传输过程中会翻转, 为了提高第一高频芯片 HFIC1 和中频芯片 IFIC 之间传输的随路时钟信号 CTRL_CLK 的质量, 在一些示例中, 如图 15 所示, 中频芯片 IFIC 还包括同步器 SYNC, 同步器 SYNC 用于使指令数据信号 CTRL_DATA 和随路时钟信号 CTRL_CLK 同步, “同步”指的是在随路时钟信号 CTRL_CLK 的上升沿或下降沿发出指令数据信号 CTRL_DATA。同步器 SYNC 与第三双路器 30、第四双路器 40 以及中频控制单元 IF-CTRL-UNIT 耦合; 随路时钟信号 CTRL_CLK 通过第一双路器 10、第三双路器 30 以及同步器 SYNC 在高频控制单元 HF-CTRL-UNIT 和中频控制单元 IF-CTRL-UNIT 之间传输; 指令数据信号 CTRL_DATA 通过第二双路器 20、第四双路器 40 以及同步器 SYNC 在高频控制单元 HF-CTRL-UNIT 和中频控制单元 IF-CTRL-UNIT 之间传输。

此处, 随路时钟信号 CTRL_CLK 和指令数据信号 CTRL_DATA 可以由中频控制单元 IF-CTRL-UNIT 向高频控制单元 HF-CTRL-UNIT 传输, 也可以由高频控制单元 HF-CTRL-UNIT 向中频控制单元 IF-CTRL-UNIT 传输。以随路时钟信号 CTRL_CLK 和指令数据信号 CTRL_DATA 由中频控制单元 IF-CTRL-UNIT 向高频控制单元 HF-CTRL-UNIT 传输为例, 中频控制单元 IF-CTRL-UNIT 将随路时钟信号 CTRL_CLK 传输给同步器 SYNC 后, 经同步器 SYNC 处理后转换成新的随路时钟信号 CTRL_CLKS

后，再传输给第三双路器 30，新的随路时钟信号 CTRL_CLKS 相对于随路时钟信号 CTRL_CLK 的质量得到大幅度提升。

以下以第一双路器 10 为例，对上述第一双路器 10、第二双路器 20、第三双路器 30 和第四双路器 40 的结构进行介绍。其中，第二双路器 20、第三双路器 30 和第四双路器 40 的结构可以参考第一双路器 10，本实施例一中不再赘述。

可以理解的是，第一双路器 10 可以为具有两路独立选频特性的功能模块构成，其中，功能模块例如可以为滤波器。以下示例性地提供了第一双路器 10 两种可选的实现方式。

在第一种可选的实施方式中，如图 16 所示，第一双路器 10 包括高通滤波器（high-pass filter, HPF）和低通滤波器（low-pass filter, LPF）；高通滤波器 HPF 和低通滤波器 LPF 均为双端口的器件，高通滤波器 HPF 包括第一端 A1 和第二端 B，低通滤波器 LPF 包括第一端 A2 和第二端 B。此外，高通滤波器 HPF 和低通滤波器 LPF 均为双向器件，以高通滤波器 HPF 为例，信号可以从第一端 A1 流向第二端 B，也可以从第二端 B 流向第一端 A1。无论信号是从第一端 A1 流向第二端 B，还是从第二端 B 流向第一端 A1，信号在高通滤波器 HPF 中经历的信号处理特性是相同的。

上述高通滤波器 HPF 的功能是抑制频率低于高通转角频率的信号通过，而使频率高于的信号正常通过，即高通滤波器 HPF 允许频率大于第一频率 f_{HP} 的信号通过。此处，第一频率 f_{HP} 可以根据需要进行设置，在一些示例中，第一频率 f_{HP} 的范围为 7GHz~15GHz。低通滤波器 LPF 的功能是抑制频率高于低通转角频率的信号通过，而使频率低于的信号正常通过，即低通滤波器 LPF 允许频率小于第二频率 f_{LP} 的信号通过；其中，第一频率 f_{HP} 大于第二频率 f_{LP} 。此处，第二频率 f_{LP} 可以根据需要进行设置，在一些示例中，第二频率 f_{LP} 的范围为 100MHz~500MHz。由于通信信号的频段可以为 7GHz~15GHz，控制信号的频段可以为 100MHz~500MHz，因而从频谱上看，中频的通信信号可以通过高通滤波器 HPF，但是会被低通滤波器 LPF 阻止通过；而低频的控制信号例如指令数据信号 CTRL_DATA 和随路时钟信号 CTRL_CLK 可以通过低通滤波器 LPF，但是会被高通滤波器 HPF 阻止通过。

上述高通滤波器 HPF 的第一端 A1 与第一高频收发机 HF-TCVR1 耦合，低通滤波器 LPF 的第一端 A2 与高频控制单元 HF-CTRL-UNIT 耦合，低通滤波器 LPF 的第一端 A2 还可以与高频锁相环 HF-PLL 耦合；高通滤波器 HPF 的第二端 B 和低通滤波器 LPF 的第二端 B 耦合，且均与第三双路器 30 的合成端口耦合。其中，高通滤波器 HPF 的第一端 A1 用于作为第一双路器 10 的第一分配端口，低通滤波器 LPF 的第一端 A2 用于作为第一双路器 10 的第二分配端口，高通滤波器 HPF 的第二端 B 和低通滤波器 LPF 的第二端 B 耦合，用于作为第一双路器 10 的合成端口。

参考图 16，在第一双路器 10 中，高通滤波器 HPF 的第二端 B 和低通滤波器 LPF 的第二端 B 耦合在一起，而高通滤波器 HPF 的第一端 A1 和低通滤波器 LPF 的第一端 A2 相互分开。在第二端 B，两路信号融合在同一线路上，但是从频域上看，两路信号是相互分开的。由于高通滤波器 HPF 和低通滤波器 LPF 的频率选择特性，因此在第一端 A1 和第一端 A2，仅能看到各自通带内的信号，即在高通滤波器 HPF 的第一端 A1，仅能看到中频通信信号，而控制信号（控制信号包括指令数据信号 CTRL_DATA 和随

路时钟信号 CTRL_CLK) 被阻止通过。同样的, 在低通滤波器 LPF 的第一端 A2, 仅能看到控制信号, 而中频通信信号被阻止通过。

以通信信号从中频芯片 IFIC 送入第一高频芯片 HFIC1 为例, 在此情况下, 无线通信系统 150 是在发射模式下工作, 即整个通信链路在发射模式下工作时, 因此如图 17a 所示, 通信信号和控制信号是在中频芯片 IFIC 内通过第三双路器 30 和第四双路器 40 复接, 在第一高频芯片 HFIC1 内, 再通过第一双路器 10 和第二双路器 20 分接到第一高频芯片 HFIC1 的不同模块。由于双路器是双向器件, 可以支持信号以不同的方向传输, 因此相反的, 当无线通信系统 150 在接收模式下工作时, 即整个通信链路在接收模式下工作时, 因此如图 17b 所示, 第一高频收发机 HF-TCVR1 输出的中频通信信号 IFSIG1 通过第一高频芯片 HFIC1 中的第一双路器 10 复接到硬件线路 IF1 上。在中频芯片 IFIC 内, 硬件线路 IF1 上的信号再通过第三双路器 30 分接出中频通信信号 IFSIG1, 并送入第一中频收发机 IF-TCVR1。与此同时, 中频控制单元 IF-CTRL-UNIT 产生的控制信号例如随路时钟信号 CTRL_CLK 仍然是从中频芯片 IFIC 送入第一高频芯片 HFIC1, 与中频通信信号 IFSIG1 的传输方向不同。第二高频收发机 HF-TCVR2 与第一高频收发机 HF-TCVR1 类似, 可以参考第一高频收发机 HF-TCVR1, 此处不再赘述。在图 17a 中, 通信信号 IFSIG1、IFSIG2 与指令数据信号 CTRL_DATA 的传输方向相同, 在图 17b 中, 通信信号 IFSIG1、IFSIG2 与指令数据信号 CTRL_DATA 的传输方向相反。

在实际的高频通信系统中, 在发射方向上, 第一中频收发机 IF-TCVR1 和第二中频收发机 IF-TCVR2, 可能会产生谐波 (harmonic distortion, HD), 这样会对通信带外产生干扰。从图 18 中左侧的图可以看出, 频率位于位置的第 n 次谐波成分 (HD_n), 会落入通信频带之外, 形成杂散干扰, 这样一来, 会对其他用户或其他通信系统产生干扰。

为了解决该问题, 在第二种可选的实施方式中, 如图 18 所示, 第一双路器 10 包括带通滤波器 (band pass filter, BPF) 和低通滤波器 LPF。低通滤波器 LPF 可以参考上述第一种可选的实施方式中的相关描述, 带通滤波器 BPF 与上述的高通滤波器 HPF 类似, 不同之处在于, 带通滤波器 BPF 除了可以滤除控制信号外, 还可以滤除谐波, 即带通滤波器 BPF 允许频率大于第三频率 f_{BPL} , 且小于第四频率 f_{BPH} 的信号通过, 第三频率 f_{BPL} 和第四频率 f_{BPH} 大于第二频率 f_{IF} 。为了滤除谐波, 因此在设计带通滤波器 BPF 时, 第四频率 f_{BPH} 应小于谐波的频率, 这样一来, 谐波会被带通滤波器 BPF 滤除掉。可以理解的是, 在带通滤波器 BPF 中, 第三频率 f_{BPL} 和第四频率 f_{BPH} 由带通滤波器 BPF 的中心频率和带通滤波器 BPF 的带宽决定。示例的, 带通滤波器 BPF 的中心频率的范围可以为 7GHz~15GHz, 带通滤波器 BPF 的带宽的范围可以为 0.5GHz~5GHz。以带通滤波器 BPF 的中心频率为 7GHz~15GHz, 带通滤波器 BPF 的带宽为 0.5GHz, 则可以获得第三频率 f_{BPL} 为 6.75GHz, 第四频率 f_{BPH} 为 7.25GHz。同样的, 带通滤波器 BPF 也为双端口的器件, 包括第一端 A3 和第二端 B, 带通滤波器 BPF 也为双向器件, 信号可以从第一端 A3 流向第二端 B, 也可以从第二端 B 流向第一端 A3。

上述带通滤波器 BPF 的第一端 A3 与第一高频收发机 HF-TCVR1 耦合, 低通滤波器 LPF 的第一端 A2 与高频控制单元 HF-CTRL-UNIT 耦合, 低通滤波器 LPF 的第一端

A2还可以与高频锁相环 HF-PLL 耦合;带通滤波器 BPF 的第二端 B 和低通滤波器 LPF 的第二端 B 耦合,且还均与第三双路器 30 的合成端口耦合。其中,带通滤波器 BPF 的第一端 A3 用于作为第一双路器 10 的第一分配端口,带通滤波器 BPF 的第一端 B 用于作为第一双路器 10 的第二分配端口,带通滤波器 BPF 的第二端 B 和低通滤波器 LPF 的第二端 B 耦合,用于作为第一双路器 10 的合成端口。

图 18 以信号的传输方向为由第一端 A3 和第一端 A2 向第二端 B 传输为例,从图 18 可以看出,通信信号和谐波经过带通滤波器 BPF 后,谐波会被完全或部分滤除,从而可以抑制谐波对通信信号的干扰。

实施例二

实施例二和实施例一的区别之处在于,在实施例一中,无线通信系统 150 包括一颗高频芯片 HFIC,例如第一高频芯片 HFIC1,一颗高频芯片 HFIC 和一颗中频芯片 IFIC 互连,用于支持 5G NR 高频通信工作。在实施例二中,无线通信系统 150 包括多颗高频芯片 HFIC,例如第一高频芯片 HFIC1、第二高频芯片 HFIC2、第三高频芯片 HFIC3 等,多颗高频芯片 HFIC 和一颗中频芯片 IFIC 互连,用于支持 5G NR 高频通信工作。

在实际的电子设备上,尤其是手持式电子设备,例如手机,通常会在电子设备上设计多个天线阵列,以确保电子设备在各种姿态下,始终有一个天线阵列 ANT-array 能够在基站的视野角度内,能够建立起有效的通信。如图 19 所示,电子设备示例性地设计了 3 个不同的天线阵列 ANT-array1 (ANT-A1)、ANT-array2 (ANT-A2) 和 ANT-array3 (ANT-A3),分别位于电子设备的不同方位。在这类电子设备中,由于 3 个天线阵列 ANT-array 不会同时工作,因此多个天线阵列 ANT-array 可以共用一颗基带芯片 BBIC 和一颗中频芯片 IFIC。但是,由于高频芯片 HFIC 与天线阵列 ANT-array 之间需要传输载频频率>24GHz 的高频信号,不适合长距离走线,因此在工程实践中,一般将高频芯片 HFIC 和天线阵列 ANT-array 紧密耦合,即上述 3 个天线阵列 ANT-A1、ANT-A2 和 ANT-A3 分别需要一颗与之对应的高频芯片 HFIC。

在本实施例二中,针对上述提供的电子设备的应用场景,如图 19 所示,在实施例二中,一颗中频芯片 IFIC 可以配合多至 m (m 大于 1, m 为正整数) 颗高频芯片 HFIC 工作,这样便可以支持电子设备上集成多至 m 个天线阵列 ANT-array。图 19 以一颗中频芯片 IFIC 配合三颗高频芯片,分别为第一高频芯片 HFIC1、第二高频芯片 HFIC2 和第三高频芯片 HFIC3 为例进行示意。

基于上述的应用场景,本实施例二提供的无线通信系统 150 在实施例一提供的无线通信系统 150 的基础上,如图 20 所示,无线通信系统 150 还包括第二高频芯片 HFIC2、第一多路开关 SW1、第二多路开关 SW2 以及与第二高频芯片 HFIC2 耦合的天线阵列 ANT-array。实施例二和实施例一相同的部分,例如第一高频芯片 HFIC1、中频芯片 IFIC、基带芯片 BBIC 以及与第一高频芯片 HFIC1 耦合的天线阵列 ANT-array 可以参考上述实施例一,实施例二中不再赘述,实施例二仅对与实施例一不相同的部分进行介绍。

在本实施例二中,第二高频芯片 HFIC2 的结构与上述第一高频芯片 HFIC1 的结构相同或相似,第二高频芯片 HFIC2 包括:第一高频收发机 HF-TCVR1、第二高频收发机 HF-TCVR2、高频锁相环 HF-PLL、高频控制单元 HF-CTRL-UNIT、第一双路器 10

和第二双路器 20。

需要说明的是，第二高频芯片 HFIC2 中的第一高频收发机 HF-TCVR1、第二高频收发机 HF-TCVR2、高频锁相环 HF-PLL、高频控制单元 HF-CTRL-UNIT、第一双路器 10 和第二双路器 20 的结构以及连接关系等，可以参考上述实施例一中，第一高频芯片 HFIC1 中的第一高频收发机 HF-TCVR1、第二高频收发机 HF-TCVR2、高频锁相环 HF-PLL、高频控制单元 HF-CTRL-UNIT、第一双路器 10 和第二双路器 20 的相关描述，此处不再赘述。另外，与第二高频芯片 HFIC2 耦合的天线阵列 ANT-array 的结构可以参考上述实施例一中与第一高频芯片 HFIC1 耦合的天线阵列 ANT-array 的相关描述，此处不再赘述。

参考图 20，第三双路器 30 通过第一多路开关 SW1 分别与第一高频芯片 HFIC1 的第一双路器 10 以及第二高频芯片 HFIC2 的第一双路器 10 耦合；第一多路开关 SW1 用于控制第三双路器 30 与第一高频芯片 HFIC1 的第一双路器 10 或第二高频芯片 HFIC2 的第一双路器 10 导通。

第四双路器 40 通过第二多路开关 SW2 分别与第一高频芯片 HFIC1 的第二双路器 20 以及第二高频芯片 HFIC2 的第二双路器 20 耦合；第二多路开关 SW2 用于控制第四双路器 40 与第一高频芯片 HFIC1 的第二双路器 20 或第二高频芯片 HFIC1 的第二双路器 20 导通。

此处，第一多路开关 SW1 和第二多路开关 SW2 可以作为一个部件，集成在中频芯片 IFIC 上，第一多路开关 SW1 和第二多路开关 SW2 还可以作为一个独立的器件单独设置。

上述第一多路开关 SW1 和第二多路开关 SW2 用于控制在每一特定时刻，中频芯片 IFIC 只与一颗高频芯片 HFIC 通过第一多路开关 SW1 和第二多路开关 SW2 导通连接，中频芯片 IFIC 与其它的高频芯片 HFIC 的连接通过第一多路开关 SW1 和第二多路开关 SW2 断开。当中频芯片 IFIC 和某一颗高频芯片 HFIC 连接时，其工作方式与实施例一描述的工作方式相同，可以参考上述实施例一，此处不再赘述。示例的，中频芯片 IFIC 通过第一多路开关 SW1 和第二多路开关 SW2 与第一高频芯片 HFIC1 导通，中频芯片 IFIC 通过第一多路开关 SW1 和第二多路开关 SW2 与第二高频芯片 HFIC2 断开。

基于上述，在本实施例二中，无线通信系统 150 除了包括第一高频芯片 HFIC1 和第二高频芯片 HFIC2 外，还可以包括其它一颗或多颗高频芯片 HFIC，图 20 以无线通信系统 150 包括 m 颗高频芯片 HFIC 为例进行示意，其它高频芯片 HFIC，例如第三高频芯片 HFIC3、...、第 m 颗高频芯片 HFICm 的结构以及连接关系可以参考上述第二高频芯片 HFIC2，此处不再赘述。在图 20 中，中频芯片 IFIC 分别通过第一多路开关 SW1 和第二多路开关 SW2 分路为多条硬件线路（例如 IF1-1, IF1-2, IF2-1, IF2-2, ..., IFm-1, IFm-2），分别接入到多颗高频芯片（例如 HFIC1, HFIC2, ..., HFICm）中。

本实施例二具有与实施例一相同的技术效果，可以参考上述实施例一，此处不再赘述。在此基础上，在本实施例二中，一颗中频芯片 IFIC 配合多至 m 颗高频芯片 HFIC 工作，即可以支持电子设备上集成多至 m 个天线阵列。

实施例三

实施例三和实施例一的区别之处在于，在实施例一中，无线通信系统 150 包括一颗高频芯片 HFIC，在实施例三中，无线通信系统 150 包括多颗高频芯片 HFIC。实施例三和实施例二的区别之处在于，在实施例二中，多颗高频芯片 HFIC 不同时工作，在每一时刻，只有一颗高频芯片 HFIC 工作，即在每一时刻，中频芯片 IFIC 只与一颗 HFIC 进行通信；而在实施例三中，多颗高频芯片 HFIC 同时工作，即在每一时刻，中频芯片 IFIC 同时与多颗高频芯片 HFIC 进行通信。

对于 5G NR 高频应用中，广泛采用了相控阵技术，即通过天线阵列 ANT-array 实现某一特定方向上的天线增益提升，即波束赋型技术。理论上，天线阵列 ANT-array 的规模越大，即天线单元 ANT 的个数越多，波束赋型的性能会更加优异。但是与此同时，由于与天线单元 ANT 耦合的高频芯片 HFIC，受到成本、功耗以及实现复杂度的限制，在一颗高频芯片 HFIC 上能够提供的高频通道数目是相对有限的，因此当无线通信系统需要较大规模的天线阵列 ANT-array 时，往往无法通过一颗高频芯片 HFIC 来支持。

为解决无线通信系统需求与高频芯片 HFIC 能力之间的矛盾，可以采用多颗高频芯片 HFIC 拼接的方法来实现天线阵列 ANT-array 的扩展，如图 21 所示，在图 21 中，每一个高频芯片 HFIC 与 4 个天线阵列 ANT 连接，形成一个 2×2 规模的天线阵列 ANT，每个天线阵列 ANT 包括水平极化天线阵列 ANT A-H 和垂直极化天线阵列 ANT A-V。在无线通信系统 150 包括 4 颗高频芯片 HFIC 时，由 4 个相同的 2×2 规模的天线阵列 ANT，可形成一个 4×4 规模的天线阵列。在这个扩展阵列中，4 颗高频芯片 HFIC 同时工作，中频芯片 IFIC 需同时与 4 颗高频芯片 HFIC 进行通信。

基于上述的应用场景，本实施例三提供的无线通信系统 150 在实施例一提供的无线通信系统 150 的基础上，如图 22 所示，无线通信系统 150 还包括第二高频芯片 HFIC2 以及与第二高频芯片 HFIC2 耦合的天线阵列 ANT-array。实施例三与实施例一相同的部分，例如第一高频芯片 HFIC1、中频芯片 IFIC、基带芯片 BBIC 以及与第一高频芯片 HFIC1 耦合的天线阵列 ANT-array 可以参考上述实施例一，实施例三中不再赘述，实施例三仅对与实施例一不相同的部分进行介绍。

在本实施例二中，第二高频芯片 HFIC2 的结构与上述第一高频芯片 HFIC1 的结构相同或相似，第二高频芯片 HFIC2 包括：第一高频收发机 HF-TCVR1、第二高频收发机 HF-TCVR2、高频锁相环 HF-PLL、高频控制单元 HF-CTRL-UNIT、第一双路器 10 和第二双路器 20。

需要说明的是，第二高频芯片 HFIC2 中的第一高频收发机 HF-TCVR1、第二高频收发机 HF-TCVR2、高频锁相环 HF-PLL、高频控制单元 HF-CTRL-UNIT、第一双路器 10 和第二双路器 20 的结构以及连接关系等，可以参考上述实施例一中，第一高频芯片 HFIC1 中的第一高频收发机 HF-TCVR1、第二高频收发机 HF-TCVR2、高频锁相环 HF-PLL、高频控制单元 HF-CTRL-UNIT、第一双路器 10 和第二双路器 20 的相关描述，此处不再赘述。另外，与第二高频芯片 HFIC2 耦合的天线阵列 ANT-array 的结构可以参考上述实施例一中的相关描述，此处不再赘述。

参考图 22，第三双路器 30 分别与第一高频芯片 HFIC1 的第一双路器 10 以及第二高

频芯片 HFIC2 的第一双路器 10 耦合；第四双路器 40 分别与第一高频芯片 HFIC1 的第二双路器 20 以及第二高频芯片 HFIC2 的第二双路器 20 耦合。

在实施例三中，若第三双路器 30 同时与 m 个第一双路器 10 耦合，第四双路器 40 同时与 m 个第二双路器 20 耦合，假设每一路第一高频收发机 HF-TCVR1 和第二高频收发机 HF-TCVR2 均与 n 个天线单元 ANT 耦合，则在每个极化方向上可以实现 $m \times n$ 规模的天线阵列 ANT-array。对于通信信号 IFSIG，在发射模式下，中频芯片 IFIC 输出的信号分成 m 路后，通过 m 个第一双路器 10 和 m 个第二双路器 20 同时送入 m 颗高频芯片 HFIC 中，并在高频芯片 HFIC 中处理后发送到天线阵列 ANT-array 上。在接收模式下，m 颗高频芯片 HFIC 接收到的信号，在第三双路器 30 和第四双路器 40 合路后，送入一颗中频芯片 IFIC 中。

在实施例三中，通信信号 IFSIG 和控制信号复接到同一硬件线路上，以图 22 为例，控制信号也是从中频芯片 IFIC 同时送入到 m 颗高频芯片 HFIC 中。由于各个高频芯片 HFIC 所需要的控制信号中的指令数据信号 CTRL_DATA 可能不同，因此需要对同时送入 m 颗高频芯片 HFIC 的控制信号中的指令数据信号 CTRL_DATA 进行区分。在一些示例中，可以对高频芯片 HFIC 采用不同的芯片编号 CHIP_ID 进行区分。其中，芯片编号 CHIP_ID 例如可以通过硬件管脚实现。具体的，如图 22 所示，第一高频芯片 HFIC1 和第二高频芯片 HFIC2 均包括至少一个编址管脚，在硬件设计时，编址管脚用于接收高电平或低电平，以对第一高频芯片 HFIC1 和第二高频芯片 HFIC2 的芯片编号 CHIP_ID 进行区分。假设高频芯片的编址管脚有 k 位，则可区分 2^k 颗不同高频芯片的芯片编号 CHIP_ID。

当某一特定控制信号在中频芯片 IFIC 产生时，该控制信号对应的目标高频芯片的芯片编号 CHIP_ID，嵌入到指令数据信号 CTRL_DATA 中。当控制信号同时发送到 m 颗高频芯片 HFIC 中时，高频芯片 HFIC 的高频控制器都会对指令数据信号 CTRL_DATA 进行解析，从中提取出携带的目标芯片编号 CHIP_ID 信息。当提取出的目标芯片编号 CHIP_ID 与本芯片的芯片编号 CHIP_ID 编码吻合时，即认为该指令数据信号是发给本高频芯片 HFIC 的，否则可以认为该指令数据信号是发给其它高频芯片 HFIC 的，本高频芯片 HFIC 可以忽略该指令数据信号。

示例的，无线通信系统 150 包括第一高频芯片 HFIC1、第二高频芯片 HFIC2 和第三高频芯片 HFIC3，这三个高频芯片均包括第一编制管脚和第二编制管脚，在硬件设计时，可以将第一高频芯片 HFIC1 的第一编制管脚和第二编制管脚均拉到高电位“1”，将第二高频芯片 HFIC2 的第一编制管脚和第二编制管脚均拉到低电位“0”，将第三高频芯片 HFIC3 的第一编制管脚拉到高电位“1”，将第二编制管脚拉到低电位“0”，从而可以实现对第一高频芯片 HFIC1、第二高频芯片 HFIC2 和第三高频芯片 HFIC3 进行不同的芯片编号 CHIP_ID。当控制信号中的指令数据信号 CTRL_DATA 从中频芯片 IFIC 发送到第一高频芯片 HFIC1、第二高频芯片 HFIC2 和第三高频芯片 HFIC3 时，指令数据信号 CTRL_DATA 中携带的目标芯片编号 CHIP_ID 信息与第一高频芯片 HFIC1、第二高频芯片 HFIC2 和第三高频芯片 HFIC3 的芯片编号 CHIP_ID 进行比对，目标芯片编号 CHIP_ID 信息与第一高频芯片 HFIC1、第二高频芯片 HFIC2、第三高频芯片 HFIC3 中的芯片编号 CHIP_ID 吻合的，则该指令数据信号 CTRL_DATA 是发给

该高频芯片 HFIC 的。例如，若指令数据信号 CTRL_DATA 中携带的目标芯片编号 CHIP_ID 信息为“11”，则该指令数据信号 CTRL_DATA 是发送给第一高频芯片 HFIC1 的。

基于上述，在本实施例三中，无线通信系统 150 除了包括第一高频芯片 HFIC1 和第二高频芯片 HFIC2 外，还可以包括其它一颗或多颗高频芯片 HFIC，图 22 以无线通信系统 150 包括 m 颗高频芯片 HFIC 为例进行示意，其它高频芯片 HFIC，例如第三高频芯片 HFIC3、...、第 m 颗高频芯片 HFICm 的结构以及连接关系可以参考上述第二高频芯片 HFIC2，此处不再赘述。

本实施例二具有与实施例一相同的技术效果，可以参考上述实施例一，此处不再赘述。在此基础上，本实施例三可以实现较大规模的天线阵列。

实施例四

本申请实施例还提供一种无线通信系统 150，无线通信系统 150 包括第一高频芯片 HFIC1、中频芯片 IFIC 以及天线阵列 ANT-array，第一高频芯片 HFIC1 耦合于天线阵列 ANT-array 和中频芯片 IFIC 之间。无线通信系统 150 还包括基带芯片 BBIC，中频芯片 IFIC 耦合在第一高频芯片 HFIC1 和基带芯片 BBIC 之间。

其中，基带芯片 BBIC 和天线阵列 ANT-array 可以参考上述相关描述，实施例一中不再赘述。

如图 23 所示，在本实施例四中，第一高频芯片 HFIC1 包括第一高频收发机 HF-TCVR1、第二高频收发机 HF-TCVR2、高频锁相环 HF-PLL 和高频控制单元 HF-CTRL-UNIT；高频锁相环 HF-PLL 分别与第一高频收发机 HF-TCVR1 和第二高频收发机 HF-TCVR2 耦合。中频芯片 IFIC 包括第一中频收发机 IF-TCVR1、第二中频收发机 IF-TCVR2、中频锁相环 IF-PLL 和中频控制单元 IF-CTRL-UNIT；中频锁相环 IF-PLL 分别与第一中频收发机 IF-TCVR1、第二中频收发机 IF-TCVR2 耦合。其中，高频控制单元 HF-CTRL-UNIT 和中频控制单元 IF-CTRL-UNIT 之间传输控制信号，控制信号包括指令数据信号 CTRL_DATA 和随路时钟信号 CTRL_CLK，高频控制单元 HF-CTRL-UNIT 和中频控制单元 IF-CTRL-UNIT 之间通过第一硬件线路 a 传输指令数据信号 CTRL_DATA，通过第二硬件线路 b 传输随路时钟信号 CTRL_CLK。中频控制单元 IF-CTRL-UNIT 将随路时钟信号 CTRL_CLK 还通过第二硬件线路 b 传输给高频锁相环 HF-PLL，用于为高频锁相环 HF-PLL 提供第一参考时钟信号 CLK_REF_HF。

其中，第一高频收发机 HF-TCVR1、第二高频收发机 HF-TCVR2、高频锁相环 HF-PLL、高频控制单元 HF-CTRL-UNIT、第一中频收发机 IF-TCVR1、第二中频收发机 IF-TCVR2、中频锁相环 IF-PLL 和中频控制单元 IF-CTRL-UNIT 可以参考上述，此处不再赘述。

在本实施例四中，由于中频控制单元 IF-CTRL-UNIT 将随路时钟信号 CTRL_CLK 还通过第二硬件线路 b 传输给高频锁相环 HF-PLL，用于为高频锁相环 HF-PLL 提供第一参考时钟信号 CLK_REF_HF，因而不需单独的硬件线路为高频锁相环 HF-PLL 提供第一参考时钟信号 CLK_REF_HF，相对于第一参考时钟信号 CLK_REF_HF 通过单独的一条硬件线路而言，本实施例四提供的无线通信系统 150 可以减少一条硬件线路。

以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1. 一种无线通信系统，其特征在于，包括：第一高频芯片、中频芯片以及天线阵列；
所述第一高频芯片耦合于所述天线阵列和所述中频芯片之间；

5 所述第一高频芯片包括：第一高频收发机、第二高频收发机、高频锁相环、高频控制单元、第一双路器和第二双路器；所述第一高频收发机和所述第一双路器耦合，所述第二高频收发机和所述第二双路器耦合；所述高频锁相环分别与所述第一高频收发机、所述第二高频收发机耦合；所述高频控制单元分别与所述第一双路器、所述第二双路器耦合；

10 所述中频芯片包括：第一中频收发机、第二中频收发机、中频锁相环、中频控制单元、第三双路器和第四双路器；所述第一中频收发机和所述第三双路器耦合，所述第二中频收发机和所述第四双路器耦合；所述中频锁相环分别与所述第一中频收发机、所述第二中频收发机耦合；所述中频控制单元分别与所述第三双路器、所述第四双路器耦合；

所述第一双路器和所述第三双路器耦合，所述第二双路器和所述第四双路器耦合；

15 其中，所述高频控制单元和所述中频控制单元之间传输控制信号，所述控制信号包括指令数据信号和随路时钟信号；所述指令数据信号和所述随路时钟信号的相位同步，且所述指令数据信号和所述随路时钟信号的频率为同频或倍频关系；

所述随路时钟信号通过所述第一双路器和所述第三双路器在所述高频控制单元和所述中频控制单元之间传输；所述指令数据信号通过所述第二双路器和所述第四双路器在所述高频控制单元和所述中频控制单元之间传输。

20 2. 根据权利要求 1 所述的无线通信系统，其特征在于，所述指令数据信号在所述随路时钟信号的上升沿和/或下降沿发出所述指令数据信号。

3. 根据权利要求 1 或 2 所述的无线通信系统，其特征在于，所述中频控制单元将所述随路时钟信号通过所述第三双路器和所述第一双路器传输给所述高频控制单元。

4. 根据权利要求 3 所述的无线通信系统，其特征在于，所述第一双路器还与所述高频锁相环耦合；

25 所述中频控制单元将所述随路时钟信号通过所述第三双路器和所述第一双路器还传输给所述高频锁相环，用于为所述高频锁相环提供第一参考时钟信号。

5. 根据权利要求 1-4 任一项所述的无线通信系统，其特征在于，所述中频芯片还包括中频管脚，所述中频管脚用于接收第二参考时钟信号。

30 6. 根据权利要求 5 所述的无线通信系统，其特征在于，所述中频管脚与所述中频锁相环耦合，所述中频管脚接收到的所述第二参考时钟信号用于为所述中频锁相环提供第二参考时钟信号。

7. 根据权利要求 5 或 6 所述的无线通信系统，其特征在于，所述中频控制单元传输的所述随路时钟信号是根据所述中频管脚接收到的所述第二参考时钟信号生成的。

35 8. 根据权利要求 1-7 任一项所述的无线通信系统，其特征在于，所述中频芯片还包括同步器，用于使所述指令数据信号和所述随路时钟信号同步；

所述同步器与所述第三双路器、所述第四双路器以及所述中频控制单元耦合；所述随路时钟信号通过所述第一双路器、所述第三双路器以及所述同步器在所述高频控制单元和所述中频控制单元之间传输；

所述指令数据信号通过所述第二双路器、所述第四双路器以及所述同步器在所述高频

控制单元和所述中频控制单元之间传输。

9. 根据权利要求 1-8 任一项所述的无线通信系统，其特征在于，所述无线通信系统还包括第二高频芯片；所述第二高频芯片包括：所述第一高频收发机、所述第二高频收发机、所述高频锁相环、所述高频控制单元、所述第一双路器和所述第二双路器；

5 其中，所述第三双路器分别与所述第一高频芯片的所述第一双路器以及所述第二高频芯片的所述第一双路器耦合；所述第四双路器分别与所述第一高频芯片的所述第二双路器以及所述第二高频芯片的所述第二双路器耦合。

10 10. 根据权利要求 9 所述的无线通信系统，其特征在于，所述第一高频芯片和所述第二高频芯片均包括至少一个编址管脚，所述编址管脚用于接收高电平或低电平，以对所述第一高频芯片和所述第二高频芯片的芯片编码进行区分。

11. 根据权利要求 1-10 任一项所述的无线通信系统，其特征在于，所述无线通信系统还包括第二高频芯片、第一多路开关、第二多路开关；

所述第二高频芯片包括：所述第一高频收发机、所述第二高频收发机、所述高频锁相环、所述高频控制单元、所述第一双路器和所述第二双路器；

15 其中，所述第三双路器通过所述第一多路开关分别与所述第一高频芯片的所述第一双路器以及所述第二高频芯片的所述第一双路器耦合；所述第一多路开关用于控制所述第三双路器与所述第一高频芯片的所述第一双路器或所述第二高频芯片的所述第一双路器导通；

20 所述第四双路器通过所述第二多路开关分别与所述第一高频芯片的所述第二双路器以及所述第二高频芯片的所述第二双路器耦合；所述第二多路开关用于控制所述第四双路器与所述第一高频芯片的所述第二双路器或所述第二高频芯片的所述第二双路器导通。

12. 根据权利要求 1-11 任一项所述的无线通信系统，其特征在于，所述第一双路器包括高通滤波器和低通滤波器，所述高通滤波器和所述低通滤波器均包括第一端和第二端；

25 所述高通滤波器的第一端与所述第一高频收发机耦合，所述低通滤波器的第一端与所述高频控制单元耦合；

所述高通滤波器的第二端和所述低通滤波器的第二端均与所述第三双路器的合成端口耦合；

其中，所述高通滤波器允许频率大于第一频率的信号通过，所述低通滤波器允许频率小于第二频率的信号通过；所述第一频率大于所述第二频率。

30 13. 根据权利要求 1-11 任一项所述的无线通信系统，其特征在于，所述第一双路器包括带通滤波器和低通滤波器，所述带通滤波器和所述低通滤波器均包括第一端和第二端；

所述带通滤波器的第一端与所述第一高频收发机耦合，所述低通滤波器的第一端与所述高频控制单元耦合；

35 所述带通滤波器的第二端和所述低通滤波器的第二端均与所述第三双路器的合成端口耦合；

其中，所述带通滤波器允许频率大于第三频率，且小于第四频率的信号通过，所述低通滤波器允许频率小于第二频率的信号通过；所述第三频率和所述第四频率大于所述第二频率。

14. 根据权利要求 13 或 14 所述的无线通信系统，其特征在于，所述第二频率的范围

为 100MHz~500MHz。

15. 根据权利要求 1-14 任一项所述的无线通信系统，其特征在于，所述指令数据信号和/或所述随路时钟信号的频率为 245.76Mbps、307.2Mbps，491.52Mbps 中的一个。

5 16. 根据权利要求 1-15 任一项所述的无线通信系统，其特征在于，所述无线通信系统还包括硬件线路；

所述第一双路器和所述第三双路器之间通过一条所述硬件线路耦合；所述第二双路器和所述第四双路器之间通过一条所述硬件线路耦合；

其中，所述硬件线路为线缆或设置于电路板中的走线。

10 17. 一种电子设备，其特征在于，包括电路板和如权利要求 1-16 任一项所述的无线通信系统。

150

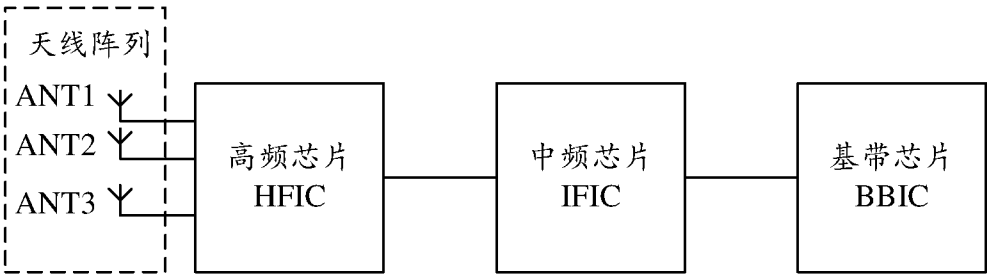


图 1

电子设备100

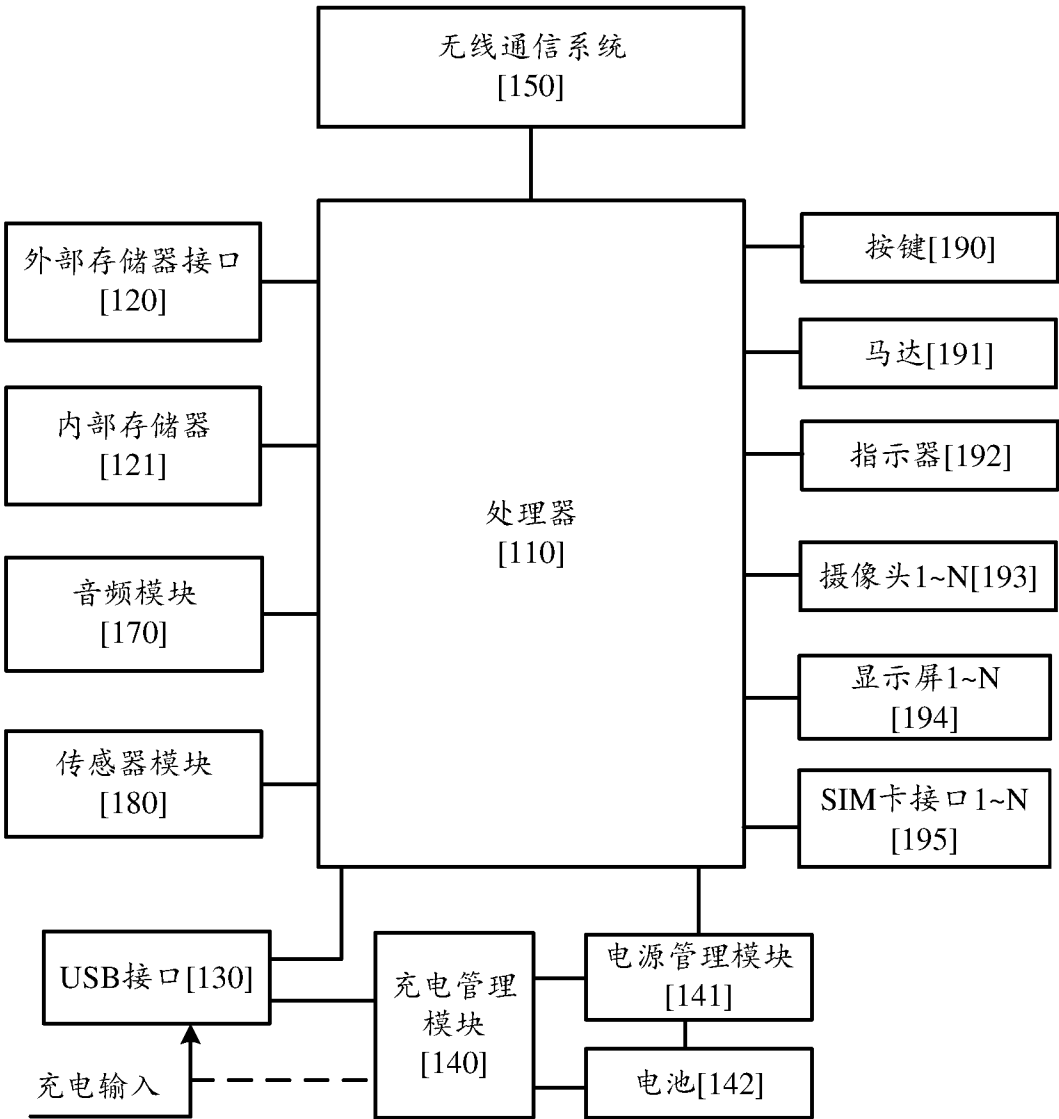


图 2

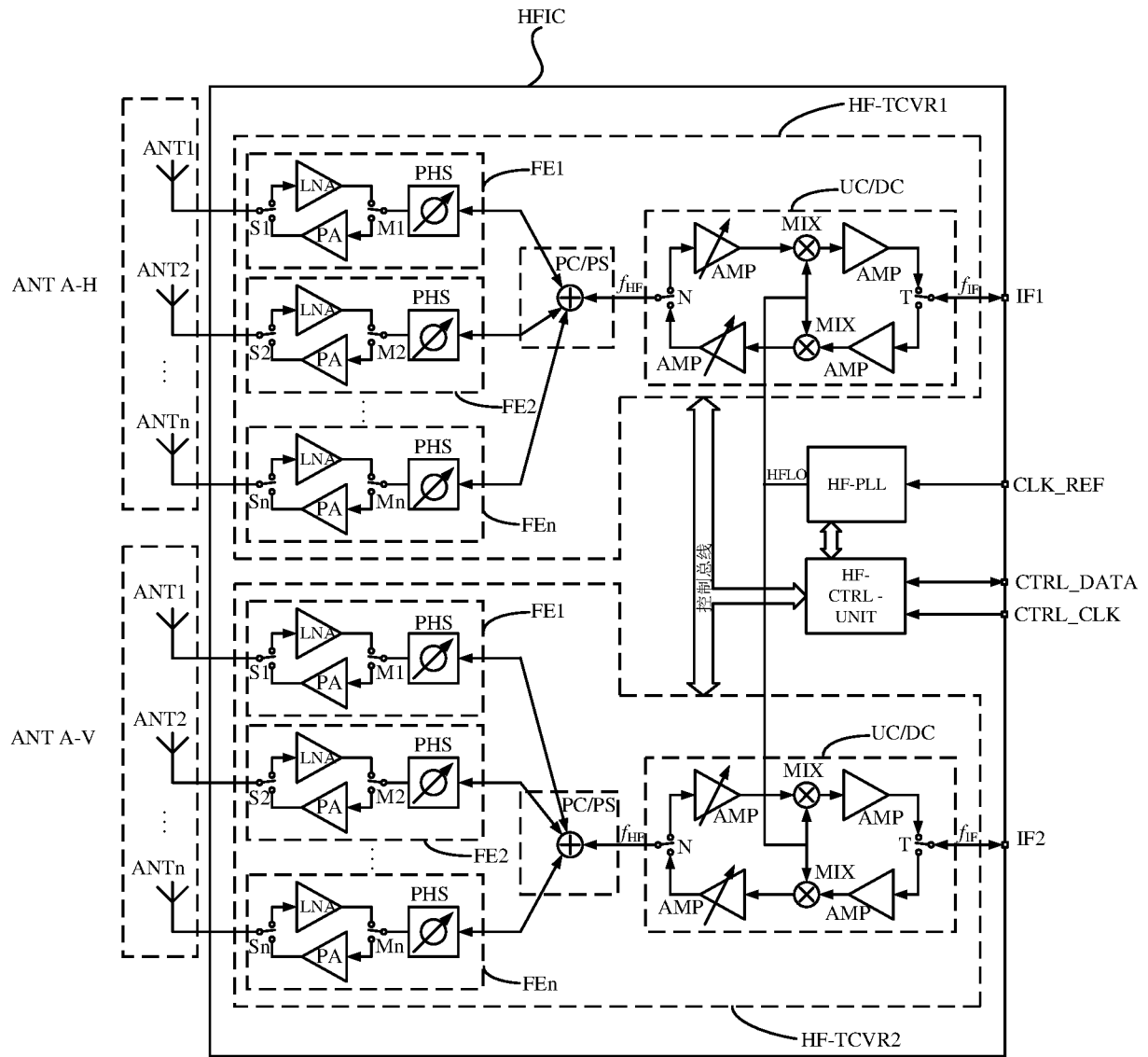


图 3

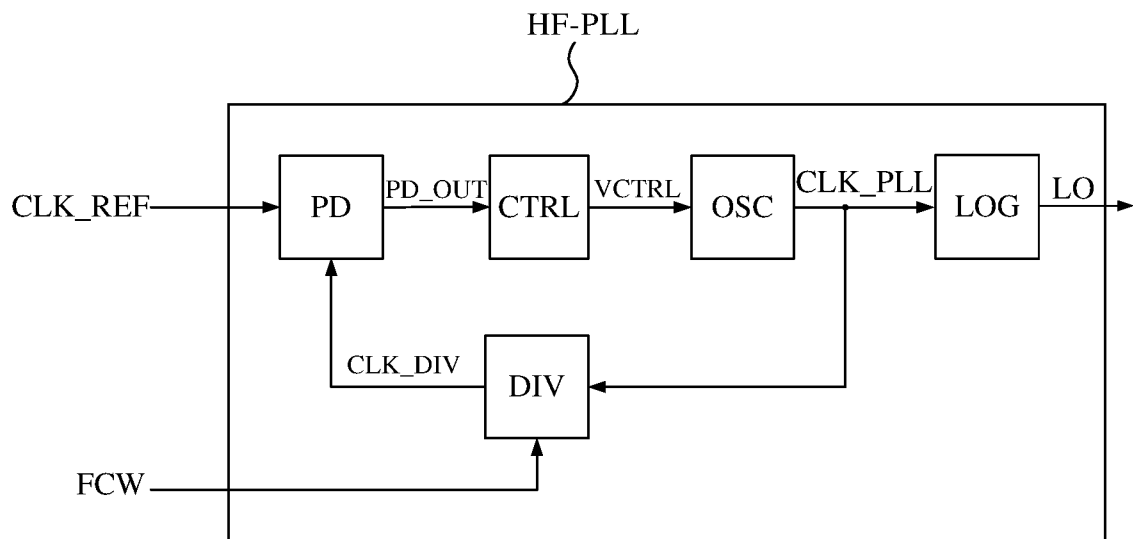


图 4

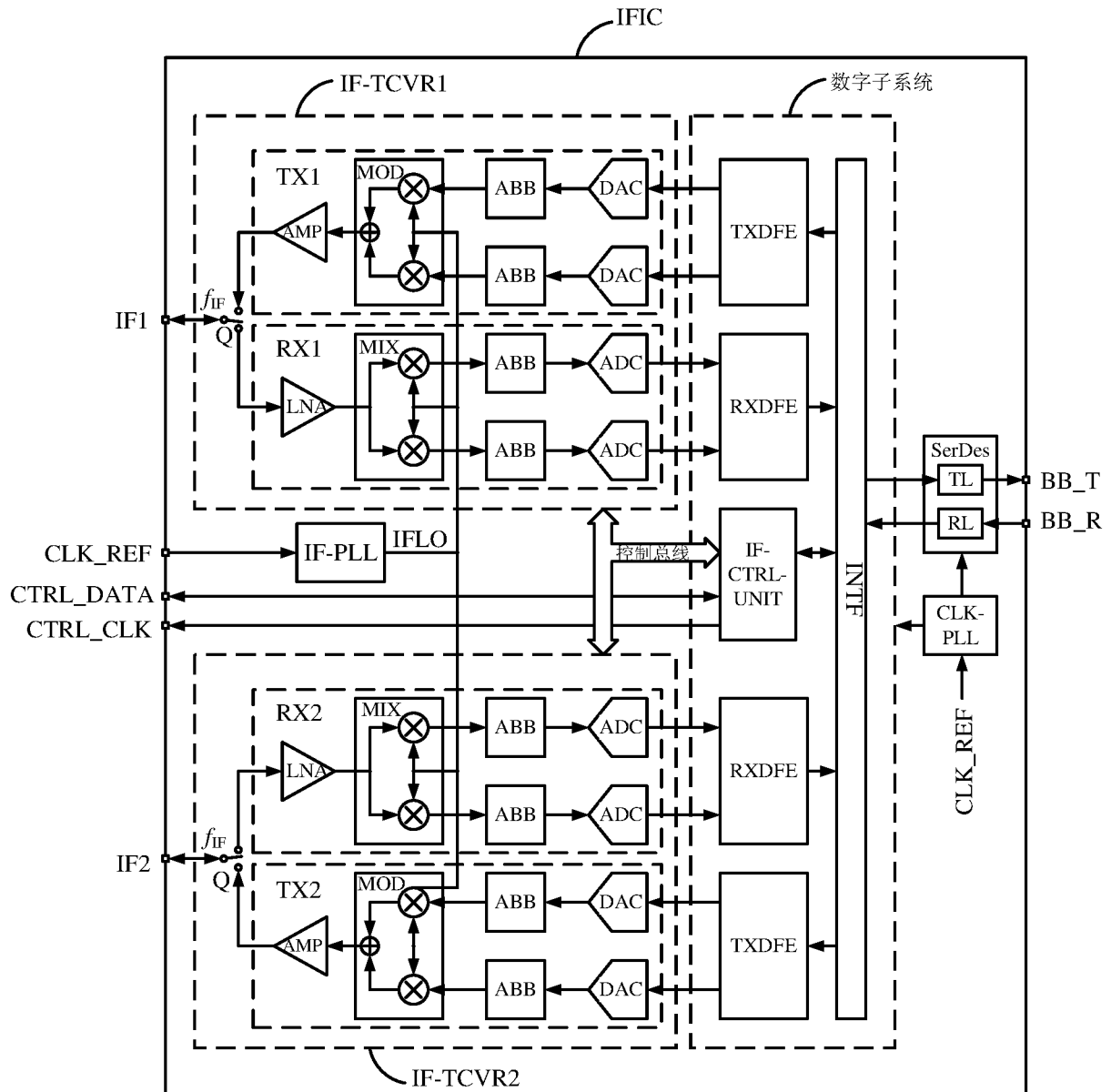


图 5

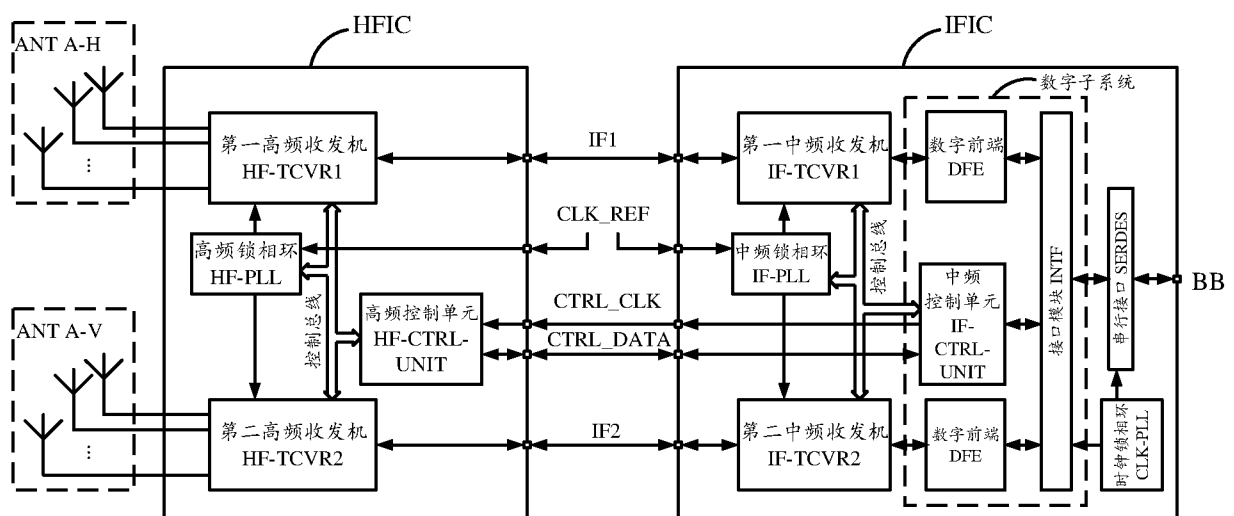


图 6

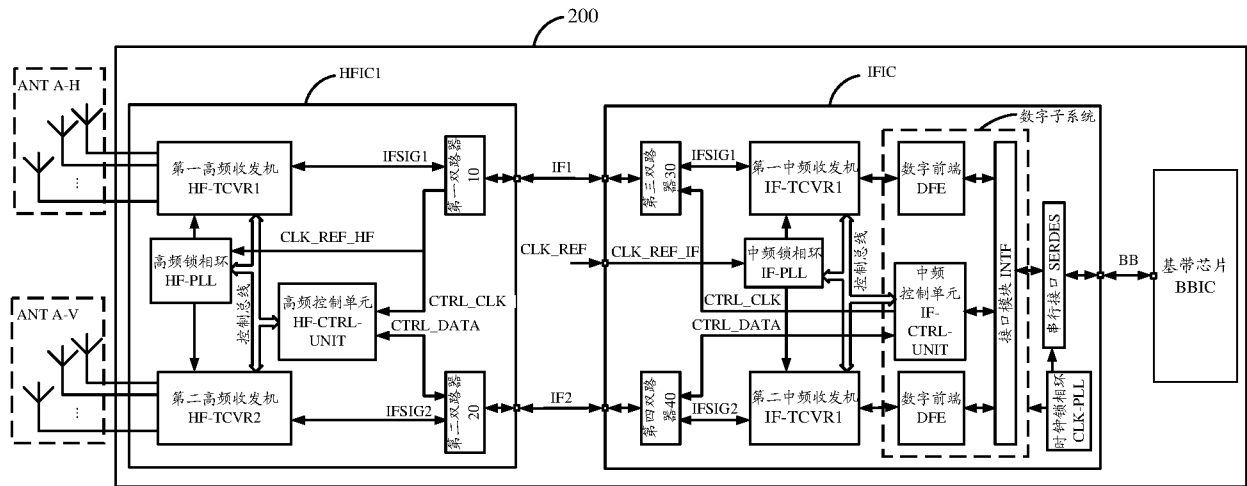


图 7

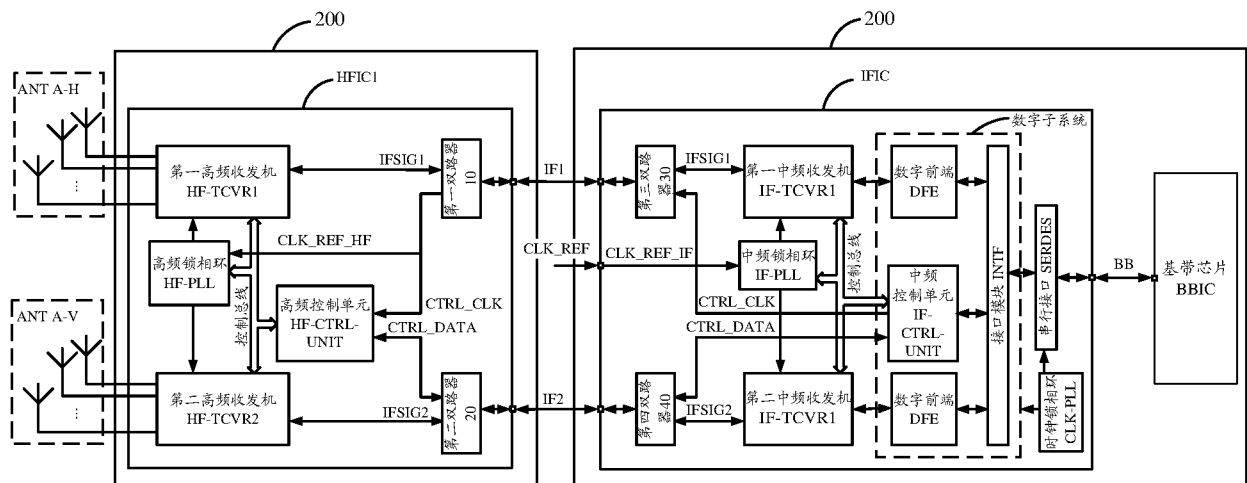


图 8a

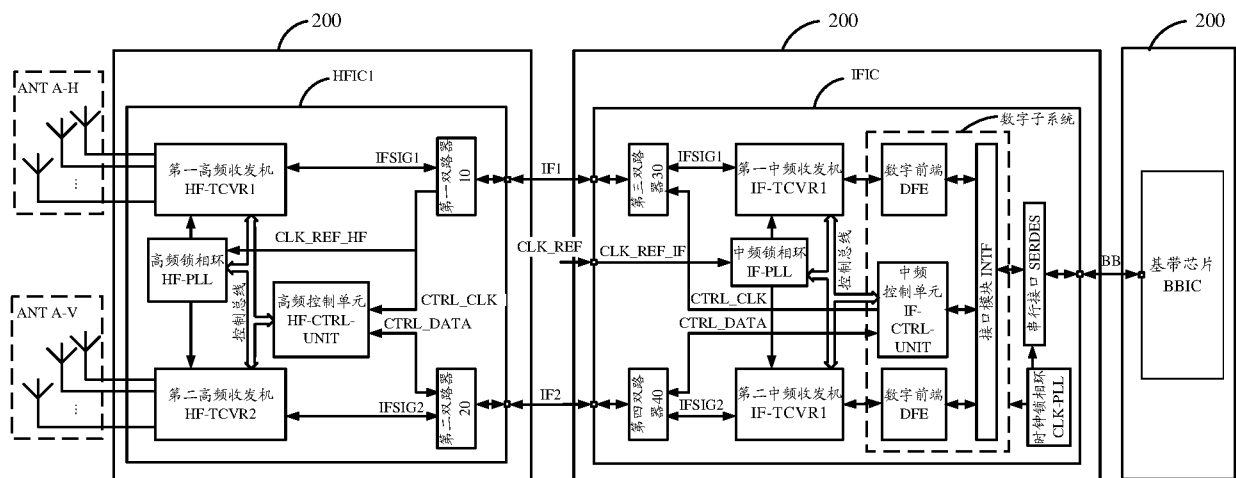


图 8b

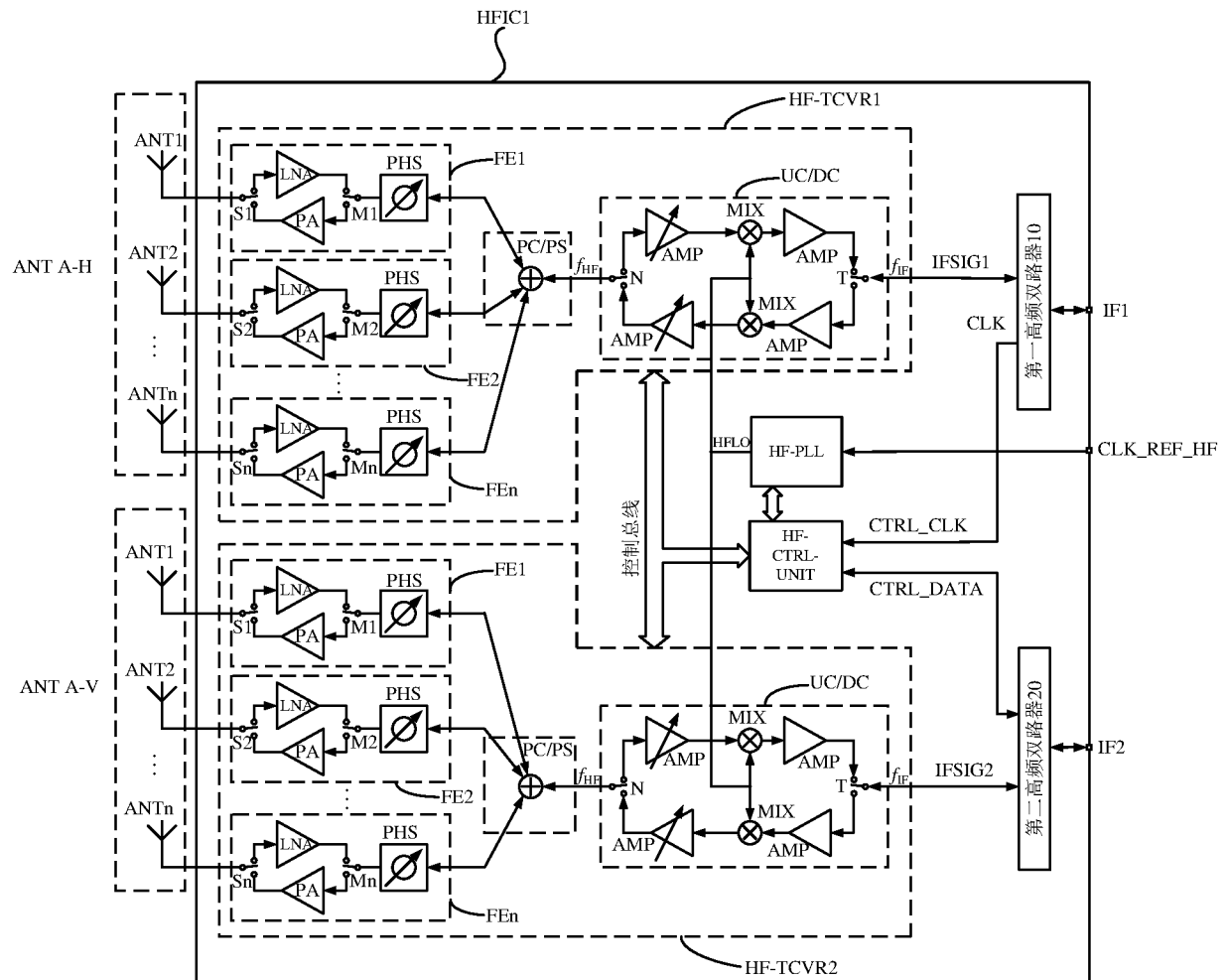


图 9

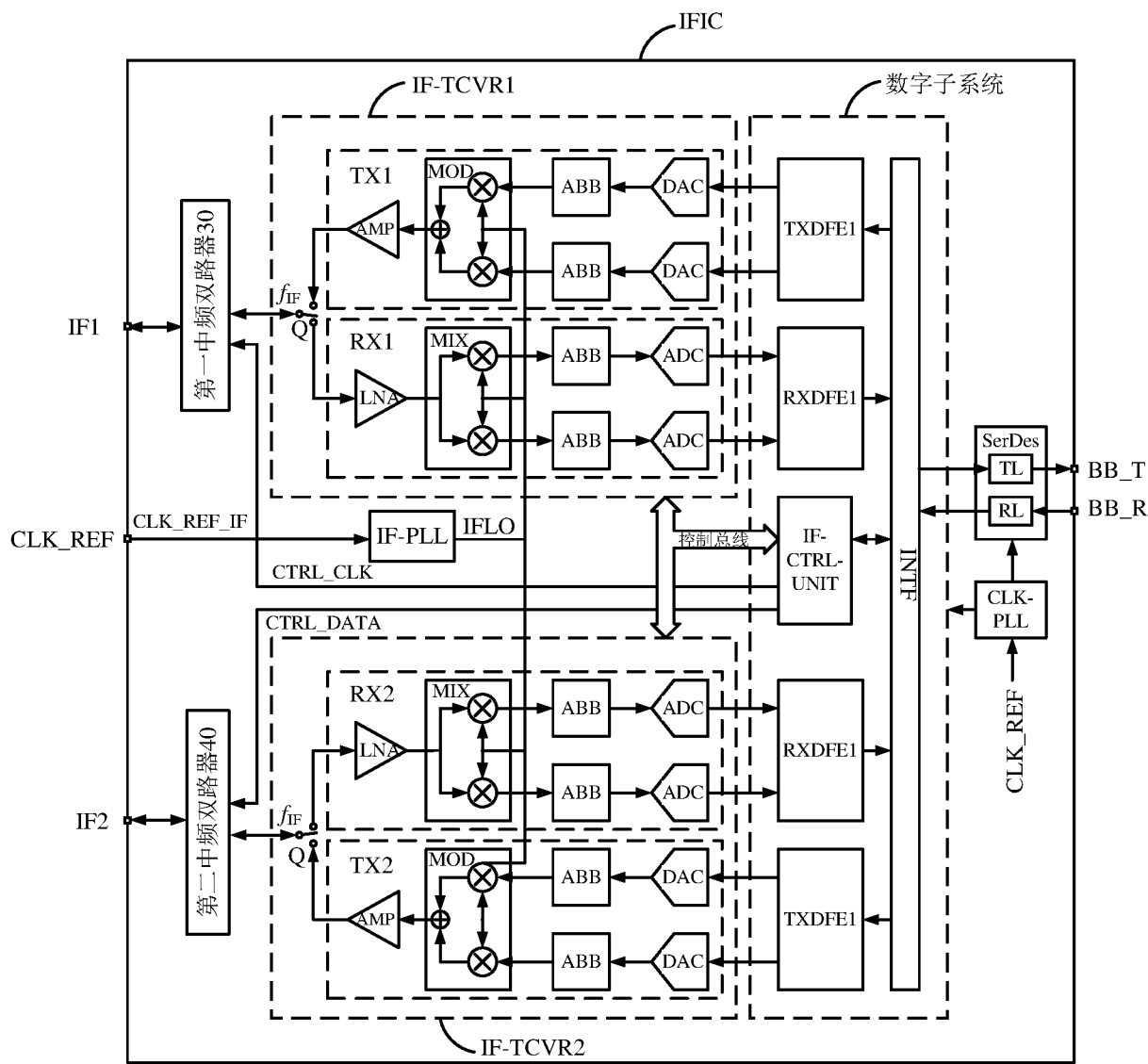


图 10

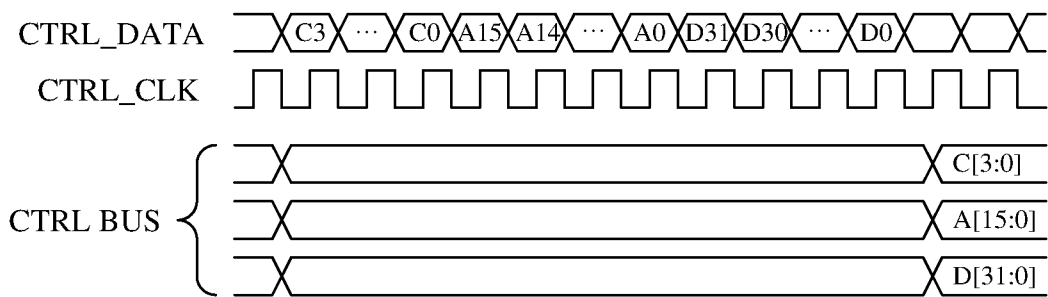


图 11

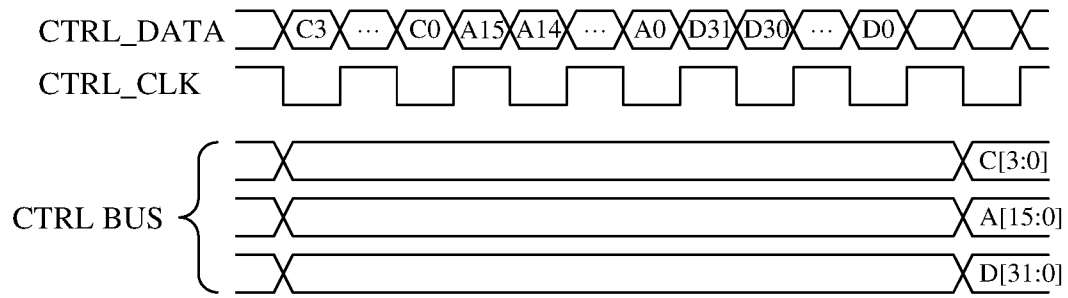


图 12

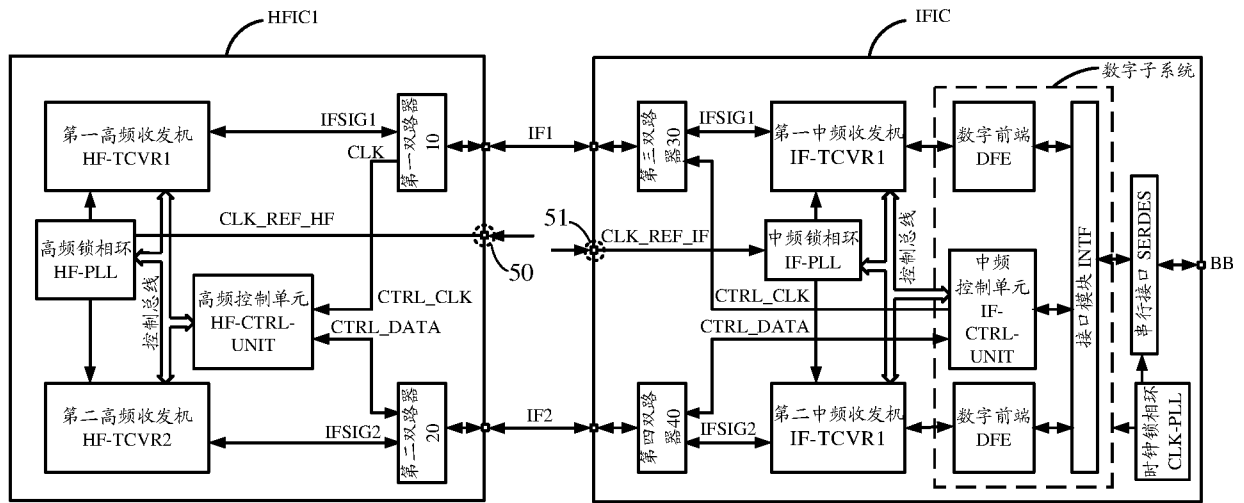


图 13

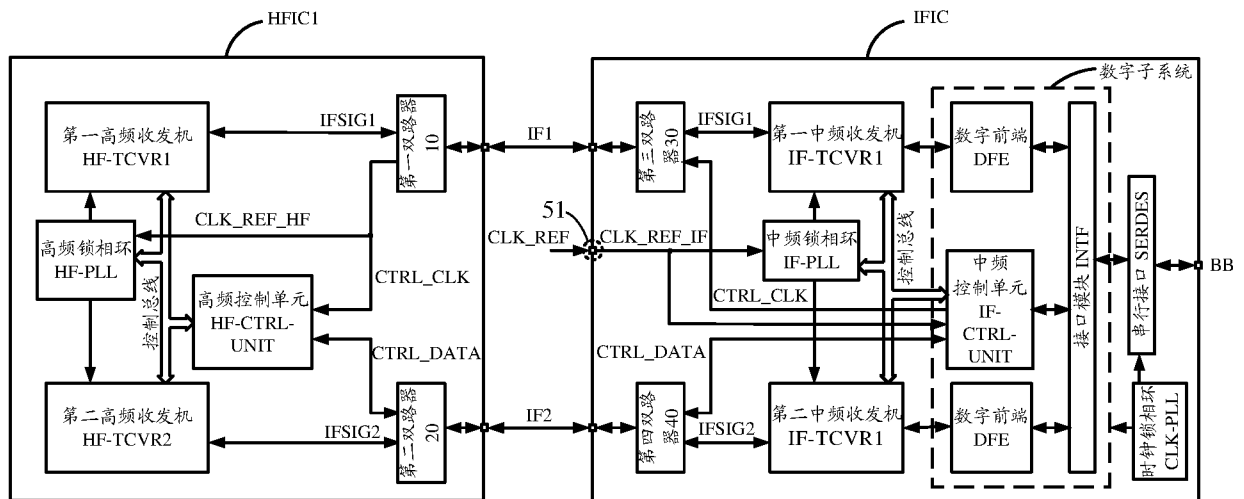


图 14

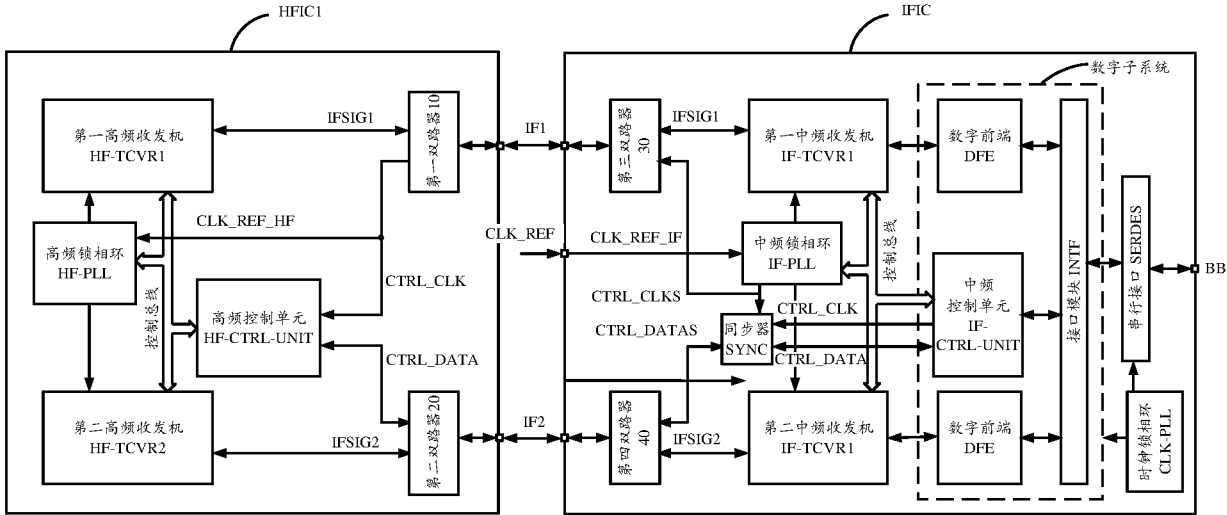


图 15

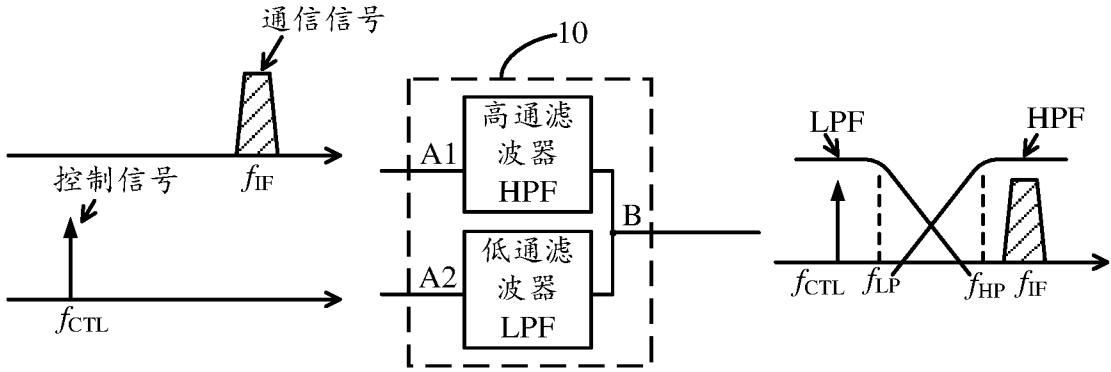


图 16

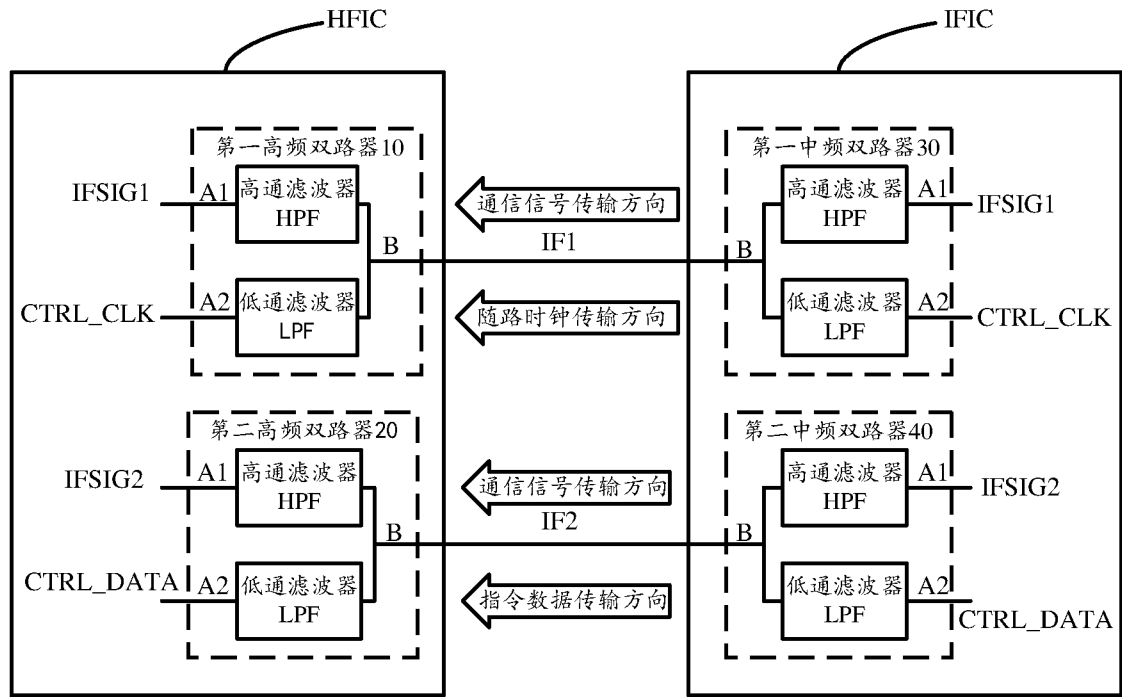


图 17a

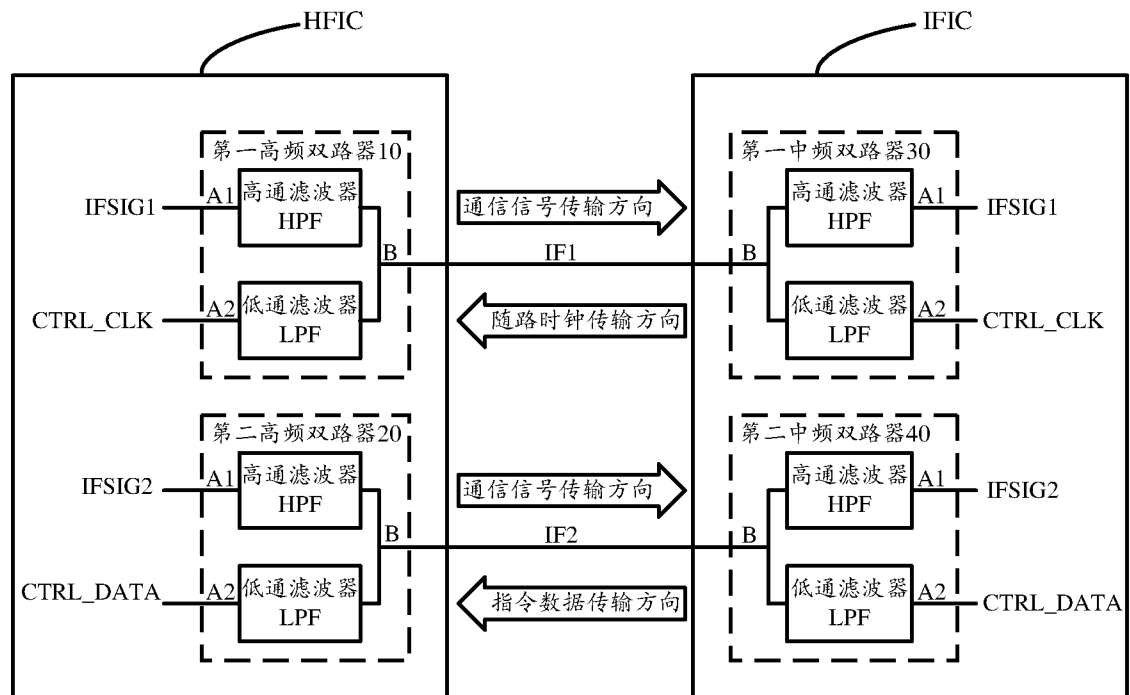


图 17b

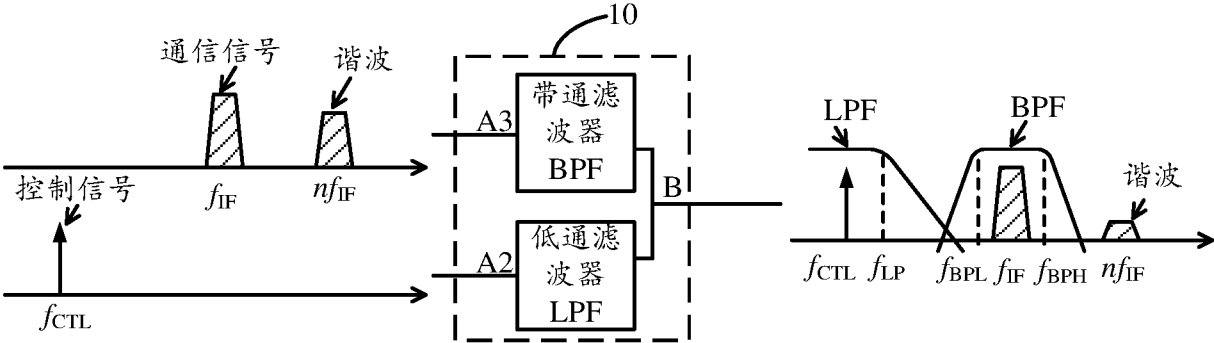


图 18

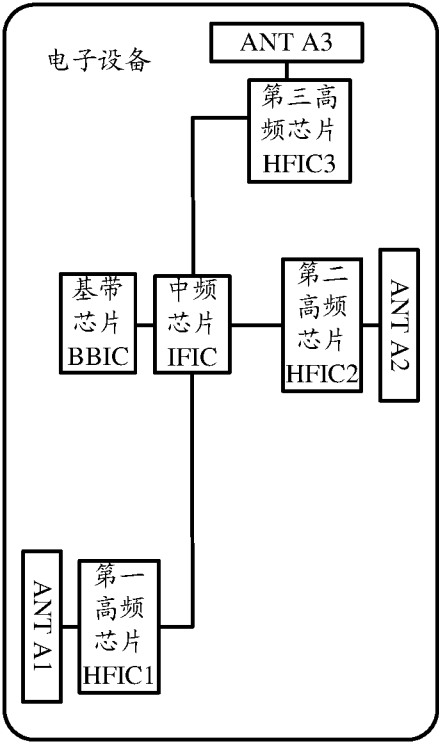


图 19

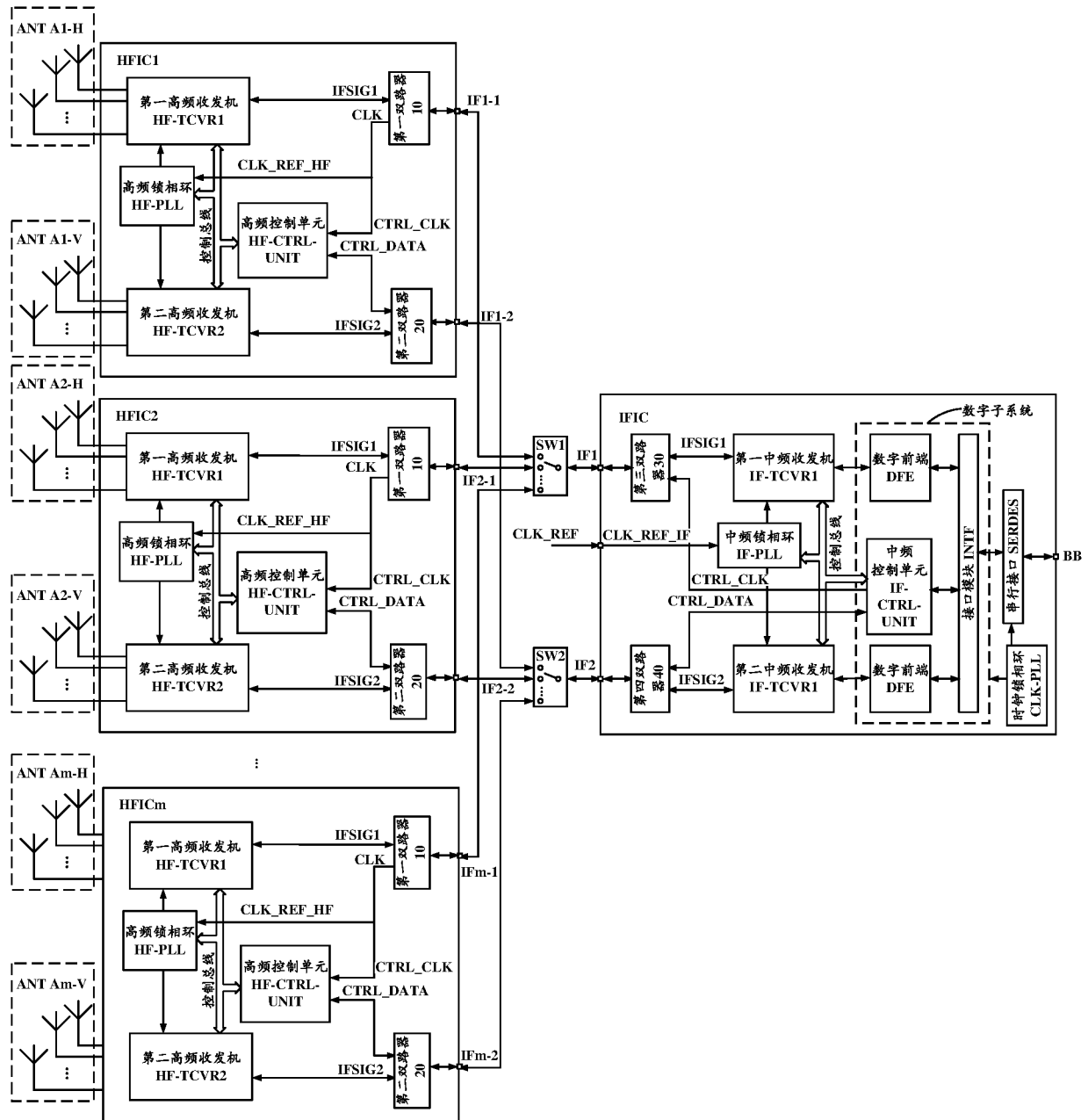


图 20

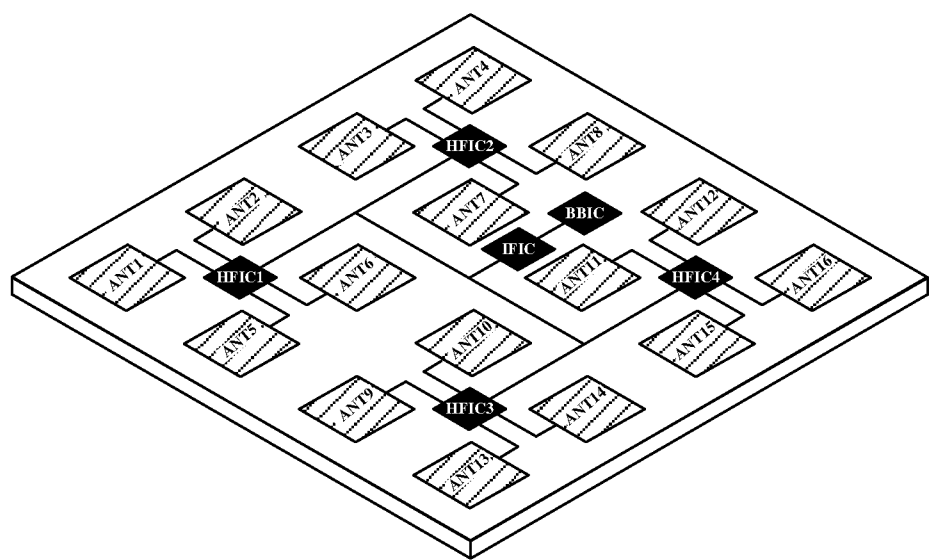


图 21

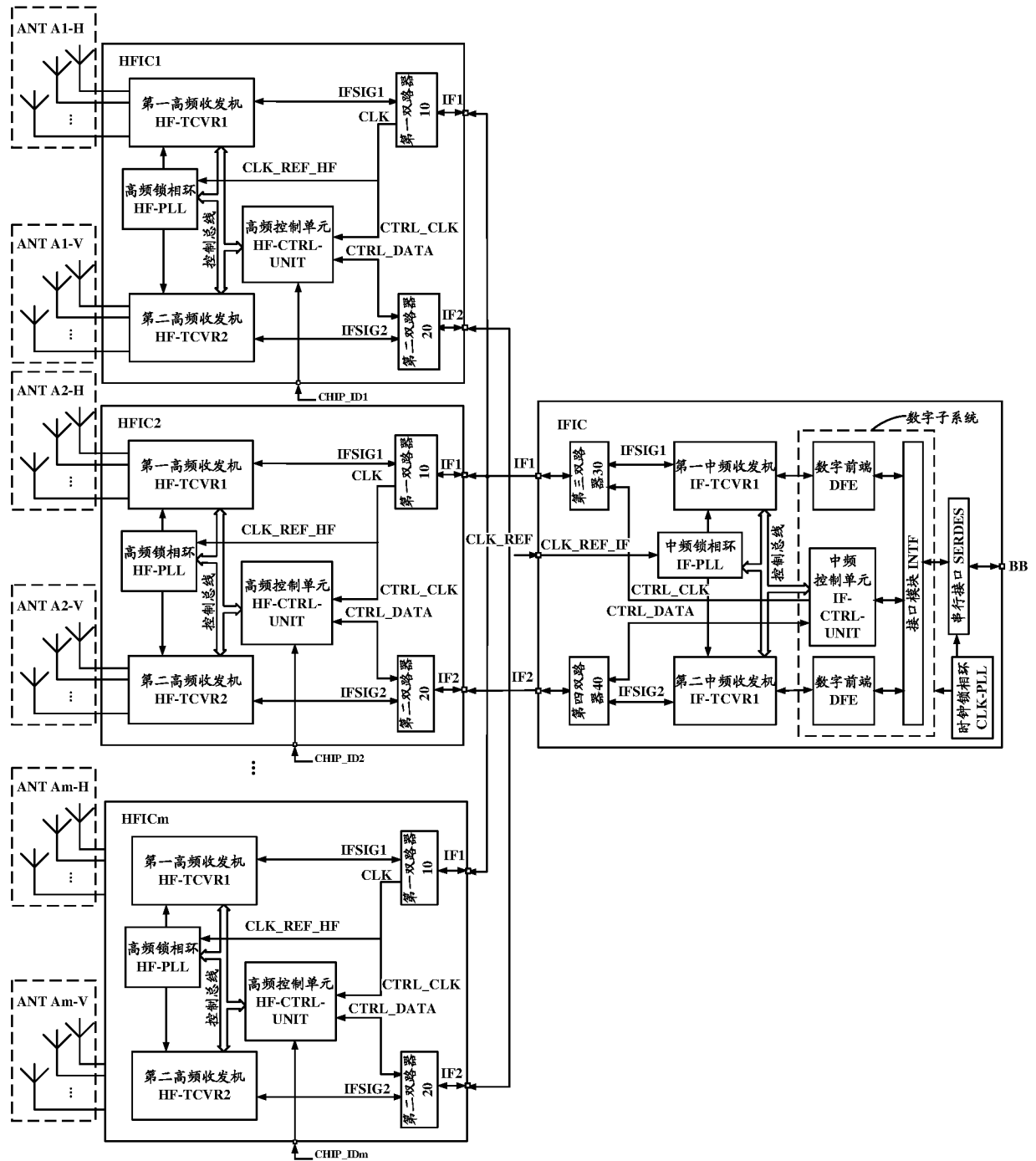


图 22

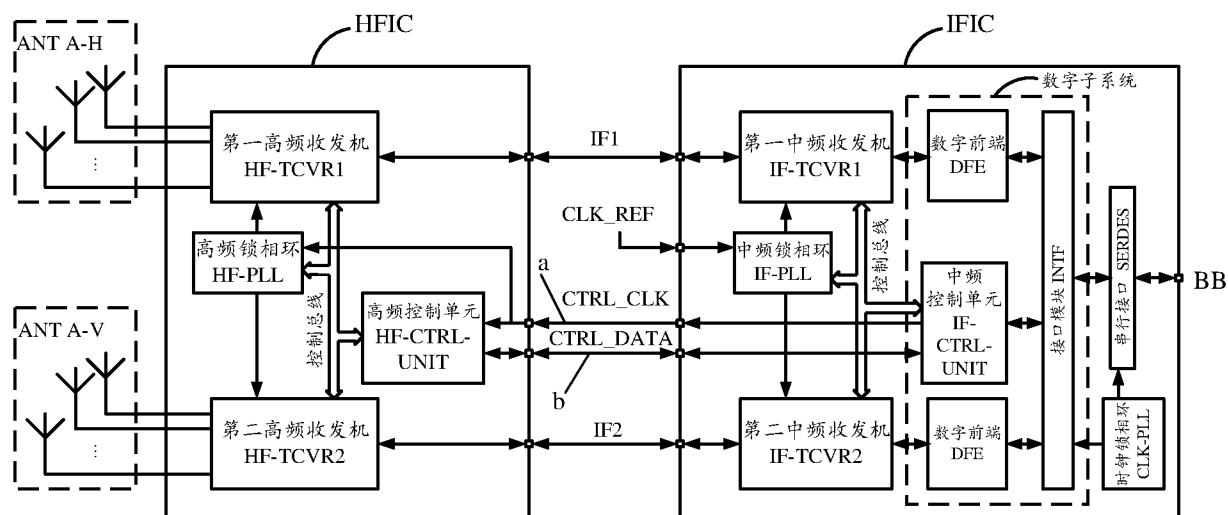


图 23

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/115845

A. CLASSIFICATION OF SUBJECT MATTER

H04B 1/40(2015.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN; EPTXT; USTXT; WOTXT; CNKI; IEEE: 中频, 高频, 射频, 芯片, 随路时钟信号, 数据信号, 双路器, 多路器, 滤波器, intermediate frequency, IF, radio frequency, RF, chip, IC, clock signal, dual, double, way, path, duplexer, filter

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 113260096 A (SHANGHAI SHOUZHENG COMMUNICATION TECHNOLOGY CO., LTD.) 13 August 2021 (2021-08-13) description, paragraph [0002], and figure 1	1-17
A	CN 1816183 A (HUAWEI TECHNOLOGIES CO., LTD.) 09 August 2006 (2006-08-09) entire document	1-17
A	CN 107220204 A (HUAWEI TECHNOLOGIES CO., LTD.) 29 September 2017 (2017-09-29) entire document	1-17
A	CN 106603109 A (ZTE CORP.) 26 April 2017 (2017-04-26) entire document	1-17

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 April 2022

Date of mailing of the international search report

25 May 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/115845

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113260096	A	13 August 2021	None			
CN	1816183	A	09 August 2006	CN	100551106	C	14 October 2009
CN	107220204	A	29 September 2017	EP	3223145	A1	27 September 2017
				US	2017270984	A1	21 September 2017
				US	9824731	B2	21 November 2017
				EP	3223145	B1	24 July 2019
				CN	107220204	B	08 May 2020
CN	106603109	A	26 April 2017	WO	2016184132	A1	24 November 2016
				CN	106603109	B	10 December 2019

国际检索报告

国际申请号

PCT/CN2021/115845

A. 主题的分类

H04B 1/40 (2015.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H04B

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNABS; CNTXT; VEN; EPTXT; USTXT; WOTXT; CNKI; IEEE: 中频, 高频, 射频, 芯片, 随路时钟信号, 数据信号, 双路器, 多路器, 滤波器, intermediate frequency, IF, radio frequency, RF, chip, IC, clock signal, dual, double, way, path, duplexer, filter

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 113260096 A (上海守正通信技术有限公司) 2021年8月13日 (2021 - 08 - 13) 说明书第[0002]段, 图1	1-17
A	CN 1816183 A (华为技术有限公司) 2006年8月9日 (2006 - 08 - 09) 全文	1-17
A	CN 107220204 A (华为技术有限公司) 2017年9月29日 (2017 - 09 - 29) 全文	1-17
A	CN 106603109 A (中兴通讯股份有限公司) 2017年4月26日 (2017 - 04 - 26) 全文	1-17

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年4月19日

国际检索报告邮寄日期

2022年5月25日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10) 62019451

授权官员

李美华

电话号码 (86-512) 88996118

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/115845

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113260096	A	2021年8月13日	无			
CN	1816183	A	2006年8月9日	CN	100551106	C	2009年10月14日
CN	107220204	A	2017年9月29日	EP	3223145	A1	2017年9月27日
				US	2017270984	A1	2017年9月21日
				US	9824731	B2	2017年11月21日
				EP	3223145	B1	2019年7月24日
				CN	107220204	B	2020年5月8日
CN	106603109	A	2017年4月26日	WO	2016184132	A1	2016年11月24日
				CN	106603109	B	2019年12月10日