

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-55730

(P2010-55730A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/4091 (2006.01)	G 1 1 C 11/34 3 5 3 A	5 M 0 2 4
	G 1 1 C 11/34 3 5 3 F	
	G 1 1 C 11/34 3 5 3 C	

審査請求 未請求 請求項の数 10 O L (全 23 頁)

(21) 出願番号	特願2008-222938 (P2008-222938)	(71) 出願人	500174247
(22) 出願日	平成20年8月29日 (2008. 8. 29)		エルピーダメモリ株式会社
			東京都中央区八重洲2-2-1
		(74) 代理人	100110881
			弁理士 首藤 宏平
		(72) 発明者	梶谷 一彦
			東京都中央区八重洲二丁目2番1号 エル
			ピーダメモリ株式会社内
		Fターム(参考)	5M024 AA02 AA37 BB14 BB15 BB35
			CC53 CC62 CC72 CC74 PP01
			PP02 PP03 PP07

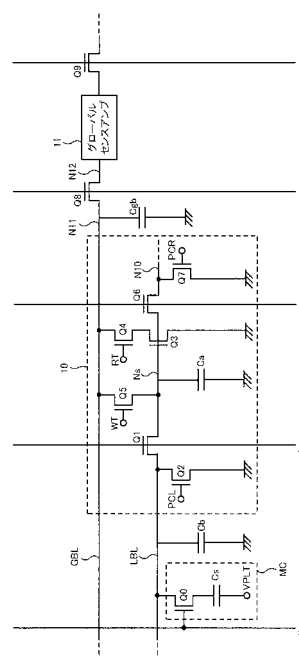
(54) 【発明の名称】 センスアンプ回路及び半導体記憶装置

(57) 【要約】

【課題】 低電圧で読み出し動作を行う場合に十分な動作マージンを確保し得るセンスアンプ回路を提供する。

【解決手段】 シングルエンド型のセンスアンプ回路は、制御電圧V_gに応じてビット線L_{BL}とセンスノードN_sとの接続を制御するMOSトランジスタQ₁と、ゲートがセンスノードN_sに接続されビット線L_{BL}からMOSトランジスタQ₁を介して伝送される信号を増幅するMOSトランジスタQ₂と、制御信号PCLに応じてビット線L_{BL}を第1の電位に設定する第1の電位設定回路(Q₂)と、制御信号WTに応じてセンスノードN_sを第2の電位に設定する第2の電位設定回路(Q₅)とを備え、ビット線L_{BL}を前記第1の電位に設定し、かつセンスノードN_sを第2の電位に設定した後、MOSトランジスタQ₁を介してビット線L_{BL}を電荷分配モードで駆動してMOSトランジスタQ₂の増幅動作が行われる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

メモリセルから読み出されてビット線を伝送される信号を増幅するシングルエンド型のセンスアンプ回路であって、

ゲートに印加される制御電圧に応じて、前記ビット線に対して所定電位を供給するとともに、前記ビット線とセンスノードとの間の接続を制御する第 1 の MOS トランジスタと、

ゲートが前記センスノードに接続され、前記ビット線から前記第 1 の MOS トランジスタを介して伝送される信号を増幅する第 2 の MOS トランジスタと、

第 1 の制御信号に応じて、前記ビット線を第 1 の電位に設定する第 1 の電位設定回路と、

第 2 の制御信号に応じて、前記センスノードを第 2 の電位に設定する第 2 の電位設定回路と、

を備え、前記ビット線を前記第 1 の電位に設定し、かつ前記センスノードを前記第 2 の電位に設定した後、前記第 1 の MOS トランジスタを介して前記ビット線を電荷分配モードで駆動して前記センスノードの信号電圧を前記第 2 の MOS トランジスタにより増幅することを特徴とするセンスアンプ回路。

【請求項 2】

前記第 1 の電位は接地電位であり、前記第 2 の電位は所定の電源電圧であることを特徴とする請求項 1 に記載のセンスアンプ回路

【請求項 3】

前記第 1 の電位設定回路は、ゲートに印加される前記第 1 の制御信号に応じて、前記ビット線と前記接地電位との間の接続を制御する第 3 の MOS トランジスタであることを特徴とする請求項 2 に記載のセンスアンプ回路

【請求項 4】

前記第 1 の MOS トランジスタの閾値電圧のばらつき許容範囲と、前記第 2 の MOS トランジスタの閾値電圧のばらつき許容範囲は、前記メモリセルのハイ情報とロー情報をそれぞれ読み出した際の前記センスノードにおける所要の電圧差の範囲内に設定されることを特徴とする請求項 1 に記載のセンスアンプ回路。

【請求項 5】

前記第 1 の MOS トランジスタ、前記第 2 の MOS トランジスタ、前記第 1 の電位設定回路、前記第 2 の設定回路をそれぞれ含み、前記ビット線としてのローカルビット線を介して伝送される信号を増幅するローカルセンスアンプと、

前記ローカルセンスアンプを介して所定数の前記ローカルビット線と選択的に接続されるグローバルビット線に接続され、前記グローバルビット線の信号電圧のレベルを判定する信号電圧判定回路を含むグローバルセンスアンプと、

を備えることを特徴とする請求項 1 に記載のセンスアンプ回路。

【請求項 6】

前記第 2 の電位は、前記グローバルセンスアンプから前記グローバルビット線を経由して前記第 2 の電位設定回路に供給されることを特徴とする請求項 5 に記載のセンスアンプ回路。

【請求項 7】

前記第 2 の電位設定回路は、ゲートに印加される前記第 2 の制御信号に応じて、前記センスノードと前記グローバルビット線との間の接続を制御する第 4 の MOS トランジスタであることを特徴とする請求項 6 に記載のセンスアンプ回路

【請求項 8】

ゲートに印加される第 3 の制御信号に応じて、前記第 2 の MOS トランジスタのドレインと前記グローバルビット線との間の接続を制御する第 5 の MOS トランジスタをさらに備えることを特徴とする請求項 6 に記載のセンスアンプ回路。

【請求項 9】

入力された基準電圧に対し、前記第1のMOSトランジスタ又は前記第2のMOSトランジスタの閾値電圧の変動が補償された補償電圧を発生し、前記ローカルセンスアンプ又は前記グローバルセンスアンプに供給する補償電圧発生回路をさらに備えることを特徴とする請求項5に記載のセンスアンプ回路。

【請求項10】

請求項1から9のいずれかに記載のセンスアンプ回路を備えたことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、メモリセルから読み出されてビット線を介して伝送される信号を増幅するシングルエンド型のセンスアンプ回路とそれを備えた半導体記憶装置に関するものである。

【背景技術】

【0002】

近年、DRAM等の半導体記憶装置の微細化に伴い、各々のメモリセルの小型化を図るべく、メモリセルを構成するキャパシタの十分な容量を確保することが困難になっている。従来から、メモリセルから読み出した微小な信号電圧を増幅するために適したセンスアンプ回路として、電荷転送型のセンスアンプ回路が知られている。例えば、以下の特許文献1～4においては、多様な電荷転送型センスアンプの構成が開示されている。

20

【0003】

図23は、従来の典型的な電荷転送型のセンスアンプ回路の構成例を示している。図23においては、N型の選択トランジスタQ0及びキャパシタCsからなるメモリセルMCと、2つのN型のMOSトランジスタQg、Qpと、ラッチ型差動アンプ100が示されている。選択トランジスタQ0は、ソースがビット線BLに接続され、ゲートがワード線WLに接続される。キャパシタCsは、選択トランジスタQ0のドレインとグランド電位の間に接続される。MOSトランジスタQgは、ゲートに印加された制御電圧Vgに応じて、ビット線BLとセンスノードNsとの間の接続を制御する。MOSトランジスタQpは、ゲートに印加された制御信号SETに応じて、電源電圧VDDとセンスノードNsとの間の接続を制御する。ラッチ型差動アンプ100は、センスノードNsの信号電圧と、参照電位Vrとをそれぞれ入力し、差動増幅してラッチする。なお、参照電位Vrは、メモリセルMCからハイ情報とロー情報をそれぞれ読み出したときのセンスノードNsにおける各電位の概ね中間電位に設定される。

30

【0004】

図23において、ビット線BLにはビット線容量Cbが形成され、センスノードNsには容量Caが形成される。発明者らの検討により、センスアンプ回路において想定される動作モードは、キャパシタの容量Cs、ビット線BLの電位とビット線容量Cb、センスノードNsの電位と容量Ca（図1及びその説明を参照）などのパラメータに依存して定まり、後述の（式1）～（式3）に従って動作することが見出された。図23に示す従来の電荷転送型のセンスアンプ回路については、前述の動作モードのうち、電荷転送モードが支配的になることが確認されている。

40

【特許文献1】特開2000-195268号公報

【特許文献2】特開2002-157885号公報

【特許文献3】特開平11-16384号公報

【特許文献4】特開2007-73121号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、図23の電荷転送型のセンスアンプ回路を用いる場合は、比較的回路規模が大きいラッチ型差動アンプ100を採用しているため、センスノードNsの容量Ca

50

の増大が避けられない。例えば、1本のビット線BLに512個のメモリセルMCを設ける構成において、ビット線容量Cb=50fF程度に対し、センスノードNsの容量Ca=10fF程度になることが想定される。そして、かかる条件に基づき発明者らが検討を行った結果、電源電圧VDDが比較的高い場合（例えば、3Vや2V）、センスアンプ回路の増幅動作に支障はないものの、特に電源電圧VDDの低電圧化を図って、例えばVDD=1Vで動作させる場合、増幅動作に支障を来すことが判明した（図6及び図7とその説明参照）。このような条件下では、メモリセルMCのハイ情報とロー情報をそれぞれ読み出したときにセンスノードNsにおける電圧差が小さくなり、動作マージンが十分確保できなくなる。また、このような傾向は、メモリセルMCを小型化して容量が小さいキャパシタCsを用いる場合には、一層顕著になることがわかった。以上のように、従来の電荷転送型センスアンプ回路は、低容量のメモリセルMCを用いて低電圧動作を図る構成に対して適用することが困難であるという問題がある。

10

【0006】

そこで、本発明はこれらの問題を解決するためになされたものであり、キャパシタの容量が小さいメモリセルを採用した半導体記憶装置において低電圧動作を図る場合、電荷分配モードの増幅動作を適切に制御することにより、読み出し動作時に十分な動作マージンを確保することが可能なセンスアンプ回路を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明のセンスアンプ回路は、メモリセルから読み出されてビット線を伝送される信号を増幅するシングルエンド型のセンスアンプ回路であって、ゲートに印加される制御電圧に応じて、前記ビット線に対して所定電位を供給するとともに、前記ビット線とセンスノードとの間の接続を制御する第1のMOSトランジスタと、ゲートが前記センスノードに接続され、前記ビット線から前記第1のMOSトランジスタを介して伝送される信号を増幅する第2のMOSトランジスタと、第1の制御信号に応じて、前記ビット線を第1の電位に設定する第1の電位設定回路と、第2の制御信号に応じて、前記センスノードを第2の電位に設定する第2の電位設定回路とを備え、前記ビット線を前記第1の電位に設定し、かつ前記センスノードを前記第2の電位に設定した後、かつ前記第1のMOSトランジスタを介して前記ビット線を電荷分配モードで駆動して前記センスノードの信号電圧を前記第2のMOSトランジスタにより増幅することを特徴とする。

20

30

【0008】

本発明のセンスアンプ回路によれば、メモリセルの読み出し動作に際し、第1の電位設定回路によりビット線を第1の電位に設定し、第2の電位設定回路によりセンスノードを第2の電位に設定し、続いて前記第1のMOSトランジスタを電荷転送ゲートとして機能させ、これによりビット線を電荷分配モードで駆動し、センスノードに接続される第2のMOSトランジスタによって信号電圧が増幅される。よって、第1の電位と第2の電位をそれぞれ適切な値に設定することにより、メモリセルのハイ情報とロー情報を読み出すときの電圧差を十分確保することができるとともに、シングルエンド型を採用したためにセンスノードの容量を小さくできるので、低容量のメモリセルを採用した場合であっても、特に低電圧動作時の動作マージンの向上に有効な構成を実現することができる。

40

【0009】

本発明のセンスアンプ回路は、特に階層化されたメモリセルアレイに適用する場合に有効である。すなわち、所定数のローカルビット線がローカルセンスアンプを介してグローバルビット線と選択的に接続される構成において、差動構成を採用することなくシングルエンド型のローカルセンスアンプを用いて回路規模の小型化を図りつつ、センスアンプ回路の動作マージンを十分に確保することができる。

【0010】

また、本発明のセンスアンプ回路は、特に、第1のMOSトランジスタ又は第2のMOSトランジスタの閾値電圧の変動が補償された補償電圧を発生する補償電圧発生回路と組

50

み合わせて用いることが有効である。このような補償電圧をセンスアンプ回路に供給することにより、上述の動作マージンをより一層向上させることが可能となる。

【発明の効果】

【0011】

以上述べたように本発明によれば、シングルエンド型のセンスアンプを採用し、電荷分配モードに基いて増幅動作を制御する場合、センスノードの容量を小さく設定できるので、1 V程度の低電圧動作における動作マージンを十分に確保することができる。特に、5 fF以下のように小さい容量のメモリセルを用いて、1 V程度の低電圧動作をさせる場合において有利な構成を実現できる。

【0012】

また、ビット線構成とセンスアンプ回路が階層化された半導体記憶装置において、特にローカルビット線の容量を小さく設定でき、かつシングルエンド型のローカルセンスアンプの面積を低減させることができ、良好な動作マージンを小さい面積で実現可能となる。

【0013】

さらに、補償電圧発生回路を用いることで、MOSトランジスタの閾値電圧の製造プロセスや温度による変動を適切に補償することができ、センス時の動作マージンを一層向上させ、センスアンプ回路の動作の信頼性を高めることができる。あるいは、チップ内のばらつき許容範囲を拡大することができるので、小さい容量のメモリセルを用いる大容量のDRAMに多数のセンスアンプ回路を組み込む場合、製造歩留まりの向上と製造コストの低減が可能となる。

【発明を実施するための最良の形態】

【0014】

本発明の実施形態について図面を参照しながら説明する。以下では、センスアンプ回路を備えた半導体記憶装置に対して本発明を適用した2つの実施形態について説明する。

【0015】

[基本原理]

本実施形態のセンスアンプ回路に関し、基本的な動作原理について図1及び図2を参照して説明する。一般に、センスアンプ回路の基本的な動作モードとして、電荷転送モード（チャージトランスファモード）と電荷分配モード（チャージシェアモード）を想定することができる。図1は、電荷転送モード及び電荷分配モードで動作するセンスアンプ回路の入力側の構成を模式的に示す図である。図1においては、N型の選択トランジスタQ0及びキャパシタCsからなるメモリセルMCと、2つのN型のMOSトランジスタQg、Qpからなるセンスアンプ回路が示されている。

【0016】

選択トランジスタQ0は、ソースがビット線BLに接続され、ゲートがワード線WLに接続される。また、選択トランジスタQ0のドレインとグランド電位の間にキャパシタCsが接続される。電荷転送ゲートとして機能するMOSトランジスタQgは、ビット線BLとセンスノードNsとの間に接続されている。ビット線電位供給用のMOSトランジスタQpは、電源電圧VDDとセンスノードNsとの間に接続されている。MOSトランジスタQgのゲートには制御電圧Vgが印加され、MOSトランジスタQpのゲートには制御信号SETが印加されている。図1には、ビット線BLに形成されるビット線容量Cbと、センスノードNsに形成される容量Caと、ビット線BLの電位Vbと、センスノードNsの電位Vaをそれぞれ示している。このうち、ビット線容量Cb及びセンスノードNsの容量Caは、配線の寄生容量、トランジスタ等の入力容量、メモリセルMCの接続数などに依存して定まる。

【0017】

メモリセルMCの読み出し動作に先立って、ビット線電位供給用のMOSトランジスタQpの動作により、センスノードNsが電源電圧VDDに設定される。このとき、ビット線BLは、MOSトランジスタQgを介して、制御電圧VgとMOSトランジスタQgの閾値電圧Vt1に基づき、 $Vb = Vg - Vt1$ となる電位Vb（本発明の所定電位）が供

10

20

30

40

50

給される。

【0018】

その後、MOSトランジスタQ_pがオフし、続いてワード線WLが駆動されて選択トランジスタQ₀がオンする。これにより、センスアンプ回路によるセンス動作が開始される。このときのメモリセルMCの電荷蓄積ノードN₀の電圧をV_sとすると、V_s、V_b、V_{DD}の各値の関係に応じて、次の3つの動作に分けることができる。

- (1) MOSトランジスタQ_gがオフを保持
- (2) MOSトランジスタQ_gを通して上述の電荷転送モードで電荷が移動
- (3) MOSトランジスタQ_gを通して上述の電荷分配モードで電荷が移動

【0019】

ここで、上記の動作(2)と動作(3)の境界(変化点)となる電位V_bをV_cと定義する。この電圧V_cを用いると、上記動作を完了した後のセンスノードN_sの電位V_aは、動作(1)、(2)、(3)に対応して、それぞれ以下の(式1)、(式2)、(式3)のように表現される。

$$(式1) \quad V_b \leq V_s \quad : \quad V_a = V_{DD}$$

$$(式2) \quad V_s < V_b \leq V_c \quad : \quad V_a = V_{DD} + (C_s / C_a) V_s - (C_s / C_a) V_b$$

$$(式3) \quad V_c < V_b \quad : \quad V_a = (C_s V_s + C_a V_{DD}) / (C_s + C_b + C_a) + (C_b / (C_s + C_b + C_a)) V_b$$

ただし、電圧V_cは次式で算出される。

$$V_c = ((C_s + C_b) C_a V_{DD}) / (C_s (C_s + C_b + C_a) + C_b C_a) + (C_s + C_b) C_s V_s$$

【0020】

例えば、図23に示す従来のセンスアンプは、主に上記式(2)の電荷転送モードにより動作させるものであるが、図1に示すセンスアンプ回路は、電荷転送モードと電荷分配モードとを制御しつつ動作させるものである。

【0021】

次に図2は、本実施形態において、電荷分配モードで動作するセンスアンプ回路の入力側の構成を模式的に示す図である。図2においては、図1と同様のメモリセルMC、N型のMOSトランジスタQ_g、Q_pに加えて、ビット線BLとグランド電位の間に接続されたN型のMOSトランジスタQ_bが設けられている。MOSトランジスタQ_bは、ゲートに印加されたプリチャージ信号PC₀に応じて、ビット線BLをグランド電位に設定する。なお、MOSトランジスタQ_pのゲートには、プリチャージ信号PC₁が印加されるものとする。それ以外の構成については、図1と共通するので説明を省略する。

【0022】

プリチャージ動作時には、MOSトランジスタQ_gがオフ状態となるように制御される。この場合、ビット線BLはMOSトランジスタQ_bの動作により、グランド電位にプリチャージされ、センスノードN_sはMOSトランジスタQ_pの動作により、電源電圧V_{DD}にプリチャージされる。プリチャージ動作を終了してMOSトランジスタQ_p、Q_bをそれぞれオフ状態とした後、ワード線WLを駆動して選択トランジスタQ₀をオンする。これにより、センスアンプ回路によるセンス動作が開始される。ここで、メモリセルMCの上述の電圧V_sと、メモリセルMCの電荷がビット線BLに読み出されて電荷分配が完了したときのビット線BLの電位V_bとの関係は、

$$V_b = (C_s / (C_s + C_b)) V_s$$

と表される。この時点で、MOSトランジスタQ_gはオフ状態を保っている。そして、電荷分配モードによる動作が開始し、MOSトランジスタQ_gのゲートに制御電圧V_gが印加される、ここでMOSトランジスタQ_gの閾値電圧V_{t1}を用いて、電圧V_xを次式で定義する。

$$V_x = V_g - V_{t1}$$

この場合、V_b、V_x、V_{DD}の各値の関係に応じて、上述した3つの動作(1)、(

10

20

30

40

50

2)、(3)に分けることができる。そして、動作(2)と動作(3)の境界となる上記電圧 V_c は、

$$V_c = (C_s V_s + C_a V_{DD}) / (C_s + C_b + C_a)$$

と表される。これにより、電荷分配モードによる動作を完了した後のセンスノード N_s の電位 V_a は、動作(1)、(2)、(3)に対応して、それぞれ以下に示す(式1')、(式2')、(式3')のように表現される。

$$(式1') \quad V_x \leq V_b \quad : \quad V_a = V_{DD}$$

$$(式2') \quad V_b < V_x \leq V_c \quad : \quad V_a = V_{DD} + (C_s / C_a) V_s - ((C_s + C_b) / C_a) V_x$$

$$(式3') \quad V_c < V_x$$

$$: \quad V_a = (C_s V_s + C_a V_{DD}) / (C_s + C_b + C_a)$$

【0023】

本実施形態のセンスアンプ回路では、後述するように制御電圧 V_g を適切に設定することにより、メモリセル MC からハイ情報を読み出した場合は(式1')に従って動作させ、メモリセル MC からロー情報を読み出した場合は(式3')に従って動作させる。本実施形態のセンスアンプ回路は、このように電荷転送モードをあまり用いることなく、主に電荷分配モードで動作するように制御されるので、電荷分配制御型センスアンプ回路と呼ぶことができる。

【0024】

[第1実施形態]

以下、本発明の第1実施形態について説明する。第1実施形態では、階層化されたメモリセルアレイが構成され、ビット線とセンスアンプ回路がともに階層化された $DRAM$ に対し、シングルエンド型の電荷分配制御型センスアンプ回路を適用したものである。図3は、第1実施形態の $DRAM$ のうちセンス系の回路構成の一例を示す図であり、メモリセル MC と、階層化されたビット線としてのローカルビット線 LBL (本発明のビット線)及びグローバルビット線 GBL と、上述の電荷分配制御型センスアンプ回路としてのローカルセンスアンプ10と、グローバルセンスアンプ11とが示されている。

【0025】

メモリセル MC は、 N 型の選択トランジスタ Q_0 と、情報を電荷として保持するキャパシタ C_s とから構成される $1T1C$ 型の $DRAM$ メモリセルである。選択トランジスタ Q_0 は、ソースがローカルビット線 LBL に接続され、ゲートがワード線 WL に接続されている。キャパシタ C_s は、選択トランジスタ Q_0 のドレインとセルプレート電位 V_{PLT} との間に接続されている。図2では、1つのメモリセル MC を示しているが、実際には複数のワード線 WL と複数のローカルビット線 LBL の各交点に配置された多数のメモリセル MC が設けられている。第1実施形態では、例えば、1本のローカルビット線 LBL に32個のメモリセル MC が接続されることを想定する。この場合、1本のローカルビット線 LBL に形成されるビット線容量 C_b は、例えば3fFとなる。

【0026】

メモリセル MC が接続されたローカルビット線 LBL は、ローカルセンスアンプ10を介して選択的にグローバルビット線 GBL に接続され、さらに対応するグローバルセンスアンプ11に伝送される。また、図3では一部のみが図示されるが、第1実施形態においては、各々のローカルセンスアンプ10を両側のローカルビット線 LBL が共有するとともに、各々のグローバルセンスアンプ11を両側のグローバルビット線 GBL が共有する構成が採用される。これにより、ローカルセンスアンプ10とグローバルセンスアンプ11の個数を減らしてチップ面積の削減が可能となる。

【0027】

ローカルセンスアンプ10は、7つの N 型の MOS トランジスタ Q_1 、 Q_2 、 Q_3 、 Q_4 、 Q_5 、 Q_6 、 Q_7 から構成されている。電荷転送ゲートとして機能する MOS トランジスタ Q_1 (本発明の第1の MOS トランジスタ)は、ローカルビット線 LBL とローカルセンスアンプ10内のセンスノード N_s との間に接続され、ゲートに制御信号 CTL が

10

20

30

40

50

印加されている。図2のMOSトランジスタQbに対応するMOSトランジスタQ2（本発明の第1の電位設定回路）は、ローカルビット線LBLとグラウンド電位の間に接続され、ゲートにプリチャージ信号PCL（本発明の第1の制御信号）が印加されている。増幅素子として機能するMOSトランジスタQ3（本発明の第2のMOSトランジスタ）は、ゲートがセンスノードNsに接続され、ローカルビット線LBLからMOSトランジスタQ1を介して伝送された信号をセンス・増幅してドレイン電流に変換する。

【0028】

読み出し制御用のMOSトランジスタQ4は、ゲートに印加される制御信号RTに応じて、グローバルビット線GBLとMOSトランジスタQ3のドレインとの接続を制御する。書き込み制御用のMOSトランジスタQ5（本発明の第2の電位設定回路）は、ゲートに印加される制御信号WT（本発明の第2の制御信号）に応じて、グローバルビット線GBLとセンスノードNsとの間の接続を制御する。

【0029】

1つのローカルセンスアンプ10は2本のローカルビット線LBLに共有されるので、一方の側のローカルビット線に接続されるMOSトランジスタQ1、Q2に加えて、他方の側のローカルビット線LBL（ノードN10）に接続されるMOSトランジスタQ6、Q7が設けられている。MOSトランジスタQ1に対応するMOSトランジスタQ6のゲートには制御信号CTRが印加され、MOSトランジスタQ2に対応するMOSトランジスタQ7のゲートにはプリチャージ信号PCRが印加されている。両側のローカルビット線LBLといずれかとローカルセンスアンプ10を選択的に接続することができる。なお、ローカルセンスアンプ10には、両側の2本ローカルビット線LBLを介して、全部で64個のメモリセルMCが接続されることになる。

【0030】

また、1本のグローバルビット線GBLには、例えば、8個のローカルセンスアンプ10が接続されるものとする。この場合、1本のグローバルビット線GBLには、合計で512個のメモリセルMCを選択的に接続可能となる。各々のグローバルビット線GBLには、寄生容量Cgbが形成されている。グローバルセンスアンプ11の両側には、一方のグローバルビット線GBLとの間の接続を制御するMOSトランジスタQ8と、他方のグローバルビット線GBLとの間の接続を制御するMOSトランジスタQ9が設けられている。そして、MOSトランジスタQ8のゲートに印加される制御信号SHLと、MOSトランジスタQ9のゲートに印加される制御信号SHRにより、両側のグローバルビット線GBLのいずれかとグローバルセンスアンプ11を選択的に接続することができる。

【0031】

図4は、図3のグローバルセンスアンプ11の回路構成の一例を示している。図4に示すように、グローバルセンスアンプ11には、3個のP型のMOSトランジスタQ10、Q13、Q15と8個のN型のMOSトランジスタQ11、Q12、Q14、Q16～Q20を含んで構成される。電源電圧VDDとノードN12の間には、プリチャージ用のMOSトランジスタQ10が接続されている。MOSトランジスタQ10は、ゲートに印加される反転プリチャージ信号／PCがローのときにノードN12を電源電圧VDDにプリチャージする。MOSトランジスタQ11は、ゲートに印加されるラッチ制御信号LTCに応じて、ノードN12とノードN2との間の接続を制御する。また、MOSトランジスタQ12は、ゲートに印加される制御信号RESに応じて、ノードN12とノードN3との間の接続を制御する。

【0032】

信号電圧判定ラッチ11aは、4つのMOSトランジスタQ13～Q16から構成され、ローカルセンスアンプ10からノードN12に伝送された信号電位を2値で判定してラッチする。信号電圧判定ラッチ11aにおいて、それぞれゲートがノードN2に接続される一対のMOSトランジスタQ13、Q14により、比較的駆動力の大きなセンス用インバータが構成される。同様に、それぞれゲートがノードN3に接続される一対のMOSトランジスタQ15、Q16により、比較的駆動力の小さなラッチ用インバータが構成され

る。

【0033】

読み出し信号線／RDLとグラウンドの間には、読み出し回路としての2つのMOSトランジスタQ17、Q18が直列接続され、信号電圧判定ラッチ11aの出力信号SD（ノードN3）がMOSトランジスタQ17のゲートに入力される。書き込み信号線／WDLとノードN2の間には、書き込み回路としての2つのMOSトランジスタQ19、Q20が直列接続され、MOSトランジスタQ19のゲートに書き込みイネーブル信号WEが入力される。MOSトランジスタQ18、Q20の各ゲートには、センスアンプ選択信号YSが共通に入力される。

【0034】

読み出し動作時は、ラッチ制御信号LTCがハイ、かつセンスアンプ選択信号YSがハイになり、センス用インバータの出力信号SDが読み出し信号線／RDLに出力される。このとき、ノードN3に現れる出力信号SDは、ノードN12の論理値を反転した電圧となっている。また、読み出し動作後のメモリセルMCのデータの破壊を回避するための再書き込み動作時は、ラッチ制御信号LTCがロー、制御信号RESがハイとなり、出力信号SDはMOSトランジスタQ12を介してノードN12に出力される。

【0035】

一方、書き込み動作時は、センスアンプ選択信号YSがハイ、書き込みイネーブル信号WEがハイになり、書き込み信号線／WDLから書き込みデータが入力される。この書き込みデータは、上述のセンス用インバータにより反転され、MOSトランジスタQ12を介してノードN12に出力される。

【0036】

次に、第1実施形態のセンスアンプ回路の増幅動作について、図5を用いて説明する。図5は、第1実施形態のセンスアンプ回路の増幅動作を説明するために、2通りの容量の条件に対応する2つのグラフを示している。各グラフにおいて電源電圧VDD=1Vを想定し、特性W1(H)はメモリセルMCからハイ情報を読み出すときの特性であり(Vs=1V)、特性W1(L)は、メモリセルMCからロー情報を読み出すときの特性である(Vs=0V)。なお、電圧Vsは、キャパシタCsの電荷蓄積ノードN0(図2)の電圧である。また、ビット線容量Cbと、メモリセルMCのキャパシタCsの容量(以下、単に容量Csと呼ぶ)と、センスノードNsの容量Caに関し、図5(a)では、Cb=3fF、Cs=5fF、Ca=2fFに設定され、図5(b)は、Cb=3fF、Cs=2fF、Ca=1fFに設定されとする。

【0037】

図5において、MOSトランジスタQ3の閾値電圧のばらつき範囲が、例えば、0.3~0.8Vとなっている。よって、ハイ情報の読み出し時の特性W1(H)は、MOSトランジスタQ3がオンを保持するように、縦軸の電位Vaが1Vで推移する動作領域が用いられる。この動作領域では、上述の(式1')に従って電位Vaが1Vを保っている。一方、ロー情報の読み出し時の特性W1(L)は、MOSトランジスタQ3がオフするように、例えば、電位Vaが0.3V以下の動作領域が用いられる。このとき、特性W1(L)では、横軸の電圧Vxが0を超えると電位Vaが急峻に変化して変化点P1に達し、変化点P1を超える領域では上述の(式3')に示すように電界分配モードに従って動作する。各グラフにおいて、特性W1(H)と特性W1(L)との電圧差により信号電圧の読み出し可能な範囲が定まる。

【0038】

図5には、ローカルセンスアンプ10における閾値電圧のばらつき許容範囲Rvt1の設定例を重ねて示している。ばらつき許容範囲Rvt1の縦軸方向の幅は、MOSトランジスタQ3の閾値電圧Vt3のばらつき許容範囲を表し、ばらつき許容範囲Rvt1の横軸方向の幅は、MOSトランジスタQ1の閾値電圧Vt1のばらつき許容範囲を表している。なお、電圧Vxは、MOSトランジスタQ1の一定の制御電圧Vgから、MOSトランジスタQ1の閾値電圧Vt1だけ低い電圧に設定される。このように、ばらつき許容範囲

10

20

30

40

50

囲 R_{vt1} が全体的に特性 $W1(H)$ 、 $W1(L)$ に囲まれた範囲内に存在することが、ローカルセンスアンプ 10 による安定な増幅動作の条件となる。この場合、特性 $W1(H)$ 、 $W1(L)$ に囲まれた範囲内でばらつき許容範囲 R_{vt1} を大きく確保できれば、ローカルセンスアンプ 10 の動作マージンを大きくでき、その増幅動作の信頼性が向上する。

【0039】

ここで、図 5 に対する比較例として、従来のセンスアンプ回路（図 23）の増幅動作に対応する 2 通りのグラフを図 6 及び図 7 に示す。図 6 及び図 7 の各々においては、電源電圧 V_{DD} の 3 V までの動作を想定し、 $V_{DD} = 3V$ 、 $2V$ 、 $1V$ の場合の 3 通りについて、それぞれハイ情報とロー情報を読み出す場合の特性を示している。また、図 6 では、図 5 (a) に対応して $C_s = 5fF$ に設定され、図 7 では、図 5 (b) に対応して $C_s = 2fF$ に設定されとする。図 6 及び図 7 においては、ともに $C_b = 50fF$ 、 $C_a = 10fF$ に設定されとする。図 6 においては、特性 W 、変化点 P 、横軸方向及び縦軸方向の各許容範囲 X 、 Y のそれぞれに対し、カッコ書きにて V_{DD} の値 (3、2、1) とハイ情報 (H) / ロー情報 (L) を付加して表している。図 7 においても、特性 W' 、変化点 P' 、横軸方向及び縦軸方向の各許容範囲 X' 、 Y' のそれぞれに対し、同様に表している。ここで X 及び X' は電位 V_b の設定値の許容範囲を、 Y 及び Y' は許容範囲 X 及び X' におけるハイ情報とロー情報の読み出し信号電圧の差を示している。

【0040】

従来のセンスアンプ回路では、電源電圧 $V_{DD} = 3V$ 、 $2V$ の場合、変化点 P 、 P' の位置が右側にシフトしていることがわかる。この場合、 $C_s = 5fF$ の図 6 に比べ、メモリセル MC を低容量化した $C_s = 2fF$ の図 7 は、読み出し電圧の信号差が小さくなっている。また、図 6 及び図 7 から明らかなように、 $V_{DD} = 1V$ の条件では、上述の許容範囲 X 、 Y を確保することが困難であり、かかる低電圧動作で従来のセンスアンプ回路を用いることは困難である。このように、特に $V_{DD} = 1V$ の低電圧動作の条件下で、上述の図 5 の場合において、図 6 及び図 7 の動作と比べたときに動作マージンが大幅に向上する点で顕著な相違がある。これは、主にシングルエンド型のローカルセンスアンプ 10 を採用したことにより、センスノード N_s の容量 C_a を減少することによる効果である。

【0041】

次に、第 1 実施形態の $DRAM$ における読み出し動作について図 8 及び図 9 を参照して説明する。図 8 は、メモリセル MC からハイ情報を読み出す場合の動作波形を示す図であり、図 9 は、メモリセル MC からロー情報を読み出す場合の動作波形を示す図である。図 8 及び図 9 の上部に示すように、全体動作を 6 つの期間 ($T_1 \sim T_6$) に細分化して示している。

【0042】

図 8 に示すように、ハイ情報の読み出し動作では、プリチャージ解除期間 T_1 の前の時点でローカルビット線 LBL はグラウンド電位 $V_{SS} (0V)$ にプリチャージされており、センスノード N_s 及びグローバルビット線 GBL は電源電圧 V_{DD} にプリチャージされている。このとき、プリチャージ信号 PC_L とラッチ制御信号 LT_C はそれぞれハイを保ち、反転プリチャージ信号 / PC と各制御信号 CTL 、 RT 、 RES はそれぞれローを保っている。また、各制御信号 WT 、 SHR は、電源電圧 V_{DD} より高い正電圧 V_{PP} を保ち、ワード線 WL の電位は、グラウンド電位 V_{SS} より低い負電圧 V_{KK} を保っている。

【0043】

プリチャージ解除期間 T_1 において、プリチャージ信号 PC_L がローに制御され、 MOS トランジスタ Q_2 がオフし、左側のローカルビット線 LBL がグラウンド電位 V_{SS} にプリチャージされた状態でフローティングとなる。このとき、非選択側の右側のローカルビット線 LBL は、 MOS トランジスタ Q_7 を介してグラウンド電位 V_{SS} にプリチャージされた状態を保持する。また、制御信号 WT がローに制御され、 MOS トランジスタ Q_5 がオフし、センスノード N_s が電源電圧 V_{DD} にプリチャージされた状態でフローティングとなる。このとき、制御信号 SHR がローに制御されて、非選択側のグローバルビット線

G B Lがグローバルセンスアンプ11から切り離される。なお、非選択側のグローバルセンスアンプ11については、図8には示されないが、プリチャージ信号P C L、P C Rがハイ、制御信号C T L、C T R、R Tがローの状態を保ち、ワード線W Lの電位が正電圧V P Pを保っている。

【0044】

セル選択期間T2において、ワード線W Lが負電圧V K Kから正電圧V P Pに駆動され、これによりハイ情報を保持するメモリセルM Cの信号電圧がローカルビット線L B Lに読み出される。これにより、ローカルビット線L B Lは電位V bに上昇する。

【0045】

電荷分配期間T3において、制御信号C T Lが制御電圧V gに制御される。このとき、 $V_x = V_g - V_{t1}$ で与えられる電圧V xがローカルビット線L B Lの電位V bより低くなっているので、M O SトランジスタQ 1はオフの状態に保たれ、センスノードN sが電源電圧V D Dを維持する。

【0046】

センス期間T4において、制御信号R Tがハイに制御され、その状態を一定期間保持する。このとき、センスノードN sは、M O SトランジスタQ 3の閾値電圧のばらつき許容範囲R v tの上限より高い電位にあるため、M O SトランジスタQ 3には大きなドレイン電流が流れる。従って、グローバルビット線G B Lの寄生容量C g bに充電された電荷がM O SトランジスタQ 3により短時間で引き抜かれることになり、グローバルビット線G B Lが急速に放電されて、その電位が電源電圧V D Dからグランド電位V S Sに変化する。センス期間T4の終了時点で、グローバルビット線G B Lの電位がグランド電位V S Sとなり、その電位がグローバルセンスアンプ11の信号電圧判定ラッチ11aで反転され、出力信号S Dが電源電圧V D Dに変化する。その後、ラッチ制御信号L T Cがローに制御され、センス期間T4が終了する。

【0047】

なお、M O SトランジスタQ 3の閾値電圧のばらつき許容範囲R v tは、トランジスタ形成時の寸法の微細なばらつきやゲート絶縁膜厚のばらつき、あるいはチャネル不純物分布のランダムなゆらぎや温度などに依存して、全体的なばらつきが分布する範囲に依存して定まる。

【0048】

続いてリストア期間T5において、制御信号R E Sが正電圧V P Pに制御され、グローバルセンスアンプ11の出力信号S DがM O SトランジスタQ 12を介してグローバルビット線G B Lに出力され、グローバルビット線G B Lの電位が電源電圧V D Dに変化する。次いで制御信号W Tが再び正電圧V P Pに制御され、グローバルビット線G B LがM O SトランジスタQ 5を介してセンスノードN sに接続される。そして、ほぼ同じタイミングで、制御電圧V gを保持する制御信号C T Lが正電圧V P Pに制御され、ローカルビット線L B LがM O SトランジスタQ 1を介してセンスノードN sに接続される。これにより、メモリセルM Cにハイ情報が再書き込みされる。

【0049】

プリチャージ期間T6において、ワード線W Lが負電圧V K Kに戻される。続いて、各制御信号C T L、R E Sがローに制御され、ラッチ制御信号L T Cがハイに制御される。続いて、プリチャージ信号P C Lがハイ、かつ反転プリチャージ信号／P Cがローにそれぞれ制御され、ローカルビット線L B Lがグランド電位V S Sにプリチャージされるとともに、センスノードN s及びグローバルビット線G B Lが電源電圧V D Dにプリチャージされる。これにより、信号電圧判定ラッチ11aの出力信号S Dがローに変化する。最後に、制御信号S H Rが正電圧V P Pに制御され、読み出し動作が完了する。

【0050】

次に図9に示すように、ロー情報の読み出し動作において、プリチャージ解除期間T1までの動作は図8と同様になる。続くセル選択期間T2において、ワード線W Lが負電圧V K Kから正電圧V P Pに駆動され、ロー情報を保持するメモリセルM Cから信号電圧が

10

20

30

40

50

ローカルビット線 L B L に読み出さる。このとき、ローカルビット線 L B L の電位 V_b はグラウンド電位に維持される。

【0051】

電荷分配期間 T 3 において、制御信号 C T L が制御電圧 V_g に制御される。このとき、上述の電圧 V_x が電圧 V_c より高い電圧にあるので、M O S トランジスタ Q 1 がオンし、(式 3') に示すように電荷分配モードで動作する。これにより、ローカルビット線 L B L とセンスノード N s が同電位となって、 $V_a = V_c$ となる。

【0052】

センス期間 T 4 において、制御信号 R T がハイに制御され、その状態を一定期間保持する。このとき、センスノード N s が M O S トランジスタ Q 3 の閾値電圧 V_t のばらつき許容範囲 $R_v t$ の下限より低い電位にあるため、M O S トランジスタ Q 3 にはドレイン電流が流れない。よって、グローバルビット線 G B L の電位は電源電圧 V D D を保持する。センス期間 T 4 の終了時点でグローバルビット線 G B L の電位が電源電圧 V D D となり、その電位がグローバルセンスアンプ 1 1 の信号電圧判定ラッチ 1 1 a で反転され、出力信号 S D がグラウンド電位 V S S を保つ。その後、ラッチ制御信号 L T C がローに制御され、センス期間 T 4 が終了する。

【0053】

リストア期間 T 5 において、制御信号 R E S が正電圧 V P P に制御され、グローバルセンスアンプ 1 1 の出力信号 S D が M O S トランジスタ Q 1 2 を介してグローバルビット線 G B L に出力され、グローバルビット線 G B L の電位がグラウンド電位 V S S に変化する。次いで制御信号 W T が再び正電圧 V P P に制御され、グローバルビット線 G B L が M O S トランジスタ Q 5 を介してセンスノード N s に接続される。そして、ほぼ同じタイミングで、制御電圧 V_g を保持する制御信号 C T L が正電圧 V P P に制御され、ローカルビット線 L B L が M O S トランジスタ Q 1 を介してセンスノード N s に接続される。これにより、メモリセル M C にロー情報が再書き込みされる。

【0054】

プリチャージ期間 T 6 において、ワード線 W L が負電圧 V K K に戻される。続いて、各制御信号 C T L、R E S がローに制御され、ラッチ制御信号 L T C がハイに制御される。続いて、プリチャージ信号 P C L がハイ、かつ反転プリチャージ信号 / P C がローにそれぞれ制御され、ローカルビット線 L B L がグラウンド電位 V S S にプリチャージされるとともに、センスノード N s 及びグローバルビット線 G B L が電源電圧 V D D にプリチャージされる。最後に、制御信号 S H R が正電圧 V P P に制御され、読み出し動作が完了する。

【0055】

次に、第 1 実施形態の変形例について説明する。図 1 0 は、第 2 実施形態の変形例として、ローカルセンスアンプ 1 0 の一部を変更した場合の構成である。すなわち、図 1 0 においては、図 3 と同様の回路構成において、ローカルセンスアンプ 1 0 のセンスノード N s と電源 V P C との間に M O S トランジスタ Q 3 0 が設けられ、電源 V P C がグラウンド電位及び所定の電位とに駆動される。この所定の電位は、例えば、1.5 V に設定される。なお、図 1 0 の他の回路部分は図 3 と共通であるため、説明を省略する。

【0056】

図 1 1 は、本変形例のセンスアンプ回路の増幅動作を説明するために、図 5 と同様の 2 つのグラフを示している。各グラフにおいて電源電圧 V D D = 1 V である点は図 5 と共通であるが、さらに上記の電圧 V P C = 1.5 V に設定するとともに、図 1 1 (a) では、 $C_b = 13 \text{ fF}$ 、 $C_s = 10 \text{ fF}$ 、 $C_a = 2 \text{ fF}$ に設定され、図 1 1 (b) では、 $C_b = 13 \text{ fF}$ 、 $C_s = 20 \text{ fF}$ 、 $C_a = 2 \text{ fF}$ に設定されとする。この場合、図 1 1 (a) の特性 $W_2(H)$ 、 $W_2(L)$ と、図 1 1 (b) の特性 $W_2(H)$ 、 $W_2(L)$ が得られ、上記のパラメータの相違を反映して、電圧 V_x と電位 V_a の関係は図 5 とは異なっている。また、図 1 1 において、ばらつき許容範囲 $R_v t_2$ は、比較的広い範囲に分布することがわかる。

【0057】

図12及び図13は、本変形例のDRAMにおける読み出し動作を説明する図であり、図8及び図9に対応する動作波形を示している。図12及び図13の動作波形の多くは図8及び図9と共通するので、以下では相違点のみを説明する。本変形例では、プリチャージ動作時に、プリチャージ信号PCがハイに制御され、MOSトランジスタQ30を介してセンスノードNsが電圧VPCの電位まで上昇する。図12及び図13に示すように、センスノードNsの電位Vaが上昇する結果、閾値電圧Vt2のばらつき許容範囲Rvtが拡大するという効果がある。

【0058】

[第2実施形態]

次に、本発明の第2実施形態について説明する。第2実施形態のDRAMは、第1実施形態と同様、ビット線とセンスアンプ回路が階層化され、概ね第1実施形態と同様に構成されるが、一部の電源系の構成が変更されている。第2実施形態では、MOSトランジスタQ1の閾値電圧Vt1の変動を補償した補償電圧発生回路と、MOSトランジスタQ3の閾値電圧Vt3の変動を補償した補償電圧発生回路を採用している。これらの具体的な構成については後述する。

【0059】

図14は、第2実施形態のDRAMのうちセンス系の回路構成の一例を示す図であり、第1実施形態の図3に対応する図である。また、図15は、図14のグローバルセンスアンプ11の回路構成の一例を示す図である。図14及び図15の基本的な回路構成は、第1実施形態の図3及び図4と概ね共通であるが、上述したように電源系の構成が異なっている。すなわち、ローカルセンスアンプ10において、MOSトランジスタQ2、Q7の各ソースに供給されるグラウンド電位が電圧VSNLに置き換えられている。また、グローバルセンスアンプ11において、MOSトランジスタQ10のソースと信号電圧判定ラッチ11aに供給される電源電圧VDDが電圧VSNHに置き換えられ、MOSトランジスタQ16のソースと信号電圧判定ラッチ11aに供給されるグラウンド電位が電圧VSNLに置き換えられている。これらの各電圧VSNH、VSNLを発生するために、後述の構成を備える補償電圧発生回路が用いられる。

【0060】

図16は、第2実施形態の上記補償電圧発生回路として機能する制御電圧発生回路の回路構成例を示す図である。この制御電圧発生回路は、MOSトランジスタQ1の閾値電圧Vt1の変動が補償された制御電圧Vgを発生するフィードバック型電圧発生回路であり、例えば、MOSトランジスタQ1のゲートに制御信号CTLのハイ電圧を印加するために用いられる。図16に示すように制御電圧発生回路は、レプリカMOSトランジスタQ1rと、定電流源40と、2つのオペアンプ41、42とを含んで構成されている。また、一対の定電圧電源として正電圧VDLと負電圧VELが用いられ、正電圧VDLがレプリカMOSトランジスタQ1rとオペアンプ41、42に供給され、負電圧VELが定電流源40の一端とオペアンプ41、42に供給される。

【0061】

図16において、レプリカMOSトランジスタQ1rは、ローカルセンスアンプ10（図3）のMOSトランジスタQ1のレプリカトランジスタとして機能し、MOSトランジスタQ1とほぼ同形状かつ同サイズとなるように形成される。レプリカMOSトランジスタQ1rには、ソースに接続された定電流源40を流れる一定の電流Ib1と等しいドレイン電流が流れる。オペアンプ41には、マイナス側入力端子にレプリカMOSトランジスタQ1rのソース電圧が抵抗を介して入力され、プラス側入力端子に電圧Vxが入力される。オペアンプ41の出力電圧は抵抗を介して、レプリカMOSトランジスタQ1rのゲートに入力される。この場合、オペアンプ41の出力電圧は、レプリカMOSトランジスタQ1rの閾値電圧Vt1に電圧Vxを加えた値に一致するようにフィードバック制御される。一方、オペアンプ41の出力電圧が入力される後段のオペアンプ42は、電流駆動能力を強化するためのボルテージフォロアを構成し、 $Vx + Vt1$ に一致する制御電圧Vgを出力する。

【0062】

図16の制御電圧発生回路から出力される制御電圧 V_g は、センス動作時にMOSトランジスタ Q_1 のゲートに印加される。図3の構成において、MOSトランジスタ Q_1 の閾値電圧 V_{t1} の変動に伴い、 $V_x = V_g - V_{t1}$ で与えられるローカルビット線LBLの電圧 V_x が変動する。一方、第2実施形態では、図16の制御電圧発生回路により、閾値電圧 V_{t1} の変動が補償された制御電圧 V_g を生成するので、製造プロセスや温度によりMOSトランジスタの閾値電圧 V_t が変動しても、電圧 V_x の値が常に一定になる。従って、図4や図9における閾値電圧のばらつき許容範囲 R_{vt} に対し、実際のばらつきを小さくできるので、センスアンプ回路の動作マージンを一層向上させることができる。図16の制御電圧発生回路を採用することで、実際に残存するばらつき要因は、MOSトランジスタ Q_1 とレプリカMOSトランジスタ Q_{1r} との特性の差に基づく限定的なものとなるため、製造プロセスや温度による変動要因を確実に補償することが可能となる。

10

【0063】

図17は、上記制御電圧発生回路により出力される制御電圧 V_g のプロセス／温度依存性の一例を示すグラフである。図17では、製造プロセスのばらつきに対応して、標準的な動作特性 $S_a(typ)$ と、高速な動作特性 $S_a(fast)$ と、低速な動作特性 $S_a(slow)$ の3通りを比較し、それぞれについて温度と制御電圧 V_g の変動量の関係をグラフにして示している。なお、縦軸の制御電圧 V_g の変動量は、製造プロセスが“typ”で温度が50℃の場合を基準として求めた値である。ここで、図17の定電流源40の電流 I_{b1} は、例えば、10nA程度の小さい値に設定することが望ましい。これは、ローカルビット線LBLを電荷分配モードで駆動するときMOSトランジスタ Q_1 を流れる電流は最終的に極めて小さい値となり、この値に電流 I_{b1} を合わせる必要があるからである。

20

【0064】

次に図18は、第2実施形態の補償電圧発生回路の他の例の構成を示すブロック図であり、例えば、図14及び図15の電圧 V_{SNH} 、 V_{SNL} 、図14のセルフプレート電位 V_{PLT} 、電圧 V_x を発生するために用いられる。図18に示すように、補償電圧発生回路は、ローカルセンスアンプ10のMOSトランジスタ Q_3 の閾値電圧 V_{t3} をモニタしてモニタ信号 S_m を生成する閾値電圧モニタ部30と、閾値電圧モニタ部30から出力されるモニタ信号 S_m を製造プロセスに応じた補正量だけシフトして補正信号 δV_t を生成するレベル補正部31と、参照電圧とレベル補正部31の補正信号 δV_t とを加算して補償電圧を生成する補償電圧加算部32とにより構成される。

30

【0065】

図19は、図18の閾値電圧モニタ部30の回路構成例を示す図である。図19に示すように閾値電圧モニタ部30は、レプリカMOSトランジスタ Q_{3r} と、定電流源43と、オペアンプ44とを含んで構成されている。MOSトランジスタ Q_{3r} は、モニタ対象であるMOSトランジスタ Q_3 のレプリカトランジスタとして機能し、MOSトランジスタ Q_3 とほぼ同形状かつ同サイズとなるように形成される。一定の電流 I_{b2} が流れる定電流源43は、図16の定電流源40と同様の接続関係となっている。オペアンプ44には、マイナス側入力端子にレプリカMOSトランジスタ Q_{3r} のソース電圧が抵抗を介して入力され、プラス側入力端子にグランド電位に接続される。オペアンプ44の出力電圧は抵抗を介して、レプリカMOSトランジスタ Q_{3r} のゲートに入力される。この場合、オペアンプ44の出力信号 S_m は、レプリカMOSトランジスタ Q_{3r} のソース電圧がグランド電位に一致するようにフィードバック制御される。従って、出力信号 S_m に基づき、グランド電位を基準としたMOSトランジスタ Q_3 の閾値電圧 V_{t3} をモニタすることができる。

40

【0066】

図20は、図18のレベル補正部31の回路構成例を示す図である。図20に示すように、レベル補正部31は、セレクタ45と、タップ選択回路46と、ローパスフィルタ47と、3つのオペアンプ48、49、50とを含んで構成されている。セレクタ45は、

50

補正量設定回路として機能し、タップ選択回路46から送られる補正量情報に基づき、正の電源電圧 V_{DL} と負の電源電圧 V_{EL} の間の多数の中間電位の中から抵抗分割により所望の電位を選択的に設定し、補正量 V_m を出力する。タップ選択回路46には、セレクタ45における中間電位の選択がプログラムされている。例えば、製造プロセスが“typ”で温度が 50°C のときに後述の補正信号 δV_t が 0V になるように補正量 V_m が設定される。このように補正量 V_m を設定すると、温度 50°C における製造プロセス変動によるMOSトランジスタQ3の閾値電圧 V_{t3} の変動が補償された補正信号 δV_t を得ることができる。補正量 V_m のプログラム手段としては、例えば、レーザヒューズ、電気ヒューズ、不揮発性メモリ素子、ワンタイムプログラマブル素子等を利用することができる。

【0067】

初段のオペアンプ48は、閾値電圧モニタ部30のモニタ信号 S_m を反転増幅し、反転モニタ信号 $-S_m$ を出力する。2段目のオペアンプ49には、反転モニタ信号 $-S_m$ がマイナス側入力端子に入力され、抵抗とキャパシタからなるローパスフィルタ47を通して平滑化された上述の補正量 V_m がプラス側入力端子のシフト電圧として入力される。図20に示すように各抵抗 R_1 、 R_2 を配置した場合、オペアンプ49から、信号 S_m に $2V_m$ が加算された信号 $S_m + 2V_m$ が出力される。3段目のオペアンプ50はボルテージフォロアを構成し、 $S_m + 2V_m$ に一致する補正信号 δV_t を出力する。

【0068】

図21は、上記レベル補正部31から出力される補正信号 δV_t のプロセス／温度依存性の一例を示すグラフである。図21では、図17と同様の3通りの動作特性 S_b をそれぞれグラフにして示している。ここで、図19の定電流源43の電流 I_{b2} は、例えば、 $1\mu\text{A}$ 程度の比較的大きい値に設定することが望ましい。これは、グローバルビット線GBLをグラウンド電位 V_{SS} に駆動するときMOSトランジスタQ3を流れる電流はある程度大きな値になるため、この値に電流 I_{b2} を合わせる必要があるからである。

【0069】

図22は、図18の補償電圧加算部32の回路構成例を示す図である。図22に示すように、補償電圧加算部32は、3つのオペアンプ51、52、53を含んで構成されている。初段のオペアンプ51は、基準電圧 V_{ref} と、レベル補正部31の補正信号 δV_t とを加算して反転増幅する。2段目のオペアンプ52は、オペアンプ51の出力をさらに反転増幅して電圧 $V_{ref} + \delta V_t$ を生成する。3段目のオペアンプ53はボルテージフォロアを構成し、電圧 $V_{ref} + \delta V_t$ を出力する。図22における基準電圧 V_{ref} としては、上述したように、電圧 V_{SNH} 、 V_{SNL} 、セルプレート電位 V_{PLT} 、電圧 V_x に対応する所定の電圧をそれぞれ用いることができる。基準電圧 V_{ref} の値は、例えば、電圧 V_{SNH} に対して 1.0V 、電圧 V_{SNL} に対して 0V 、セルプレート電位に対して 0.5V に設定される。この場合、補正信号 δV_t の値を $0 \pm 0.1\text{V}$ と仮定すると、それぞれの基準電圧 V_{ref} に対して変動成分 ± 0.1 を加えた電圧を生成し、目的の回路に供給することができる。

【0070】

以上説明したように、MOSトランジスタQ3の閾値電圧 V_{t3} の製造プロセスと温度による変動を、閾値電圧モニタ部30の動作に基づき、それぞれの電源に反映させることができる。よって、電圧 V_{SNH} 、 V_{SNL} 、セルプレート電位 V_{PLT} 、電圧 V_x のそれぞれの値は、MOSトランジスタQ3の閾値電圧 V_{t3} の変動を補償するように適切に設定可能となる。例えば、ローカルセンスアンプ10内のセンスノード N_s のプリチャージに用いる電圧 V_{SNH} は、MOSトランジスタQ3の閾値電圧 V_{t3} の上昇に追随して高くなるようにし、逆に閾値電圧 V_{t2} の低下に追随して低くなるように制御できる。また、メモリセルMCに書き込まれるハイ情報及びロー情報の電圧は、同様にMOSトランジスタQ3の閾値電圧 V_{t3} の変動に追随して、同様に高く又は低くなるように制御可能となる。さらに、電圧 V_x 、あるいは電圧 V_x を基準に生成される制御電圧 V_g についても、MOSトランジスタQ3の閾値電圧 V_{t3} の変動に追随して、同様に高く又は低くなるように制御可能となる。その結果、MOSトランジスタQ3の閾値電圧 V_{t3} の変動と

10

20

30

40

50

同じだけセンス系全体の各電圧が変動することになるので、上述の閾値電圧のばらつき許容範囲 R_{vt} に対して実際のばらつきを減少させ、センスアンプ回路の動作マージンを一層向上させることができる。

【0071】

以上、本実施形態に基づいて本発明の内容を具体的に説明したが、本発明は上述の実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々の変更を施すことができる。例えば、上記実施形態においては、7つのMOSトランジスタから構成されるローカルセンスアンプ10（センスアンプ回路）について説明したが、電荷転送ゲートとして機能する第1のMOSトランジスタと、第1のMOSトランジスタを介して信号電圧を増幅する第2のMOSトランジスタと、ビット線を第1の電位に設定する第1の電位設定回路と、センスノードを第2の電位に設定する第2の電位設定回路を備えていれば、他の構成要素については特に制約されることなく、多様なセンスアンプ回路に対して広く本発明を適用することができる。

【図面の簡単な説明】

【0072】

【図1】本実施形態のセンスアンプ回路に関し、基本的な動作原理を説明する図である。

【図2】本実施形態において電荷分配型モードで動作するセンスアンプ回路に関し、基本的な動作原理を説明する図である。

【図3】第1実施形態のDRAMのうちセンス系の回路構成の一例を示す図である。

【図4】図3のグローバルセンスアンプの回路構成の一例を示す図である。

【図5】第1実施形態のセンスアンプ回路の増幅動作について説明する図である。

【図6】従来のセンスアンプ回路の増幅動作に対応する第1の比較例を示す図である。

【図7】従来のセンスアンプ回路の増幅動作に対応する第2の比較例を示す図である。

【図8】第1実施形態のDRAMにおける読み出し動作を説明する図であり、メモリセルからハイ情報を読み出す場合の動作波形を示す図である。

【図9】第1実施形態のDRAMにおける読み出し動作を説明する図であり、メモリセルからロー情報を読み出す場合の動作波形を示す図である。

【図10】第1実施形態の変形例にDRAMのうちセンス系の回路構成の一例を示す図である。

【図11】第1実施形態の変形例に係るセンスアンプ回路の増幅動作を説明する図である。

【図12】第1実施形態の変形例に係るDRAMにおける読み出し動作を説明する図であり、メモリセルからハイ情報を読み出す場合の動作波形を示す図である。

【図13】第1実施形態の変形例に係るDRAMにおける読み出し動作を説明する図であり、メモリセルからロー情報を読み出す場合の動作波形を示す図である。

【図14】第2実施形態のDRAMのうちセンス系の回路構成の一例を示す図である。

【図15】図14のグローバルセンスアンプの回路構成の一例を示す図である。

【図16】第2実施形態の補償電圧発生回路として機能する制御電圧発生回路の回路構成例を示す図である。

【図17】図17の制御電圧発生回路により出力される制御電圧 V_g のプロセス／温度依存性の一例を示すグラフである。

【図18】第2実施形態の補償電圧発生回路の他の例の構成を示すブロック図である。

【図19】図18の閾値電圧モニタ部の回路構成例を示す図である。

【図20】図18のレベル補正部の回路構成例を示す図である。

【図21】図20のレベル補正部から出力される補正信号 δV_t のプロセス／温度依存性の一例を示すグラフである。

【図22】図18の補償電圧加算部の回路構成例を示す図である。

【図23】従来の典型的な電荷転送型のセンスアンプ回路の構成例を示す図である。

【符号の説明】

【0073】

10

20

30

40

50

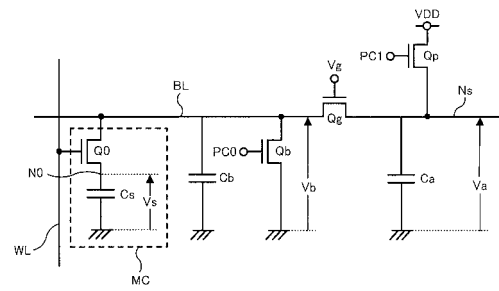
1 0 …ローカルセンスアンプ
 1 1 …グローバルセンスアンプ
 1 1 a …信号電圧判定ラッチ
 3 0 …閾値電圧モニタ部
 3 1 …レベル補正部
 3 2 …補償電圧加算部
 4 0、4 3 …定電流源
 4 1、4 2、4 4、4 8、4 9、5 0、5 1、5 2、5 3 …オペアンプ
 4 5 …セレクタ
 4 6 …タップ選択回路
 4 7 …ローパスフィルタ
 W L …ワード線
 B L …ビット線
 G B L …グローバルビット線
 L B L …ローカルビット線
 M C …メモリセル
 Q 0 …選択トランジスタ
 C s …キャパシタ
 Q 1 ~ Q 2 0、Q 3 0、Q g、Q p …M O S トランジスタ
 Q 1 r、Q 3 r …レプリカM O S トランジスタ
 P C、P C R、P C L …プリチャージ信号
 / P C …反転プリチャージ信号
 S E T、R T、W T、R E S、C T L、C T R、S H L、S H R …制御信号
 W E …書き込みイネーブル信号
 L T C …ラッチ制御信号
 S D …出力信号
 Y S …センスアンプ選択信号
 / R D L …読み出し信号線
 / W D L …書き込み信号線
 V a …センスノードの電位
 V b …ビット線の電位
 V g …制御電圧
 V D D …電源電圧
 V S S …グラウンド電位
 V P L T …セルプレート電位
 N s …センスノード
 N 0、N 1、N 2、N 3、N 1 0、N 1 1、N 1 2 …ノード

10

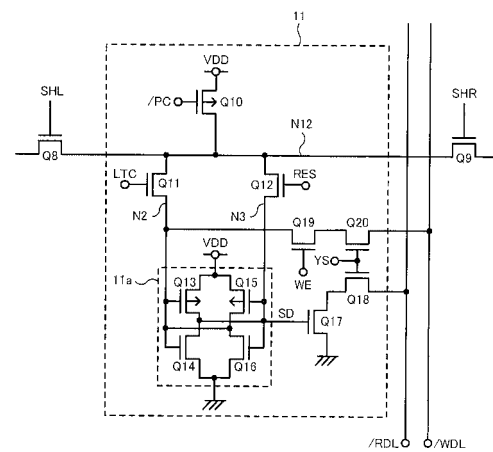
20

30

【図 2】

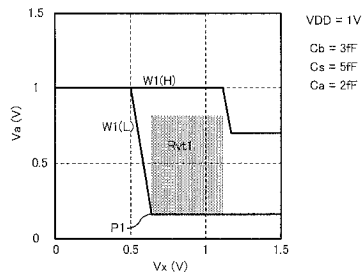


【 図 4 】

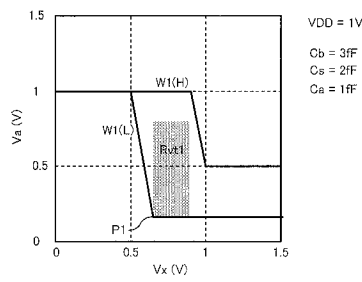


【図 5】

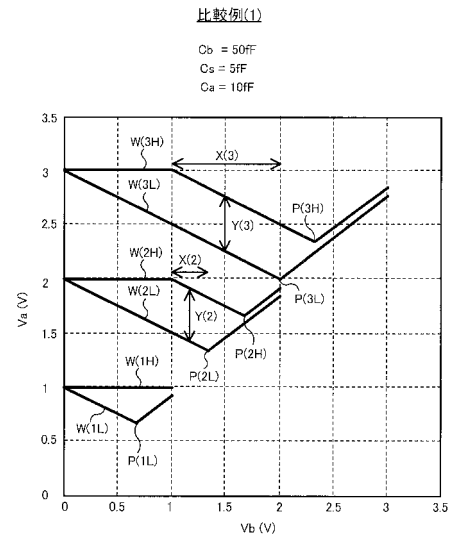
(a)



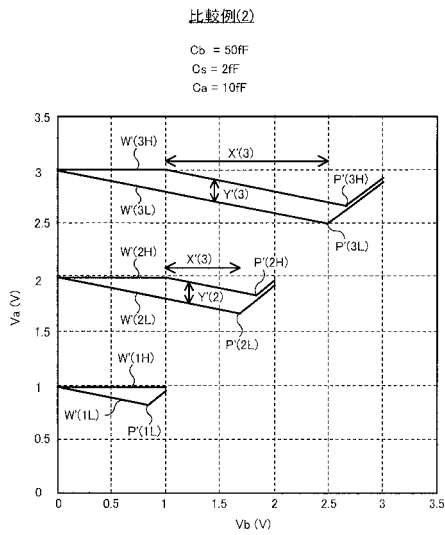
(b)



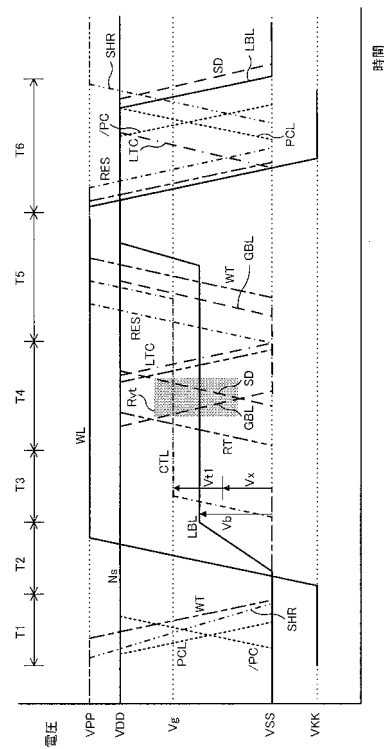
【図 6】



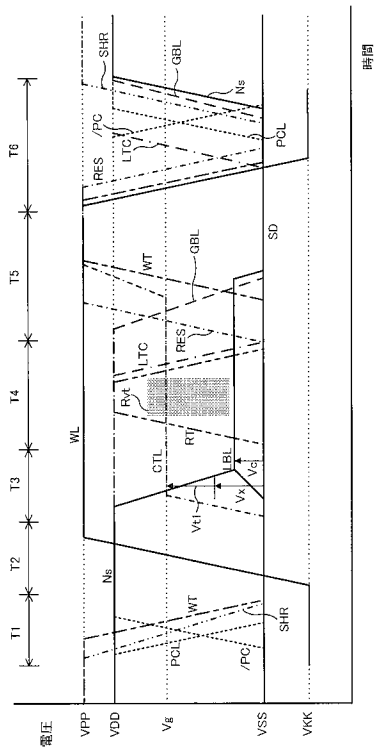
【図 7】



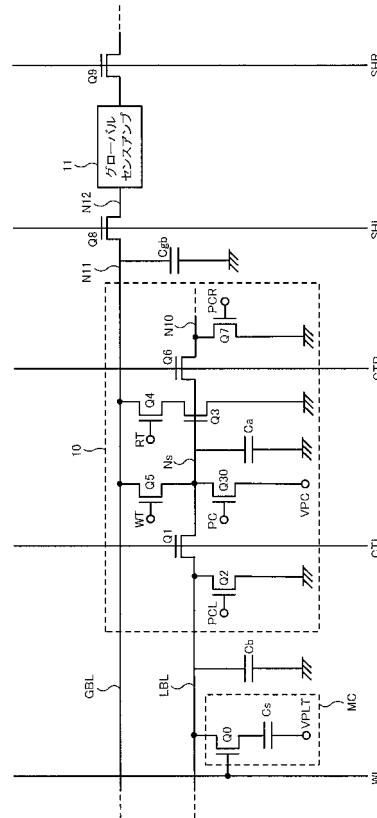
【図 8】



【図 9】

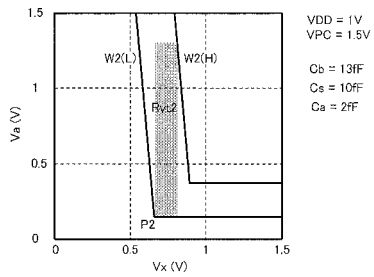


【図 10】

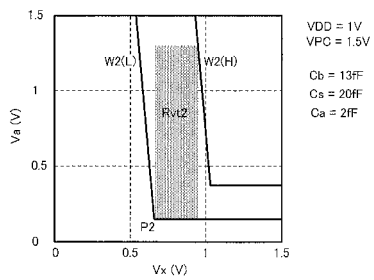


【図 11】

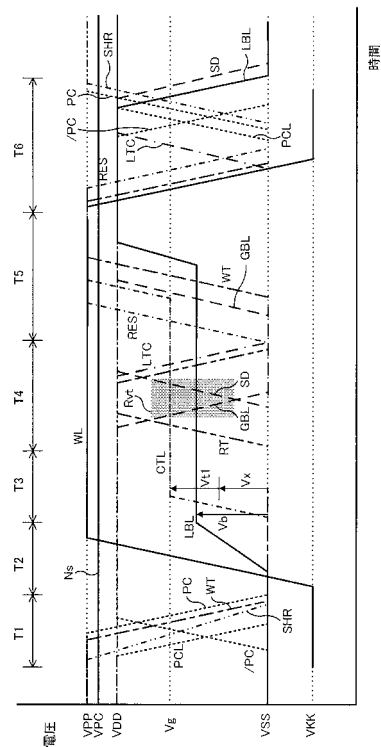
(a)



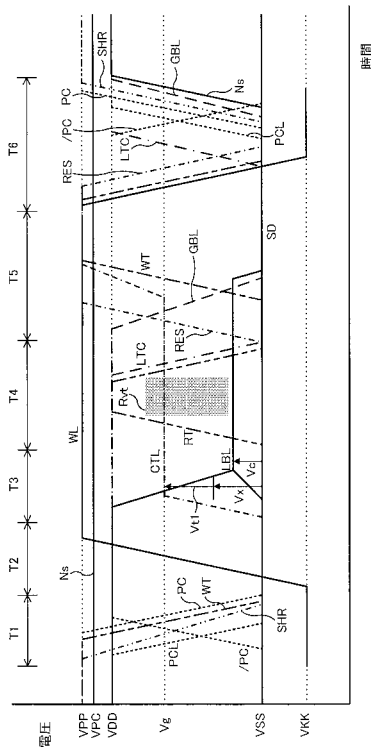
(b)



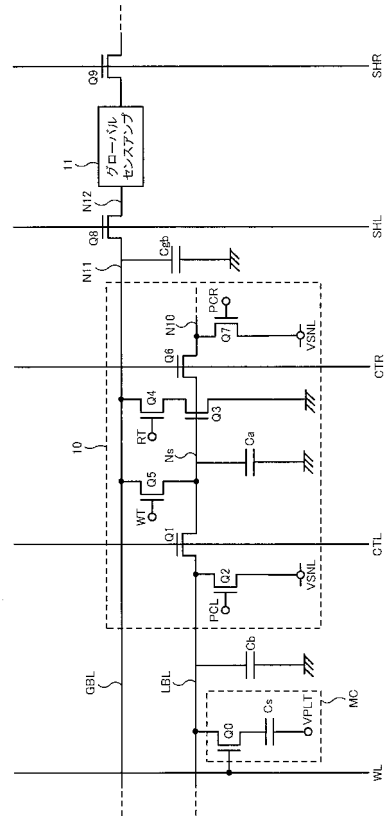
【図 12】



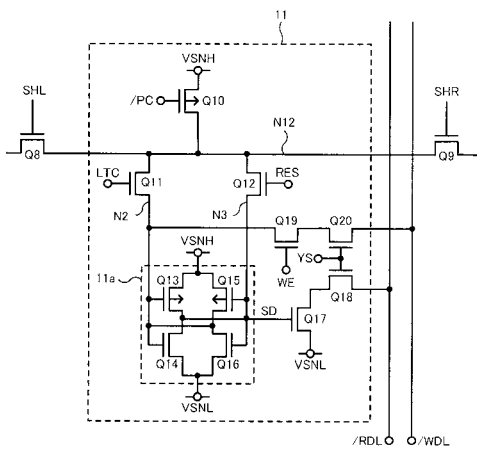
【図 13】



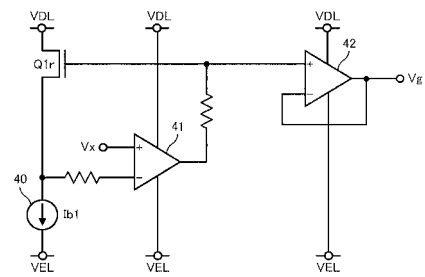
【図 14】



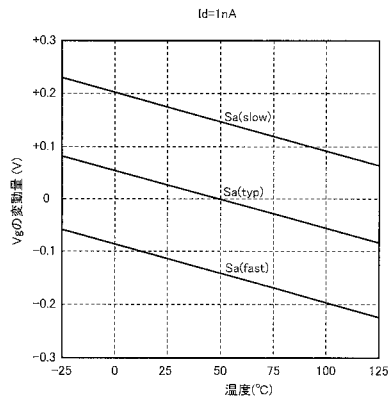
【図 15】



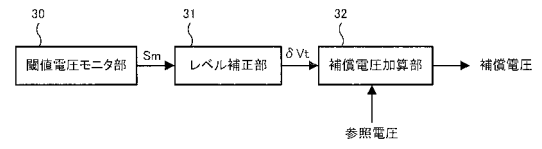
【図 16】



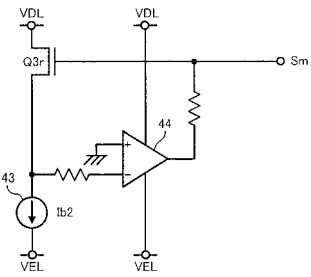
【図 17】



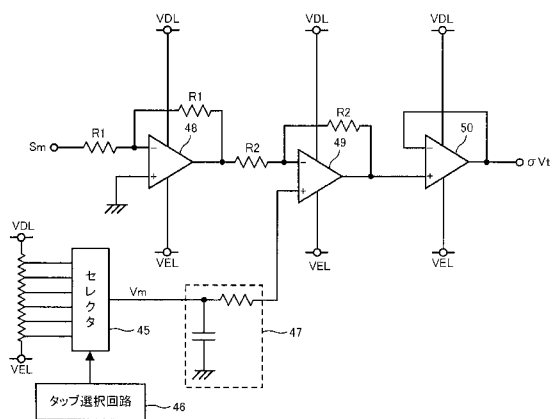
【図 18】



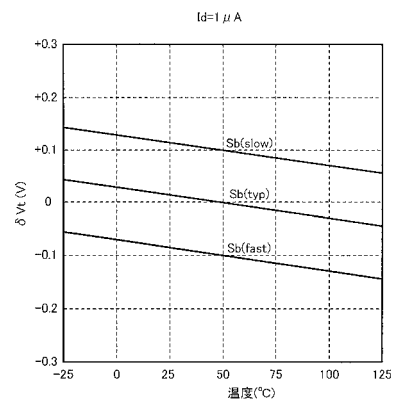
【図 19】



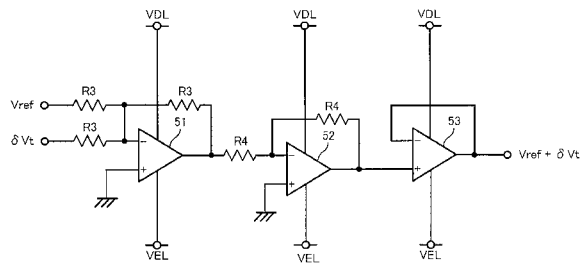
【図 20】



【図 21】



【図 22】



【図 23】

