(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3599380号
(P3599380)
(45)発行日　平成16年12月8日(2004.12.8)　(24)登録日　平成16年9月24日(2004.9.24)

(51)Int.Cl.[7]　F I
G06F 15/173　G06F 15/173　C
G06F 12/08　G06F 12/08　531B

請求項の数 6　(全 14 頁)

(21)出願番号　特願平6-217154
(22)出願日　平成6年9月12日(1994.9.12)
(65)公開番号　特開平8-83227
(43)公開日　平成8年3月26日(1996.3.26)
審査請求日　平成13年9月12日(2001.9.12)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100090538
弁理士　西山　恵三
(74)代理人　100096965
弁理士　内尾　裕一
(72)発明者　福井　俊之
東京都大田区下丸子３丁目３０番２号キヤノン株式会社内
(72)発明者　伊達　厚
東京都大田区下丸子３丁目３０番２号キヤノン株式会社内

最終頁に続く

(54)【発明の名称】情報処理システム及びその方法

(57)【特許請求の範囲】
【請求項１】
複数のノードを有し、各ノードに、１つ以上のプロセッサと、キャッシュメモリと、ノード内部のバス上の信号を監視する監視手段と、該監視手段の監視結果に基づいて前記キャッシュメモリの内部状態を更新する更新手段とを備えた情報処理システムであって、
複数の波長の光を光波長多重化して用いて接続することで、前記複数のノード間を同時に複数組接続可能な接続経路と、
該接続経路の利用要求を調停するための調停手段と、
該調停手段と各ノードとの間をそれぞれ接続する調停用信号経路と、
ノード内及びノード間でのデータ転送に必要な情報の一部又は全部を、当該ノードから前記調停手段へ、前記調停用信号経路を用いて伝送する伝送手段と、
該伝送手段により伝送された情報の一部又は全部を、前記調停用信号経路を用いて、前記調停手段から各ノードに分配する分配手段とを具え、
前記各ノードに、前記分配手段により分配された前記情報を、当該ノード内部のキャッシュメモリに反映させる反映手段を設けたことを特徴とする情報処理システム。
【請求項２】
前記ノード間接続経路と前記調停用信号経路とを、光波長多重化により、共通の光ファイバで構成したことを特徴とする請求項１に記載の情報処理システム。
【請求項３】
前記ノードにおけるキャッシュメモリのデータの一貫性を保持するためのプロトコルが、

ライトスルーの無効化型プロトコルであることを特徴とする請求項１に記載の情報処理システム。

【請求項４】

複数のノードを有し、各ノードに、１つ以上のプロセッサと、キャッシュメモリと、ノード内部のバス上の信号を監視する監視手段と、該監視手段の監視結果に基づいて前記キャッシュメモリの内部状態を更新する更新手段とを備えた情報処理システムにおいて、

前記複数のノード間を複数の波長の光を光波長多重化して用いて接続することで同時に複数組接続可能な接続経路の利用要求を調停部により調停する調停工程と、

該調停部と各ノードとの間をそれぞれ接続する調停用信号経路を用いて、ノード内及びノード間でのデータ転送に必要な情報の一部又は全部を、当該ノードから前記調停部へ、前記調停用信号経路を用いて伝送する伝送工程と、

該伝送工程により伝送された情報の一部又は全部を、前記調停用信号経路を用いて、前記調停部から各ノードに分配する分配工程と、

該分配工程により各ノードに分配された前記情報を、ノード内部のキャッシュメモリに反映させる反映工程とを備えたことを特徴とする情報処理方法。

【請求項５】

前記ノード間接続経路及び前記調停用信号経路として、共通の光ファイバを光波長多重化して用いることを特徴とする請求項４に記載の情報処理方法。

【請求項６】

前記ノードにおいて、ライトスルーの無効化型プロトコルを用いて、キャッシュメモリのデータの一貫性を保持することを特徴とする請求項４に記載の情報処理方法。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、主に一つ以上のプロセッサとメモリ及びキヤッシュメモリを持つ情報処理装置の一群と、それら一群の情報処理装置を接続する接続経路により構成された並列計算システムに関するものである。

【０００２】

【従来の技術】

一つ以上のプロセッサとメモリを持つ情報処理装置の一群（以下これをノードと呼ぶ）を、ノード間のデータの交換を目的として複数個接続する場合、各種ＬＡＮを用いて接続する方法や、ＬＡＮに依らずノード同士をメモリのアドレスレベルでつなぐ方法がある。後者の例としては、本願出願人が特願平５－２８６８７６号として、光波長多重化方式を用いた情報処理装置を出願している。この方式によれば、識別可能な複数の波長を用いることにより、複数のノード間で同時に異なるデータ転送を実現することができる。

【０００３】

更に、そのシステムの改良例として、本願出願人が特願平５－２８８２７１号として出願した、各ノードはデータ転送に先立つ接続経路要求時にデータ転送に係わる付加情報を同時にアービタに送付し、アービタが接続経路設定時にそれらの情報をアービトレーション用信号線を通じて接続先のノードに送付し、接続要求を受けたノードは経路のセットアップとノード間で送受するデータの準備とをオーバーラップして実現することにより、接続経路設定後のデータ転送の効率を向上させる情報処理装置が考案されている。

【０００４】

更に、これらのシステムのようにメモリのアドレスレベルでデータを共有しようとした場合、各ノードにおけるデータの使用効率を上げるために、ノード毎にキャッシュメモリを持たせて、各ノードからのデータ転送路上へのアクセスを減らそうとするのが一般的である。この場合一度にデータ転送路上で一系統のデータ転送しか認めないことによって、各キャッシュメモリにおけるスヌープを実現し、キャッシュメモリにおけるデータの一貫性の保持を行っていた。

【０００５】

【発明が解決しようとしている課題】
しかしながら、上述の光波長多重化方式を用いたシステムにおいては、複数の波長を用いることにより、複数のノード間で同時に異なるデータ転送を実現できるため、逆にそれらの複数のデータ転送を同時にノードからスヌープする事が不可能であり、ノード間キャッシュメモリを導入することが困難であった。
【０００６】
そのため、ノード間でのデータ要求が常にノード間接続経路上に現れ、計算効率の低下を招いていた。
【０００７】
そこで、本発明は、ノード間での情報のキャッシングを実現することを目的とする。
【０００８】
【課題を解決するための手段】
上記課題を解決するために、本発明によれば、複数のノードを有し、各ノードに、１つ以上のプロセッサと、キャッシュメモリと、ノード内部のバス上の信号を監視する監視手段と、該監視手段の監視結果に基づいて前記キャッシュメモリの内部状態を更新する更新手段とを備えた情報処理システムに、複数の波長の光を光波長多重化して用いて接続することで、前記複数のノード間を同時に複数組接続可能な接続経路と、該接続経路の利用要求を調停するための調停手段と、該調停手段と各ノードとの間をそれぞれ接続する調停用信号経路と、ノード内及びノード間でのデータ転送に必要な情報の一部又は全部を、当該ノードから前記調停手段へ、前記調停用信号経路を用いて伝送する伝送手段と、該伝送手段によりノードから伝送された情報に基づき、当該情報の一部又は全部を、前記調停用信号経路を用いて、前記調停手段から各ノードに分配する分配手段とを具え、前記各ノードに、前記分配手段により分配された前記情報を、当該ノード内部のキャッシュメモリに反映させる反映手段を設ける。
【０００９】
また、本発明の他の態様によれば、複数のノードを有し、各ノードに、１つ以上のプロセッサと、キャッシュメモリと、ノード内部のバス上の信号を監視する監視手段と、該監視手段の監視結果に基づいて前記キャッシュメモリの内部状態を更新する更新手段とを備えた情報処理システムにおける情報処理方法において、前記複数のノード間を複数の波長の光を光波長多重化して用いて接続することで同時に複数組接続可能な接続経路の利用要求を調停部により調停する調停工程と、該調停部と各ノードとの間をそれぞれ接続する調停用信号経路を用いて、ノード内及びノード間でのデータ転送に必要な情報の一部又は全部を、当該ノードから前記調停部へ、前記調停用信号経路を用いて伝送する伝送工程と、該伝送工程によりノードから伝送された情報に基づき、当該情報の一部又は全部を、前記調停用信号経路を用いて、前記調停部から各ノードに分配する分配工程と、該分配工程により各ノードに分配された前記情報を、ノード内部のキャッシュメモリに反映させる反映工程とを具える。
【００１１】
【実施例】
図１は、本発明に係る情報処理システムの１実施例のブロック構成図である。
【００１２】
１００、２００、３００、４００はノードであり、各ノードは光ファイバにより構成された接続経路１０によって接続されている。各ノードはその中にＣＰＵ１０１、２０１、３０１、４０１、メモリ１０２、２０２、３０２、４０２、接続経路１０と各ノードの内部とを接続するためのインタフェース回路１０３、２０３、３０３、４０３、接続経路１０の利用を要求するためのアービトレーション用インタフェースの回路１０４、２０４、３０４、４０４、及びそれらをノード内部で相互接続するための内部バス１０５、２０５、３０５、４０５を含んでいる。ここで、各ノード内のキャッシュメモリ１０６、２０６、３０６、４０６はそれぞれプロセッサ１０１、２０１、３０１、４０１に内蔵されている。しかし、この構成に限らず、プロセッサの外部に設けるようにしてもよい。

【００１３】
２０は、接続経路１０の利用を調停するためのアービタであり、アービタ２０は、各ノードとそれぞれアービトレーション用信号経路１１０、２１０、３１０、４１０によって接続されている。
【００１４】
また、アービタ２０の内部には、各ノードから送られてくるパケットを管理するパケット情報管理装置２１、パケットに含まれる情報のうち経路要求情報を管理する経路選択情報管理装置２２、それらの情報に続いて送られてくるアドレスなどのデータ転送に伴う付加情報を一時的に蓄える付加情報管理装置２３、及びパケット中のキャッシュメモリの一貫性を保持するために必要な情報を一時的に蓄えるとともに、各ノードへプロトコル情報を再分配するための制御を行うキャッシュ情報管理装置２４が設置されている。
【００１５】
本実施例では、図１に示すような構成のシステムにおいて、ライトスルー型キャッシュメモリの無効化型プロトコルを用いて、キャッシュメモリの一貫性が保証される例を示す。
【００１６】
具体的には、ノード１００がノード２００上のデータをキャッシングしているときに、そのデータの変更、及びそれに伴うキャッシュメモリの一貫性の保持動作がどのようにして実施されるかを示す。
【００１７】
図２は、システム全体のアドレスマップである。本実施例ではシステム全体のアドレス空間４ギガバイトを、ノード４つ分に振り分けて利用している。いま、ノード１００は、ノード２００のＲＡＭ上の４１０００００ｈ番地のデータ（４バイト）をキャッシングしており、それを変更しようとしているとする。
【００１８】
なお、ノード１００内のプロセッサ１０１内部のキャッシュメモリ１０６へノード２００内部のＲＡＭ４１０００００ｈ番地のデータがキャッシングされる過程は、特願平５－２８８２７１号に示すごとくノード間でのデータのリードが行われ、そのデータをキャッシュメモリに格納することによって行われる。このデータをキャッシュメモリに格納する過程については、キャッシュメモリシステムとしては公知のものである。
【００１９】
図３はアービタインタフェース１０４のブロック図である。
【００２０】
アービタインタフェース１０４の内部に存在するアドレスデコーダ１４０は、ノード１０１の内部バス１０５（１０５はデータ信号線１５１、コントロール信号線１５２、アドレス信号線１５３より構成される）を常に監視しており、キャッシングしていたデータのライトスルー動作に伴う外部ノード（この場合ノード２００）へのアクセス（アドレス４１０００００ｈへのライト動作）がバス上に発生したことを認識した場合、１４４の外部アクセス検出信号、及び１５０のライト要求検出信号によってノードアービトレーション制御プロセッサ１４１上で動作するプログラムに制御を渡す。
【００２１】
同時に、アドレスラッチレジスタ１４２にそのときアドレス信号線１５３上に出ているアドレスを、コントロール信号ラッチレジスタ１４３にリードライト要求種別（ライト）・転送バイト数（４バイト）、キャッシング可能領域であることなどのコントロール情報をラッチする。ノードアービトレーション制御プロセッサ１４１としては、本実施例では１チップマイクロコントローラを用いたが、この構成に制限されるものではなく、ハードウェアロジックなどにより構成しても良い。
【００２２】
ノードアービトレーション制御プロセッサ１４１は、アドレスラッチ１４２及びコントロール信号ラッチ１４３より、ラッチされた信号を読み出し、接続先を判別し、図４に示すようなアービトレーションリクエストパケットを作成し、パラレル／シリアル変換器１６

１に書き込む。図４に示すパケットは経路要求信号であるとともに、データ転送に係わる付加情報もその内部のデータフォーマットとして含むものである。

【００２３】

パラレル／シリアル変換器１６１では、書き込まれた情報をシリアルデータに変換し、発光素子１６３へ出力する。発光素子１６３は、入力された信号を光電変換し、波長λ１の光信号として、光ファイバによって構成された通信路１１０を通してアービタ２０へ出力する。この構成は全てのノードにおいて共通である。なお、ここでいう発光素子は、ＬＥＤもしくはレーザーなどの素子であり、受光素子はフォトダイオードに代表される素子を指す。

【００２４】

図５に、アービタ２０のブロック図を示す。６０１、６０３、６０５、６０７は受光素子である。それぞれノードにより発光されたλ１の波長の光信号、つまり上記アービトレーションリクエスト信号を受信し電気信号に変換する、今ノード１００よりリクエスト信号が到着し、シリアル／パラレル変換器６１１に入力される。シリアル／パラレル変換器６１１では、入力されたシリアル電気信号をパラレル信号に変換し、同時にデータ受信検出信号６２２によりパケット情報管理装置２１に通知する。

【００２５】

本実施例では、パケット情報管理装置２１は、プログラムを格納したＲＯＭおよび処理に用いるＲＡＭを内蔵したマイクロコントローラ６２１により構成した。また、このマイクロコントローラは同時に、経路選択情報管理装置２２、付加情報管理装置２３、キャッシュ情報管理装置２４の役割を果たす部分を含むものとする。しかし、本構成に制限されるものではない。

【００２６】

パケット情報管理装置２１は、データ受信検出信号（１）６２２を受信すると、デバイスセレクト信号６１９により、シリアル／パラレル変換器６１１を選択し、内部のレジスタよりデータバス６２０を通じて、ノード１００より送出されたリクエストパケットを読み出す。

【００２７】

リクエストパケットに含まれる情報のうち、要求元ノード番号、接続先ノード番号等の情報は、経路選択情報管理装置２２に受け渡され、データ転送にかかわる付加情報の部分は、このマイクロコントローラの中の付加情報管理装置２３としての役割を果たす部分に格納される。更に、このパケットがライト動作に伴うものと判断されると、各ノードでのキャッシュの一貫性保持動作が必要であるため、リクエストパケット内のアドレス及び転送バイト数、要求元ノード番号、接続先ノード番号等の情報が、マイクロコントローラの中のキャッシュメモリ管理装置２４としての役割を果たす部分に格納される。

【００２８】

経路選択情報管理装置２２は、受け取ったデータを解析し、この伝送路の使用要求が、ノード１００よりノード２００への接続要求であることを認識するとともに、経路選択情報管理装置２２内に設けられた伝送路使用状態フラグ、及び使用中である波長をチェックし、使用可能状態の場合はフラグを使用中状態に設定し、図６に示す接続準備要求パケットを作成し、パラレル／シリアル変換器６１２および６１４に書き込む。

【００２９】

この接続準備パケットには、マイクロコントローラの中の付加情報管理装置２３の役割を果たす部分からもたらされた情報、および波長情報も一緒に含まれる。これら２つの接続準備要求パケットは光アービタインターフェースの場合と同様にλ１の光信号を用い、ノード１００およびノード２００へ出力される。なお、ここで４つのノードは、データ通信用にそれぞれ異なる波長λ２、λ３を用いることによって、同時に二系統の通信を一対一のノード間で行うことが可能になっている。

【００３０】

これに続いて、キャッシュ情報管理装置２４は、自分にもたらされた情報をもとに、各ノ

ード間のキャッシュメモリの一貫性を保持するために、ノード３００及び４００に対して、アドレス４１０００００ｈのデータをキャッシュメモリに保持していた場合はそれを無効化するように指示するため、図７に示すようなキャッシュメモリ無効化パケットを作成し、パラレル／シリアル変換器６１６、６１８に順次書き込む。

【００３１】

この場合、これらの変換器などが本来の接続経路のアービトレーションに利用されていた場合は、その利用終了を待ってからキャッシュメモリ無効化パケットを転送する。

【００３２】

これら２つのキャッシュメモリ無効化パケットは、光アービタインターフェースの場合と同様にλ１の光信号を用い、アービトレーション用信号線３１０、４１０を通じてノード３００およびノード４００へ出力される。

【００３３】

この後のノード１００からノード２００へのデータ転送の様子は省略し、ノード３００、４００におけるキャッシュメモリの一貫性保持動作についてノード３００での動作を例に説明する。

【００３４】

ノード３００の構成はノード１００と共通であるので、図３を説明に流用する。

【００３５】

ノード３００において、ファイバー３１０（図３では１１０）により入力された光信号は、受光素子１６４により電気信号に変換され、光アービタインターフェース３０４（図３では１０４）に入力される。光アービターインターフェース３０４では入力された信号は、シリアル／パラレル変換器１６２によりパラレル信号に変換されると同時に、データ受信信号１４８によりノードアービトレーション制御プロセッサ１４１に通知される。

【００３６】

この通知が検出されると、ノード３００のノードアービトレーション制御プロセッサ１４１は、シリアル／パラレル変換器１６２より、デバイスセレクト信号１４７、データバス１４５を使用し、上記キャッシュメモリ無効化パケットを読み出し、ノード内に向けて内部バス３０５の使用許可を要求する。ノードアービトレーション制御プロセッサ１４１は、内部バス３０５の使用許可が与えられると、データ送受信要求信号群１４９を用いて、接続経路インターフェース３０３に対し、図７のパケットの内容に基づき、アドレス４１０００００ｈの４バイトのデータをキャッシングしているキャッシュメモリに対して、そのブロックを無効化することを指示する。

【００３７】

図８に接続経路インターフェース３０３の一例を示す。ここではアービタインタフェース３０４より送られるデータ送受信要求信号１４９により、アドレスドライバ１３０にはアドレス（４１０００００ｈ）が、データ転送シーケンサ１３１にはキャッシュメモリブロック無効化の要求が、指示される。この場合、具体的には、内部バス３０５上へのアドレス４１０００００ｈのダミーデータのライトが指示される。

【００３８】

シーケンサ１３１は、信号１３４により、アドレスドライバ１３０に対しアドレス４１０００００ｈのドライブを指示し、続いてコントロールドライバ１３２に対し、転送サイズ（４バイト）、リードライト信号（ライト）のコントロール信号のバスへのドライブを信号線１３６を通して指示する。更に、信号線１３７を通して、ダミーデータのバス上へのドライブをデータバッファ１３３に対して指示する。

【００３９】

このダミーデータのライト処理をスヌープしたノード内プロセッサ３０１は、内蔵キャッシュメモリ３０７のキャッシュメモリのアドレスタグを検査し、該当するブロックが存在した場合には、そのブロックを無効化する。

【００４０】

一方、メモリ３０２には、該当するアドレスが存在しないので、このライト処理は無視さ

れる。データ転送シーケンサ１３１は、バスがタイムアウトすることを防ぐために、一定のディレイ後のコントロールドライバ１３２に対して、アクノリッジ信号をドライブするように指示する。

【００４１】

ノード４００においても同様の動作が実施される。

【００４２】

これによりノード１００のデータのライト動作に伴うキャッシュ一貫性保持動作が実現される。

【００４３】

他のノード間での転送においても、まったく同様に処理が行われる。

【００４４】

なお、本実施例では、図１におけるアービトレーション用信号経路１１０、２１０、３１０、４１０の上の光信号には波長λ１の光を使用し、接続経路１０上の光信号には波長λ２、λ３（λ２、λ３は別波長）を使用しているが、λ１＝λ２、λ１＝λ３の場合があっても、構成上差し支えはない。

【００４５】

次に、自ノード内部でのキャッシュ可能領域へのデータの変更の場合、具体的には、ノード１００が、他のノードでもキャッシング可能な自ノード内ＲＡＭ上の０１０００００ｈ番地のデータ（４バイト）をキャッシングしており、それを変更しようとした場合、それに伴うキャッシュメモリの一貫性の保持動作がどのようにして実施されるかを示す。

【００４６】

図３において、今度は、外部アクセス検出信号１４４は反応せず、ライト要求検出信号１５０のみによって、ノードアービトレーション制御プロセッサ１４１上で動作するプログラムに制御を渡す。同時に、アドレスラッチレジスタ１４２にそのときアドレス信号線１５３上に出ているアドレスをラッチし、コントロール信号ラッチレジスタ１４３に転送バイト数（４バイト）などのコントロール情報をラッチする。

【００４７】

ノードアービトレーション制御プロセッサ１４１は、アドレスラッチ１４２、及びコントロール信号ラッチ１４３よりラッチされた信号を読み出し、図９に示すようなキャッシュメンテナンスリクエストパケットを作成し、パラレル／シリアル変換器１６１に書き込む。パラレル／シリアル変換器１６１では、書き込まれた情報をシリアルデータに変換し、発光素子１６３へ出力する。発光素子１６３は、入力された信号を光電変換し、波長λ１の光信号として、光ファイバによって構成された通信路１１０を介して、アービタ２０へ出力する。

【００４８】

図５において、ノード１００よりキャッシュメンテナンスリクエストパケットが到着し、シリアル／パラレル変換器６１１に入力されると、シリアル／パラレル変換器６１１では、入力されたシリアル電気信号をパラレル信号に変換し、同時にデータ受信検出信号６２２により、パケット情報管理装置２１に通知する。

【００４９】

パケット情報管理装置２１は、データ受信検出信号（１）６２２を受信すると、デバイスセレクト信号６１９により、シリアル／パラレル変換器６１１を選択し、内部のレジスタよりデータバス６２０を通じて、ノード１００より送出されたキャッシュメンテナンスリクエストパケットを読み出す。そして、パケット内のアドレス及び転送バイト数、要求元ノード番号等の情報を、マイクロコントローラの中のキャッシュメモリ管理装置２４としての役割を果たす部分に格納する。

【００５０】

キャッシュ情報管理装置２４は、自分にもたらされた情報をもとに、キャッシュメモリの一貫性を保持するために、ノード２００、ノード３００及び４００に対して、アドレス０１０００００００ｈのデータをキャッシュメモリに保持していた場合はそれを無効化するよ

うに指示するため、図７に示すようなキャッシュメモリ無効化パケットを作成し、パラレル／シリアル変換器６１４、６１６、６１８に順次書き込む。

【００５１】

これ以後の動作は、先の例と同じであるので省略する。

【００５２】

なお、ここまでに示した実施例では、図１におけるアービトレーション用信号経路１１０、２１０、３１０、４１０と接続経路１０とでは、物理的に別の信号経路を仮定していたが、論理的にこれらの回線が分離可能であれば、物理上は同一信号経路を通る場合があってもよい。

【００５３】

但し、その場合、波長多重する際に混信を防ぐ関係上、λ１、λ２、λ３はそれぞれが異なる波長であることが必要となる。

【００５４】

〔他の実施例〕

上述した実施例では、各ノードにおけるキャッシュの一貫性保持のための無効化処理は、各ノードにダミーのライト処理を引き起こすことで実現されていた。

【００５５】

一方、キヤッシュ無効化の処理のために特別なトランザクションを準備したライトスルー型キャッシュメモリを使うと、ライト処理に代わってキャッシュインバリデート（無効化）トランザクションを起こすことによって、キャッシュの一貫性保持のための無効化処理が実現できる。そのような例を図１０、及び図８を用いて示す。

【００５６】

図１０はノードの構成図である。ノード１００を例に取り、図中の番号は先の実施例の番号を引用する。本実施例ではキャッシュメモリ１０６はＣＰＵの外にある外部キャッシュとして実現されている。

【００５７】

キャッシュメモリ１０６は、キャッシュアドレスタグ及びデータを蓄えるキャッシュメモリ本体、コンパレータ、バススヌーパ、及びそれらを制御するためのキャッシュコントローラなどから構成されるが、これらの構成要素、及び構成法は公知の技術であるので、詳細は省略する。

【００５８】

図１０に特徴的なのは、キャッシュのバススヌープ機能の中に、キャッシュインバリデートトランザクションを検知するための機構を備えたことである。図１０では、内部バスのコントロール信号１５２の中に、特にキャッシュ制御信号線１５４を設けており、この信号線１５４はバススヌーパによってスヌープされている。そしてバススヌーパが、信号線１５４上に無効化トランザクションを示す信号パターンを検知したとき、そのときアドレスバス上に流れているアドレスを取り込み、アドレスタグを検査し、該当するブロックが存在していた場合には、そのブロックを無効化する機能をもつ。なお、このキャッシュ制御信号線１５４の構成方法は本実施例以外にも、コントロール信号のうちユーザが定義可能な信号線の一部を利用し、複数の信号線に符号化して表現することなども可能であり、本実施例に制限されるものではない。

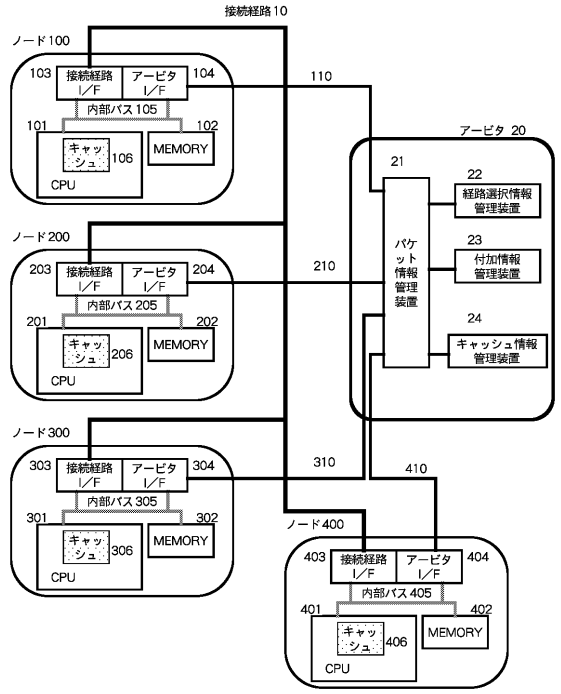
【００５９】

次に、このようなキャッシュメモリを用いた場合のキャッシュ一貫性の保持動作を、図１１を用いて説明する。アービタインタフェースよりアドレス４１０００００ｈのデータ無効化指示が来るところまでの動作は、先の実施例と同一である。すなわち、アービタインタフェースより送られるデータ送受信要求信号１４９により、アドレスドライバ１３０にはアドレス（４１０００００ｈ）が、データ転送シーケンサ１３１にはキャッシュメモリブロック無効化の要求が指示される。しかし、本実施例では、ダミーデータのライト動作ではなく、内部バス３０５上へのアドレス４１０００００ｈに対するキャッシュインバリデートトランザクションの実行が指示される。

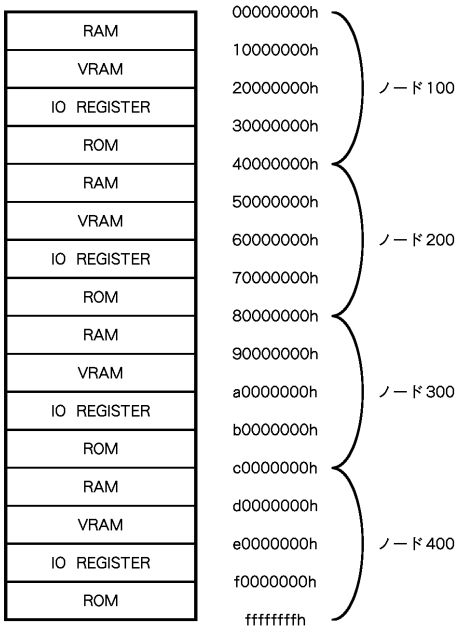
【００６０】
即ち、図１１において、１３１のシーケンサは１３４の信号によりアドレスドライバに対しアドレス４１０００００００ｈのドライブを指示し、続いて１３２のコントロールドライバに対し、コントロール信号バス１５２へのサイズ（４バイト）、及びキャッシュ制御信号１５４上へのキャッシュ無効化信号のドライブを信号線１３６を通して指示する。
【００６１】
信号線１５４上に無効化トランザクションを示す信号パターンを検知したスヌーパは、アドレスバス上に流れているアドレス４１０００００００ｈを取り込み、アドレスタグを検査し、該当するブロックが存在していた場合には、そのブロックを無効化する。
【００６２】
このトランザクションは、アドレスのみがバス上に現われるトランザクションであり、このトランザクションへのアクノリッジはキャッシュコントローラが責任をもって返す。そのため、先の例のようにデータ転送シーケンサが、バスがタイムアウトすることを防ぐために、一定のディレイ後１３２のコントロールドライバに対してアクノリッジ信号をドライブするように指示する必要がなくなり、データ転送シーケンサの制御が簡単になる。
【００６３】
なお、このアクノリッジの返し方については、この方法だけではなく、アドレスオンリートランザクションとして特別にアクノリッジを返す必要がないトランザクションとして定義することもでき、本実施例に制限されるものではない。
【００６４】
【発明の効果】
以上説明したように、本発明によれば、複数の波長の光を光波長多重化して用いて接続することで、前記複数のノード間を同時に複数組接続可能としながら、ノード内及びノード間でのデータ転送に必要な情報の一部又は全部を、ノードから調停部へ調停用信号経路を用いて伝送し、その伝送された情報の一部又は全部を、調停部から各ノードに調停用信号経路を用いて分配し、各ノードにおいて、分配された情報をノード内部のキャッシュメモリに反映させることにより、ノード間でキャッシュメモリにおけるデータの一貫性を保持し、ノードにおける計算効率、及び接続経路の利用効率を上げることを可能とし、より高性能な情報処理システムを実現できる。
【図面の簡単な説明】
【図１】本発明の１実施例の情報処理システムの機能構成を示すブロック図である。
【図２】実施例のシステムのアドレスマップを示す図である。
【図３】実施例のノードのアービタインタフェースを示す図である。
【図４】アービトレーションリクエストパケットの構成を示した図である。
【図５】実施例のアービタの構成を示した図である。
【図６】接続準備要求パケットの構成を示した図である。
【図７】キャッシュメモリ無効化パケットの構成を示した図である。
【図８】実施例の接続経路インタフェース部の構成を表わした図である。
【図９】キャッシュメンテナンスリクエストパケットの構成を示した図である。
【図１０】他の実施例のノード構成を示した図である。
【図１１】他の実施例の接続経路インタフェース部の構成を表わした図である。
【符号の説明】
１０　ノード間の接続経路
２０　アービタ
２１　パケット情報管理装置
２２　経路選択情報管理装置
２３　付加情報管理装置
２４　キャッシュ情報管理装置
３０　コンセントレータ
１００、２００、３００、４００　ノード

１０１、２０１、３０１、４０１　ＣＰＵ（プロセッサ）
１０２、２０２、３０２、４０２　メモリ
１０３、２０３、３０３、４０３　接続経路インタフェース回路
１０４、２０４、３０４、４０４　アービタインタフェース回路
１０５、２０５、３０５、４０５　ノード内部バス
１０６、２０６、３０６、４０６　キヤッシュメモリ
１０７、２０７、３０７、４０７　波長多重化装置
１１０、２１０、３１０、４１０　アービトレーション用信号経路
１３０　アドレスドライバ
１３１　データ転送シーケンサ
１３２　コントロールドライバ
１３３　データバッファ
１３４　アドレスドライブ信号
１３５　アクノリッジ信号
１３６　コントロールドライバ制御信号
１３７　データバッファ制御信号
１３８　データ受信信号
１３９　パラレル／シリアル変換器制御信号
１４０　アドレスデコーダ
１４１　ノードアービトレーション制御プロセッサ
１４２　アドレスラッチレジスタ
１４３　コントロール信号ラッチレジスタ
１４４　外部アクセス検出信号
１４５　データ信号線
１４６　レジスタセレクト信号線
１４７　デバイスセレクト信号線
１４８　データ受信信号
１４９　データ送受信要求信号群
１５０　キャッシュ制御検出信号
１５１　内部バスのデータ信号線
１５２　内部バスのコントロール信号線
１５３　内部バスのアドレス信号線
１５４　コントロール信号線のなかのキャッシュ制御信号線
１６１、１６５、６１２、６１４、６１６、６１８　パラレル／シリアル変換器
１６２、１６６、６１１、６１３、６１５、６１７　シリアル／パラレル変換器
１６３、１６７、６０２、６０４、６０６、６０８　発光素子
１６４、１６８、６０１、６０３、６０５、６０７　受光素子
６１９　デバイスセレクト信号
６２０　データバス
６２１　マイクロコントローラ
６２２、６２３、６２４、６２５　データ検出信号１、２、３、４
６２６　制御信号

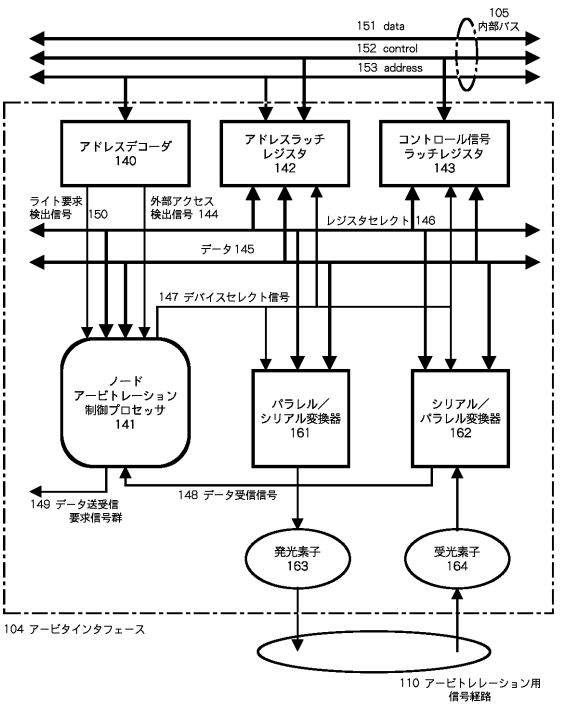
【図１】


接続経路10
ノード100
103
接続経路 I/F
アービタ I/F
104
内部バス105
101
102
キャッシュ
106
MEMORY
CPU
110
アービタ 20
21
22
経路選択情報管理装置
23
付加情報管理装置
24
キャッシュ情報管理装置
パケット情報管理装置
ノード200
203
204
内部バス205
201
202
206
210
ノード300
303
304
内部バス305
301
302
306
310
410
ノード400
403
404
内部バス405
401
402
406

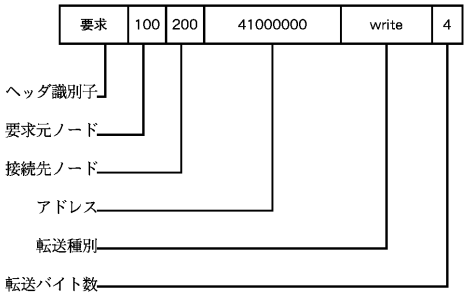
【図２】


RAM
VRAM
IO REGISTER
ROM
00000000h
10000000h
20000000h
30000000h
40000000h
50000000h
60000000h
70000000h
80000000h
90000000h
a0000000h
b0000000h
c0000000h
d0000000h
e0000000h
f0000000h
ffffffffh
ノード100
ノード200
ノード300
ノード400

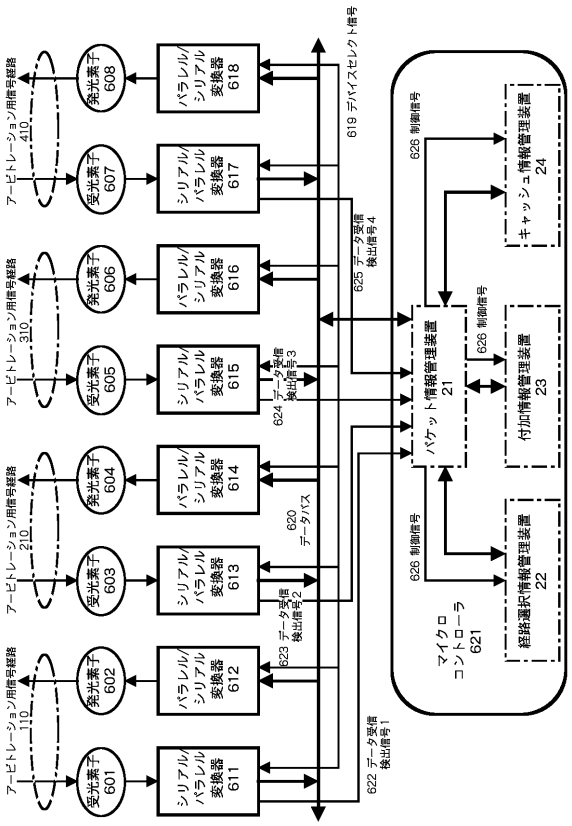
【図３】


105 内部バス
151 data
152 control
153 address
アドレスデコーダ 140
アドレスラッチレジスタ 142
コントロール信号ラッチレジスタ 143
ライト要求検出信号 150
外部アクセス検出信号 144
レジスタセレクト 146
データ 145
147 デバイスセレクト信号
ノードアービトレーション制御プロセッサ 141
パラレル／シリアル変換器 161
シリアル／パラレル変換器 162
148 データ受信信号
149 データ送受信要求信号群
発光素子 163
受光素子 164
104 アービタインタフェース
110 アービトレーション用信号経路

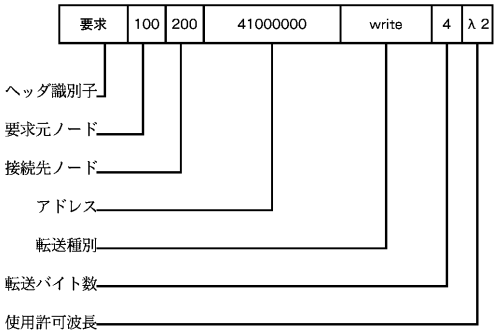
【図４】


要求
100
200
41000000
write
4
ヘッダ識別子
要求元ノード
接続先ノード
アドレス
転送種別
転送バイト数

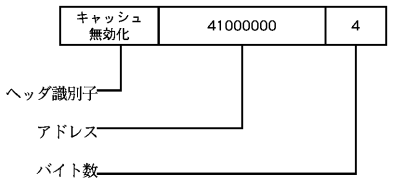
【図５】


アービトレーション用信号経路 410
アービトレーション用信号経路 310
アービトレーション用信号経路 210
アービトレーション用信号経路 110
発光素子 608
受光素子 607
発光素子 606
受光素子 605
発光素子 604
受光素子 603
発光素子 602
受光素子 601
パラレル/シリアル変換器 618
シリアル/パラレル変換器 617
パラレル/シリアル変換器 616
シリアル/パラレル変換器 615
パラレル/シリアル変換器 614
シリアル/パラレル変換器 613
パラレル/シリアル変換器 612
シリアル/パラレル変換器 611
619 デバイスセレクト信号
625 データ受信検出信号 4
624 データ受信検出信号 3
620 データバス
623 データ受信検出信号 2
622 データ受信検出信号 1
626 制御信号
626 制御信号
626 制御信号
キャッシュ情報管理装置 24
パケット情報管理装置 21
付加情報管理装置 23
経路選択情報管理装置 22
マイクロコントローラ 621

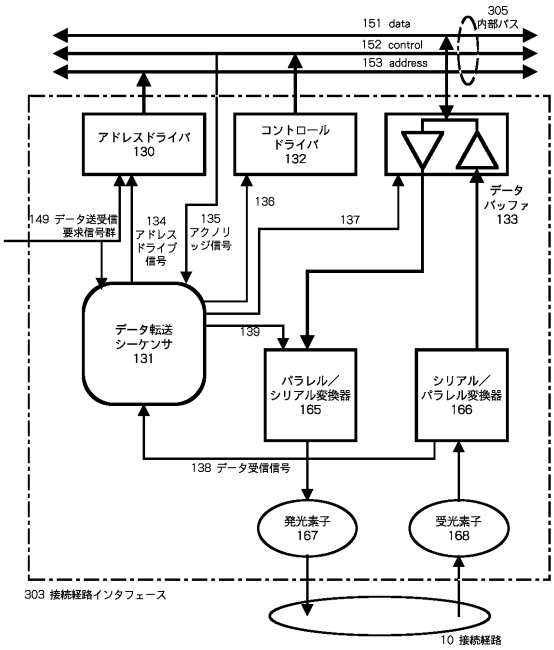
【図６】


要求
100
200
41000000
write
4
λ 2
ヘッダ識別子
要求元ノード
接続先ノード
アドレス
転送種別
転送バイト数
使用許可波長

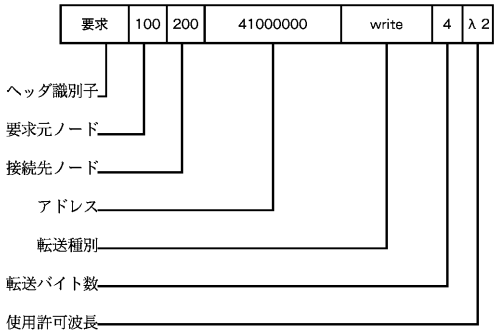
【図７】


キャッシュ無効化
41000000
4
ヘッダ識別子
アドレス
バイト数

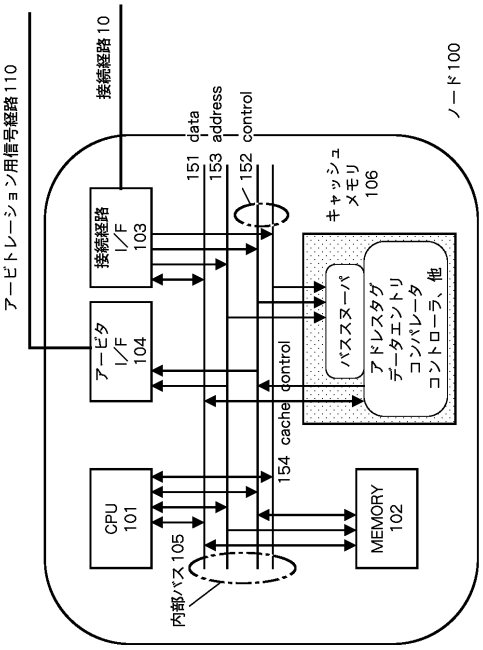
【図８】


151 data
152 control
153 address
305 内部バス
アドレスドライバ 130
コントロールドライバ 132
データバッファ 133
149 データ送受信要求信号群
134 アドレスドライブ信号
135 アクノリッジ信号
136
137
データ転送シーケンサ 131
139
パラレル／シリアル変換器 165
シリアル／パラレル変換器 166
138 データ受信信号
発光素子 167
受光素子 168
303 接続経路インタフェース
10 接続経路

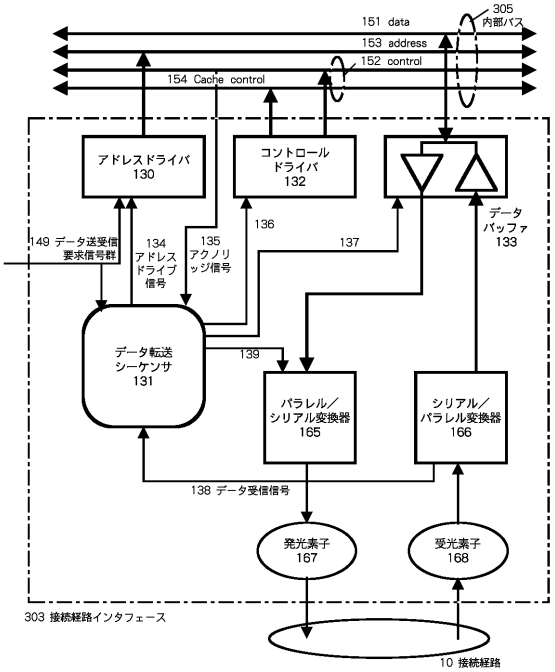
【図９】


要求
100
200
41000000
write
4
λ2
ヘッダ識別子
要求元ノード
接続先ノード
アドレス
転送種別
転送バイト数
使用許可波長

【図１０】


アービトレーション用信号経路110
接続経路10
ノード100
151 data
153 address
152 control
キャッシュメモリ106
接続経路I/F 103
アービタI/F 104
バススヌーパ
アドレスタグデータエントリコンパレータコントローラ、他
154 cache control
CPU 101
MEMORY 102
内部バス105

【図１１】


305 内部バス
151 data
153 address
152 control
154 Cache control
アドレスドライバ 130
コントロールドライバ 132
データバッファ 133
149 データ送受信要求信号群
134 アドレスドライブ信号
135 アクノリッジ信号
136
137
データ転送シーケンサ 131
139
パラレル／シリアル変換器 165
シリアル／パラレル変換器 166
138 データ受信信号
発光素子 167
受光素子 168
303 接続経路インタフェース
10 接続経路

フロントページの続き

(72)発明者　濱口　一正
東京都大田区下丸子３丁目３０番２号キヤノン株式会社内
(72)発明者　小杉　真人
東京都大田区下丸子３丁目３０番２号キヤノン株式会社内

審査官　鳥居　稔

(56)参考文献　特開平０６－２０８５０７（ＪＰ，Ａ）
特開昭６２－２０４３６２（ＪＰ，Ａ）
特開平０７－１４１３１２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G06F 15/173
G06F 12/08