(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4100100号
(P4100100)

(45)発行日　平成20年6月11日(2008.6.11)　(24)登録日　平成20年3月28日(2008.3.28)

(51)Int.Cl.　F I
H01L 21/336 (2006.01)　H01L 29/78　616L
H01L 29/786 (2006.01)　H01L 21/265　H
H01L 21/265 (2006.01)　G02F 1/1368
G02F 1/1368 (2006.01)

請求項の数 5　(全 24 頁)

(21)出願番号　特願2002-256851 (P2002-256851)
(22)出願日　平成14年9月2日 (2002.9.2)
(62)分割の表示　特願平6-326812の分割
原出願日　平成6年12月28日 (1994.12.28)
(65)公開番号　特開2003-151994 (P2003-151994A)
(43)公開日　平成15年5月23日 (2003.5.23)
審査請求日　平成14年9月2日 (2002.9.2)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107261
弁理士　須澤　修
(72)発明者　松尾　稔
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　綿引　隆

最終頁に続く

(54)【発明の名称】アクティブマトリクス基板の製造方法、および液晶表示パネルの製造方法

(57)【特許請求の範囲】
【請求項１】
ソース領域及びドレイン領域、並びに、該ソース領域及びドレイン領域間に形成されたチャネル領域を有するシリコン層と、前記チャネル領域にゲート絶縁膜を介して対峙するゲート電極と、前記シリコン層上にあって前記ソース領域およびドレイン領域に対応する位置に設けられたコンタクトホールを有する絶縁層と、前記コンタクトホールを介して前記ソース領域及びドレイン領域と導電接続されたソース電極およびドレイン電極とを有する薄膜トランジスタを形成したアクティブマトリクス基板の製造方法において、
少なくとも前記コンタクトホールの底部に障壁層を形成する工程と、
前記障壁層を介して前記シリコン層の前記ソース領域及びドレイン領域に高濃度の不純物を直接導入する高濃度不純物導入工程と、
熱処理により前記ソース領域及びドレイン領域の結晶性を回復する工程と、
前記障壁層を除去する工程と、
高濃度の不純物が導入された前記ドレイン領域と接続し、且つ、その一部が前記ドレイン電極となる画素電極、及び、高濃度の不純物が導入された前記ソース領域と接続する前記ソース電極を、前記コンタクトホールを介して順次形成する工程と、
を順に有し、
前記高濃度不純物導入工程を、導入された不純物の分布のピークが、前記ソース領域及びドレイン領域と前記障壁層の境界部分より前記障壁層の側に位置するように前記不純物のイオンの加速エネルギーを調整して行なうことを特徴とするアクティブマトリクス基板

の製造方法。
【請求項２】
ソース領域及びドレイン領域、並びに、該ソース領域及びドレイン領域間に形成されたチャネル領域を有するシリコン層と、前記チャネル領域にゲート絶縁膜を介して対峙するゲート電極と、前記シリコン層上にあって前記ソース領域およびドレイン領域に対応する位置に設けられたコンタクトホールを有する絶縁層と、前記コンタクトホールを介して前記ソース領域及びドレイン領域と導電接続されたソース電極およびドレイン電極とを有する薄膜トランジスタを形成したアクティブマトリクス基板の製造方法において、
少なくとも前記コンタクトホールの底部に障壁層を形成する工程と、
前記障壁層を介して前記シリコン層の前記ソース領域及びドレイン領域に高濃度の不純物を直接導入する高濃度不純物導入工程と、
熱処理により前記ソース領域及びドレイン領域の結晶性を回復する工程と、
前記障壁層を残したまま、高濃度の不純物が導入された前記ドレイン領域と前記障壁層を介して導電接続し、且つ、その一部が前記ドレイン電極となる画素電極、及び、高濃度の不純物が導入された前記ソース領域と前記障壁層を介して導電接続する前記ソース電極を、前記コンタクトホールを介して順次形成する工程と、
を順に有し、
前記高濃度不純物導入工程を、導入された不純物の分布のピークが、前記ソース領域及びドレイン領域と前記障壁層の境界部分より前記障壁層の側に位置するように前記不純物のイオンの加速エネルギーを調整して行なうことを特徴とするアクティブマトリクス基板の製造方法。
【請求項３】
請求項１又は２において、
前記障壁層は、窒化チタン層、インジウム錫酸化物層、アルミニウム層、アルミニウム合金層、モリブデン層、タングステン層、およびクロム層のうちいずれかの層からなることを特徴とするアクティブマトリクス基板の製造方法。
【請求項４】
請求項１又は２において、
前記画素電極は、インジウム錫酸化物層からなることを特徴とするアクティブマトリクス基板の製造方法。
【請求項５】
請求項１乃至４のいずれかのアクティブマトリクス基板の製造方法を用いて製造する液晶表示パネルの製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、薄膜トランジスタの製造方法、アクティブマトリクス基板の製造方法、および液晶表示パネルの製造方法に関する。
【０００２】
【従来の技術】
液晶表示パネルのアクティブマトリクス基板上に、画素スイッチング用に適した薄膜トランジスタ（以下、ＴＦＴという。）を形成する場合には、従来、まず、図１３（ａ）に示すように、石英基板６０１の表面に、シリコン酸化膜６０６を形成する。次に、シリコン酸化膜６０６の表面側にノンドープの多結晶シリコン膜を形成した後、それをパタンニングして、多結晶シリコン膜６０４を形成する。次に、多結晶シリコン膜６０４の表面側にシリコン酸化膜６０８（ゲート絶縁膜）を形成した後、シリコン酸化膜６０８の表面側にゲート電極６０９を形成する。
【０００３】
次に、図１３（ｂ）に示すように、ゲート電極６０９をマスクとして低濃度のリンイオンをイオン注入し、多結晶シリコン膜６０４に低濃度のソース・ドレイン領域６０４ａを形

成する。ここで、不純物が注入されなかった部分がチャネル形成領域６０７となる。
【０００４】
次に、図１３（ｃ）に示すように、ゲート電極６０９の周囲をマスク６４５で覆い、この状態で、高濃度のリンイオンをイオン注入する。その結果、低濃度のソース・ドレイン領域６０４ａのうち、マスク６４５で覆われていなかった部分は、高濃度コンタクト領域６４２ａ、６４３ａとなる一方、マスク６４５で覆われていた部分は、低濃度ソース・ドレイン領域６４２ｂ、６４３ｂとなる。
【０００５】
次に、図１３（ｄ）に示すように、ゲート電極６０９の表面側に層間絶縁膜６１１を形成した後、コンタクトホール６１１ａ、６１１ｂを形成し、これらのコンタクトホールを介して、高濃度コンタクト領域６４２ａ、６４３ａにソース電極６１３およびドレイン電極６１２をそれぞれ導電接続させると、ＬＤＤ構造のＴＦＴが製造される。
【０００６】
【発明が解決しようとする課題】
しかしながら、従来のＴＦＴの製造方法では、図１３（ｃ）に示す工程において、高濃度コンタクト領域６４２ａ、６４３ａだけを形成する目的のために、ゲート電極６０９の周囲を覆うマスク６４５を形成する必要があるため、マスクの枚数が増えるという問題点がある。
【０００７】
そこで、以下に説明するように、層間絶縁膜に形成したコンタクトホールを利用して高濃度コンタクト領域を形成する方法が案出されている。かかる方法では、まず、図１４（ａ）に示すように、石英基板６０１の表面にシリコン酸化膜６０６を形成した後、多結晶シリコン膜６０４を形成する。また、多結晶シリコン膜６０４の表面側にシリコン酸化膜６０８（ゲート絶縁膜）を形成する。次に、シリコン酸化膜６０８の表面側にゲート電極６０９を形成する。
【０００８】
次に、図１４（ｂ）に示すように、ゲート電極６０９をマスクとして低濃度のリンイオンをイオン注入し、低濃度のソース・ドレイン領域６０４ａを形成する。不純物が注入されなかった部分がチャネル形成領域６０７となる。
【０００９】
次に、図１４（ｃ）に示すように、ゲート電極６０９の表面側に層間絶縁膜６１１を形成した後、それにコンタクトホール６１１ａ、６１１ｂを形成する。この状態で、コンタクトホール６１１ａ、６１１ｂを介して、低濃度のソース・ドレイン領域６０４ａに高濃度のリンイオンを注入し、高濃度コンタクト領域６３２ａ、６３３ａを形成する。高濃度のリンイオンが注入されなかった部分が低濃度ソース・ドレイン領域６３２ｂ、６３３ｂとなる。
【００１０】
このようにして、ＬＤＤ構造のＴＦＴを形成すると、高濃度コンタクト領域６３２ａ、６３３ａを形成することだけを目的とするマスクを省略できるという利点がある。しかながら、この方法では、コンタクトホール６１１ａ、６１１ｂを介して高濃度の不純物イオンを注入する際に、多結晶シリコン膜６０４に不純物イオンを直接打ち込むため、イオン注入時の打ち込みエネルギーを小さくする必要がある。ここで、イオン注入時の打ち込みエネルギーを小さくすると、イオン注入時のビーム電流が小さくなり、不純物イオンを高濃度に注入するのに長時間を要し、生産性が低下するという問題点がある。加えて、イオン注入後の不純物濃度のピークは、低濃度のソース・ドレイン領域６０４ａの内部にあって、かかる部分では、結晶性が大きく劣化してしまう。このため、高温で熱処理を行なわなければ、結晶性を回復させることができず、低温プロセスに不向きであるという問題点がある。
【００１１】
以上の問題点に鑑みて、本発明の課題は、高濃度コンタクト領域を形成するだけを目的と

するマスクを用いずに、ソース・ドレイン領域に高濃度コンタクト領域を形成するとともに、その不純物導入工程では、生産性が高いＴＦＴの製造方法、および液晶表示パネル用アクティブマトリクス基板の製造方法を実現することにある。

【００１２】

また、本発明の課題は、不純物を導入した後のソース・ドレイン領域における結晶性の劣化を低温熱処理でも回復することが可能なＴＦＴの製造方法、および液晶表示パネル用アクティブマトリクス基板の製造方法を実現することにある。さらに、本発明の課題は、高濃度コンタクト領域を形成する際に用いた障壁層を利用して、ソース・ドレイン領域とソース・ドレイン電極との接続抵抗を低減したＴＦＴ、およびその製造方法を実現することにある。

【００１３】

【課題を解決するための手段】

上記課題を解決するために、本発明のアクティブマトリクス基板の製造方法は、ソース領域及びドレイン領域、並びに、該ソース領域及びドレイン領域間に形成されたチャネル領域を有するシリコン層と、前記チャネル領域にゲート絶縁膜を介して対峙するゲート電極と、前記シリコン層上にあって前記ソース領域およびドレイン領域に対応する位置に設けられたコンタクトホールを有する絶縁層と、前記コンタクトホールを介して前記ソース領域及びドレイン領域と導電接続されたソース電極およびドレイン電極とを有する薄膜トランジスタを形成したアクティブマトリクス基板の製造方法において、少なくとも前記コンタクトホールの底部に障壁層を形成する工程と、前記障壁層を介して前記シリコン層の前記ソース領域及びドレイン領域に高濃度の不純物を直接導入する高濃度不純物導入工程と、熱処理により前記ソース領域及びドレイン領域の結晶性を回復する工程と、前記障壁層を除去する工程と、高濃度の不純物が導入された前記ドレイン領域と接続し、且つ、その一部が前記ドレイン電極となる画素電極、及び、高濃度の不純物が導入された前記ソース領域と接続する前記ソース電極を、前記コンタクトホールを介して順次形成する工程と、を順に有し、前記高濃度不純物導入工程を、導入された不純物の分布のピークが、前記ソース領域及びドレイン領域と前記障壁層の境界部分より前記障壁層の側に位置するように前記不純物のイオンの加速エネルギーを調整して行なうことを特徴とする。

また、本発明のアクティブマトリクス基板の製造方法は、ソース領域及びドレイン領域、並びに、該ソース領域及びドレイン領域間に形成されたチャネル領域を有するシリコン層と、前記チャネル領域にゲート絶縁膜を介して対峙するゲート電極と、前記シリコン層上にあって前記ソース領域およびドレイン領域に対応する位置に設けられたコンタクトホールを有する絶縁層と、前記コンタクトホールを介して前記ソース領域及びドレイン領域と導電接続されたソース電極およびドレイン電極とを有する薄膜トランジスタを形成したアクティブマトリクス基板の製造方法において、少なくとも前記コンタクトホールの底部に障壁層を形成する工程と、前記障壁層を介して前記シリコン層の前記ソース領域及びドレイン領域に高濃度の不純物を直接導入する高濃度不純物導入工程と、熱処理により前記ソース領域及びドレイン領域の結晶性を回復する工程と、前記障壁層を残したまま、高濃度の不純物が導入された前記ドレイン領域と前記障壁層を介して導電接続し、且つ、その一部が前記ドレイン電極となる画素電極、及び、高濃度の不純物が導入された前記ソース領域と前記障壁層を介して導電接続する前記ソース電極を、前記コンタクトホールを介して順次形成する工程と、を順に有し、前記高濃度不純物導入工程を、導入された不純物の分布のピークが、前記ソース領域及びドレイン領域と前記障壁層の境界部分より前記障壁層の側に位置するように前記不純物のイオンの加速エネルギーを調整して行なうことを特徴とする。

また、本発明のアクティブマトリクス基板の製造方法は、前記障壁層は、窒化チタン層、インジウム錫酸化物層、アルミニウム層、アルミニウム合金層、モリブデン層、タングステン層、およびクロム層のうちいずれかの層からなることを特徴とする。

また、本発明のアクティブマトリクス基板の製造方法は、前記画素電極は、インジウム錫酸化物層からなることを特徴とする。

また、本発明の液晶表示パネルの製造方法は、請求項１乃至４のいずれかのアクティブマトリクス基板の製造方法を用いて製造する事を特徴とする。

【００１４】

さらに、前記障壁層は、窒化チタン層、インジウム錫酸化物層、アルミニウム層、アルミニウム合金層、モリブデンそう、タングステン層、およびクロム層のうちいずれかの層を備えることを特徴とする。

【００１５】

さらに、本発明は、インジウム錫酸化物層からなる画素電極を形成することを特徴とする。

【００１６】

さらに、本発明は、前記障壁層とインジウム錫酸化物層からなる画素電極を形成することを特徴とする。

【００１７】

さらに、本発明は、前記障壁層が遮光層あるいは反射層としても機能するように形成することを特徴とする。

【００１８】

また、本発明の液晶表示パネルの製造方法は、上記のいずれかのアクティブマトリクス基板の製造方法を用いて製造されることを特徴とする。

【００１９】

さらに、本発明では、ソース領域およびドレイン領域との間でチャネルを形成可能なチャネル形成領域と、このチャネル領域にゲート絶縁膜を介して対峙するゲート電極とを有し、ソース領域およびドレイン領域には、これらの領域の表面側に形成された層間絶縁膜のコンタクトホールを介してソース電極およびドレイン電極が導電接続する高濃度コンタクト領域を備えるＴＦＴの製造方法において、

ソース領域およびドレイン領域の表面側に形成した層間絶縁膜にコンタクトホールを形成した後、層間絶縁膜の表面側に障壁層を形成する障壁層形成工程と、コンタクトホールからその底部に位置する障壁層を介してソース領域およびドレイン領域に高濃度の不純物を導入して高濃度コンタクト領域を形成する高濃度不純物導入工程とを行なうことに特徴を有する。

【００２０】

すなわち、高濃度コンタクト領域を形成するための高濃度不純物導入工程では、層間絶縁膜のコンタクトホールから不純物を打ち込むとともに、この不純物を打ち込む前に、少なくともコンタクトホールの底面に障壁層を形成しておくことに特徴を有する。

【００２１】

本発明において、ソース領域およびドレイン領域に高濃度コンタクト領域を備える構造とは、ソース領域およびドレイン領域の一部が高濃度コンタクト領域になっている構造だけでなく、ソース領域およびドレイン領域全体が高濃度領域として形成されて、ソース領域およびドレイン領域自身が高濃度コンタクト領域になっている構造をも意味する。

【００２２】

本発明に係るＴＦＴは、チャネル形成領域に対して、その上層側でゲート絶縁膜を介してゲート電極が対峙するトップゲート型のＴＦＴとして構成できる。逆に、本発明に係るＴＦＴは、チャネル形成領域に対して、その下層側でゲート絶縁膜を介してゲート電極が対峙するボトムゲート型のＴＦＴとして構成することもできる。

【００２３】

本発明では、窒化チタン層（以下、ＴｉＮｘ 層という。）、インジウム錫酸化物層（以下、ＩＴＯ層という。）、アルミニウム層、アルミニウム合金層、モリブデン層、タングステン層、またはクロム層を単層のままで、またはそれらを複層構造にして障壁層として用いることができる。

【００２４】

本発明では、高濃度不純物導入工程を行なった後に障壁層を除去し、しかる後に、ソース

電極およびドレイン電極を形成する場合がある。

【００２５】

これに対して、ソース電極またはドレイン電極と、高濃度コンタクト領域との間における接続抵抗を小さくするという観点からは、高濃度不純物導入工程を行なった以降、障壁層をコンクタクトホールの底部に残し、この底部に残った障壁層を介して、ソース電極またはドレイン電極を高濃度コンタクト層に導電接続させることもできる。かかる方法により製造されたＴＦＴでは、ソース領域およびドレイン領域との間にチャネルを形成可能なチャネル形成領域と、このチャネル領域にゲート絶縁膜を介して対峙するゲート電極とを有し、ソース領域およびドレイン領域には、これらの領域の表面側に形成された層間絶縁膜のコンタクトホールを介してソース電極およびドレイン電極が導電接続する高濃度コンタクト領域を備えるとともに、コンタクトホールの底部には、障壁層を有する。従って、ソース電極およびドレイン電極は、障壁層を介してソース領域およびドレイン領域に導電接続している構造となる。

【００２６】

また、ドレイン電極（ＩＴＯ層）と、高濃度コンタクト領域（シリコン膜）との間における接続抵抗を小さくするという観点からは、高濃度不純物導入工程を行なった以降、障壁層を少なくともドレイン領域側のコンクタクトホールの底部に残し、この底部に残った障壁層を介して、ＩＴＯ層からなるドレイン電極をドレイン領域の高濃度コンタクト層に導電接続させることもできる。かかる方法により製造したＴＦＴでは、障壁層を介してインジウム錫酸化物層からなるドレイン電極がドレイン領域の高濃度コンタクト層に導電接続している構造となる。

【００２７】

本発明に係るＴＦＴの製造方法は、液晶表示パネルのアクティブマトリクス基板上に画素用ＴＦＴを形成するのに適している。

【００２８】

【作用】

本発明において、高濃度コンタクト領域を形成するための高濃度不純物導入工程では、層間絶縁膜のコンタクトホールから不純物を打ち込むとともに、この不純物を打ち込む前に、少なくともコンタクトホールの底面に障壁層を形成しておく。従って、マスクを形成しなくても、ソース領域およびドレイン領域のうち、所定の領域のみに高濃度の不純物を導入することができる。また、障壁層を介して不純物を打ち込むため、打ち込みエネルギーを大きく設定することができるので、不純物の導入速度を高めることができる。さらに、障壁層を介してソース・ドレイン領域に不純物を打ち込むため、不純物分布のピークが、ソース・ドレイン領域の内部ではなく、ソース・ドレイン領域と障壁層との境界部分に対して障壁層の側に位置するように打ち込みエネルギーを設定できる。このため、不純物分布のピーク部分では、結晶性が劣化するが、ソース・ドレイン領域では結晶性が大きく劣化しないので、低温の熱処理を行なうことで、ソース・ドレイン領域の結晶性を回復させることができる。よって、本発明によれば、低温プロセスで高性能のＴＦＴを製造することができる。

【００２９】

また、高濃度不純物導入工程を行なった以降、障壁層をコンクタクトホールの底部に残し、この底部に残った障壁層を介して、ソース電極またはドレイン電極を高濃度コンタクト層に導電接続させると、障壁層を介してソース・ドレイン領域に高濃度の不純物を打ち込むときに、シリコン膜と障壁層との間で境界部分を通して原子の相互移動が起こる。従って、障壁層とソース・ドレイン領域との間で生じる原子のミキシングにより接続抵抗が小さくなる。一方、これらの金属材料からなる障壁層と、ソース電極またはドレイン電極を構成する材料との間では、もとより接続抵抗が小さい。それ故、ソース電極またはドレイン電極を障壁層を介して高濃度コンタクト領域（シリコン膜）に接続すれば、この接続部分における接続抵抗を低減することができる。

【００３０】

さらに、高濃度不純物導入工程を行なった以降、障壁層を少なくともドレイン領域側のコンクタクトホールの底部に残し、この底部に残った障壁層を介して、ＩＴＯ層からなるドレイン電極をドレイン領域の高濃度コンタクト層に導電接続させると、ドレイン電極（ＩＴＯ層）と高濃度コンタクト領域（シリコン膜）とは障壁層を介して導電接続する。このため、ドレイン電極（ＩＴＯ層）と高濃度コンタクト領域（シリコン膜）とが直接には導電接続しないので、それらの間における接続抵抗を大幅に低減することができる。

【００３１】

【実施例】

添付図面を参照して、本発明の実施例を説明する。

【００３２】

〔実施例１〕

なお、以下に説明するいずれのＴＦＴ（薄膜トランジスタ）も、液晶表示パネルのアクティブマトリクス基板上に画素用ＴＦＴとして製造する。そこで、図１を参照して、実施例１、２、３で説明するトップゲート型の薄膜トランジスタを用いたアクティブマトリクス基板の構成を説明しておく。

【００３３】

図１には、液晶表示パネル用のアクティブマトリクス基板において、信号線と走査線とが区画する画素領域の一つを拡大して示してある。この図において、液晶表示パネル用のアクティブマトリクス基板１では、信号線２と走査線３とによって画素領域４が区画されており、この画素領域４には、信号線２から延設されたソース電極Ｓが導電接続するソース領域と、走査線３から延設されたゲート電極Ｇとを備える画素用薄膜トランジスタ（ＴＦＴ）が形成されている。ここで、画素領域４を覆うＩＴＯ電極６は、その一部がＴＦＴのドレイン電極Ｄになっている。なお、以下の実施例１、２の説明に用いるＴＦＴの各断面は、図１におけるＸ－Ｘ′断面に相当する。

【００３４】

図２は、実施例１に係るＴＦＴの構成を示す縦断面図であり、このＴＦＴは、図１に示す画素用薄膜トランジスタに相当する。

【００３５】

図２において、透明な絶縁基板であるガラス基板１０１の表面側には、タンタル、アルミニウム、またはクロムからなるゲート電極１０９と、ゲート絶縁膜１０８と、ゲート電極１０９に対してセルフアライン的に形成されたソース領域１３２およびドレイン領域１３３と、これらのソース領域１３２とドレイン領域１３３との間にチャネルを形成するためのチャネル形成領域１０７とを有する。ＴＦＴ１００は、チャネル形成領域１０７に対して、その上層側でゲート絶縁膜１０８を介してゲート電極１０９が対峙するトップゲート型になっている。また、ＴＦＴ１００は、ソース領域１３２およびドレイン領域１３３にＮ型の不純物が導入されたＮチャネル型になっている。

【００３６】

ＴＦＴ１００は、ＬＤＤ構造を有しており、ソース領域１３２およびドレイン領域１３３には、層間絶縁膜１１１のコンタクトホール１１１ａ、１１１ｂに対応する領域に高濃度コンタクト領域１３２ａ、１３３ａを備え、ゲート電極１０９の端部に対峙する位置には、低濃度ソース領域１３２ｂおよび低濃度ドレイン領域１３３ｂを備えている。低濃度ソース領域１３２ｂおよび低濃度ドレイン領域１３３ｂのリンイオンのピーク濃度は、約$1\times10^{18}cm^{-3}$から約$1\times10^{19}cm^{-3}$までの範囲にあり、高濃度コンタクト領域１３２ａ、１３３ａにおけるリンイオン濃度は、約$1\times10^{20}cm^{-3}$である。

【００３７】

ＩＴＯ層からなるドレイン電極１１２（画素電極）、およびアルミニウム合金層からなるソース電極１１３は、コンタクトホール１１１ａ、１１１ｂを介して高濃度コンタクト領域１３２ａ、１３３ａに導電接続されている。

【００３８】

このような構造のＴＦＴ１００では、以下に説明する製造方法によって形成されているた

め、生産性が高いとともに、ソース領域１３２およびドレイン領域１３３への不純物の導入時に発生した結晶性の劣化は、低温熱処理で充分に修復されている。

【００３９】

本例のＴＦＴ１００の製造方法を説明する前に、その不純物導入工程で用いるイオン注入装置の構造を説明しておく。

【００４０】

図３は、本例のＴＦＴの製造方法に用いたイオン注入装置の概略構成図である。イオン注入装置５０には、プラズマ源５１から不純物イオン５２を引き出すための引出し電極５３と、不純物イオン５２を所定のエネルギーになるように加速するための加速電極５４とが設けられている。引出し電極５３および加速電極５４には、それぞれ所定の電圧が印加されるようになっており、プラズマ源５１から引き出された不純物イオン５２をガラス基板５５の表面側に形成された多結晶シリコン膜に打ち込めるようになっている。イオン注入装置５０には、ドーパントガスから発生したイオンに対して質量分離を行なうための質量分離部が構成されておらず、ドーパントガスから発生した全てのイオンを質量分離することなく、多結晶シリコン膜に打ち込むようになっている。

【００４１】

図４（ａ）～（ｆ）は、本例のＴＦＴの製造方法を示す工程断面図である。

【００４２】

まず、図４（ａ）に示すように、ガラス基板１０１の表面に、膜厚が約２０００オングストロームのシリコン酸化膜１０６を形成する。ガラス基板１０１に含まれる金属イオンなどの影響を防止するためである。次に、シリコン酸化膜１０６の表面側に、膜厚が約５００オングストロームのノンドープの多結晶シリコン膜を形成した後、それをパタンニングして、多結晶シリコン膜１０４を形成する。かかる多結晶シリコン膜１０４は、たとえば、固相成長法や低温低圧ＣＶＤ法（ＬＰＣＶＤ法）などの低温成膜法により形成される。また、多結晶シリコン膜１０４は、非晶質シリコン膜をレーザーアニール法で多結晶化することにより形成する場合もある。

【００４３】

次に、多結晶シリコン膜１０４の表面側に、膜厚が約１２００オングストロームのシリコン酸化膜１０８（ゲート絶縁膜）を形成する。次に、シリコン酸化膜１０８の表面側に、アルミニウム、クロム、タンタルなどの電気的抵抗の小さな金属層をスパッタ法などにより形成した後に、それをパタンニングして、膜厚が約６０００オングストロームのゲート電極１０９を形成する。

【００４４】

次に、図４（ｂ）に示すように、図３に示したイオン注入装置５０を用いて、PH_3 を５％含み、残部が水素ガスである混合ガスから発生する全てのイオンを、質量分離することなく、約８０ｋｅＶのエネルギーでゲート電極１０９をマスクとしながら多結晶シリコン膜１０４にイオン注入する。なお、水素ガスに代えて、ヘリウムガスを用いる場合もある。ここで、不純物の導入量は、リンイオンのドーズ量に換算して1×10^{13}／cm^2 から1×10^{14}／cm^2 までの範囲である。その結果、多結晶シリコン膜１０４には、リンイオンの濃度ピークが$1\times10^{18}cm^{-3}$から$1\times10^{19}cm^{-3}$までの範囲にある低濃度のソース・ドレイン領域１０４ａが形成される。続いて、図３に示したイオン注入装置５０を用いて、純水素ガスからなるドーピングガスから発生する全てのイオンを打ち込んで、低濃度ソース・ドレイン領域１０４ａに含まれる欠陥を水素によって除去する。水素イオンの打ち込みによって、シリコン膜中の不整結合を終端化して、低濃度領域についても低温熱処理で活性化できるようにするためである。この場合には、水素イオンの濃度ピークは、$6\times10^{18}cm^{-3}$から$1\times10^{20}cm^{-3}$までの範囲とする。なお、不純物が注入されなかった部分がチャネル形成領域１０７となる。

【００４５】

次に、図４（ｃ）に示すように、ゲート電極１０９の表面側に層間絶縁膜１１１を形成した後に、それにコンタクトホール１１１ａ、１１１ｂを形成する。

【００４６】
さらに、本例では、図４（ｄ）に示すように、層間絶縁膜１１１の表面側（ガラス基板１０１の表面全体）にＴｉＮｘ 層からなる薄い障壁層１４０（たとえば、膜厚が約１０００オングストロームの障壁層）を形成する。その結果、障壁層１４０は、層間絶縁膜１１１の表面側だけでなく、コンタクトホール１１１ａ、１１１ｂの底部にも形成される（障壁層形成工程）。
【００４７】
次に、図４（ｅ）に示すように、コンタクトホール１１１ａ、１１１ｂの内部に障壁層１４０を形成した状態のままで、高濃度の不純物を導入する。この際には、マスクを用いずに、ガラス基板１０１の表面全体に不純物を注入する（高濃度不純物導入工程）。
【００４８】
この高濃度不純物導入工程においても、図３に示したイオン注入装置５０を用いる。すなわち、PH_3 を５％含み、残部が水素ガスである混合ガスから発生する全てのイオンを、質量分離することなく、約８０ｋｅＶのエネルギーでイオン注入する。このときのイオンの加速電圧などの条件は、不純物濃度のピーク部分が、ソース領域１３２およびドレイン領域１３３と障壁層１４０との境界部分に対して障壁層１４０の側に位置するように設定する。また、不純物導入量は、リンイオンのドーズ量に換算して約1×10^{15}／cm^2 である。
【００４９】
その結果、コンタクトホール１１１ａ、１１１ｂからは、その底部に位置する障壁層１４０を介して高濃度の不純物が選択的に打ち込まれる。従って、ソース領域１３２およびドレイン領域１３３のうち、コンタクトホール１１１ａ、１１１ｂに対応する領域には、高濃度コンタクト領域１３２ａ、１３３ａが形成される。その他の部分は、低濃度ソース領域１３２ｂおよび低濃度ドレイン領域１３３ｂとなる。
【００５０】
次に、打ち込んだ不純物に対して、窒素雰囲気中で約３００℃、１時間の低温熱処理を施す。
【００５１】
しかる後に、図４（ｆ）に示すように、障壁層１４０を完全に除去した後、ＩＴＯ層（画素電極）からなるドレイン電極１１２、およびアルミニウム合金層からなるソース電極１１３を順次形成する。
【００５２】
このように、本例のＴＦＴ１００の製造方法では、高濃度不純物導入工程において、層間絶縁膜１１１に形成したコンタクトホール１１１ａ、１１１ｂから不純物を選択的に打ち込むため、それだけを目的としたマスクを形成してなくても、所定の領域のみに不純物を導入することができる。
【００５３】
また、かかる高濃度不純物導入工程では、低濃度のソース・ドレイン領域１０４ａに不純物を直接打ち込むのでなく、障壁層１４０を介して打ち込む。ここで、イオンの加速電圧などは、不純物分布のピークが障壁層１４０の内部に位置するように設定してあるので、不純物濃度のピーク部分では、結晶性が低下するが、かかる部分は、障壁層１４０の内部に存在する。従って、ソース領域１３２およびドレイン領域１３３では、結晶性が大きく劣化しない。それ故、高温で熱処理を行なわなくても、比較的低温（たとえば、約３００℃）で熱処理を行なうことにより、ソース領域１３２およびドレイン領域１３３の結晶性を回復させることができるので、製造工程全体を低温プロセスで行なうことができる。
【００５４】
さらに、低濃度のソース・ドレイン領域１０４ａには、障壁層１４０を介して不純物を打ち込むため、打ち込みエネルギーを大きく設定することができる。従って、ビーム電流値を大きく設定できるので、不純物の導入速度を高めることができる。それ故、本例の製造方法によれば、高濃度の不純物を短時間で導入できるので、生産性が高いという利点もあ

る。
【００５５】
しかも、障壁層１４０は、あくまで層間絶縁膜１１１の表面全体に形成すればよく、それをパタンニングする必要がないので、マスク枚数が増えるという欠点もない。
【００５６】
〔実施例２〕
図５は、実施例２に係るＴＦＴの構成を示す縦断面図である。なお、本例のＴＦＴは、実施例１のＴＦＴと基本的には同じ構成になっているので、対応する部分には、同じ符号を付してある。ここで、実施例１は、コプレーナ型であり、実施例２は、スタガード型であるが、本発明の目的の範囲では、いずれの構造をも同じように用いることができる。
【００５７】
図５において、透明な絶縁基板であるガラス基板１０１の表面側には、タンタル、アルミニウム、またはクロムからなるゲート電極１０９と、ゲート電極１０９に対してセルフアライン的に形成されたソース領域１６２およびドレイン領域１６３と、これらのソース領域１６２とドレイン領域１６３との間にチャネルを形成するためのチャネル形成領域１０７とを有する。ここで、ＴＦＴ２００は、チャネル形成領域１０７に対して、その上層側でゲート絶縁膜１０８を介してゲート電極１０９が対峙するトップゲート型になっている。また、ＴＦＴ２００は、ソース領域１６２およびドレイン領域１６３にＮ型の不純物が導入されたＮチャネル型になっている。
【００５８】
ソース領域１６２およびドレイン領域１６３には、層間絶縁膜１１１のコンタクトホール１１１ａ、１１１ｂに対応する領域に高濃度コンタクト領域１６２ａ、１６３ａを備え、これらの高濃度コンタクト領域１６２ａ、１６３ａにおけるリンイオン濃度は、約$1\times10^{20}cm^{-3}$である。
【００５９】
ＩＴＯ層からなるドレイン電極１１２（画素電極）、およびアルミニウム合金層からなるソース電極１１３は、コンタクトホール１１１ａ、１１１ｂを介して高濃度コンタクト領域１６２ａ、１６３ａに導電接続しているが、コンタクトホール１１１ａ、１１１ｂの底部には、ＴｉNx 層からなる薄い障壁層２４０ａ、２４０ｂ（たとえば、膜厚が約１０００オングストロームの障壁層）がある。従って、ソース電極１１３およびドレイン電極１１２は、障壁層２４０ａ、２４０ｂを介して高濃度コンタクト領域１６２ａ、１６３ａに導電接続している。
【００６０】
なお、ゲート電極１０９の端部に対峙する位置には、膜厚が約５００オングストロームの低濃度ソース領域１６２ｂ、および膜厚が約５００オングストロームの低濃度ドレイン領域１６３ｂを備えており、ＴＦＴ２００は、ＬＤＤ構造を有している。低濃度ソース領域１６２ｂおよび低濃度ドレイン領域１６３ｂのリンイオンのピーク濃度は、約$1\times10^{18}$$cm^{-3}$から約$1\times10^{19}cm^{-3}$までの範囲にある。ここで、低濃度ソース領域１６２ｂおよび低濃度ドレイン領域１６３ｂの下層側には、膜厚が約１０００オングストロームの下層側ソース領域１６２ｃ、および下層側ドレイン領域１６３ｃが形成されている。
【００６１】
このように構成したトップゲート型のＴＦＴ２００は、以下の製造方法によって製造されているため、実施例１と同様に、生産性が高いとともに、ソース領域１６２およびドレイン領域１６３への不純物の導入時に発生した結晶性の劣化は、低温熱処理で充分に修復されている。また、ソース電極１１３およびドレイン電極１１２と、高濃度コンタクト領域１６２ａ、１６３ａとの間における接続抵抗が小さい。
【００６２】
図６は、ＴＦＴ２００の製造方法を示す工程断面図である。
【００６３】
まず、図６（ａ）に示すように、ガラス基板１０１の表面に、膜厚が約２０００オングス

トロームのシリコン酸化膜１０６を形成する。

【００６４】

次に、膜厚が約１０００オングストロームのノンドープの多結晶シリコン膜を形成した後、それをパタンニングして、下層側の多結晶シリコン膜１０５を形成する。

【００６５】

次に、膜厚が約５００オングストロームのノンドープの多結晶シリコン膜を形成した後、それをパタンニングして、上層側の多結晶シリコン膜１０４を形成する。かかる多結晶シリコン膜１０４、１０５は、たとえば、固相成長法や低温低圧ＣＶＤ法（ＬＰＣＶＤ法）などにより形成される。また、多結晶シリコン膜１０４、１０５は、非晶質シリコン膜をレーザーアニール法で多結晶化することにより形成する場合もある。

【００６６】

次に、多結晶シリコン膜１０４の表面側に、膜厚が約１２００オングストロームのシリコン酸化膜１０８（ゲート絶縁膜）を形成する。次に、シリコン酸化膜１０８の表面側に、アルミニウム、クロム、タンタルなどの電気的抵抗の小さな金属層をスパッタ法などにより形成した後に、それをパタンニングして、膜厚が約６０００オングストロームのゲート電極１０９を形成する。

【００６７】

次に、図６（ｂ）に示すように、図３に示したイオン注入装置５０を用いて、PH_3 を５％含み、残部が水素ガスである混合ガスから発生する全てのイオンを、質量分離することなく、約８０ｋｅＶのエネルギーでゲート電極１０９をマスクとしながら多結晶シリコン膜１０４、１０５にイオン注入する。なお、水素ガスに代えて、ヘリウムガスを用いる場合もある。ここで、不純物の導入量は、リンイオンのドーズ量に換算して1×10^{13}／cm^2 から1×10^{14}／cm^2 までの範囲である。その結果、多結晶シリコン膜１０４、１０５には、リンイオンの濃度ピークが$1\times10^{18}cm^{-3}$から$1\times10^{19}cm^{-3}$までの範囲にある低濃度のソース・ドレイン領域１０４ａ、１０５ａが形成される。続いて、図２に示したイオン注入装置５０を用いて、純水素ガスからなるドーピングガスから発生する全てのイオンを打ち込んで、低濃度のソース・ドレイン領域１０４ａ、１０５ａに含まれる欠陥を水素によって除去する。この場合には、水素イオンの濃度ピークは、$6\times10^{18}cm^{-3}$から$1\times10^{20}cm^{-3}$までの範囲とする。なお、不純物が注入されなかった部分がチャネル形成領域１０７となる。

【００６８】

次に、図６（ｃ）に示すように、ゲート電極１０９の表面側に層間絶縁膜１１１を形成した後に、それにコンタクトホール１１１ａ、１１１ｂを形成する。

【００６９】

さらに、本例では、層間絶縁膜１１１の表面側（ガラス基板１０１の表面全体）にＴｉＮｘ層からなる薄い障壁層２４０（たとえば、膜厚が約１０００オングストロームの障壁層）を形成する。ここで、障壁層２４０は、層間絶縁膜１１１の表面側だけでなく、コンタクトホール１１１ａ、１１１ｂの底部にも形成される（障壁層形成工程）。

【００７０】

次に、図６（ｄ）に示すように、コンタクトホール１１１ａ、１１１ｂの底部に障壁層２４０を形成した状態のままで、高濃度の不純物を導入する。この際には、マスクを用いずに、ガラス基板１０１の表面全体に不純物を注入する（高濃度不純物導入工程）。

【００７１】

この高濃度不純物導入工程においても、図３に示したイオン注入装置５０を用いる。すなわち、PH_3 を５％含み、残部が水素ガスである混合ガスから発生する全てのイオンを、質量分離することなく、約８０ｋｅＶのエネルギーでイオン注入する。このときのイオンの加速電圧などの条件は、不純物分布のピークが障壁層２４０の側に位置するように設定する。また、不純物導入量は、リンイオンのドーズ量に換算して約1×10^{15}／cm^2 である。

【００７２】

その結果、低濃度のソース・ドレイン領域１０４ａ、１０５ａのうち、コンタクトホール１１１ａ、１１１ｂに対応する領域には、マスクを用いなくても、高濃度の不純物が選択的に導入され、高濃度コンタクト領域１６２ａ、１６３ａが形成される。その他の部分は、低濃度ソース領域１６２ｂおよび低濃度ドレイン領域１６３ｂとなる。

【００７３】

次に、打ち込んだ不純物に対して、窒素雰囲気中で約３００℃、１時間の低温熱処理を施す。

【００７４】

次に、図６（ｅ）に示すように、障壁層２４０をパタンニングして、コンタクトホール１１ａ、１１１ｂの底部、およびその周囲に障壁層２４０ａ、２４０ｂを残す。

【００７５】

しかる後に、図５に示すように、ＩＴＯ層（画素電極）からなるドレイン電極１１２、およびアルミニウム合金層からなるソース電極１１３を順次形成する。その結果、ドレイン電極１１２は、障壁層２４０ｂを介して高濃度コンタクト領域１６３ａに導電接続し、ソース電極１１３は、障壁層２４０ａを介して高濃度コンタクト領域１６２ａに導電接続する。

【００７６】

このように、本例のＴＦＴ２００の製造方法では、高濃度不純物導入工程において、層間絶縁膜１１１に形成したコンタクトホール１１１ａ、１１１ｂから不純物を打ち込むため、マスクを形成してなくても、所定の範囲のみに不純物を導入することができる。

【００７７】

また、高濃度不純物導入工程では、低濃度のソース・ドレイン領域１０４ａ、１０５ａに不純物を直接打ち込むのでなく、障壁層１４０を介して打ち込む。ここで、イオンの加速電圧などは、不純物分布のピークが障壁層１４０の内部に位置するように設定してある。従って、不純物分布のピーク部分では、結晶性が劣化するが、かかる部分は、障壁層２４０（障壁層２４０ａ、２４０ｂ）の内部に存在する。従って、ソース領域１６２およびドレイン領域１６３では、結晶性が大きく劣化しない。それ故、高温で熱処理を行なわなくても、比較的低温（たとえば、約３００℃）で熱処理を行なうことにより、ソース領域１６２およびドレイン領域１６３の結晶性を回復させることができるので、製造工程全体を低温プロセスで行なうことができるなど、実施例１と同様な効果を奏する。

【００７８】

それに加えて、本例では、高濃度不純物導入工程において、低濃度のソース・ドレイン領域１０４ａ、１０５ａに障壁層２４０を介して不純物イオンを打ち込んだ後、障壁層２４０（障壁層２４０ａ、２４０ｂ）をコンタクトホール１１１ａ、１１１ｂの底部に残して利用する。すなわち、高濃度不純物の導入時には、ソース・ドレイン領域１０４ａ、１０５ａ（シリコン膜）と障壁層２４０との間で境界部分を通して原子の相互移動が起こり、原子のミキシングが生じるので、高濃度コンタクト領域１６２ａ、１６３ａ（シリコン膜）と障壁層２４０との間における接続抵抗が小さい。ここで、障壁層２４０を構成するＴｉＮｘ 層と、ソース電極１１３を構成するアルミニウム合金層とは、もとより接続抵抗が小さい。従って、ソース領域１６２の側での接続抵抗が低減される。かかる効果は、障壁層２４０として、アルミニウム層、アルミニウム合金層、モリブデン層、タングステン層、またはクロム層を用いた場合にも得ることができる。

【００７９】

また、ＩＴＯ層からなるドレイン電極１１２と、高濃度コンタクト領域１６３ａ（シリコン膜）との接続抵抗は、従来より大きいという問題があったが、本例では、コタクトホール１１１ｂの底部に残した障壁層２４０ｂを介して、ドレイン電極１１２（ＩＴＯ層）と高濃度コンタクト領域１６３ａ（シリコン膜）とを導電接続させているので、ドレイン領域１６３の側でも、接続抵抗が小さい。

【００８０】

〔実施例３〕

図７は、実施例３に係るＴＦＴの構成を示す縦断面図である。なお、本例のＴＦＴは、実施例１、２のＴＦＴと相違して、オフセットゲート構造になっている。

【００８１】

図７において、透明な絶縁基板であるガラス基板３０１の表面側には、タンタル、アルミニウム、またはクロムからなるゲート電極３０９と、ゲート電極３０９の端部に対して横方向にずれた領域に位置するソース領域３６２およびドレイン領域３６３と、これらのソース領域３６２とドレイン領域３６３との間にチャネルを形成するためのチャネル形成領域３０７とを有する。ここで、ＴＦＴ３００は、チャネル形成領域３０７に対して、その上層側でゲート絶縁膜３０８を介してゲート電極３０９が対峙するトップゲート型になっている。また、ＴＦＴ３００は、ソース領域３６２およびドレイン領域３６３にＮ型の不純物が導入されたＮチャネル型になっている。

【００８２】

ソース領域３６２およびドレイン領域３６３は、層間絶縁膜３１１のコンタクトホール３１１ａ、３１１ｂが対応する領域のみに形成され、ソース領域３６２およびドレイン領域３６３自身が、アルミニウム合金層からなるソース電極３１３、およびＩＴＯ層からなるドレイン電極３１２が導電接続する高濃度コンタクト領域になっている。ここで、コンタクトホール３１１ａ、３１１ｂの底部には、ＴｉＮx 層からなる薄い障壁層３４０ａ、３４０ｂ（たとえば、膜厚が約１０００オングストロームの障壁層）がある。従って、ソース電極３１３およびドレイン電極３１２は、障壁層３４０ａ、３４０ｂを介してソース領域３６２およびドレイン領域３６３に導電接続されている。

【００８３】

このように構成したトップゲート型のＴＦＴ３００は、以下の製造方法によって製造されているため、実施例１と同様に、生産性が高いとともに、ソース領域３６２およびドレイン領域３６３への不純物の導入時に発生した結晶性の劣化は、低温熱処理で充分に修復されている。また、ソース電極３１３およびドレイン電極３１２と、ソース領域３６２およびドレイン領域３６３との間における接続抵抗が小さい。

【００８４】

図８は、ＴＦＴ３００の製造方法を示す工程断面図である。

【００８５】

まず、図８（ａ）に示すように、ガラス基板３０１の表面に、膜厚が約２０００オングストロームのシリコン酸化膜３０６を形成する。

【００８６】

次に、膜厚が約５００オングストロームのノンドープの多結晶シリコン膜を形成した後、それをパタンニングして、多結晶シリコン膜３０４を形成する。かかる多結晶シリコン膜は、たとえば、固相成長法や低温低圧ＣＶＤ法（ＬＰＣＶＤ法）などにより形成される。また、多結晶シリコン膜３０４は、非晶質シリコン膜をレーザーアニール法で多結晶化することにより形成する場合もある。

【００８７】

次に、多結晶シリコン膜３０４の表面側に、膜厚が約１２００オングストロームのシリコン酸化膜３０８（ゲート絶縁膜）を形成する。次に、シリコン酸化膜３０８の表面側に、アルミニウム、クロム、タンタルなどの電気的抵抗の小さな金属層をスパッタ法などにより形成した後に、それをパタンニングして、膜厚が約６０００オングストロームのゲート電極３０９を形成する。

【００８８】

次に、図８（ｂ）に示すように、ゲート電極３０９の表面側に層間絶縁膜３１１を形成した後に、それにコンタクトホール３１１ａ、３１１ｂを形成する。

【００８９】

さらに、本例では、層間絶縁膜３１１の表面側（ガラス基板３０１の表面全体）にＴｉＮx 層からなる薄い障壁層３４０（たとえば、膜厚が約１０００オングストロームの障壁層）を形成する。ここで、障壁層３４０は、層間絶縁膜３１１の表面側だけでなく、コンタ

クトホール３１１ａ、３１１ｂの底部にも形成される（障壁層形成工程）。

【００９０】

次に、図８（ｃ）に示すように、コンタクトホール３１１ａ、３１１ｂの底部に障壁層３４０を形成した状態のままで、高濃度の不純物を導入する。この際には、マスクを用いずに、ガラス基板３０１の表面全体に不純物を注入する（高濃度不純物導入工程）。

【００９１】

この高濃度不純物導入工程においても、図３に示したイオン注入装置５０を用いる。すなわち、PH_3 を５％含み、残部が水素ガスである混合ガスから発生する全てのイオンを、質量分離することなく、約８０ｋｅＶのエネルギーでイオン注入する。なお、水素ガスに代えて、ヘリウムガスを用いる場合もある。このときのイオンの加速電圧などの条件は、不純物濃度のピーク部分が障壁層３４０の側に位置するように設定する。また、不純物導入量は、リンイオンのドーズ量に換算して約1×10^{15}／cm^2 である。

【００９２】

その結果、多結晶シリコン膜３０４のうち、コンタクトホール３１１ａ、３１１ｂに対応する領域には、マスクを用いなくても、高濃度の不純物が選択的に導入され、ソース領域１６２およびドレイン領域１６３（高濃度コンタクト領域）が形成される。

【００９３】

次に、打ち込んだ不純物に対して、窒素雰囲気中で約３００℃、１時間の低温熱処理を施す。

【００９４】

次に、図８（ｄ）に示すように、障壁層３４０をパタンニングして、コンタクトホール３１１ａ、３１１ｂの底部、およびその周囲に障壁層３４０ａ、３４０ｂを残す。

【００９５】

しかる後に、図７に示すように、ＩＴＯ層（画素電極）からなるドレイン電極３１２、およびアルミニウム合金層からなるソース電極３１３を順次形成する。その結果、ドレイン電極３１２は、障壁層３４０ｂを介してドレイン領域３６３に導電接続し、ソース電極３１３は、障壁層３４０ａを介してソース領域３６２に導電接続する。

【００９６】

このように、本例のＴＦＴ３００の製造方法では、高濃度不純物導入工程において、層間絶縁膜３１１に形成したコンタクトホール３１１ａ、３１１ｂから不純物を打ち込むため、マスクを形成してなくても、所定の範囲のみに不純物を導入することができる。

【００９７】

また、高濃度不純物導入工程では、多結晶シリコン膜３０４に不純物を直接打ち込むのでなく、障壁層３４０を介して打ち込む。ここで、イオンの加速電圧などは、不純物分布のピークが障壁層３４０の内部に位置するように設定してある。従って、不純物濃度のピーク部分では、結晶性が低下するが、かかる部分は、障壁層３４０（障壁層３４０ａ、３４０ｂ）の内部に存在する。従って、ソース領域３６２およびドレイン領域３６３では、結晶性が大きく劣化しない。それ故、高温で熱処理を行なわなくても、比較的低温（たとえば、約３００℃）で熱処理を行なうことにより、ソース領域３６２およびドレイン領域３６３の結晶性を回復させることができるので、製造工程全体を低温プロセスで行なうことができるなど、実施例１と同様な効果を奏する。

【００９８】

それに加えて、本例では、高濃度不純物導入工程において、多結晶シリコン膜３０４に障壁層３４０を介して不純物イオンを打ち込んだ後、障壁層３４０（障壁層３４０ａ、３４０ｂ）をコンタクトホール３１１ａ、３１１ｂの底部に残して利用する。すなわち、高濃度不純物の導入時には、多結晶シリコン膜３０４と障壁層３４０との間で境界部分を通して原子の相互移動が起こり、原子のミキシングが生じるので、ソース領域３６２およびドレイン領域３６３（シリコン膜）と障壁層３４０との間における接続抵抗が小さい。ここで、障壁層３４０を構成するＴｉＮｘ 層と、ソース電極３１３を構成するアルミニウム合金層とは、もとより接続抵抗が小さい。従って、ソース領域３６２の側での接続抵抗が低

減される。かかる効果は、障壁層３４０として、アルミニウム層、アルミニウム合金層、モリブデン層、タングステン層、またはクロム層を用いた場合にも得ることができる。

【００９９】

また、ＩＴＯ層からなるドレイン電極３１２と、ドレイン領域３６３（シリコン膜）との接続抵抗は、従来より大きいという問題があったが、本例では、コタクトホール３１１ｂの底部に残った障壁層３４０ａを介して、ドレイン電極３１２（ＩＴＯ層）と、ドレイン領域３６３（シリコン膜）とを導電接続させているので、ドレイン領域３６３の側でも、接続抵抗が小さい。

【０１００】

〔実施例４〕

図９には、本例のボトムゲート型の薄膜トランジスタを用いた液晶表示パネル用のアクティブマトリクス基板において、信号線と走査線とが区画する画素領域の一つを拡大して示してある。なお、このアクティブマトリクス基板は、機能的には図１に示したアクティブマトリクス基板と同様であるため、共通する機能を有する部分には同じ符号を付してある。この図において、液晶表示パネル用のアクティブマトリクス基板１には、信号線２と走査線３とによって画素領域４が区画されており、この画素領域４には、信号線２から延設されたソース電極Ｓが導電接続するソース領域と、走査線３から延設されたゲート電極Ｇとを備える画素用薄膜トランジスタ（ＴＦＴ）が形成されている。ここで、画素領域４を覆うＩＴＯ電極６は、その一部がＴＦＴのドレイン電極Ｄになっている。なお、本例のＴＦＴの各断面は、図９におけるＹ－Ｙ′断面に相当する。

【０１０１】

図１０は、実施例４に係るＴＦＴの構成を示す縦断面図である。

【０１０２】

図１０において、本例のＴＦＴ４００では、ガラス基板４０１の表面側にゲート電極４０２が形成され、このゲート電極４０２の表面側にゲート絶縁膜４０３が形成されている。ゲート絶縁膜４０３の表面側には、ゲート電極４０２に対峙する領域にチャネル形成領域４０４を構成するシリコン膜４０６が形成されている。ここで、シリコン膜４０６のうち、チャネル形成領域４０４の両側は、ソース領域４１１およびドレイン領域４１２になっている。シリコン膜４０６の表面側には、層間絶縁膜４０５が形成されており、それには、コンタクトホール４０５ａ、４０５ｂが形成されている。また、コンタクトホール４０５ａ、４０５ｂの間には、チャネル保護膜４０５ｃが形成されている。コンタクトホール４０５ａ、４０５ｂの底部に対応するソース領域４１１およびドレイン領域４１２には、高濃度コンタクト領域４１１ａ、４１２ａが形成されている。

【０１０３】

ソース電極４２２およびドレイン電極４２１は、コンタクトホール４０５ａ、４０５ｂを介してソース領域４１１およびドレイン領域４１２の高濃度コンタクト領域４１１ａ、４１１ｂに導電接続している。

【０１０４】

本例では、コンタクトホール４０５ａ、４０５ｂのうち、コンタクトホール４０５ｂの底部には、クロム層からなる薄い障壁層４４０ｂ（たとえば、膜厚が約１０００オングストロームの障壁層）がある。従って、ドレイン電極４２１は、障壁層４４０ｂを介して高濃度コンタクト領域４１２ａに導電接続している。また、障壁層４４０ｂは、コンタクトホール４１１ｂの底部だけでなく、ドレイン電極４２１の下層全体に形成されているので、反射型の液晶表示装置用として用いることができる。ここで、障壁層４４０ｂの材料や膜厚を、光透過率が犠牲にならない条件に設定すると、ドレイン電極４２１の下層全体に障壁層４４０ｂを形成する本例のような構造も、透過型の液晶表示装置に適用することができる。このように構成したボトムゲート型のＴＦＴ４００は、以下の製造方法によって製造されているため、生産性が高いとともに、ドレイン電極４２１と高濃度コンタクト領域４１２ａとの間における接続抵抗が小さい。

【０１０５】

図１１（ａ）～（ｅ）を参照して、本例のＴＦＴの製造方法を説明する。

【０１０６】

まず、図１１（ａ）に示すように、ガラス基板４０１の表面にゲート電極４０２を形成する。ゲート電極４０２は、スパッタ法などにより膜厚が３０００オングストローム程のタンタル層を形成した後、それをパタンニングすることにより形成する。

【０１０７】

次に、ゲート電極４０２を形成したガラス基板４０１の表面側にゲート絶縁膜４０３を形成する。このゲート絶縁膜４０３は、プラズマＣＶＤ法などによって膜厚が約３０００オングストロームの窒化シリコン膜（ＳｉＮｘ）を形成し、それをパタンニングすることによって形成する。

【０１０８】

次に、ゲート絶縁膜４０３の表面側にプラズマＣＶＤ法などによりアモルファスのシリコン膜４０６を形成する。このシリコン膜４０６は、ゲート絶縁膜４０３を形成した後、基板表面全体に対して、アモルファスのシリコン膜４０６を形成した後、それをパタンニングすることによって形成する。

【０１０９】

次に、図１１（ｂ）に示すように、シリコン膜４０６の表面側に対して、層間絶縁膜４０５を形成する。この層間絶縁膜４０５は、基板表面の全体に窒化シリコン膜（ＳｉＮｘ）を形成した後、パタンニングすることによって形成する。このパタンニング工程では、コンタクトホール４０５ａ、４０５ｂも形成する。その結果、コンタクトホール４０５ａ、４０５ｂの間には、チャネル保護膜４０５ｃが形成される。

【０１１０】

次に、図１１（ｃ）に示すように、基板表面の全体にクロム膜からなる薄い障壁層４４０（たとえば、膜厚が約１０００オングストロームの障壁層）を形成する。その結果、層間絶縁膜４０６およびチャネル保護膜４０５ｃの表面に障壁層４４０が形成されるとともに、コンタクトホール４０５ａ、４０５ｂの底部にも、障壁層４４０が形成される（障壁層形成工程）。

【０１１１】

本例では、この状態で不純物の導入を行なう。すなわち、図１１（ｄ）に示すように、基板表面の全体にリンイオンをイオン注入すると、シリコン膜４０６のうち、コンタクトホール４０５ａ、４０５ｂに対応する部分のみに不純物が選択的に導入される。この際には、基板の温度を約２００℃以上にまで高めた状態でのイオン注入、いわゆる高温イオン注入を行う。その結果、シリコン膜４０６の表面には、所定の深さをもつ高濃度コンタクト領域４１１ａ、４１１ｂが形成される（高濃度不純物導入工程）。

【０１１２】

次に、打ち込んだ不純物に対して、窒素雰囲気中で約３００℃、１時間の低温熱処理を施す。

【０１１３】

しかる後に、図１１（ｅ）に示すように、基板表面の全体にＩＴＯ層４２１ａを形成した後、図１０に示すように、それを所定のマスクによってパタンニングし、ドレイン電極４２１を形成する。続いて、同じパターンで障壁層４４０もパタンニングし、ドレイン電極４２１の下層に障壁層４４０ｂを残す。その結果、ＩＴＯ層からなるドレイン電極４２１は、クロム膜からなる障壁層４４０ｂを下層にもつ画素電極となる。また、図示を省略するが、基板表面の全体にＴｉ層を形成した後、それをパタンニングして、ソース電極４２２を形成する。

【０１１４】

以上説明したとおり、本例のＴＦＴ４００の製造方法においても、高濃度コンクタクト領域４１１ａ、４１２ａを形成するための高濃度不純物導入工程において、層間絶縁膜４１１に形成したコンタクトホール４０５ａ、４０５ｂから不純物を打ち込むため、マスクを形成しなくても、所定の領域のみに不純物を導入することができる。

【０１１５】
また、高濃度不純物導入工程では、不純物をシリコン膜に直接打ち込むのでなく、障壁層４４０を介して打ち込む。このため、注入エネルギーを大きく設定することができるので、導入速度を高めることができる。それ故、本例の製造方法によれば、高濃度の不純物を導入する場合でも、所要時間が短くて済む。
【０１１６】
さらに、不純物導入時には、不純物濃度のピーク部分が障壁層４４０の内部に位置するように、加速電圧などを設定する。従って、不純物濃度のピーク部分では、結晶性の劣化が大きくても、かかる部分は、ソース領域４１１およびドレイン領域４１２に無い。それ故、熱処理を低温で行なっても、ソース領域４１１およびドレイン領域４１２の結晶性を回復することができるので、製造工程全体を低温プロセスで行なうことができる。
【０１１７】
しかも、障壁層４４０は、あくまで層間絶縁膜４０５の表面全体に形成すればよいとともに、高濃度の不純物を導入した後に障壁層４４０ｂとして残す際には、ドレイン電極４２１と同じパターンでパタンニングするので、マスク枚数が増えるという欠点もない。
【０１１８】
それに加えて、本例では、高濃度の不純物を導入した後の障壁層４４０をパタンニングして、ドレイン電極４２１の下層と利用しているため、ドレイン電極４２１（ＩＴＯ）と高濃度コンタクト領域４１２ａ（シリコン膜）との間における接続抵抗を低減することができる。
〔その他の実施例〕
なお、実施例１ないし４において、代表的な構造を備える２つのタイプ（トップゲート型およびボトムゲート型）のＴＦＴを用いて、高濃度不純物導入後の障壁層の形態が異なる４つの例を説明したが、たとえば、トップゲート型のＴＦＴにおいて、ドレイン電極の下層全体に障壁層を残してもよいなど、各種の組合せが可能である。すなわち、実施例１ないし実施例４で説明したような障壁層を残す構造、および障壁層を不純物の導入後に除去する構造は、表１に示すように、ＬＤＤ構造のＴＦＴにおいて、トップゲート型、およびボトムゲート型のいずれにも適用できる。
【０１１９】
【表１】

項目	ＬＤＤ構造	
	障壁層を残す構造	障壁層を不純物の導入した後に除去する構造
トップゲート型のＴＦＴ	組合せ可能／効果大（実施例１に相当）	組合せ可能／効果大（実施例２に相当）
ボトムゲート型のＴＦＴ	組合せ可能／効果大	組合せ可能／効果大

【０１２０】
同様に、実施例１ないし実施例４で説明したような障壁層を残す構造、および障壁層を不純物の導入後に除去する構造は、表２に示すように、オフセットゲート構造のＴＦＴにおいて、トップゲート型、およびボトムゲート型のいずれにも適用できる。
【０１２１】
【表２】

項　目	オフセットゲート構造	
	障壁層を残す構造	障壁層を不純物の導入した後に除去する構造
トップゲート型のＴＦＴ	組合せ可能／効果大（実施例３に相当）	組合せ可能／効果大
ボトムゲート型のＴＦＴ	組合せ可能／効果大	組合せ可能／効果大

【０１２２】
また、実施例１ないし実施例４で説明したような障壁層を残す構造、および障壁層を不純物の導入後に除去する構造は、表３に示すように、ソース領域およびドレイン領域が、ゲート電極の端部が対峙する部分にオフセット領域や低濃度領域を有しない通常の構造のＴＦＴにも適用できる。この場合に、ボトムゲート型では、その効果が大であるが、トップゲート型では、その効果が限られている。その理由は、トップゲート型のＴＦＴにおいて、セルフアライン構造のソース・ドレイン領域を形成する場合には、層間絶縁膜、およびそのコンタクトホールを形成する以前の工程で、ゲート電極をマスクとしながら高濃度の不純物を導入し終えているため、ソース・ドレイン電極と高濃度のソース・ドレイン領域との接続抵抗を低減することなどを目的として障壁層を形成する場合に限られるからである。

【０１２３】
【表３】

項　目	通　常　の　構　造	
	障壁層を残す構造	障壁層を不純物の導入した後に除去する構造
トップゲート型のＴＦＴ	組合せ可能／効果小	組合せ可能／効果小
ボトムゲート型のＴＦＴ	組合せ可能／効果大（実施例４に相当）	組合せ可能／効果大

【０１２４】
なお、表１ないし表３に示すいずれの組合せにおいても、Ｎチャネル型ＴＦＴ、またはＰチャネル型ＴＦＴとして形成することができる。

【０１２５】
また、アクティブマトリクス基板は、透過型の液晶表示装置用だけでなく、反射型の液晶表示装置用に構成してもよい。

【０１２６】
さらに、各実施例では、障壁層としてＴｉＮｘ 層やクロム層を用いたが、その他の障壁層としては、たとえば、ＩＴＯ層、アルミニウム層、アルミニウム合金層、モリブデン層、またはタングステン層を単層のままで、またはそれらを積層した状態で用いることができる。これらの障壁層の材料のうち、ＩＴＯ層は、透過型の液晶表示装置に適している。また、透過型の液晶表示装置において、図１２にアクティブマトリクス基板の一つの画素領域を拡大して示すように、画素領域の周りに、モリブデン層やクロム層で構成した障壁層５４０を画素電極６の下地層として残した場合には、障壁層５４０が遮光層として機能する。従って、障壁層５４０を利用して、ソース・ドレイン電極とソース・ドレイン領域との接続抵抗を下げるとともに、ブラックマトリクスを形成できるので、透過型の液晶表示装置としては最適である。また、モリブデン層やクロム層で構成した障壁層を画素領域全

体に残した場合には、障壁層自身が反射層として機能するので、反射型の液晶表示装置にも最適である。

【０１２７】

以上説明したとおり、本例のＴＦＴの製造方法では、高濃度コンクタクト領域を形成するための不純物導入工程において、層間絶縁膜に形成したコンタクトホールから不純物を打ち込むとともに、この不純物を打ち込む前に、少なくともコンタクトホールの底面に障壁層を形成しておくことに特徴を有する。従って、本発明によれば、マスクを形成しなくても、所定の領域に高濃度のコンタクト領域を形成することができる。

【０１２８】

また、障壁層を介してソース・ドレイン領域に不純物を打ち込むため、打ち込みエネルギーを大きく設定することができる。それ故、ビーム電流を大きく設定して不純物の導入速度を高めることができので、高濃度の不純物を導入する場合でも、所要時間が短くて済む。さらに、不純物分布のピークが障壁層の側に位置するように、打ち込みエネルギーを設定できる。従って、不純物分布のピーク部分では、結晶性の劣化が大きくても、かかる部分は、ソース・ドレイン領域の側に無いので、導入した不純物を活性化するための熱処理を低温で行なっても、ソース・ドレイン領域では、結晶性が充分に回復する。それ故、製造工程全体を低温プロセスで行なうことができる。

【０１２９】

また、障壁層を介してソース・ドレイン領域に不純物を打ち込むと、障壁層とソース・ドレイン領域との間で生じる原子のミキシングにより接続抵抗が小さくなる。従って、高濃度の不純物を導入した後に、障壁層をコンタクトホールの底部に残すことによって、ソース・ドレイン電極とソース・ドレイン領域との接続抵抗を低減することができる。

【０１３０】

特に、高濃度の不純物を導入した後の障壁層をドレイン電極たるＩＴＯ層の下層に残した場合には、ＩＴＯとシリコン膜とを障壁層を介して導電接続するため、それらの間における接続抵抗を大幅に低減することができる。

【図面の簡単な説明】

【図１】本発明の実施例１、２、３に係るＴＦＴを用いた液晶表示装置において、アクティブマトリクス基板上の画素領域を拡大して示す説明図である。

【図２】本発明の実施例１に係るＴＦＴの構造を模式的に示す断面図である。

【図３】図２に示すＴＦＴの製造方法において、不純物の導入に用いたイオン注入装置の概略構成図である。

【図４】図２に示すＴＦＴの製造方法を示す工程断面図である。

【図５】本発明の実施例２に係るＴＦＴの構造を模式的に示す断面図である。

【図６】図５に示すＴＦＴの製造方法を示す工程断面図である。

【図７】本発明の実施例３に係るＴＦＴの構造を模式的に示す断面図である。

【図８】図７に示すＴＦＴの製造方法を示す工程断面図である。

【図９】本発明の実施例４に係るＴＦＴを用いた液晶表示パネルにおいて、アクティブマトリクス基板上の画素領域を拡大して示す説明図である。

【図１０】本発明の実施例４に係るＴＦＴの構造を模式的に示す断面図である。

【図１１】図１０に示すＴＦＴの製造方法を示す工程断面図である。

【図１２】本発明の別の実施例において、障壁層を遮光層として利用したブラックマトリクの説明図である。

【図１３】従来のＴＦＴの製造方法を示す工程断面図である。

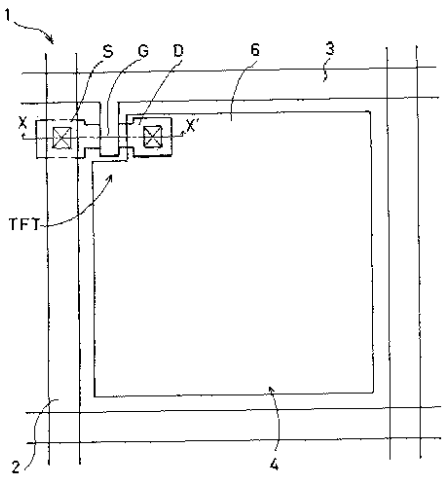
【図１４】別の従来のＴＦＴの製造方法を示す工程断面図である。

【符号の説明】

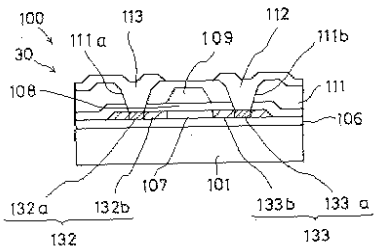
１・・・液晶表示パネル用のアクティブマトリクス基板
２・・・信号線
３・・・走査線
４・・・画素領域

６・・・ＩＴＯ電極（画素電極）
１００、２００、３００、４００・・・ＴＦＴ
１０１、３０１、４０１・・・ガラス基板
１０７、３０４、４０４・・・チャネル形成領域
１０８、３０３、４０３・・・ゲート絶縁膜
１０９、３０９、４０２・・・ゲート電極
１１１、３１１、４０５・・・層間絶縁膜
１１１ａ、１１１ｂ、３１１ａ、３１１ｂ、４０５ａ、４０５ｂ・・・コンタクトホール
１１２、３１２、４２１・・・ドレイン電極
１１３、３１３、４２２・・・ソース電極
１３２、１６２、３６２、４１１・・・ソース領域
１３３、１６３、３６３、４１２・・・ドレイン領域
１３２ａ、１３３ａ、１６２ａ、１６３ａ、４１１ａ、４１２ａ・・・高濃度コンタクト領域
１４０、２４０、３４０、４４０・・・障壁層
２４０ａ、２４０ｂ、３４０ａ、３４０ｂ、４４１ｂ・・・パタンニングした後の障壁層

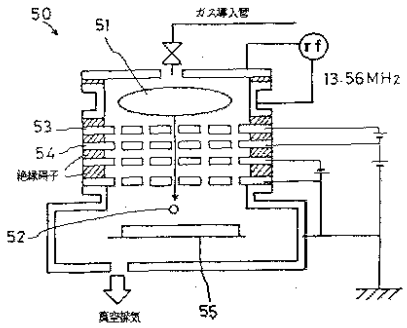
【図１】



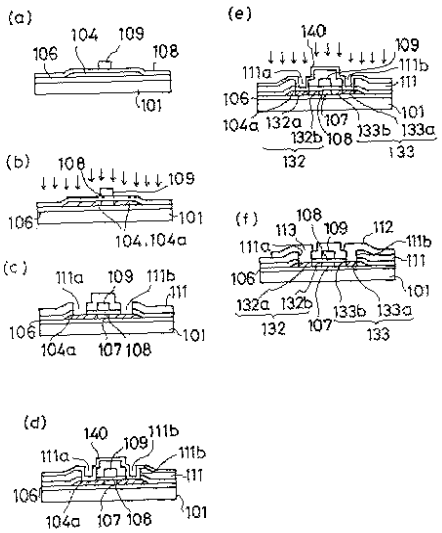
【図２】



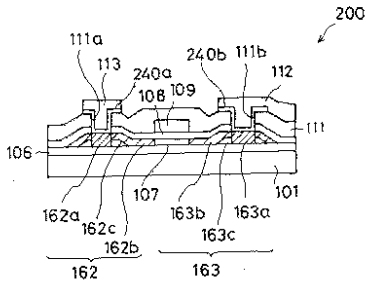
【図３】


50
51
ガス導入管
13.56MHz
53
54
絶縁碍子
52
55
真空排気

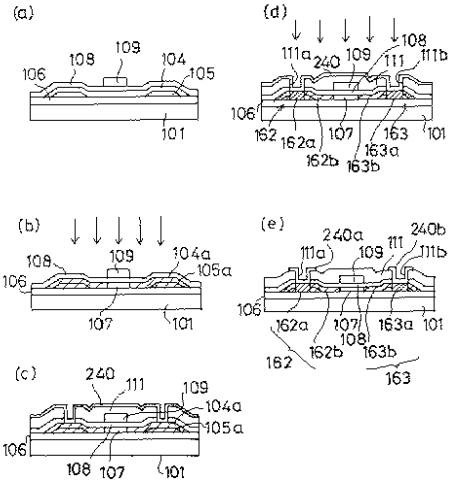
【図４】


(a)
(b)
(c)
(d)
(e)
(f)

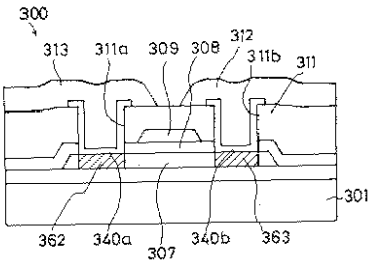
【図５】


200
111a
113
240a
240b
111b
112
108
109
111
106
107
101
162a
162c
162b
163b
163a
163c
162
163

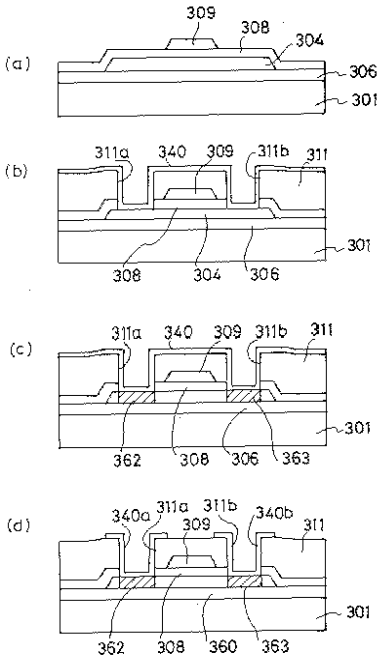
【図６】


(a)
(b)
(c)
(d)
(e)

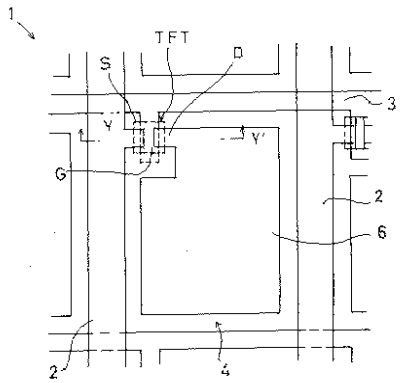
【図７】


300
313
311a
309
308
312
311b
311
301
362
340a
307
340b
363

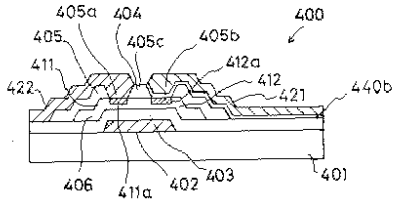
【図８】


(a)
309
308
304
306
301
(b)
311a
340
309
311b
311
301
308
304
306
(c)
311a
340
309
311b
311
301
362
308
306
363
(d)
340a
311a
311b
340b
309
311
301
362
308
360
363

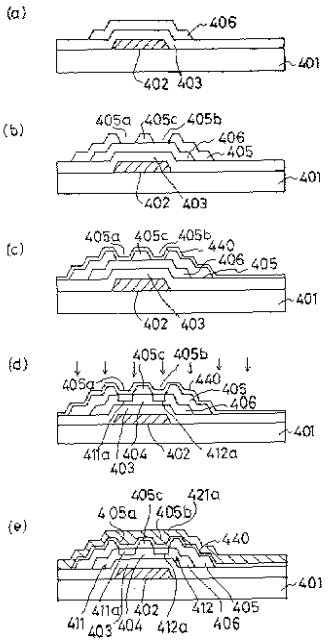
【図９】


1
TFT
S
D
3
Y
Y'
G
2
6
2
4

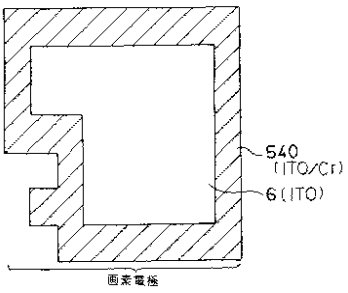
【図１０】


405a
404
400
405
405c
405b
411
412a
422
412
421
440b
406
411a
402
403
401

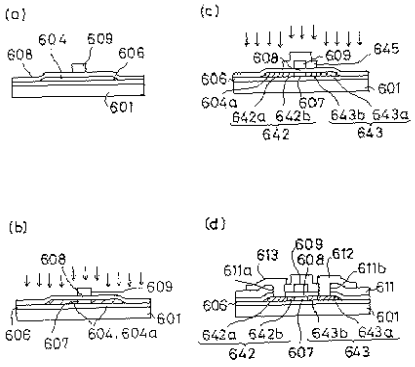
【図１１】



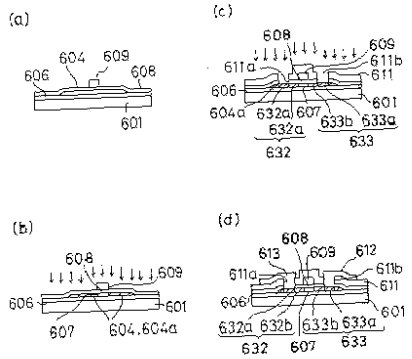
【図１２】



【図１３】



【図１４】



フロントページの続き

(56)参考文献 特開昭６３－１２８６６１（ＪＰ，Ａ）
特開平０２－１６３９４２（ＪＰ，Ａ）
特開平０６－３０２５４６（ＪＰ，Ａ）
特開平０５－２７５４４９（ＪＰ，Ａ）
特開平０６－２２４２１７（ＪＰ，Ａ）
特開平０５－３３５３３２（ＪＰ，Ａ）
特開昭６４－０４９２７０（ＪＰ，Ａ）
特開昭５０－１４３４６３（ＪＰ，Ａ）
特開平０５－２５１３８７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)

G02F 1/1368
H01L 21/265
H01L 21/336
H01L 29/786