

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96136927

※ 申請日期：96.10.2

H01L 21/336 (2006.01)

※IPC 分類：H01L29/78 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置之製造方法及半導體裝置

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司

SONY CORPORATION

代表人：(中文/英文)

中鉢 良治

CHUBACHI, RYOJI

住居所或營業所地址：(中文/英文)

日本東京都港區港南1丁目7番1號

1-7-1 KONAN, MINATO-KU, TOKYO, 108-0075, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 佐藤 尚之
SATO, NAOYUKI
2. 長岡 弘二郎
NAGAOKA, KOHJIRO
3. 新山 卓
SHINYAMA, TAKASHI

國 籍：(中文/英文)

1. 日本 JAPAN
2. 日本 JAPAN
3. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2006年11月16日；特願2006-309828

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置之製造方法及半導體裝置者，尤有關於一種MOS (Metal Oxide Semiconductor，金屬氧化物半導體)型場效電晶體者。

【先前技術】

近年來，為了提昇電晶體性能，乃進行對於通道(channel)區域施加應力(stress)，使汲極電流增大之檢討。以應力施加之方法而言，已有在閘極電極形成後形成具有高應力之膜，以將應力施加於通道區域之方法之報告。此外，亦有將P通道MOS型場效電晶體(PMOSFET)之源極/汲極區域進行蝕刻，且使矽鍺(silicon germanium)(SiGe)層磊晶成長於該部分，而將應力施加於通道區域之方法之報告(例如參照專利文獻1)。對於使用此SiGe層之通道區域之應力施加，係於SiGe層愈接近通道區域，而SiGe層之體積愈多則愈具效果。

在此，茲使用圖6~圖7說明上述之PMOSFET之製造方法。首先，如圖6(a)所示，在矽基板11之表面側形成元件分離區域(省略圖示)。接著在矽基板11上經由由氧化矽所組成之閘極絕緣膜12而圖案形成由多晶矽所組成之閘極電極13。此時，將構成閘極絕緣膜12與閘極電極13之各材料膜、及由氮化矽膜所組成之硬遮罩(hard mask)14疊層成膜於矽基板11上，且將此等疊層膜進行圖案蝕刻。

接著，如圖6(b)所示，在覆蓋閘極絕緣膜12、閘極電極

13及硬遮罩14之狀態下，在矽基板11上形成氮化矽膜15'。其後，如圖6(c)所示，藉由乾蝕刻法，將該氮化矽膜15'(參照前述圖6(b))進行回蝕(etch back)，藉此在閘極絕緣膜12、閘極電極13及硬遮罩14之兩旁形成側壁(side wall)15。

接著，如圖6(d)所示，以上述硬遮罩14與側壁15為遮罩，藉由蝕刻將矽基板11向下挖，即進行所謂凹陷蝕刻(recess etching)，藉此以形成凹陷區域16。其後，藉由使用稀氟氫酸之洗淨處理，將矽基板11表面之自然氧化膜予以去除。

接著如圖7(e)所示，使矽鍺(SiGe)層17磊晶成長在凹陷區域16，亦即被往下挖之矽基板11之表面。藉此，形成含有一定濃度之Ge之SiGe層17。其後，藉由離子注入法，將p型雜質導入於SiGe層17，且進行活性化退火(anneal)。藉此，該SiGe層17即成為源極/汲極區域，而被包夾在矽基板11之源極/汲極區域之閘極電極13正下方之區域即成為通道區域Ch。

接著，如圖7(f)所示，藉由使用熱磷酸之濕蝕刻，將硬遮罩14(參照前述圖7(e))去除，而使閘極電極13之表面露出，同時將SiGe層17之表面之自然氧化膜去除。藉由此去除步驟，側壁15之上部亦被去除。

接下來如圖7(g)所示，在覆蓋閘極電極13之狀態下，使鎳(nickle)膜等之高熔點金屬膜成膜在含有SiGe層17上之矽基板11上。其後，藉由進行熱處理，將閘極電極13之表

面側及SiGe層17之表面側予以矽化物(silicide)化，以形成由鎳矽化物所組成之矽化物層S。藉此，使源極/汲極區域之表面側低電阻化，且減低接觸電阻。

如以上方式，藉由SiGe層17對於通道區域Ch之應力施加，使通道區域Ch偏斜，藉此即可獲得具有充分之載子(carrier)移動度之PMOSFET。

(專利文獻1)日本特表2002-530864號公報(尤其參照圖4及段落編號0030)

【發明內容】

(發明所欲解決之問題)

然而，在上述之半導體裝置之製造方法中，雖然藉由SiGe層17對於通道區域Ch之應力施加而可謀求載子移動度之提升，惟在將SiGe層17之表面側予以矽化物化之際，由於高熔點金屬與矽(Si)之反應速度相較於與鍺(Ge)之反應速度快，因此矽化物化將局部性進行。藉此，反應容易變成不穩定，而難以將矽化物層S形成均勻之膜狀。因此，會有無法謀求源極/汲極區域之低電阻化之問題。此外，由於高熔點金屬對於矽之擴散係數較高，因此局部性開始反應時，矽化物層S會異常成長道矽基板11。因此，亦會有洩漏電流增大之問題。

因此，本發明之目的在於提供一種一面將應力施加於通道區域，一面將矽化物層形成為膜狀，並且可抑制矽化物層之異常成長之半導體裝置之製造方法及半導體裝置。

(解決問題之技術手段)

為了達成上述之目的，本發明之半導體裝置之製造方法係以依序進行以下之步驟為特徵。首先，在第1步驟中，進行在矽基板上經由閘極絕緣膜形成閘極電極之步驟。接著，在第2步驟中，進行藉由以閘極電極為遮罩之蝕刻，下挖矽基板之表面層之步驟。接著，在第3步驟中，進行使包含矽鍺(SiGe)層之第1層磊晶成長在下挖過之矽基板之表面之步驟。接著，在第4步驟中，進行在第1層上形成由鍺濃度較第1層低之SiGe層或矽(Si)層所組成之第2層之步驟。在其後之第5步驟中，將前述第2層之至少表面側予以矽化物化，以形成矽化物層。

依據此種半導體裝置之製造方法，使由SiGe層所組成之第1層磊晶成長於被下挖之矽基板之區域，由於對於通道區域施加應力，因此可提升載子移動度。此外，在第1層上形成由鍺(Ge)濃度較第1層更低之SiGe層或Si層所組成之第2層，因此可抑制矽化物化之局部性進行。藉此，可使矽化物化反應穩定，而形成均勻膜狀之矽化物層，因此可謀求接觸電阻之低電阻化。再者，由於第1層之鍺濃度較第2層更高，因此起作用作為抑制矽化物化反應之擋止層(stopper)。藉此，可防止矽化物層異常成長到矽基板，且可抑制洩漏電流。

此外，本發明之半導體裝置係在矽基板上經由閘極絕緣膜而設有閘極電極者，其特徵為：在前述閘極電極兩側之前述矽基板經下挖過之區域，依序層積有包含SiGe層之第1層及由Ge濃度較該第1層更低之SiGe層或Si層所組成之第

2層，於第2層之至少表面側設有矽化物層。

此種半導體裝置係由上述之製造方法所製造者，藉由由SiGe層所組成之第1層將應力施加於通道區域，載子移動度提升。此外，由於在配置於第1層上之由Ge濃度較第1層更低之SiGe層或Si層所組成之第2層設有矽化物層，因此可謀求接觸電阻之低電阻化。

(發明之效果)

如以上所說明，依據本發明之半導體裝置之製造方法及半導體裝置，可一面提升載子移動度，一面謀求接觸電阻之低電阻化，且可抑制洩漏電流。因此，可使電晶體之特性提升。

【實施方式】

以下，根據圖式詳細說明本發明之實施形態。在各實施形態中，依製造步驟順序說明半導體裝置之構成。

(第1實施形態)

茲使用圖1~圖3之製造步驟剖面圖說明CMOS (Complementary Metal Oxide Semiconductor，互補性金屬氧化物半導體)FET中之PMOSFET之製造方法作為本發明之半導體裝置之製造方法之實施形態之一例。另外，對於與在先前技術中所說明者相同之構成，賦予相同之符號進行說明。

首先，如圖1(a)所示，準備由單晶矽所組成之P型矽基板11，且於其表面側形成元件分離區域(省略圖示)。此時，例如在矽基板11之表面側形成溝，且形成在該溝內埋

入例如由氧化矽膜所組成之絕緣膜之STI(shallow trench isolation, 淺溝槽絕緣)結構之元件分離區域。

接著，在由元件分離區域所分離之矽基板11上，經由例如由氮氧化矽膜所組成之閘極絕緣膜12，圖案形成例如由多晶矽所組成之閘極電極13。此時，將構成閘極絕緣膜12與閘極電極13之各材料膜、及例如由氮化矽膜所組成之硬遮罩14疊層成膜在矽基板11上，且將此等疊層膜進行圖案蝕刻。

在此，以上述閘極絕緣膜12之構成材料而言，並不以氮氧化矽膜為限，亦可是氧化矽膜，亦可是包含鈹(hafnium)或鋁之金屬氧化膜。此外，以閘極電極13而言，並不以多晶矽為限，亦可含有金屬材料。

接著，如圖1(b)所示，於覆蓋閘極絕緣膜12、閘極電極13、及硬遮罩14之狀態下，例如使氮化矽膜15'成膜在矽基板11上。接著，如圖1(c)所示，例如藉由乾蝕刻法，將氮化矽膜15'(參照前述圖1(b))進行回蝕，藉此在閘極絕緣膜12、閘極電極13、及硬遮罩14之側壁形成絕緣性之側壁15。在此，該側壁15雖係設為例如藉由氮化矽膜來構成，惟亦可是氮化矽膜以外，而由氧化矽膜、氮氧化矽膜或此等之疊層結構來構成亦可。

接著，如圖1(d)所示，進行將矽基板11之表面往下挖之凹陷蝕刻。此時，係藉由以閘極電極13上之硬遮罩14及側壁15為遮罩之蝕刻，進行將矽基板11之表面層往下挖之凹陷蝕刻，藉以形成50~60 mm左右深度之凹陷區域16。在

此凹陷蝕刻中，係藉由進行等向性之蝕刻，以使凹陷區域16擴展至側壁15之下方。例如，側壁15下之矽基板11係予以蝕刻25 nm左右。惟在本發明中，只要在側壁15下，如後所述存在有形成SiGe層之空間即可，至於側壁15之寬度及矽蝕刻量則並未予以規定。其後，藉由使用稀氟氫酸之洗淨處理，將矽基板11表面之自然氧化膜去除。

以此蝕刻條件之一例而言，係使用四氟化碳(CF₄)與氧(O₂)於蝕刻氣體，並將氣體流量設定為CF₄/O₂=40/10 (ml/min)、處理壓力設定為2.7 Pa、源極功率設為500W、偏壓功率設為50W來進行。惟上述氣體流量係設為顯示在標準狀態之體積流量者，且設為之後所示之氣體流量亦相同。

另外，在此，雖係說明在設有側壁15之狀態下進行凹陷蝕刻之例，惟即使不設置側壁15而進行凹陷蝕刻時，本發明亦可適用。

此外，在本實施形態中，係以PMOSFET之製造方法為中心進行說明，因此詳細之記載予以省略，惟在形成NMOSFET時，只要在上述蝕刻步驟之前，於覆蓋硬遮罩14及側壁15之狀態下，在矽基板11上形成用以保護NMOSFET區域之氧化矽膜，且於僅將PMOSFET區域之氧化矽膜去除之後，進行上述蝕刻步驟即可。

接著，如圖2(e)所示，使由SiGe層所組成之第1層21磊晶成長於凹陷區域16之表面，亦即被往下挖之矽基板11之表面。藉此，壓縮應力即施加於設於閘極電極13下之矽基板

11之通道區域。在此，藉由將第1層21之Ge濃度之範圍設為10 atm%以上20 atm%以下，即可效率良好地將應力施加於通道區域，且使載子移動度提升。此外，第1層21之膜厚雖未特別限定，惟為了更效率良好地將應力施加於設於閘極電極13正下方之矽基板11之通道區域，係以與矽基板11之表面相同程度之高度設置為佳。在此，茲將第1層21以與矽基板11之表面相同程度之高度設置。此外，如後所述，由於第1層21之Ge濃度係較形成於第1層21上之第2層更高，因此藉由該Ge濃度之差，而發揮形成矽化物層在第2層之際之作為矽化物化反應之擋止層之功能。

以上述第1層21之成膜條件而言，係使用二氯矽烷(Dichlorosilane (DCS))、藉由氫(H_2)稀釋為1.5 vol之氫化鍺(GeH_4)、氯化氫(HCl)作為成膜氣體，且採取氣體流量為DCS/ GeH_4 /HCl = 50/70/25(ml/min)。此外，將處理溫度設定為550°C~850°C、處理壓力設定為1.3 kPa~5.3 kPa。

接著，如圖2(f)所示，在第1層21上，形成由Ge濃度較第1層21更低之SiGe層或Si層所組成之第2層22。如後所述，由於在此第2層22係形成矽化物層，因此Ge濃度係以較低為佳。具體而言，Ge濃度係以較第1層21低至少1 atm%以上為佳，且為Si層為更佳。在此係例如使Si層磊晶成長作為第2層22。在此，由於上述第1層21係在到達矽基板11之表面之狀態下設置，因此第2層22係在從矽基板11之表面隆起之狀態下以例如20 nm之膜厚形成。

以此第2層22之成膜條件而言，係使用DCS作為成膜氣

體，且將氣體流量設定為100~200 (ml/min)、處理溫度設定為550℃、處理壓力設定為1.3 kPa來進行。

另外，在此雖係設為使上述Si層磊晶成長，惟由於如上述在該層係供矽化物層形成，因此除磊晶成長以外進行成膜，形成多晶矽亦可。

其後，以硬遮罩14、側壁15作為遮罩，在PMOSFET區域藉由以例如2 keV之能量、 $3 \times 10^{15}/\text{cm}^2$ 之摻雜量進行離子注入，而將例如由硼(B)所組成之p型雜質導入至上述第1層21及第2層22。另一方面，在NMOSFET區域中，藉由以例如8 keV之能量、 $1 \times 10^{15}/\text{cm}^2$ 之摻雜量進行離子注入，而將例如由磷(P)所組成之n型雜質導入至矽基板11。

接著，如圖2(g)所示，藉由使用例如熱磷酸等之藥液之洗淨處理，將硬遮罩14(參照前述圖2(f))及側壁15(參照前述圖2(f))加以去除，藉以露出閘極電極13。其後，以例如1050℃左右進行活性化退火。

接著，如圖2(h)所示，以閘極電極13為遮罩，在PMOSFET區域中，藉由以例如1.5 keV之能量、 $1.5 \times 10^{15}/\text{cm}^2$ 之摻雜量進行離子注入，而將例如由 BF_2 所組成之p型雜質導入至矽基板11、第1層21及第2層22。藉此，在閘極電極13之兩側之矽基板11形成延伸(extension)區域E。另一方面，在NMOSFET區域中，藉由以例如1.5 keV之能量、 $1 \times 10^{15}/\text{cm}^2$ 之摻雜量進行離子注入，而將例如由As所組成之n型雜質導入至矽基板11。

接著如圖3(i)所示，在覆蓋閘極電極13之狀態下，將例

如氮化矽膜成膜於第2層22上之後，藉由回蝕在閘極電極13、閘極絕緣膜12之兩側形成側壁18。此側壁18係為了防止在後步驟要進行之矽化物化之際成膜之高熔點金屬往通道區域之擴散，而將膜厚形成較使用圖1(c)所說明之側壁15更厚。另外，在此雖係設為以氮化矽膜來形成側壁18，惟除氮化矽膜以外，亦可使用氮氧化矽膜、氧化矽膜或此等之疊層膜。

接著，如圖3(j)所示，在將閘極電極13及第2層22(參照前述圖3(i))之表面之自然氧化膜予以去除之後，例如藉由濺鍍法，在將設有側壁18之閘極電極13予以覆蓋之狀態下，於包含第2層22上之矽基板11上，形成例如由鎳所組成之高熔點金屬膜(省略圖示)。其後，將矽基板11加熱到供形成鎳矽化物層之 $250^{\circ}\text{C}\sim 400^{\circ}\text{C}$ 。藉此，閘極電極13及第2層22之表面側即被矽化物化，而在第2層22及閘極電極13之表面側，形成由鎳矽化物所組成之矽化物層S。在此，係設為第2層22整體被矽化物化。此時，由於第2層22之Ge濃度係較第1層21低，因此在第2層22形成均勻之膜狀之矽化物層S。此外，此時，由於第1層21之Ge濃度係較第2層22更高，因此藉由此Ge濃度之差，而發揮作為矽化物化反應之擋止層之功能。藉此，即抑制矽化物層S之異常成長。

其後，藉由混酸(硫酸、過氧化氫混合液)選擇性地將殘存於元件分離區域(省略圖示)上及側壁18上之未反應之鎳膜予以去除之後，為了改善矽化物層S之膜質，再度以

450°C~650°C加熱。另外，在此，雖係設為形成鎳矽化物作為矽化物層S，惟本發明並不以此為限，亦可形成由鎳鉬矽化物、鈷矽化物、鈦矽化物所組成之矽化物層S。

藉由以上方式，製造以閘極電極13正下方之矽基板11為通道區域Ch之PMOSFET。

依據此種半導體裝置之製造方法及藉由此所獲得之半導體裝置，由於係使由SiGe層所組成之第1層21磊晶成長於被往下挖之矽基板11之凹陷區域16，而將壓縮應力施加於通道區域Ch，因此載子移動度即可提升。此外，由於在第1層21上形成由Ge濃度較第1層21更低之SiGe層或Si層所組成之第2層22，因此抑制矽化物化之局部性之進行。藉此，即可使矽化物化反應穩定，而可形成膜狀之矽化物層S，因此可謀求接觸電阻之低電阻化。再者，由於第1層21之Ge濃度係較第2層22更高，因此可作為抑制矽化物化反應之擋止層之功能。藉此，即可防止矽化物層S異常成長到矽基板11，且抑制洩漏電流。綜上所述，即可使電晶體之特性提升。

(第2實施形態)

接著使用圖4~圖5說明本發明之第2實施形態之半導體裝置之製造方法。另外，將矽基板11之表面往下挖，直到形成凹陷區域16為止之步驟，係設為與使用圖1(a)~(d)所說明之步驟同樣地來進行。

首先，如圖4(a)所示，與第1實施形態相同，使由SiGe層所組成之第1層21磊晶成長於凹陷區域16之表面，亦即被

往下挖之矽基板11之表面。在此，係以含有10 atm%以上20 atm%以下之濃度範圍之Ge之方式形成第1層21。藉此，將壓縮應力施加於設於閘極電極13下之矽基板11之通道區域。在此，係與第1實施形態相同，將第1層21以與矽基板11之表面相同程度之高度設置。另外，成膜條件係設為以與第1實施形態相同條件來進行。

接著，如圖4(b)所示，在第1層21上形成由Ge濃度較第1層21更高之SiGe層或Ge層所組成之中間層23。此中間層23係在後步驟中，於將矽化物層形成在形成於中間層23之上層之第2層之際，發揮作為矽化物化反應之擋止層之功能者。因此，Ge濃度係以較高為佳，而若為Ge層則更佳。在此，係設為以例如1 nm左右之膜厚形成Ge層作為中間層23。

以此時之成膜條件之一例而言，係使用藉由H₂稀釋為1.5 vol%之GeH₄作為成膜氣體，且將氣體流量設定為100 ml/min、處理溫度設定為700℃、處理壓力設定為1.3 kPa。惟此時之Ge層並未磊晶成長於第1層21上，而係以吸附於第1層21之表面之狀態形成。

另外，在此雖係設為形成Ge層作為中間層23，惟亦可是Ge濃度較第1層21更高之SiGe層。此時，係以Ge濃度較20 atm%更高之方式形成由SiGe層所組成之中間層23。

接著，在中間層23上形成由Ge濃度較上述第1層21更低之SiGe層或Si層所組成之第2層22。在此，係設為與第1實施形態相同，以相同之成膜條件形成Si層以作為第2層

22。此時，由於Si層係形成於上述Ge層上，因此非以磊晶成長，而是以吸附於上述Ge層上之狀態形成。

其後之步驟係與在第1實施形態使用圖2(g)~圖3(j)所說明之步驟同樣地進行。亦即，以硬遮罩14、側壁15為遮罩，將p型雜質導入至第2層22、中間層23、第1層21。

接著，如圖4(c)所示，藉由將硬遮罩14(參照前述圖4(b))及側壁15(參照前述圖4(b))予以去除，使閘極電極13露出。其後，如圖4(d)所示，例如以1050℃左右進行活性化退火。接著，以閘極電極13為遮罩，進行離子注入，藉此形成延伸區域E。

接著，如圖5(e)所示，在閘極電極13、閘極絕緣膜12之兩側形成側壁18。

接著，如圖5(f)所示，在將閘極電極13及第2層22(參照前述圖5(e))之表面之自然氧化膜予以去除之後，於覆蓋設有側壁18之閘極電極13之狀態下，在包含第2層22上之矽基板11上形成鎳膜(省略圖示)。其後，藉由進行熱處理，在第2層22及閘極電極13之表面側形成由鎳矽化物所組成之矽化物層S。此時，由於第2層22之Ge濃度較第1層21低，因此在第2層22形成均勻之膜狀之矽化物層S。此外，此時，由於中間層23之Ge濃度顯著地較第2層22更高，因此確實發揮作為矽化物反應之擋止層之功能。藉此，即抑制矽化物層S之異常成長。

其後，藉由混酸選擇性地將殘存於元件分離區域(省略圖示)上及側壁15上之未反應之高熔點金屬膜予以去除之

後，再度以 $450^{\circ}\text{C}\sim 650^{\circ}\text{C}$ 進行加熱。

藉由以上方式，製造以閘極電極13正下方之矽基板11為通道區域Ch之PMOSFET。

即使是此種半導體裝置之製造方法及藉由此所獲得之半導體裝置，亦係藉由使由SiGe層所組成之第1層21磊晶成長於被往下挖之矽基板11之凹陷區域16，而將壓縮應力施加於通道區域Ch，因此載子移動度即可提升。此外，由於在中間層23上形成由Ge濃度較第1層21更低之SiGe層或Si層所組成之第2層22，因此抑制矽化物化之局部性之進行。藉此，即可使矽化物化反應穩定，而可形成膜狀之矽化物層S，因此可謀求接觸電阻之低電阻化。

此外，再者，由於中間層23之Ge濃度係較第1層21更高，因此可作為抑制矽化物化反應之擋止層之功能。尤其依據本實施形態，由於中間層23係由Ge層所形成，因此可確實防止矽化物層S異常成長到矽基板11，且抑制洩漏電流。

綜上所述，即可使電晶體之特性提升。

(變形例1)

另外，在上述第2實施形態中，雖係使Ge層成膜作為中間層23，惟藉由離子注入法來形成該Ge層亦可。此時，係在使用圖4(b)所說明之步驟中，以例如 2.5 keV 之能量、 $5\times 10^{14}\text{ atoms/cm}^2$ 之條件進行Ge之離子注入。藉此，從第1層21之表面直到 5 nm 左右之深度即成為Ge之高濃度區域，而供中間層23形成。此外，在上述離子注入之後，藉由進

行例如1000℃左右之熱處理，使結晶性恢復亦可。

即使是此種半導體裝置之製造方法及藉由此所獲得之半導體裝置，亦係由於使由SiGe層所組成之第1層21、Ge濃度較第1層21高之中間層23、Ge濃度較第1層21低之第2層22形成於凹陷區域16之表面，因此可達到與第2實施形態相同之效果。

【圖式簡單說明】

圖1(a)~(d)係為用以說明本發明之半導體裝置之製造方法之第1實施形態之製造步驟剖面圖(其1)。

圖2(e)~(h)係為用以說明本發明之半導體裝置之製造方法之第1實施形態之製造步驟剖面圖(其2)。

圖3(i)~(j)係為用以說明本發明之半導體裝置之製造方法之第1實施形態之製造步驟剖面圖(其2)。

圖4(a)~(d)係為用以說明本發明之半導體裝置之製造方法之第2實施形態之製造步驟剖面圖(其1)。

圖5(e)~(f)係為用以說明本發明之半導體裝置之製造方法之第2實施形態之製造步驟剖面圖(其2)。

圖6(a)~(d)係為用以說明習知之半導體裝置之製造方法之製造步驟剖面圖(其1)。

圖7(e)~(g)係為用以說明習知之半導體裝置之製造方法之製造步驟剖面圖(其2)。

【主要元件符號說明】

11	矽基板
12	閘極絕緣膜

13	閘極電極
21	第 1 層
22	第 2 層
23	中間層
S	矽化物層

五、中文發明摘要：

本發明提供一種一面將應力施加於通道區域，一面將矽化物層形成為膜狀，並且可抑制矽化物層之異常成長之半導體裝置之製造方法及半導體裝置。首先，在第1步驟中，在矽基板11上經由閘極絕緣膜12形成閘極電極13。接著，在第2步驟中，藉由以閘極電極13為遮罩之蝕刻，下挖矽基板11之表面層。接著，在第3步驟中，使包含SiGe層之第1層21磊晶成長在下挖過之矽基板11之表面。接著，在第4步驟中，在第1層21上形成由Ge濃度較第1層21低之SiGe層或Si層所組成之第2層22。在其後之第5步驟中，將第2層22之至少表面側予以矽化物化，以形成矽化物層S。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體裝置之製造方法，其特徵為包含：

第1步驟，其係在矽基板上經由閘極絕緣膜形成閘極電極；

第2步驟，其係藉由以前述閘極電極為遮罩之蝕刻，下挖前述矽基板之表面層；

第3步驟，其係使包含矽鍺層之第1層磊晶成長在下挖過之前述矽基板之表面；

第4步驟，其係在前述第1層上形成由鍺濃度較該第1層低之矽鍺層或矽層所組成之第2層；及

第5步驟，其係將前述第2層之至少表面側予以矽化物化，以形成矽化物層。

2. 如請求項1之半導體裝置之製造方法，其中

在前述第3步驟與前述第4步驟之間，進行於前述第1層上形成由鍺濃度較該第1層高之矽鍺層或鍺層所組成之中間層之步驟；

在前述第4步驟中，於前述中間層上形成前述第2層。

3. 一種半導體裝置，其係在矽基板上經由閘極絕緣膜而設有閘極電極者，其特徵在於：

在前述閘極電極兩側之前述矽基板經下挖過之區域，依序層積有包含矽鍺層之第1層、及由鍺濃度較該第1層低之矽鍺層或矽層所組成之第2層；

於前述第2層之至少表面側設有矽化物層。

十一、圖式：

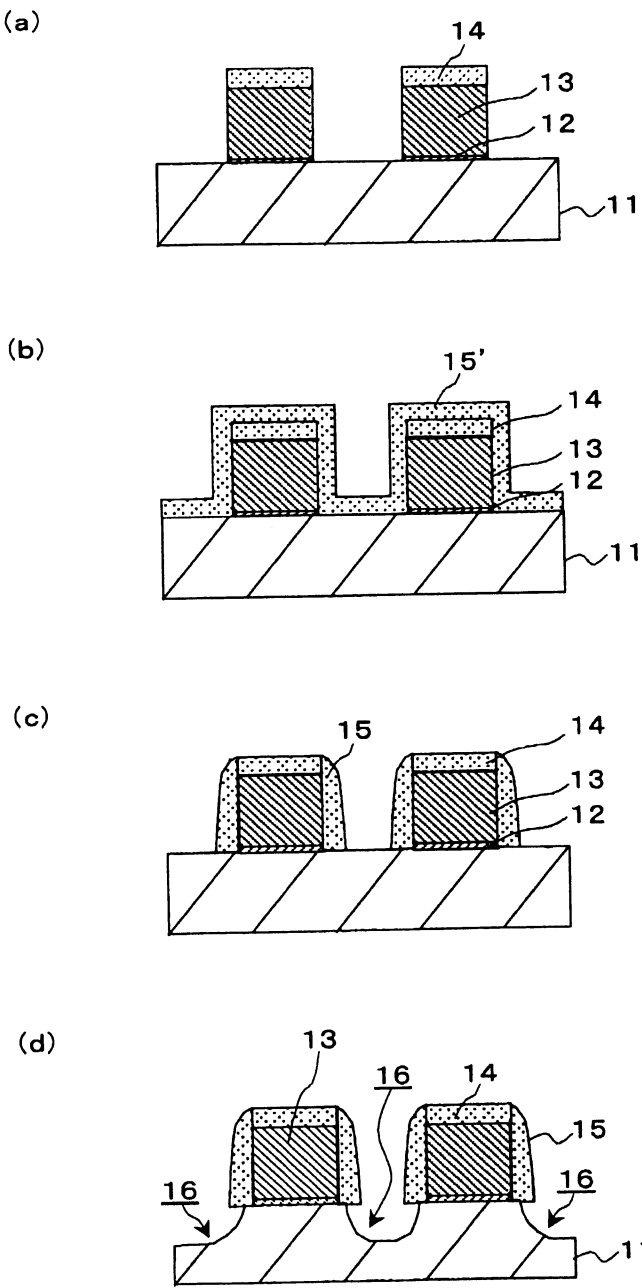


圖 1

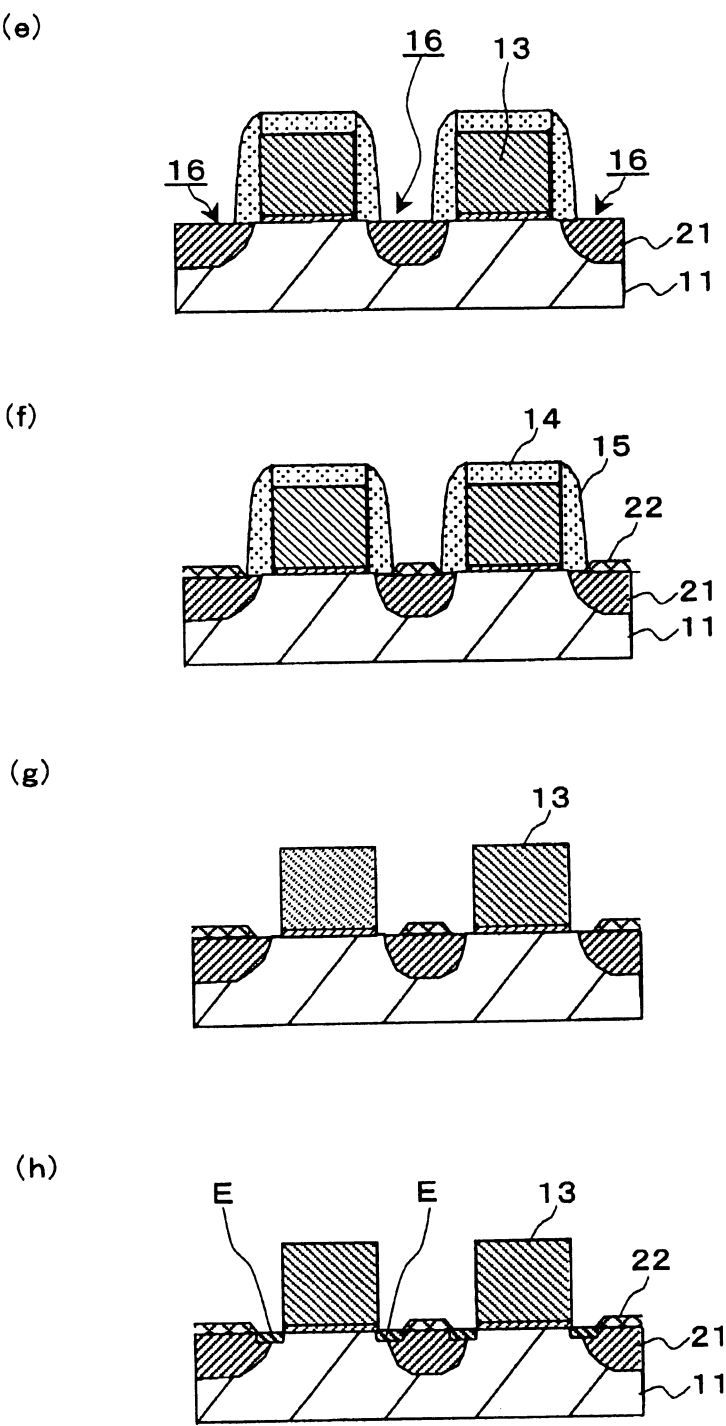
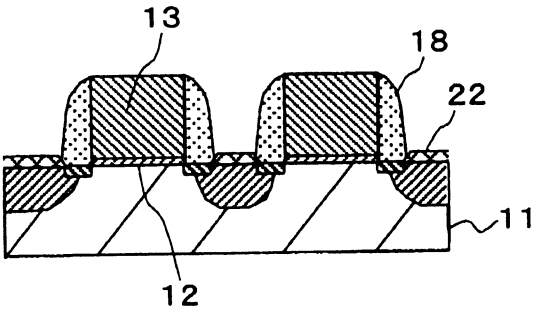


圖 2

(i)



(j)

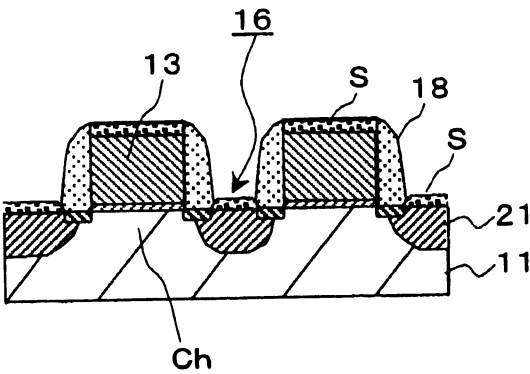


圖 3

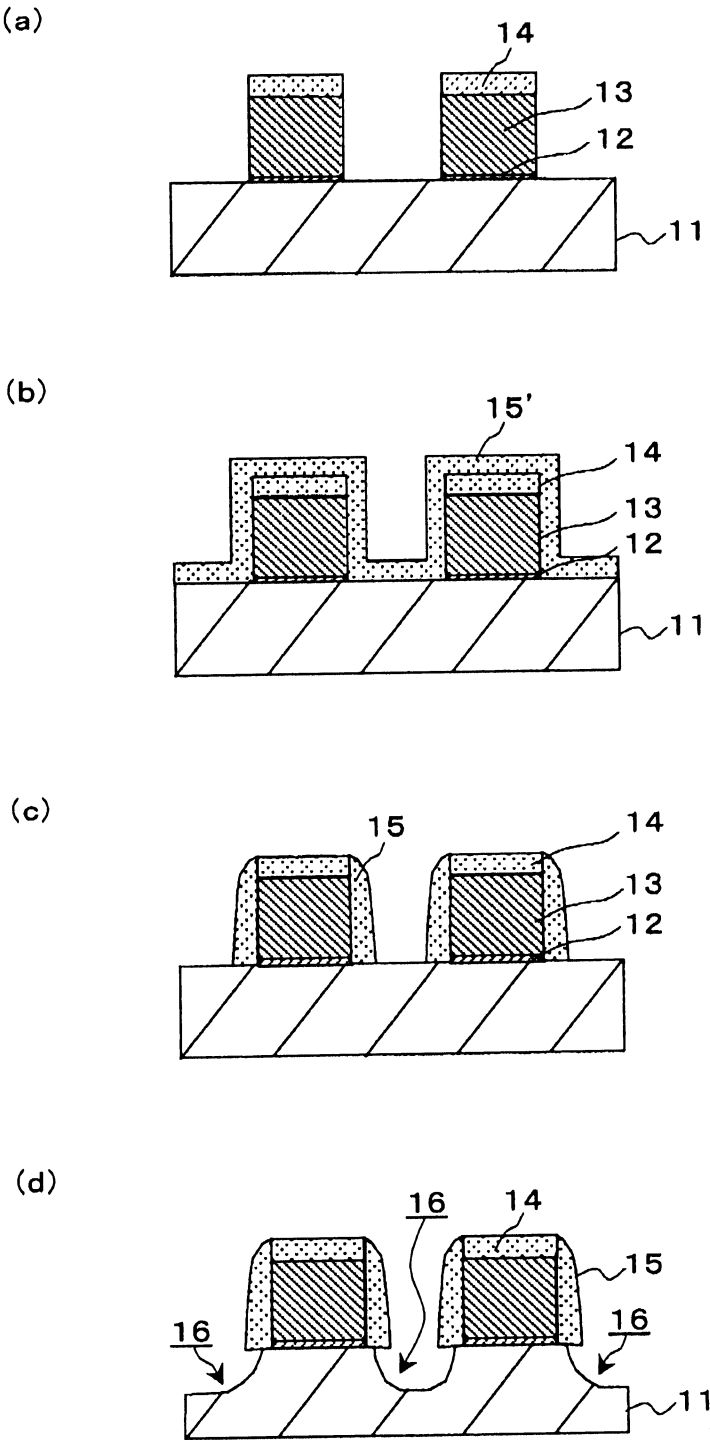


圖 6

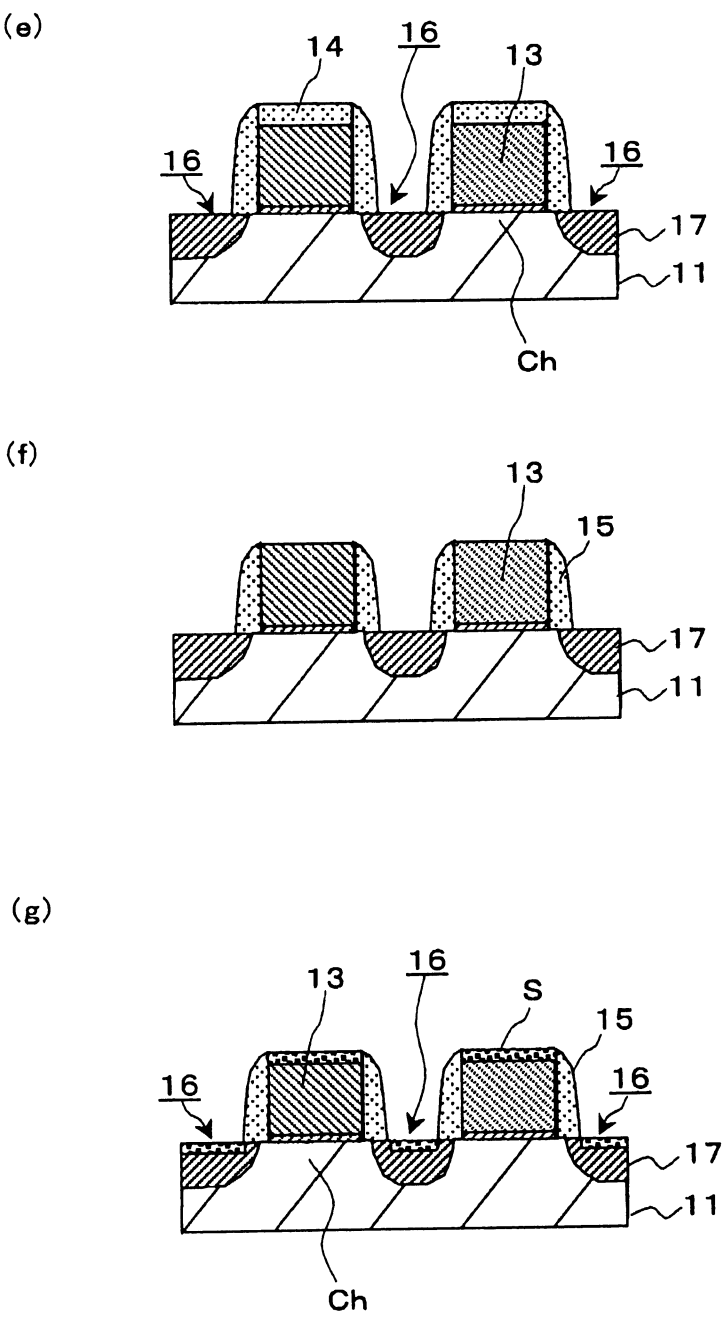


圖 7

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

11	矽基板
12	閘極絕緣膜
13	閘極電極
14	硬遮罩
15'	氮化矽膜
16	凹陷區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)