

(11) 공개번호 10-2013-0118781
(43) 공개일자 2013년10월30일

(71) 출원인

신꼬오텐기 고교 가부시키키가이샤

일본국 나가노켄 나가노시 오시마다마치 80

(72) 발명자

다케우치 유키하루

일본국 나가노켄 나가노시 오시마다마치 80 신꼬
오텐기 고교 가부시키가이샤 내

(74) 대리인

문두현, 문기상

(54) 발명의 명칭 리드 프레임, 반도체 패키지, 및 그 제조 방법

본 발명의 반도체 패키지는 집 탐재부 및 단자부를 구비한 리드 프레임과, 칩 탐재부에 탑재되며, 단자부와 접속된 반도체 칩과, 단자부를 반도체 칩 측의 한쪽의 면으로부터 다른 쪽의 면으로 단자부의 두께 방향으로 관통하는 관통 홀과, 반도체 칩 측의 관통 홀의 단부를 덮는 덮개부와, 반도체 칩을 봉지(封止)하는 수지부를 갖고, 단자부의 다른 쪽의 면 및 반도체 패키지의 외측을 향하는 단자부의 측면은 도금막에 의해 피복된다.

FIG. 10 is a plan view of a square device. The device has a central square region 60. The device is surrounded by a frame 80. The device is labeled with 60, 70, 80, 22, 21, 20, 40, 22x, 50, and A.

특허청구의 범위

청구항 1

칩 탑재부 및 단자부를 구비한 리드 프레임과,
상기 칩 탑재부에 탑재되며, 상기 단자부와 접속된 반도체 칩과,
상기 단자부를 상기 반도체 칩 측의 한쪽의 면으로부터 다른 쪽의 면으로 상기 단자부의 두께 방향으로 관통하는 관통 홈과,
상기 반도체 칩 측의 상기 관통 홈의 단부를 덮는 덮개부와,
상기 반도체 칩을 봉지(封止)하는 수지부를 갖고,
상기 단자부의 상기 다른 쪽의 면 및 상기 반도체 패키지의 외측을 향하는 상기 단자부의 측면은 도금막에 의해 피복되는 반도체 패키지.

청구항 2

제1항에 있어서,
상기 단자부, 상기 관통 홈, 및 상기 덮개부의 각각의 수는 복수이고,
상기 관통 홈의 각각은 대응하는 상기 단자부를 관통하고,
상기 덮개부의 각각은 대응하는 상기 관통 홈의 단부를 덮는 반도체 패키지.

청구항 3

제1항에 있어서,
상기 단자부, 상기 관통 홈, 및 상기 덮개부의 각각의 수는 복수이고,
상기 관통 홈의 각각은 대응하는 상기 단자부를 관통하고,
상기 덮개부의 각각은 적어도 2개인 인접하는 상기 관통 홈의 단부를 덮는 반도체 패키지.

청구항 4

개편화되는 복수의 영역을 구비하고,
상기 영역의 각각은,
반도체 칩이 탑재되는 칩 탑재부와,
외부 접속 단자가 되는 단자부와,
상기 칩 탑재부와 상기 단자부를 지지하는 지지부와,
상기 단자부를 상기 반도체 칩 측의 한쪽의 면으로부터 다른 쪽의 면으로 상기 단자부의 두께 방향으로 관통하는 관통 홀과,
상기 반도체 칩 측의 상기 관통 홀의 단부를 덮는 덮개부를 갖고,
상기 관통 홀은, 상기 영역을 개편화하는 절단 라인을 포함하도록 형성되는 리드 프레임.

청구항 5

제4항에 있어서,
상기 단자부의 상기 다른 쪽의 면 및 상기 영역의 각각의 외측을 향하는 측면은 도금막에 의해 피복되는 리드 프레임.

청구항 6

제4항에 있어서,
상기 단자부, 상기 관통 홀, 및 상기 덮개부의 각각의 수는 복수이고,
상기 관통 홀의 각각은 대응하는 상기 단자부를 관통하고,
상기 덮개부의 각각은 대응하는 상기 관통 홀의 단부를 덮는 리드 프레임.

청구항 7

제4항에 있어서,
상기 단자부, 상기 관통 홀, 및 상기 덮개부의 각각의 수는 복수이고,
상기 관통 홀의 각각은 대응하는 상기 단자부를 관통하고,
상기 덮개부의 각각은 적어도 2개인 인접하는 상기 관통 홀의 단부를 덮는 리드 프레임.

청구항 8

제4항에 기재된 리드 프레임의 상기 칩 탑재부에 상기 반도체 칩을 탑재하는 공정과,
상기 반도체 칩과 상기 단자부를 전기적으로 접속하는 공정과,
상기 도금막에 의해 피복된 상기 단자부의 상기 다른 쪽의 면 및 상기 반도체 패키지의 외측을 향하는 상기 단자부의 측면을 노출하도록, 상기 반도체 칩을 수지로 봉지하는 공정과,
상기 관통 홀을 포함하는 영역을 상기 단자부의 두께 방향으로 절단하여 관통 홈을 형성해서, 상기 관통 홈 내부가 도금막에 의해 피복되던 단자부를 형성하는 공정을 갖는 반도체 패키지의 제조 방법.

청구항 9

반도체 칩이 설치되는 측의 한쪽의 면으로부터 다른 쪽의 면으로 금속판을 두께 방향으로 관통하는 관통 홀을 갖는 단자부를 형성함으로써 금속판을 가공하는 공정과,
상기 단자부의 한쪽의 측에 상기 관통 홀의 단부를 덮는 덮개부를 설치하는 공정을 갖는 리드 프레임의 제조 방법.

청구항 10

제9항에 있어서,
상기 단자부 및 상기 리드 프레임의 외측을 향하는 측면에 도금막을 형성하는 공정을 더 갖는 리드 프레임의 제조 방법.

명세서

기술분야

[0001] 본 발명은 리드 프레임, 반도체 패키지, 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 예를 들면, SON(Small-Outline No Lead)이나 QFN(Quad Flat No Lead) 등의 리드리스(leadless)의 반도체 패키지에 있어서, 기판 등과 접속하기 위한 외부 접속 단자가, 반도체 패키지 저면 및 웨이퍼의 반도체 패키지로의 개편화 시의 절단에 의해 나타나는 측면에 노출된다. 통상 웨이퍼의 반도체 패키지로의 개편화 전에 도금막이 형성된다. 따라서, 반도체 패키지로부터 노출되는 외부 접속 단자의 저면에는 도금막이 형성된다. 그러나, 반도체 패키지로부터 노출되는 외부 접속 단자의 측면에는 도금막이 형성되어 있지 않다.

[0003] 이 때문에, 반도체 패키지를 솔더링을 사용하여 기판 등에 실장할 때에, 외부 접속 단자의 측면은 솔더의 젖음이나 접속에 거의 기여하지 않지만, 외부 접속 단자의 저면은 솔더의 젖음이나 접속에 주로 기여한다. 그

결과, 반도체 패키지와 기판 간에 형성되는 솔더의 양이 적어진다. 따라서, 반도체 패키지와 기판의 열팽창 계수의 차에 의해 발생하는 응력이 원인이 되어, 반도체 패키지와 기판 사이의 접속 신뢰성이 손상된다.

- [0004] 접속 신뢰성을 향상시키는 대책으로서, 외부 접속 단자에 스루홀을 형성할 수 있다. 예를 들면, 수지 봉지시에 스루홀 내에 수지가 들어가지 않도록 하기 위해, 스루홀 내에 솔더 재료나 금 또는 은 등의 도전 재료를 충전한다. 이 예에서는, 미국 특허출원 공개 제2011-0108965호에 개시된 바와 같이, 반도체 패키지의 개편화 후에, 외부 접속 단자의 일부로서 스루홀 내에 충전된 도전 재료를 반도체 패키지의 측면에서 노출시켜, 접속 신뢰성을 향상시키고자 시도하고 있다.

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 미국 특허출원 공개 제2011-0108965호

발명의 내용

해결하려는 과제

- [0006] 스루홀 내에 금이나 은을 충전할 경우에는, 통상의 도금막 형성에 비해 고가인 재료를 많이 사용하기 때문에, 반도체 패키지의 제조 비용이 상승하는 문제가 있다. 그래서, 통상은 저렴한 솔더 재료를 스루홀 내에 충전하는데 사용된다. 그러나, 솔더 재료는 산화하기 쉽다. 수지 봉지 공정을 포함하는 반도체 칩의 실장 공정에서 쉽게 반도체 패키지의 표면이 산화된다. 따라서, 반도체 패키지를 기판에 실장할 때의 접속 신뢰성을 충분히 확보할 수 없다.
- [0007] 본 발명은 상술한 점에 감안하여 이루어진 것이다. 본 발명은 기판에 리드 프레임 또는 반도체 패키지를 실장할 때의 접속 신뢰성을 향상 가능한 리드 프레임, 반도체 패키지, 및 제조 방법을 제공하는 것을 과제로 한다.

과제의 해결 수단

- [0008] 실시형태의 일 양태에 따르면, 반도체 패키지는, 칩 탑재부 및 단자부를 구비한 리드 프레임과, 칩 탑재부에 탑재되며, 단자부와 접속된 반도체 칩과, 단자부를 반도체 칩 측의 한쪽의 면으로부터 다른 쪽의 면으로 단자부의 두께 방향으로 관통하는 관통 홈과, 반도체 칩 측의 관통 홈의 단부를 덮는 덮개부와, 반도체 칩을 봉지(封止)하는 수지부를 갖고, 단자부의 다른 쪽의 면 및 반도체 패키지의 외측을 향하는 단자부의 측면은 도금막에 의해 피복된다.

발명의 효과

- [0009] 개시의 기술에 따르면, 기판에 리드 프레임을 실장할 때의 접속 신뢰성을 향상 가능한 리드 프레임, 반도체 패키지, 및 그 제조 방법을 제공할 수 있다.

도면의 간단한 설명

- [0010] 도 1a 및 도 1b는 제1 실시형태에 따른 반도체 패키지를 예시하는 도면.
 도 2는 단자부에 형성되는 메니스커스(meniscus)부에 대해서 설명하는 도면.
 도 3a 및 도 3b는 제1 실시형태에 따른 반도체 패키지의 제조 공정을 예시하는 도면.
 도 4a 및 도 4b는 제1 실시형태에 따른 반도체 패키지의 제조 공정을 예시하는 도면.
 도 5a 및 도 5b는 제1 실시형태에 따른 반도체 패키지의 제조 공정을 예시하는 도면.
 도 6a 및 도 6b는 제2 실시형태에 따른 반도체 패키지를 예시하는 도면.
 도 7a 및 도 7b는 제2 실시형태에 따른 반도체 패키지의 제조 공정을 예시하는 도면.
 도 8a 및 도 8b는 제2 실시형태에 따른 반도체 패키지의 제조 공정을 예시하는 도면.

도 9a 및 도 9b는 제2 실시형태에 따른 반도체 패키지의 제조 공정을 예시하는 도면.

도 10a 및 도 10b는 제3 실시형태에 따른 반도체 패키지를 예시하는 도면.

도 11a 및 도 11b는 제3 실시형태에 따른 반도체 패키지의 제조 공정을 예시하는 도면.

도 12a 및 도 12b는 제4 실시형태에 따른 반도체 패키지를 예시하는 도면.

도 13a 및 도 13b는 제4 실시형태에 따른 반도체 패키지의 제조 공정을 예시하는 도면.

도 14a 및 도 14b는 절단 라인의 설정에 관한 베리에이션의 예를 설명하는 도면.

도 15a 및 도 15b는 절단 라인의 설정에 관한 베리에이션의 예를 설명하는 도면.

도 16a 및 도 16b는 절단 라인의 설정에 관한 베리에이션의 예를 설명하는 도면.

도 17a 및 도 17b는 절단 라인의 설정에 관한 베리에이션의 다른 예를 설명하는 도면.

도 18은 변형예 3에 따른 반도체 패키지를 예시하는 단면도.

도 19는 변형예 3에 따른 반도체 패키지의 제조 공정을 예시하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0011] 첨부 도면을 참조하여 본 발명의 바람직한 형태에 대해서 설명한다. 동일 구성 부분에는 동일 부호를 부여하고, 그 중복된 설명을 생략한다.
- [0012] [a] 제1 실시형태
- [0013] [제1 실시형태에 따른 반도체 패키지의 구조]
- [0014] 제1 실시형태에 따른 반도체 패키지의 구조에 대해서 설명한다. 도 1은 제1 실시형태에 따른 반도체 패키지를 예시하는 도면이다. 도 1a는 평면도이다. 도 1b는 도 1a의 A-A선에 따른 단면도이다. 도 1을 참조하면, 반도체 패키지(10)는 일반적으로 리드 프레임(20)과, 도금막(30)과, 덮개부(40)와, 접합부(50)와, 반도체 칩(60)과, 금속선(70)(본딩 와이어)과, 수지부(80)를 갖는다. 편의상, 도 1a에 있어서, 덮개부(40)를 도트(dot) 패턴으로 나타내고 있다. 도 1a에 있어서, 도금막(30)은 도시 생략되어 있고, 수지부(80)는 투명으로 되어 있다.
- [0015] 리드 프레임(20)은, 예를 들면, 얇은 금속판에 프레스 가공이나 에칭 가공 등을 실시하여 형성된 도전성 기재이다. 리드 프레임(20)은 반도체 칩이 탑재되는 칩 탑재부(21)(다이 패드)와, 외부 접속 단자가 되는 단자부(22)(리드)를 구비하고 있다. 리드 프레임(20)의 재료는, 예를 들면, 구리(Cu)나 구리 합금, 42 엘로이(또는 엘로이 42(Fe와 Ni의 합금)) 등이다. 리드 프레임(20)의 두께는, 예를 들면 약 $100\mu\text{m}$ ~ $250\mu\text{m}$ 정도일 수 있다.
- [0016] 리드 프레임(20)의 칩 탑재부(21)에는, 접합부(50)를 통하여, 반도체 칩(60)이 페이스 업 상태로 탑재되어 있다. 단자부(22)는 칩 탑재부(21)와 전기적으로 독립되어 있다. 또 다른 단자부(22)가 설치되며 단자부(22)의 수는 복수이다. 칩 탑재부를 둘러싸도록, 칩 탑재부(21)의 주위에 소정의 피치로 단자부(22)가 배치되어 있다. 단, 단자부(22)가 칩 탑재부(21)의 주위에 설치되는 것으로 제한되는 것은 아니다. 예를 들면, 단자부(22)를 칩 탑재부(21)의 양측에 설치해도 된다. 단자부(22)의 폭은, 예를 들면 약 0.2mm 이다. 단자부(22)의 피치는, 예를 들면 약 0.4mm 이다. 각 단자부(22)는, 금선이나 구리선 등의 금속선(70)을 통하여, 반도체 칩(60)의 상면 측에 형성된 전극 단자(도시 생략)와 전기적으로 접속된다.
- [0017] 칩 탑재부(21) 및 단자부(22) 상에는, 도금막(30)이 형성되어 있다. 도금막(30)은, 예를 들면, Au막이나 Ag막, Ni/Au막(Ni막과 Au막을 이 순서로 적층한 금속막), Ni/Pd/Au막(Ni막과 Pd막과 Au막을 이 순서로 적층한 금속막) 등이다. 도금막(30)의 두께는, 예를 들면 약 $0.1\mu\text{m}$ ~ 약 수 μm 일 수 있다.
- [0018] 단자부(22)의 반도체 패키지(10)의 외주연부(이후, 각 단자부(22)의 외측면이라고 함)에는, 각 단자부(22)를 한 쪽의 면(상면)에서 다른 쪽의 면(하면)으로 두께 방향으로 관통하는 관통 홈(22x)이 형성되어 있다. 관통 홈(22x)은, 각 단자부(22)의 하면(22a)에 평행한 방향의 단면 형상(이후, 간단히 단면 형상이라고 함)이 대략 반원 형상이다. 관통 홈(22x)의 직경은, 예를 들면 약 0.1mm 이다. 관통 홈(22x)의 단면 형상은 상술한 반원 형상으로는 한정되지 않는다. 관통 홈(22x)의 단면 형상은 대략 반타원 형상이나 대략 직사각형, 대략 반타원형 등일 수 있다.
- [0019] 각 단자부(22)의 상면(반도체 칩(60) 측의 면) 및 반도체 패키지(10)의 외주연부 측에는, 덮개부(40)가 설치되

어 있다. 덮개부(40)는 관통 홈(22x)의 상단부를 덮도록 설치되어 있다. 또, 각 관통 홈(22x)의 내측면에는 도금막(30)이 형성된다. 그러나, 각 관통 홈(22x)의 내측면을 제외한 각 단자부(22)의 외측면에는 도금막(30)이 형성되지 않는다. 리드 프레임(20)을 형성하는 금속 재료가 외부로 노출해 있다.

[0020] 덮개부(40)는 절연성의 판 형상 부재이다. 덮개부(40)는, 예를 들면 상면이 접착층을 갖는 수지 필름 등이다. 덮개부(40)는 단자부(22)의 상면에 설치된다. 덮개부(40)로서, 미리 소정 형상으로 성형한 절연성의 판 형상 부재를 접착제에 의해 각 단자부(22)의 상면 측에 부착해도 된다. 덮개부(40)는, 반도체 패키지(10)의 제조 공정에 있어서, 반도체 칩(60) 등을 수지부(80)에 의해 봉지할 때에, 최종적으로 관통 홈(22x) 내로 수지가 유입되지 않도록 하기 위해 설치되어 있다.

[0021] 덮개부(40)에 사용되는 수지는, 예를 들면 열경화성 수지이다. 보다 구체적으로는, 덮개부(40)에 사용되는 수지는, 예를 들면 에폭시 수지, 변성 에폭시 수지, 폴리이미드 수지, 변성 폴리이미드 수지 등이다. 덮개부(40)의 두께는, 예를 들면 약 $75\mu\text{m}$ ~ $100\mu\text{m}$ 일 수 있다. 또, 도 1a의 예에서는, 복수의 단자부(22)에 각각 대응하는 관통 홈(22x)이 설치되며, 관통 홈(22x)에 대하여 대응하는 덮개부(40)가 설치되어 있다.

[0022] 리드 프레임(20), 덮개부(40), 접합부(50), 반도체 칩(60), 및 금속선(70)은 수지부(80)에 의해 봉지되어 있다. 단, 칩 탑재부(21)의 하면(21a)을 피복하는 도금막(30), 단자부(22)의 하면(22a)을 피복하는 도금막(30), 관통 홈(22x)의 내측면을 피복하는 도금막(30), 관통 홈(22x)의 내측면을 제외한 단자부(22)의 외측면, 덮개부(40)의 관통 홈(22x) 내에 노출되는 영역, 및 덮개부(40)의 반도체 패키지(10)의 외주연부 측의 측면은, 수지부(80)로부터 노출된다. 칩 탑재부(21)의 하면(21a)을 피복하는 도금막(30)의 하면, 단자부(22)의 하면(22a)을 피복하는 도금막(30)의 하면, 및 수지부(80)의 하면은 대략 동일 평면이다. 수지부(80)는, 예를 들면 에폭시 수지에 필러를 함유시킨 소위 몰드 수지 등이다.

[0023] 도금막(30)으로 피복된 단자부(22)의 하면(22a) 및 도금막(30)으로 피복된 관통 홈(22x)의 내측면은, 반도체 패키지(10)를 배선 기판 등과 접속할 때에, 솔더나 도전성 페이스트 등의 도전 재료와 접속되는 접속부이다. 즉, 도금막(30)으로 피복된 단자부(22)의 하면(22a) 및 관통 홈(22x)의 내측면에는, 메니스커스가 형성된다. 예를 들면, 도 2에 나타난 바와 같이, 반도체 패키지(10)를 배선 기판(100)의 패드(110)와 접속할 때에, 솔더나 도전성 페이스트 등의 도전 재료로 이루어진 메니스커스부(150)가 형성된다.

[0024] [제1 실시형태에 따른 반도체 패키지의 제조 방법]

[0025] 다음에, 제1 실시형태에 따른 반도체 패키지의 제조 방법에 대해서 설명한다. 도 3a~도 5b는 제1 실시형태에 따른 반도체 패키지의 제조 공정을 예시하는 도면이다.

[0026] 도 3a는 평면도 및 도 3a의 B-B선에 따른 도 3b의 단면도에 나타난 공정에서는, 소정 형상의 리드 프레임(200)을 형성한다. 그 후, 소정 형상의 리드 프레임(200)의 표면에, 도금막(30)을 형성한다. 도 3a에서는, 편의상, 도금막(30)을 도트 패턴으로 나타내고 있다. 또한, 도금막(30)에 피복되어 있는 영역(210, 220 및 230)을 괄호로 나타내고 있다.

[0027] 리드 프레임(200)은, 예를 들면, 얇은 금속판에 프레스 가공이나 에칭 가공 등을 실시함으로써 형성할 수 있다. 리드 프레임(200)의 재료로서는, 예를 들면, 구리(Cu)나 구리 합금, 42 엘로이(또는 엘로이 42(Fe와 Ni의 합금)) 등이다. 리드 프레임(200)의 두께는, 예를 들면 약 $100\mu\text{m}$ ~ $250\mu\text{m}$ 일 수 있다.

[0028] 도금막(30)은, 예를 들면 전해 도금법에 의해 리드 프레임(200)의 표면에 형성될 수 있다. 도금막(30)은, 예를 들면 Au막이나 Ag막, Ni/Au막(Ni막과 Au막을 이 순서로 적층한 금속막), Ni/Pd/Au막(Ni막과 Pd막과 Au막을 이 순서로 적층한 금속막) 등이다. 필요에 따라, 도금막(30)을 형성하기 전에, 리드 프레임(200)의 표면에 조화처리를 실시해도 된다. 리드 프레임(200)의 표면에 조화처리를 실시함으로써, 리드 프레임(200)의 표면과 도금막(30) 사이의 밀착성을 향상시킬 수 있다.

[0029] 리드 프레임(200)은, 파선으로 나타난 절단 라인으로 둘러싸인 영역 C(이후, 개별 패키지 영역 C라고 칭한다)를 복수 개 갖는다. 리드 프레임(200)은, 최종적으로 파선으로 나타난 절단 라인을 따라 절단된다. 또한, 파선으로 나타난 절단 라인의 부분(예를 들면, 각 단자부(22)가 되는 영역을 연결하는 가교부)이 제거되어서 개별 패키지 영역 C로 개편화된다. 따라서, 개별 패키지 영역 C가 리드 프레임(20)이 된다.

[0030] 각 개별 패키지 영역 C는, 최종적으로 칩 탑재부(21)가 되는 영역(210)과, 최종적으로 복수의 단자부(22)가 되는 복수의 영역(220)과, 영역(210 및 220)을 지지 및 연결하는 영역(230)(지지부)을 갖는다. 영역(220)에는, 각 영역(220)을 두께 방향으로 관통하는 관통 홀(220x)이 형성되어 있다. 각각의 관통 홀(220x)의 일부(대략

절반)는, 최종적으로 관통 홈(22x)이 된다. 리드 프레임(200)을 소정 형상으로 가공하고 나서 도금막(30)이 형성되게, 각 관통 홈(220x)의 내측면은, 도금막(30)에 의해 피복되어 있다.

[0031] 인접하는 개별 패키지 영역 C 사이에 있어서, 영역(220)이 상호 연결된다. 각각 상호 연결된 영역(220)에는 1개의 관통 홈(220x)이 형성되어 있다. 관통 홈(220x)의 일부(대략 절반)는 최종적으로 인접하는 한쪽의 개별 패키지 영역 C의 관통 홈(22x)이 된다. 관통 홈(220x)의 잔부(나머지의 대략 절반)는 최종적으로 인접하는 다른 쪽의 개별 패키지 영역 C의 관통 홈(22x)이 된다. 관통 홈(220x)의 단면 형상은 대략 원 형상, 대략 타원 형상, 대략 직사각형, 대략 다각형 등이다. 관통 홈(220x)의 직경은, 예를 들면 약 0.1mm이다.

[0032] 다음에, 도 4a 내지 도 4c(도 4a는 평면도, 도 4b는 도 4a의 B-B선에 따른 단면도)에 나타난 공정에서는, 관통 홈(220x)의 상단부(후술의 공정에서 반도체 칩(60)이 탑재되는 측)를 덮도록 덮개부(400)를 형성한다.

[0033] 덮개부(400)는, 절단되어서 덮개부(40)가 되는 절연성의 판 형상 부재이다. 예를 들면, 리드 프레임(200)의 전체 면에 접착층을 갖는 수지 필름을 접착하고, 그 후 불필요 부분을 제거함으로써, 덮개부(400)를 형성할 수 있다. 또는, 접착층을 갖는 수지 필름을 미리 소정 형상으로 가공하고, 각 관통 홈(220x)의 상면 측에 첩부하여 덮개부(400)를 형성한다. 혹은, 수지 필름 대신에, 미리 수지 재료를 소정 형상으로 성형한 절연성의 판 형상 부재를, 관통 홈(220x)의 상면 측에 접착제로 첩부하여 덮개부(400)를 형성해도 된다.

[0034] 덮개부(400)에 사용하는 재료로서는, 도 5b에 나타난 공정에서의 수지부(80)의 형성을 포함하여 리드 프레임(200) 상에 반도체 칩(60)을 탑재할 때의 온도를 견뎌내고, 수지부(80)와의 밀착성이 뛰어난 수지를 선정하는 것이 바람직하다. 이러한 수지는, 예를 들면, 에폭시 수지, 변성 에폭시 수지, 폴리이미드 수지, 변성 폴리이미드 수지 등이다. 덮개부(400)의 두께는, 예를 들면 약 75 μ m~100 μ m일 수 있다. 덮개부(400)의 폭은, 예를 들면 관통 홈(220x)의 최대 외형보다 약 100 μ m 크다.

[0035] 도 5a에 나타난 공정에서는, 각 개별 패키지 영역 C의 칩 탑재부(21)가 되는 영역(210)에, 집합부(50)를 통하여, 반도체 칩(60)을 탑재한다. 집합부(50)는 영역(210)에 다이 어태치 필름을 부착함으로써 형성될 수 있다. 그 후, 반도체 칩(60)의 상면 측에 형성된 전극 단자(도시 생략)를, 금속선(70)을 통하여, 각 영역(220)과 전기적으로 접속한다. 금속선(70)은, 예를 들면 와이어 본딩에 의해, 반도체 칩(60)의 전극 단자(도시 생략)에 접속될 수 있다.

[0036] 다음에, 도 5b에 나타난 공정에서는, 덮개부(400), 집합부(50), 반도체 칩(60), 및 금속선(70) 상에 수지부(80)를 형성한다. 수지부(80)는, 예를 들면 에폭시 수지에 필러를 함유시킨 소위 몰드 수지 등이다. 수지부(80)는, 예를 들면, 트랜스퍼 몰드법이나 컴프레션 몰드법 등에 의해 형성된다. 수지부(80)를 형성하기 전에, 덮개부(400)의 표면에 조화 처리를 실시해 두면, 덮개부(400)와 수지부(80)의 밀착성을 향상되어 바람직하다.

[0037] 다음에, 도 5b에 나타난 공정 후, 영역(210 및 220)을 지지하는(연결하는) 영역(230)을 제거해서, 각 개별 패키지 영역 C에 칩 탑재부(21) 및 복수의 단자부(22)로 이루어지는 리드 프레임(20)을 형성한다. 영역(230)은, 예를 들면, 영역(230)을 제외한 부분(칩 탑재부(21) 및 복수의 단자부(22)가 되는 부분)을 마스크한 후 에칭함으로써 제거할 수 있다. 혹은, 라우터나 금형 펀치, 레이저 등을 사용하여, 영역(230)을 기계적으로 제거해도 된다.

[0038] 또한, 절단 라인을 따라 리드 프레임(200)을 절단하여 개별 패키지 영역 C마다 개편화함으로써, 복수의 반도체 패키지(10)(도 1a 참조)가 완성된다. 절단 라인(파선으로 나타냄)을 따른 리드 프레임(200)의 절단은, 예를 들면, 다이싱 소(dicing saw) 등에 의해 실행될 수 있다. 이에 의해, 관통 홈(220x)로부터 단면 형상이 대략 반원 형상의 관통 홈(22x)이 형성된다. 관통 홈(22x)의 내측면에는 도금막(30)이 형성된다. 그러나, 관통 홈(22x)의 내측면을 제외한 각 단자부(22)의 외측면에는 도금막(30)이 형성되지 않는다. 이는, 단자부(22)의 외측면이 절단면이기 때문이다. 리드 프레임(20)을 형성하는 금속 재료가 외부로 노출된다.

[0039] 이상, 반도체 패키지(10)를 1개의 제품으로서 출하할 때의 제조 공정에 대해서 설명했다. 그러나, 도 4에 나타난 구조체(덮개부(400)가 설치된 리드 프레임(200))를 1개의 제품으로서 출하해도 된다. 이 경우에는, 도 4에 나타난 구조체를 제품으로서 입수한 자가 도 5a 이후의 공정을 실행해서, 반도체 패키지(10)를 완성하게 된다.

[0040] 이와 같이, 제1 실시형태에서는, 리드 프레임(20)의 단자부(22)를 두께 방향으로 관통하고, 내측면이 도금막(30)으로 피복된 관통 홈(22x)을 형성했다. 이에 의해, 반도체 패키지(10)를 기관 등에 실장할 때에는, 단자부(22)의 하면(22a)을 피복하는 도금막(30)에 더하여, 관통 홈(22x)의 내측면을 피복하는 도금막(30)에도 솔더가 접합(도포)된다. 그 결과, 충분한 솔더량을 메니스커스부에 확보할 수 있기 때문에, 반도체 패키지(10)와 기관

등의 접촉 신뢰성을 향상할 수 있다.

[0041] 예를 들면, 단자부(22)를 관통하지 않는 홈을 설치하여 홈의 내측면을 피복하는 도금막(30)을 형성하는 것이 가능하다. 그러나, 메니스커스부에 확보할 수 있는 솔더량이 감소하기 때문에, 충분한 접촉 신뢰성을 얻을 수 없는 문제가 있다. 제1 실시형태와 같이 단자부(22)를 두께 방향으로 관통하는 관통 홈(22x)을 설치하고, 관통 홈(22x)의 내측면을 피복하는 도금막(30)을 형성함으로써, 이러한 문제를 회피할 수 있다.

[0042] 또한, 도금막(30)이 금(Au) 등의 고가인 재료를 포함하면, 도금막(30)은 관통 홈(22x)의 내측면을 덮도록 매우 얇게 형성된다. 도금막이 관통 홈(22x)을 충전하는 것이 아니기 때문에, 반도체 패키지(10)의 제조 비용에는 큰 영향을 끼치지 않는다.

[0043] 또한, 관통 홈(22x)의 내측면 등에, 솔더 등의 산화하기 쉬운 금속이 형성되지 않기 때문에, 반도체 패키지(10)를 기관(100) 등에 실장할 때에, 양호한 솔더링이 가능해진다. 양호한 메니스커스부의 확보와 접촉 신뢰성의 향상을 실현할 수 있다.

[0044] 최종적으로 관통 홈(22x)이 되는 관통 홀(220x)의 상단부는 덮개부(400)로 덮인다. 반도체 칩(60)을 수지로 봉지할 때에, 수지가 관통 홀(220x) 내로 흘러 들어 오는 일이 없기 때문에, 관통 홀(220x)을 피복하는 도금막(30)의 표면을 양호한 상태로 유지할 수 있다. 관통 홀(220x)을 절단하여 형성되는 관통 홈(22x)의 내면을 피복하는 도금막(30)의 표면을 양호한 상태로 유지할 수 있다. 그 때문에, 반도체 패키지(10)를 기관 등에 실장할 때에, 양호한 솔더링이 가능해진다. 즉, 양호한 메니스커스부의 확보와 접촉 신뢰성의 향상을 실현할 수 있다.

[0045] 또한, 관통 홈(22x)의 내측면에 양호한 메니스커스부가 확보되기 때문에, 솔더링부의 상태를 육안, 검사기 등에 의해 용이하게 확인할 수 있다.

[b] 제2 실시형태

[0047] 제2 실시형태에서는, 제1 실시형태와는 다른 구조의 반도체 패키지의 예를 나타낸다. 또, 제2 실시형태에 있어서는, 제1 실시형태에서 이미 설명한 실시형태와 동일 구성 부품에 대한 설명은 생략된다.

[제2 실시형태에 따른 반도체 패키지의 구조]

[0049] 제2 실시형태에 따른 반도체 패키지의 구조에 대해서 설명한다. 도 6a 및 도 6b는 제2 실시형태에 따른 반도체 패키지(10A)를 예시하는 도면이다. 도 6a는 평면도이다. 도 6b는 도 6a의 A-A선에 따른 단면도이다. 편의상, 도 6a에 있어서, 덮개부(40)를 도트 패턴으로 나타내고 있다. 도 6a에 있어서, 도금막(30)은 도시 생략되어 있으며, 수지부(80)는 투명으로 되어 있다.

[0050] 도 6a 및 도 6b를 참조하면, 반도체 패키지(10A)는, 도금막이 도금막(30A 및 30B)으로 형성되어 있는 점이 반도체 패키지(10)(도 1 참조)와 상이하다. 리드 프레임(20)의 상면에 있어서, 덮개부(40)가 설치되어 있는 영역의 근방 영역을 제외한 영역에는, 도금막(30A)이 형성되어 있다. 즉, 덮개부(40)는, 리드 프레임(20)의 상면의 도금막(30A)이 형성되어 있지 않은 영역에 설치되어 있다. 단, 덮개부(40)의 일부가 도금막(30A) 상에 형성되어도 된다.

[0051] 리드 프레임(20)의 하면(칩 탑재부(21)의 하면(21a) 및 단자부(22)의 하면(22a)) 및 각 관통 홈(22x)의 내측면에는, 도금막(30B)이 형성되어 있다. 리드 프레임(20)에 있어서, 칩 탑재부(21)의 측면 및 관통 홈(22x)의 내측면을 제외한 각 단자부(22)의 측면에는, 도금막(30)이 형성되어 있지 않다. 도금막(30A)과 도금막(30B)이 일부 겹치도록 하여 형성되어도 된다. 리드 프레임(20)의 하면(칩 탑재부(21)의 하면(21a) 및 단자부(22)의 하면(22a))과 수지부(80)의 하면은 대략 동일 평면으로 배치된다.

[제2 실시형태에 따른 반도체 패키지의 제조 방법]

[0053] 다음에, 제2 실시형태에 따른 반도체 패키지의 제조 방법에 대해서 설명한다. 도 7a~도 9b는 제2 실시형태에 따른 반도체 패키지의 제조 공정을 예시하는 도면이다.

[0054] 도 7a 및 도 7b(도 7a는 평면도, 도 7b는 도 7a의 B-B선에 따른 단면도)에 나타난 공정에서는, 제1 실시형태의 도 3a에 나타난 공정과 마찬가지로 하여 소정 형상의 리드 프레임(200)을 형성한다. 그 후, 리드 프레임(200)의 상면의 소정 영역 D를 제외한 영역에, 도금막(30A)을 형성한다. 리드 프레임(200)의 상면 이외는 마스크해서, 도금막(30A)이 형성되지 않는다.

- [0055] 소정 영역 D란, 도 8에 나타난 공정에서 덮개부(400)가 설치된 영역 근방이다. 또, 도 7a에서는, 편의상, 도금막(30A)을 도트 패턴으로 나타내고, 소정 영역 D를 도금막(30A)과는 다른 도트 패턴으로 나타내고 있다. 또한, 도금막(30A)에 의해 피복되어 있는 영역(210, 220 및 230)을 괄호로 나타내고 있다.
- [0056] 다음에, 도 8a 및 도 8b(도 8a는 평면도, 도 8b는 도 8a의 B-B선에 따른 단면도)에 나타난 공정에서는, 제1 실시형태의 도 4에 나타난 공정과 같이 하여 관통 홀(220x)의 상단부(후술의 공정에서 반도체 칩(60)이 탑재되는 측)를 덮도록 덮개부(400)를 형성한다. 단, 덮개부(400)는, 도 7a에 나타난 공정에서 도금막(30A)을 형성하지 않은 소정 영역 D에 형성한다.
- [0057] 도 9a에 나타난 공정에서는, 제1 실시형태의 도 5a에 나타난 공정과 마찬가지로 하여 각 개별 패키지 영역 C의 칩 탑재부(21)가 되는 영역(210)에, 접합부(50)를 통하여, 반도체 칩(60)을 탑재한다. 이어서, 제1 실시형태의 도 5b에 나타난 공정과 마찬가지로 하여 리드 프레임(200) 상에, 덮개부(400), 접합부(50), 반도체 칩(60), 및 금속선(70)을 피복하도록 수지부(80)를 형성한다. 이 단계에서는, 관통 홀(220x)의 내측면 및 리드 프레임(200)의 하면에는 도금막(30A)은 형성되어 있지 않다. 또한, 리드 프레임(200)의 하면과 수지부(80)의 하면은 대략 동일 평면으로 배치된다.
- [0058] 다음에, 도 9b에 나타난 공정에서는, 제1 실시형태의 도 3에 나타난 공정과 마찬가지로 하여, 관통 홀(220x)의 내측면 및 리드 프레임(200)의 하면에 도금막(30B)을 형성한다. 이 공정에 있어서, 덮개부(400)의 일부가 도금액에 접촉하기 때문에, 덮개부(400)의 재료로서, 도금액에 내성을 갖는 재료를 사용할 필요가 있다. 단, 덮개부(400)로서, 상술의 에폭시 수지나 폴리이미드 수지 등을 사용하고 있으면 문제는 없다.
- [0059] 도 9b에 나타난 공정 후, 영역(210 및 220)을 지지(연결)하는 영역(230)을 제거해서, 각 개별 패키지 영역 C에 칩 탑재부(21) 및 복수의 단자부(22)로 이루어지는 리드 프레임(20)을 형성한다. 또한, 절단 라인을 따라 리드 프레임(20)을 절단하여 개별 패키지 영역 C로 개편화함으로써, 복수의 반도체 패키지(10A)(도 6a 참조)가 완성된다. 이에 의해, 제1 실시형태와 같이, 단자부(22)에는 관통 홀(220x)로부터 관통 홈(22x)이 형성된다.
- [0060] 이와 같이, 각 관통 홀의 상단부를 덮는 덮개부를 설치한 후에, 관통 홀의 내측면 및 단자부의 하면에 도금막을 형성해도 된다. 제1 실시형태와 같이, 도 8a에 나타난 구조체를 1개의 제품으로서 출하해도 된다.
- [0061] [c] 제3 실시형태
- [0062] 제3 실시형태에서는, 제1 실시형태와는 다른 구조의 반도체 패키지의 예를 나타낸다. 또, 제3 실시형태에 있어서, 이미 설명한 실시형태와 동일 구성 부품에 대한 설명은 생략한다.
- [0063] [제3 실시형태에 따른 반도체 패키지의 구조]
- [0064] 제3 실시형태에 따른 반도체 패키지의 구조에 대해서 설명한다. 도 10a 및 도 10b는 제3 실시형태에 따른 반도체 패키지를 예시하는 도면이다. 도 10a는 평면도이다. 도 10b는 도 10a의 A-A선에 따른 단면도이다. 편의상, 도 10a에 있어서, 덮개부(40B)를 도트 패턴으로 나타내고 있다. 또한, 도 10a에 있어서, 도금막(30)은 도시 생략되어 있으며, 수지부(80)는 투명으로 되어 있다.
- [0065] 도 10a를 참조하면, 반도체 패키지(10B)는, 덮개부(40)가 덮개부(40B)로 치환된 점이 반도체 패키지(10)(도 1 참조)와 상이하다. 덮개부(40B)는, 단자부(22)의 상단부(반도체 칩(60) 측의 면) 및 반도체 패키지(10)의 외주연부 측에 설치된다. 덮개부(40B)는 관통 홈(22x)의 상단부를 덮도록 설치되어 있다.
- [0066] 관통 홈(22x)의 내측면에 도금막(30)이 형성된다. 그러나, 관통 홈(22x)의 내측면을 제외한 단자부(22)의 외측면에 도금막(30)은 형성되지 않는다. 리드 프레임(20)을 형성하는 금속 재료가 외부로 노출된다. 이 구조는 반도체 패키지(10)와 같다. 덮개부(40B)의 재료나 두께 등은, 덮개부(40)와 마찬가지로 한다.
- [0067] 도 10의 예에서는, 칩 탑재부(21)를 둘러싸도록 배치된 단자부(22)에 관통 홈(22x)이 설치된다. 모든 관통 홈(22x)에 대하여 평면 형상이 프레임 형상의 1개의 덮개부(40B)가 설치된다. 그러나, 제3 실시형태는 이것에 한정되지 않는다. 인접하는 적어도 2개의 관통 홈(22x)에 대하여 1개의 덮개부를 설치할 수 있다. 예를 들면, 스트라이프 형상의 4개의 덮개부를 평면에서 보았을 때 반도체 패키지(10)의 각 변을 따라 설치할 수 있다.
- [0068] [제3 실시형태에 따른 반도체 패키지의 제조 방법]
- [0069] 다음에, 제3 실시형태에 따른 반도체 패키지의 제조 방법에 대해서 설명한다. 도 11a 및 도 11b는 제3 실시형태에 따른 반도체 패키지의 제조 공정을 예시하는 도면이다.

- [0070] 반도체 패키지(10B)를 제조하기 위해서는, 제1 실시형태의 도 4a에 나타난 공정 대신에, 도 11a에 나타난 공정을 실행하면 된다. 즉, 리드 프레임(200)의 상면 전체에 접착층을 갖는 수지 필름을 첩부한다. 그 후, 불필요 부분을 제거하여 덮개부(400B)를 형성한다. 또한, 접착층을 갖는 수지 필름을 미리 소정 형상으로 가공하고, 각 관통 홀(220x)의 상면 측에 첩부하여 덮개부(400B)를 형성한다. 혹은, 수지 필름 대신에, 수지 재료를 소정 형상으로 성형한 절연성의 판 형상 부재를, 관통 홀(220x)의 상면 측에 첩부하여 덮개부(400B)를 형성해도 된다. 덮개부(400B)는 최종적으로 덮개부(40B)가 되는 부재이다.
- [0071] 인접하는 적어도 2개의 관통 홈에 대하여 1개의 덮개부를 설치할 수 있다. 예를 들면, 모든 관통 홈에 대하여 평면 형상이 프레임 형상인 1개의 덮개부를 설치해도 된다. 제1 실시형태와 마찬가지로, 도 11a에 나타난 구조체를 1개의 제품으로서 출하해도 된다.
- [0072] [d] 제4 실시형태
- [0073] 제4 실시형태에서는, 제1 실시형태와는 다른 구조의 반도체 패키지의 예를 나타낸다. 제4 실시형태에 있어서, 이미 설명한 실시형태와 동일 구성 부품에 대한 설명은 생략된다.
- [0074] [제4 실시형태에 따른 반도체 패키지의 구조]
- [0075] 제4 실시형태에 따른 반도체 패키지의 구조에 대해서 설명한다. 도 12는 제4 실시형태에 따른 반도체 패키지를 예시하는 도면이다. 도 12a는 평면도이다. 도 12b는 도 12a의 A-A선에 따른 단면도이다. 편의상, 도 12a에 있어서, 덮개부(40C)는 도트 패턴으로 나타내고 있다. 도 12a에 있어서, 도금막(30)은 도시 생략되어 있으며, 수지부(80)는 투명으로 되어 있다.
- [0076] 도 12a 및 도 12b를 참조하면, 반도체 패키지(10C)는, 덮개부(40)가 덮개부(40C)로 치환된 점이 반도체 패키지(10)(도 1 참조)와 상이하다. 덮개부(40C)는, 단자부(22)의 상면(반도체 칩(60) 측)의, 반도체 패키지(10C)의 외주연부 측에, 관통 홈(22x) 각각에 대하여 설치되어 있다. 덮개부(40C)는 관통 홈(22x)의 상단부를 덮는다.
- [0077] 관통 홈(22x)의 내측면에 도금막(30)이 형성된다. 그러나, 관통 홈(22x)의 내측면을 제외한 단자부(22)의 외측면에 도금막(30)은 형성되지 않는다. 리드 프레임(20)을 형성하는 금속 재료가 외부로 노출한다. 이 구조는 반도체 패키지(10)와 같다. 덮개부(40C)의 재료는 접합부(50)와 동일 재료이다. 덮개부(40C)의 두께는 접합부(50)와 동일 두께이다.
- [0078] [제4 실시형태에 따른 반도체 패키지의 제조 방법]
- [0079] 다음에, 제4 실시형태에 따른 반도체 패키지의 제조 방법에 대해서 설명한다. 도 13a 및 도 13b는 제4 실시형태에 따른 반도체 패키지의 제조 공정을 예시하는 도면이다.
- [0080] 반도체 패키지(10C)를 제조하기 위해서는, 제1 실시형태의 도 4a에 나타난 공정 대신에, 도 13a에 나타난 공정을 실행한다. 즉, 리드 프레임(200)의 상면 전체에 접착층이 형성된 수지 필름을 첩부한다. 그 후, 불필요 부분을 제거하여 개별 패키지 영역 C에 덮개부(400C) 및 접합부(50)를 형성한다. 즉, 덮개부(400C) 및 접합부(50)를 동일한 수지 필름(예를 들면, 다이 어태치 필름)으로 형성한다. 또한, 접착층을 갖는 수지 필름을 덮개부(400C) 및 접합부(50)에 대응하는 소정 형상으로 가공한다. 관통 홀(220x)의 상면 측 및 영역(210)의 상면 측에 가공된 수지 필름을 첩부하여 덮개부(400C) 및 접합부(50)를 형성한다. 덮개부(400C)는 최종적으로 덮개부(40C)가 되는 부재이다.
- [0081] 이와 같이, 덮개부(40C)와 접합부(50)에 동일 재료를 사용하고, 덮개부(40C)와 접합부(50)를 동일 공정으로 제조해도 된다. 제1 실시형태와 같이, 도 13a에 나타난 구조체를 1개의 제품으로서 출하해도 된다.
- [0082] <변형예 1>
- [0083] 변형예 1에서는, 절단 라인의 배치의 배리에이션의 예를 나타낸다. 변형예 1에 있어서, 이미 설명한 실시형태와 동일 구성 부품에 대한 설명은 생략된다. 변형예 1은 제1 실시형태에 의거하여 설명되지만, 변형예 1은 다른 실시형태에도 적용 가능하다.
- [0084] 제1 실시형태에서는, 리드 프레임(200)은, 파선으로 나타난 절단 라인을 따라 절단되어서 개편화되었다. 도 14a에 나타난 바와 같이, 변형예 1에서는, 도 3a 등에 있어서 C로 나타난 부분(절단 라인)이, 제1 실시형태보다도 넓게 설정되어 있다(도 14b의 절단 라인 E). 구체적으로는, 절단 라인 E의 폭 W_1 이, 각 단자부(22)가 되는 영역을 연결하는 가교부의 폭 W_2 보다도 넓게 설정되어 있다. 확실하게 관통 홈(22x)이 형성되도록 하기 위해,

절단 라인 E는 관통 홀(220x)의 중심을 지나가는 위치에 설정하는 것이 바람직하다.

[0085] 변형예 1에 따른 반도체 패키지의 제조 공정은, 도 3a~도 5b에 대해서, 제1 실시형태에 따른 반도체 패키지의 제조 공정과 같다. 단, 도 5b에 나타난 공정 후, 리드 프레임(200)을 개편화할 때에는 도 14b에 나타난 절단 라인 E를 따라 절단한다. 구체적으로는, 절단 라인 E의 폭 W_1 보다도 폭이 넓은(블레이드 두께가 두꺼운) 다이싱 소를 사용하여 절단 라인 E를 절단하여 리드 프레임(200)을 개편화한다. 이에 의해, 리드 프레임(200)을 개편화함과 함께 단자부(22)가 되는 영역을 연결하는 가교부가 제거된다. 따라서, 단자부(22)가 독립화된다. 그러므로, 반도체 패키지의 제조 공정의 효율화가 도모된다.

[0086] 관통 홀(220x)의 직경이 다이싱 소의 블레이드 두께보다도 작으면 개편화 후에 관통 홈(22x)이 형성되지 않게 된다. 그래서, 관통 홀(220x)의 직경은, 다이싱 소의 블레이드 두께보다도 크도록 설계한다. 또한, 관통 홀(220x)의 평면 형상을 원형으로 하지 않고, 도 15a에 나타난 관통 홀(220y)과 같이 절단 라인 E를 가로지르는 주 축선을 갖는 타원형으로 하면, 확실하게 관통 홈(22x)이 형성되어 바람직하다. 또한, 관통 홀(220y)의 평면 형상을 타원형 이외의 가늘고 긴 형상(예를 들면, 절단 라인 E를 가로지르는 긴 변을 갖는 직사각형 등)으로 해도 된다.

[0087] 혹은, 도 16a에 나타난 바와 같이, 단자부(22)가 되는 각각의 영역 내에 2개의 관통 홀(220z)을 설치해도, 확실하게 관통 홈(22x)이 형성될 수 있으므로 바람직하다. 확실하게 관통 홈(22x)이 형성되면, 관통 홀(220z)의 평면 형상은 원형이거나 타원형이거나 그 외의 형상이어도 된다. 단자부(22)가 되는 영역 내에 있어서, 각 관통 홀(220z)은 평면에서 볼 때 서로 접하도록 설치해도 되며, 평면에서 볼 때 서로 중첩되도록 설치해도 되며, 평면에서 볼 때 서로 이간하도록 설치해도 된다. 단자부(22)의 각각의 영역 내에 3개 이상의 관통 홀(220z)을 설치해도 된다.

[0088] <변형예 2>

[0089] 변형예 2에서는, 절단 라인의 배치에 관한 배리에이션의 다른 예를 나타낸다. 변형예 2에 있어서, 이미 설명한 실시형태와 동일 구성 부품에 대한 설명은 생략한다. 변형예 2는 제1 실시형태에 의거하여 설명하지만, 변형예 2는 다른 실시형태에도 적용 가능하다.

[0090] 제1 실시형태에서는, 리드 프레임(200)은, 과선으로 나타난 절단 라인을 따라 절단되어서 개편화된다. 도 17a에 나타난 바와 같이, 변형예 2에서는, 도 3a 등에 있어서 C로 나타난 부분이, 절단 라인 F_1 및 F_2 로 치환되어 있다. 절단 라인 F_1 은 단자부(22)가 되는 영역을 연결하는 가교부의 외측에 위치된다. 절단 라인 F_2 는 단자부(22)가 되는 영역을 연결하는 가교부의 내측에 위치된다. 절단 라인 F_2 에 둘러싸인 영역이 개별 패키지 영역이 된다.

[0091] 변형예 2에 따른 반도체 패키지의 제조 공정은, 도 3a~도 5b에 대해서는, 제1 실시형태에 따른 반도체 패키지의 제조 공정과 같다. 단, 도 5b에 나타난 공정 후, 리드 프레임(200)을 얻을 때, 도 17b에 나타난 절단 라인 F_1 및 F_2 에 따라 다이싱 소를 사용하여 절단하여 리드 프레임(200)을 개편화한다. 이에 의해, 리드 프레임(200)을 개편화함과 동시에 단자부(22)가 되는 영역을 연결하는 가교부가 제거된다. 따라서, 단자부(22)가 독립화된다. 그러므로, 반도체 패키지의 제조 공정의 효율화가 도모된다.

[0092] 관통 홀(220x)의 직경이 절단 라인 F_1 과 절단 라인 F_2 사이의 거리(간격)보다 작으면, 개편화 후에 관통 홈(22x)이 형성되지 않게 된다. 그래서, 관통 홀(220x)의 직경은, 절단 라인 F_1 과 절단 라인 F_2 사이의 거리(간격)보다 크게 설계된다. 도 15a 내지 도 16b에 나타난 바와 같은 관통 홀을 형성하면 바람직한 점은, 변형예 1과 같다.

[0093] 리드 프레임(200)의 외주에 있어서는, 절단 라인 F_1 및 F_2 의 2개를 설치하지 않고, 1개의 절단 라인을 설치해도 된다. 예를 들면, 리드 프레임(200)의 외주에 있어서는, 도 17b의 절단 라인 F_2 에 위치한 1개의 절단 라인을 마련할 있다. 이 경우, 리드 프레임(200)의 외주의 관통 홀(220x)은, 예를 들면 도 17b의 절단 라인 F_2 에 위치에 1개의 절단 라인이 관통 홀(220x)의 중심을 지나가는 위치에 형성해도 된다.

[0094] 절단 라인 F_1 및 F_2 를 따라 절단하는 다이싱 소는, 변형예 1에서 설명한 바와 같은 블레이드 두께가 두꺼운 것이 아닌, 제1 실시형태와 같은 블레이드 두께가 얇은 것을 사용할 수 있다.

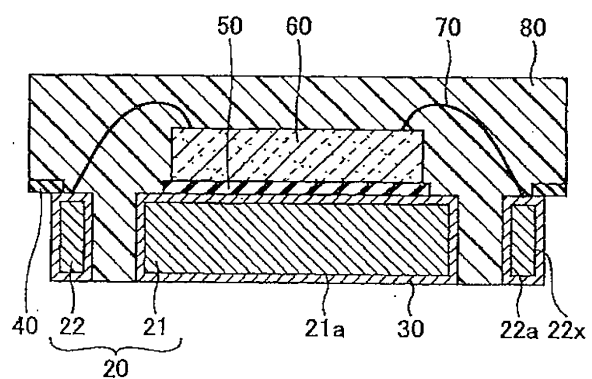
- [0095] <변형예 3>
- [0096] 변형예 3에서는, 수지부(80)의 형상의 배리에이션의 예를 나타낸다. 또, 변형예 3에 있어서, 이미 설명한 실시 형태와 동일 구성 부품에 대한 설명은 생략한다. 변형예 3은 제1 실시형태에 의거하여 설명하지만, 변형예 3은 다른 실시형태에도 적용 가능하다.
- [0097] 제1 실시형태에서는, 리드 프레임(200)은, 파선으로 나타낸 절단 라인을 따라 절단되어서 개편화되었다. 수지부(80)는, 도 5b에 있어서 C로 나타낸 절단 라인 상에 형성된다. 즉, 리드 프레임(200)을 개편화할 때에는, 절단 라인 상의 수지부(80)를 절단할 필요가 있다. 변형예 3에서는, 수지부(80)는, C로 나타낸 절단 라인 상에 형성되지 않는다. 이에 대하여, 도 18 및 도 19를 참조하면서, 이하에 설명한다.
- [0098] 도 18은 변형예 3에 따른 반도체 패키지를 예시하는 단면도이다. 도 18을 참조하면, 반도체 패키지(10D)에 있어서, 수지부(80)의 측면(80a)은 경사면이다. 도 19에서 C로 나타낸 절단 라인의 근방에 있는 리드 프레임(200)이나 덮개부는 수지부(80)로부터 노출해 있다. 단, 수지부(80)의 측면(80a)은 반드시 경사면으로 하지 않아도 된다. 예를 들면, 수지부(80)의 측면(80a)은 덮개부(40)의 상면에 대략 수직으로 해도 된다.
- [0099] 도 19는 변형예 3에 따른 반도체 패키지의 제조 공정을 예시하는 도면이다. 반도체 패키지(10D)를 제조하기 위해서는, 제1 실시형태의 도 3a~도 5a와 같은 공정을 실행한다. 그리고, 도 19에 나타낸 공정에서, 리드 프레임(200) 상에, 덮개부(400), 집합부(50), 반도체 칩(60), 및 금속선(70)을 피복하도록 수지부(80)를 형성한다. 단, 수지부(80)에는, C로 나타낸 절단 라인을 노출시키는 홈부(80x)를 형성한다. 홈부(80x)는, 예를 들면, 트랜스퍼 몰드법이나 컨프레션 몰드법 등에 사용하는 금형에, 홈부(80x)에 대응하는 돌기부를 설치함으로써 형성될 수 있다.
- [0100] 도 19에 나타낸 공정 후, 리드 프레임(200)을 개편화할 경우에, C로 나타낸 절단 라인은 홈부(80x) 내에 노출된다. 따라서, 수지부(80)는 절단되지 않는다. 수지부(80)는, 예를 들면 소위 몰드 수지이다. 예를 들면, 몰드 수지는 필러를 함유하는 에폭시 수지이다. 필러의 함유율이 높을 경우에는, 다이싱 소가 필러에 의해 파손될 수 있다. 변형예 3에서는, 수지부(80)를 절단하지 않기 때문에, 다이싱 소가 필러에 의해 파손되는 것을 방지할 수 있다.
- [0101] 또는, C로 나타낸 절단 라인을 피복하는 수지부(80)의 부분의 두께를 수지부(80)의 다른 부분의 두께보다 얇게 해도 된다. 이 경우에는, 다이싱 소가 수지부(80)를 절단한다. 절단하는 부분의 수지부(80)의 부분이 이미 얇게 설계되어 있기 때문에, 다이싱 소가 필러에 의해 파손될 가능성을 저감할 수 있다.
- [0102] 또한, 변형예 3에서는 C로 나타낸 절단 라인이 홈부(80x) 내에 노출된다. 따라서, 도 19에 나타낸 공정에 있어서, 프레스 가공에 의한 펀칭법을 사용하여 C로 나타낸 절단 라인을 절단할 수 있다. 절단 라인을 피복하는 수지부(80)의 부분의 두께를 다른 부분을 피복하는 수지부(80)의 두께보다도 얇게 했을 경우에, 마찬가지로, 프레스 가공을 이용하는 펀칭법을 사용하여 C로 나타낸 절단 라인을 따라 절단하는 것이 가능하다.
- [0103] 또한, 변형예 3을 변형예 1 및 2와 조합시키는 것도 가능하다.
- [0104] 예를 들면, 반도체 칩(60)을 리드 프레임(200)에 플립 칩 공정에 의해 실장해도 된다.
- [0105] 본원에서 제시된 모든 예시 및 조건적인 언어들은 본 발명자에 의해 제공된 발명 및 개념의 읽는 사람의 이해를 더 돕는 교시를 목적으로 하지만, 이러한 구체적으로 인용된 예시 및 조건에의 한정으로서 이해되어서는 안 되며, 또한 명세서에서의 이러한 예들의 유기적 구조가 본 발명의 우월성 또는 하등함을 나타내는 것에 관한 것은 아니다. 본 발명의 하나 이상의 실시형태를 상세히 설명했지만, 본 발명의 사상 및 범주에서 벗어나지 않고 다양한 변경, 치환, 및 대체가 가능함을 이해할 것이다.

부호의 설명

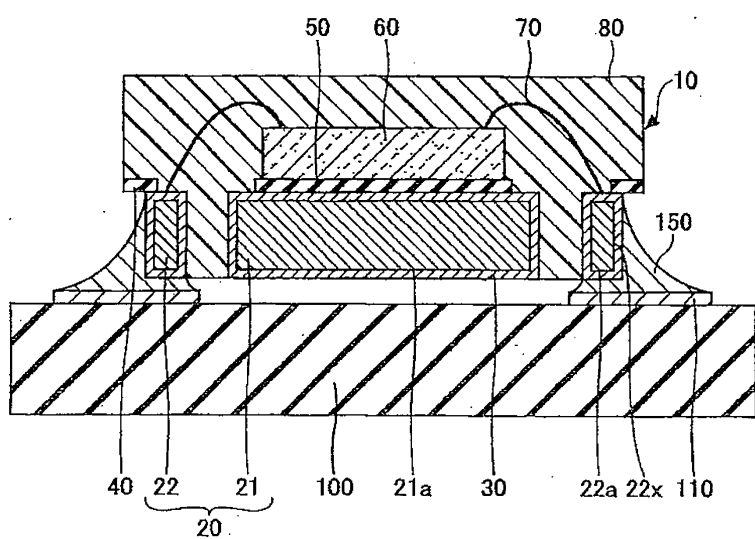
- [0106] 10, 10A, 10B, 10C, 10D 반도체 패키지
- 20, 200 리드 프레임
- 21 칩 탑재부
- 21a, 22a 하면
- 22 단자부

도면1b

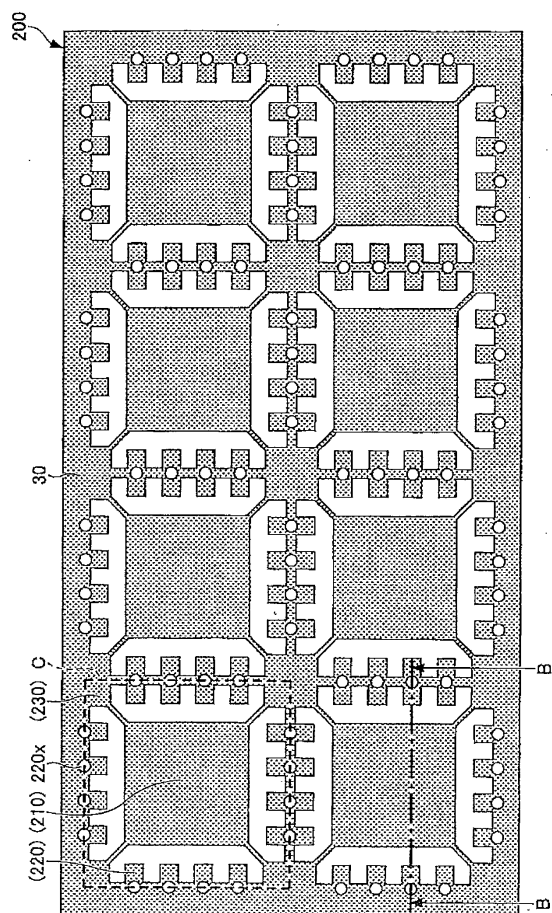
10



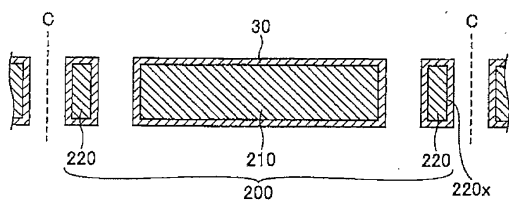
도면2



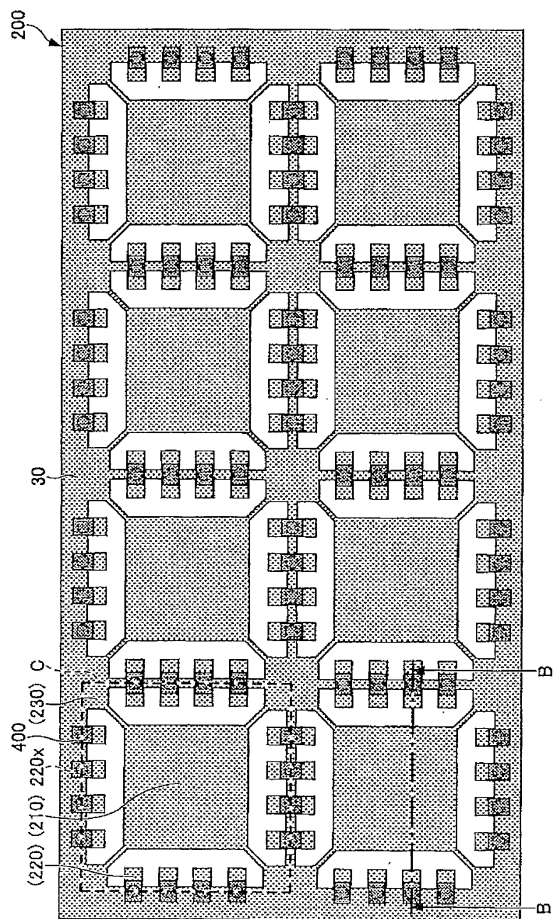
도면3a



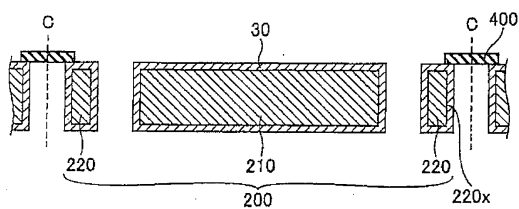
도면3b



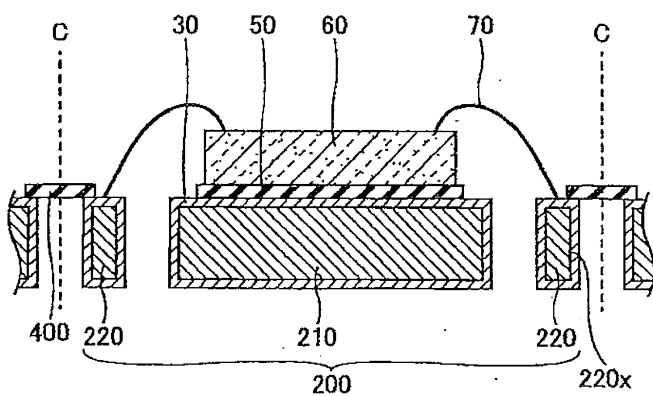
도면4a



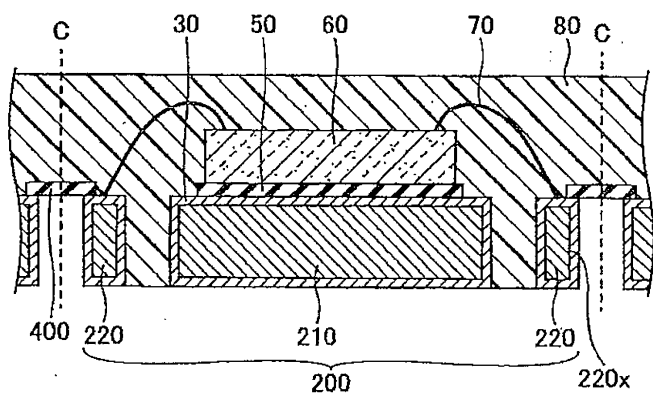
도면4b



도면5a

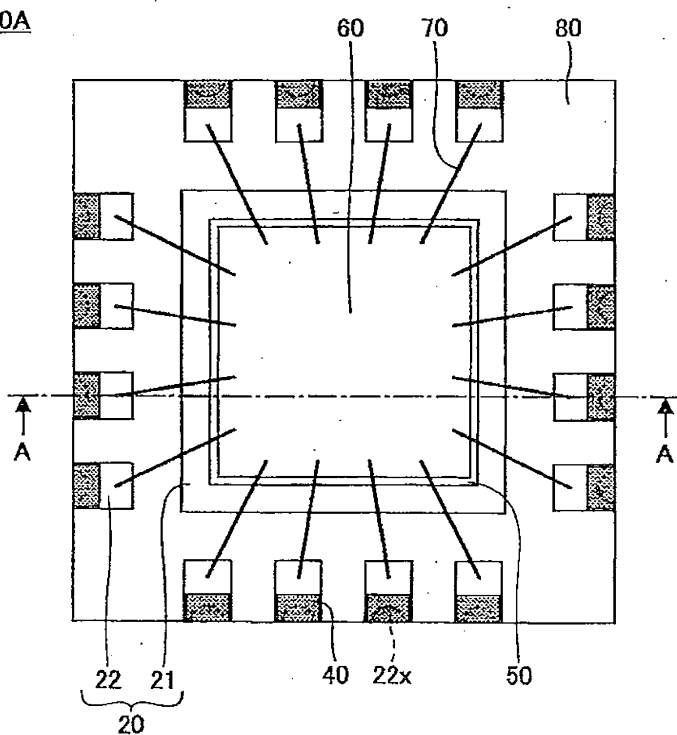


도면5b



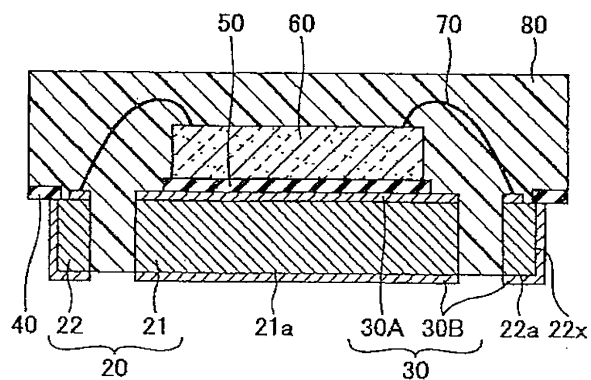
도면6a

10A

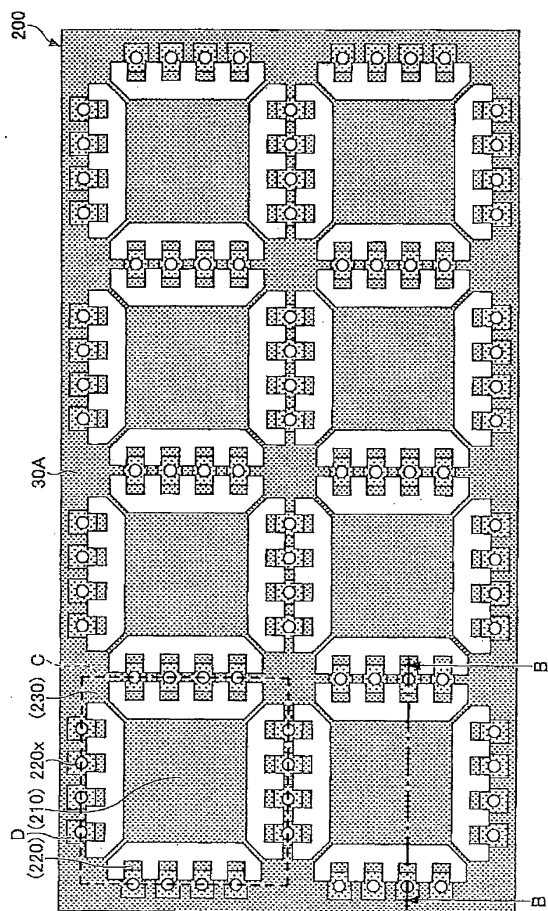


도면6b

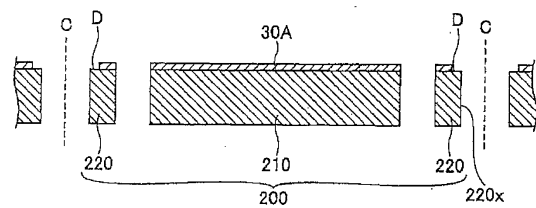
10A



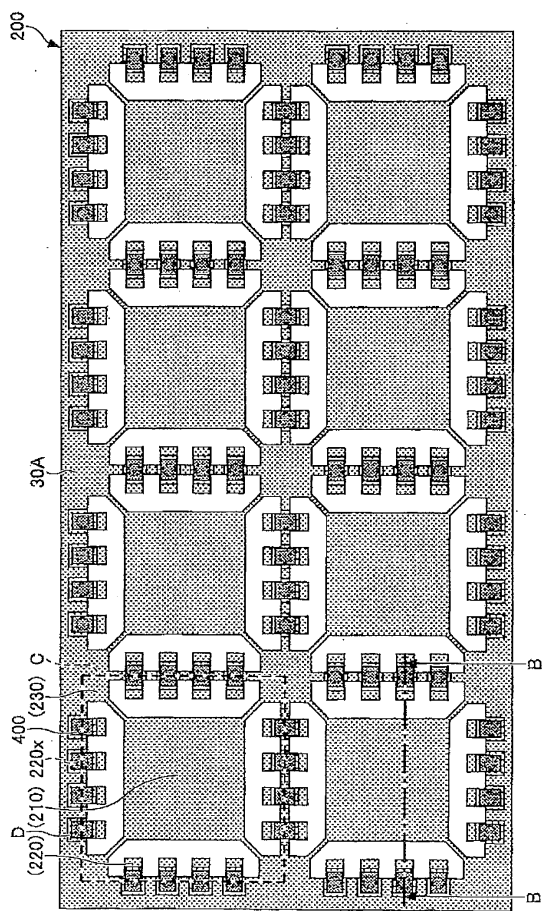
도면7a



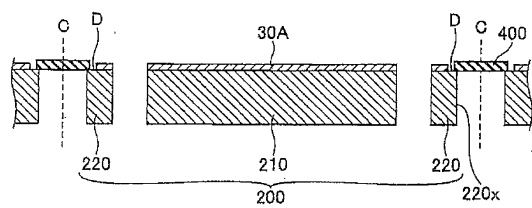
도면7b



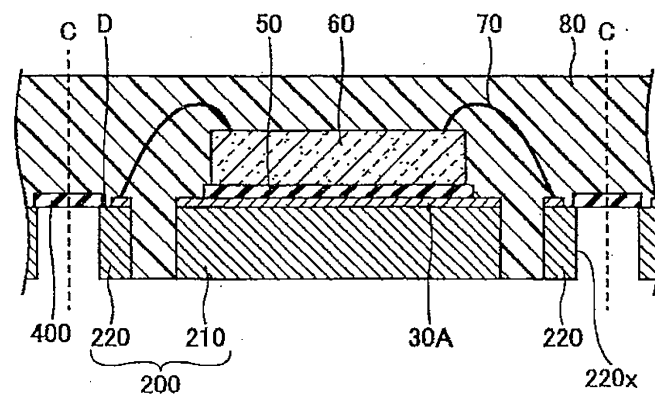
도면8a



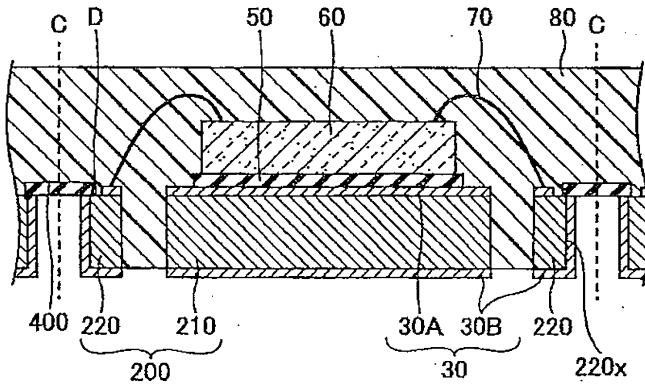
도면8b



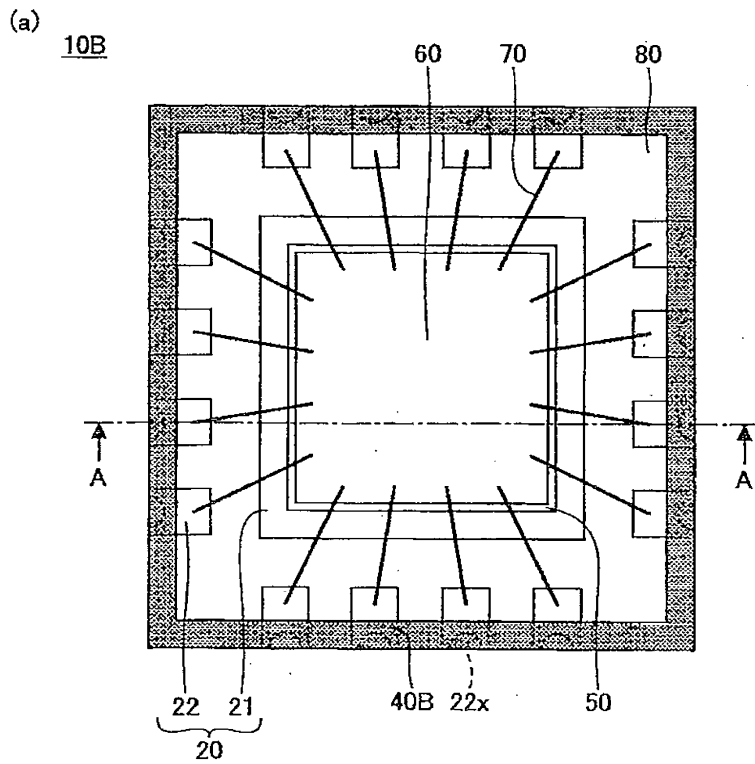
도면9a



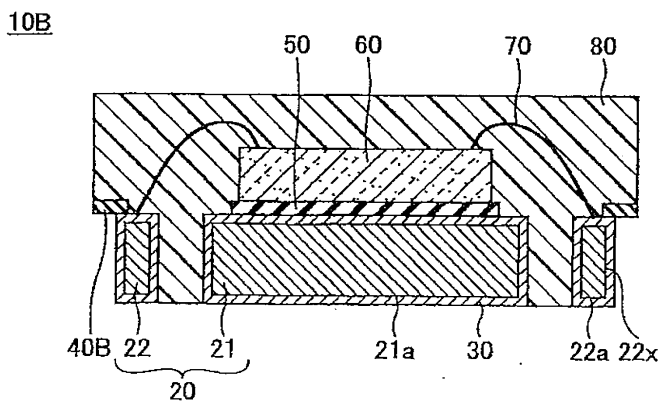
도면9b



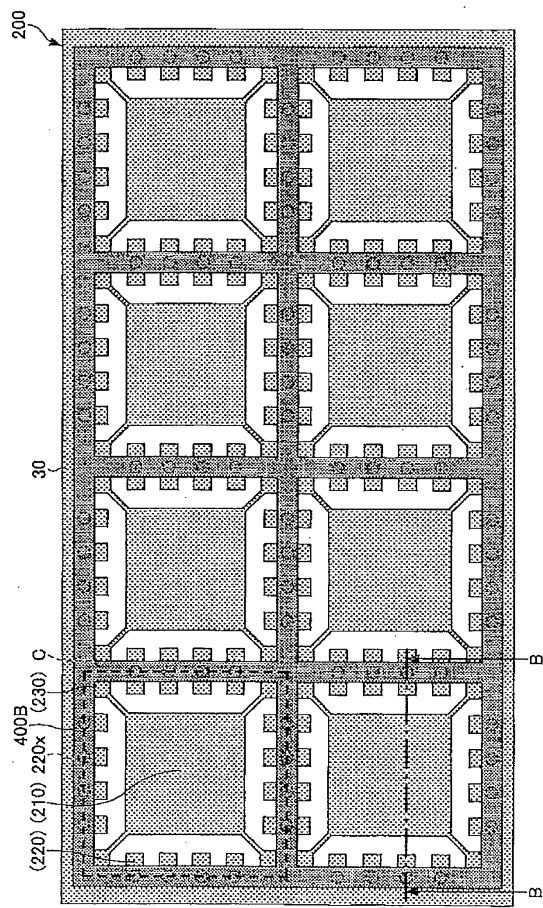
도면10a



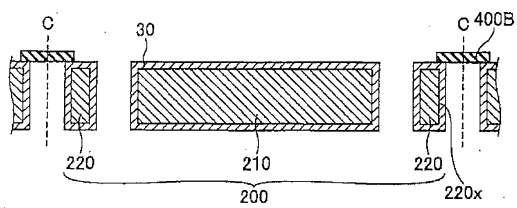
도면10b



도면11a

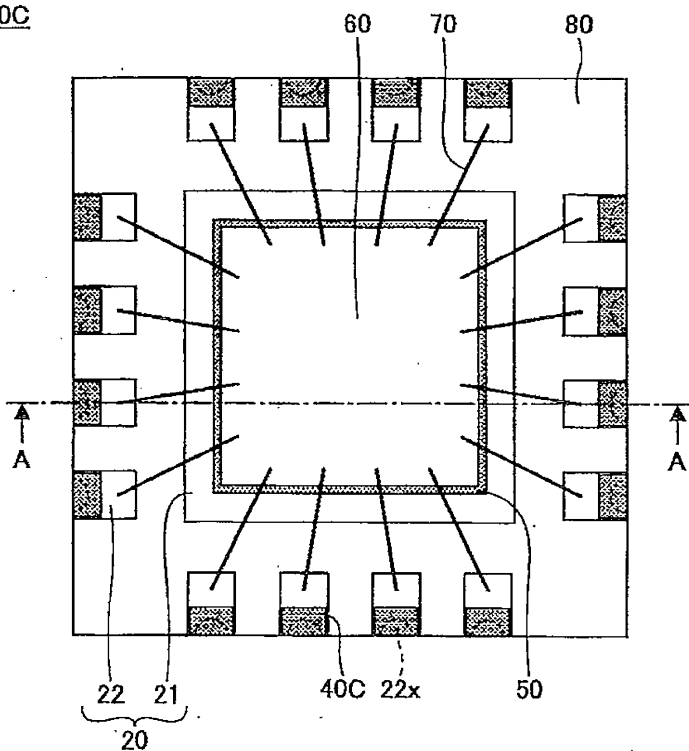


도면11b



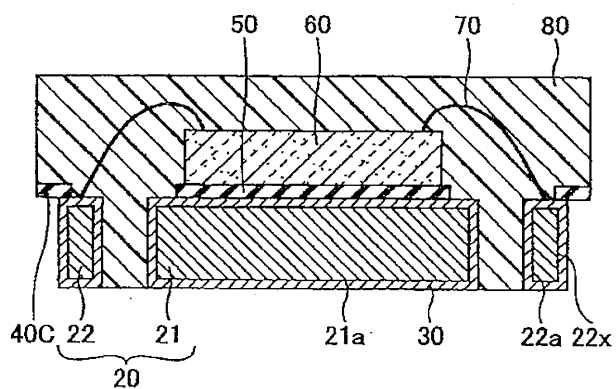
도면12a

10C

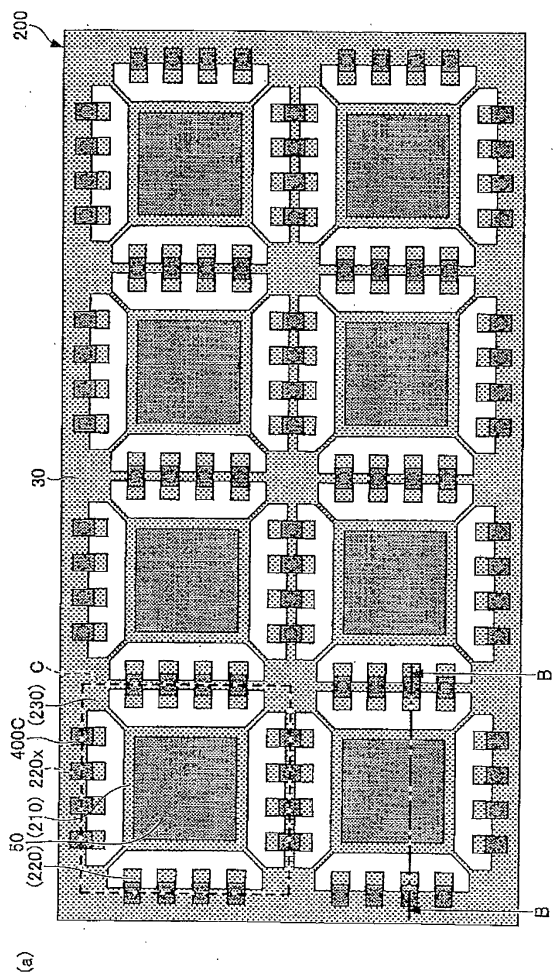


도면12b

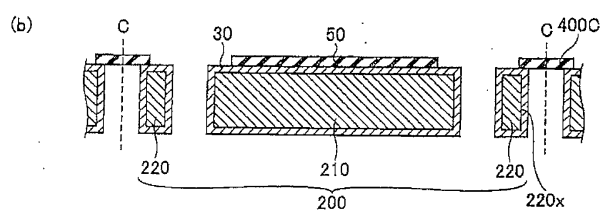
10C



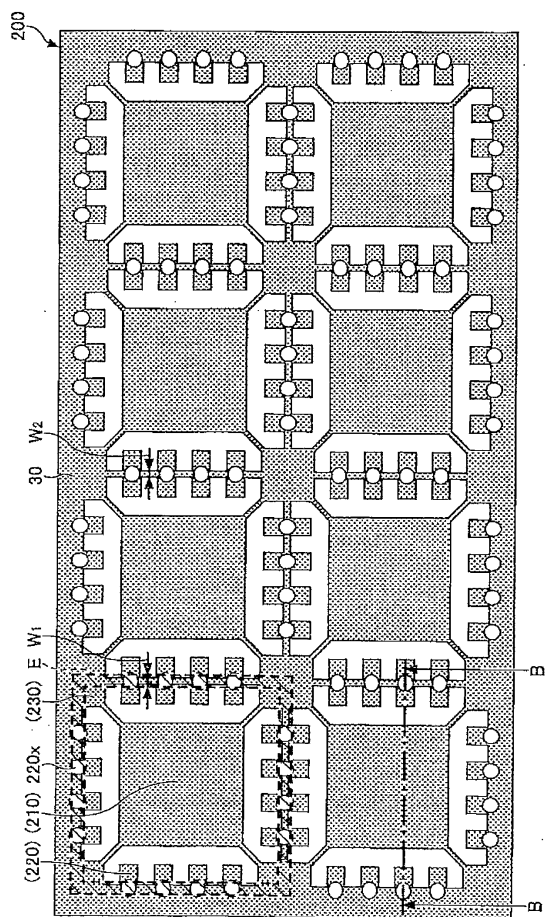
도면13a



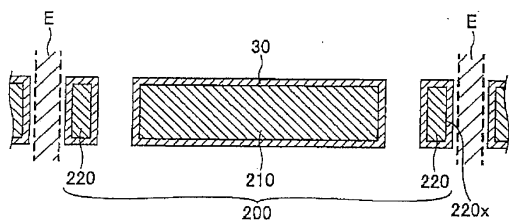
도면13b



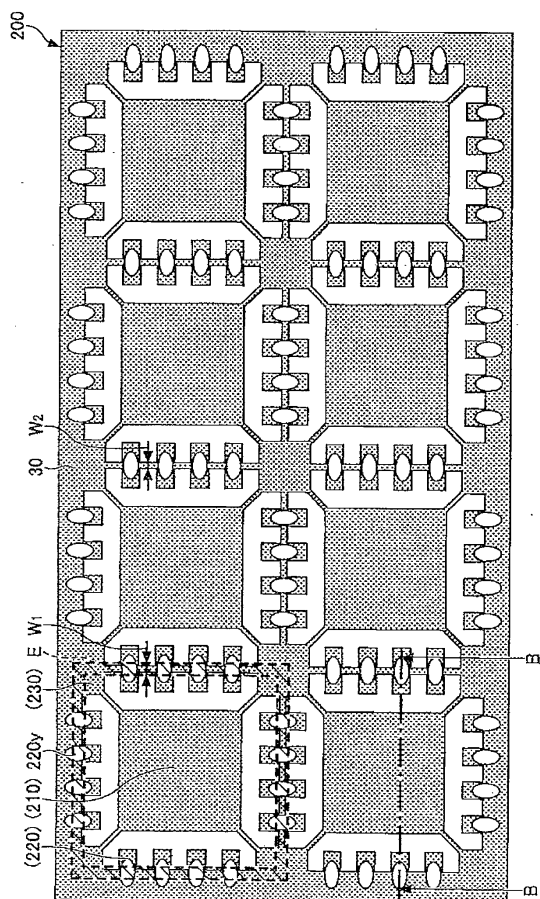
도면14a



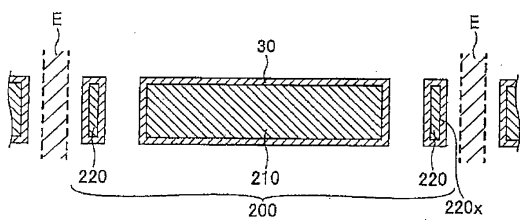
도면14b



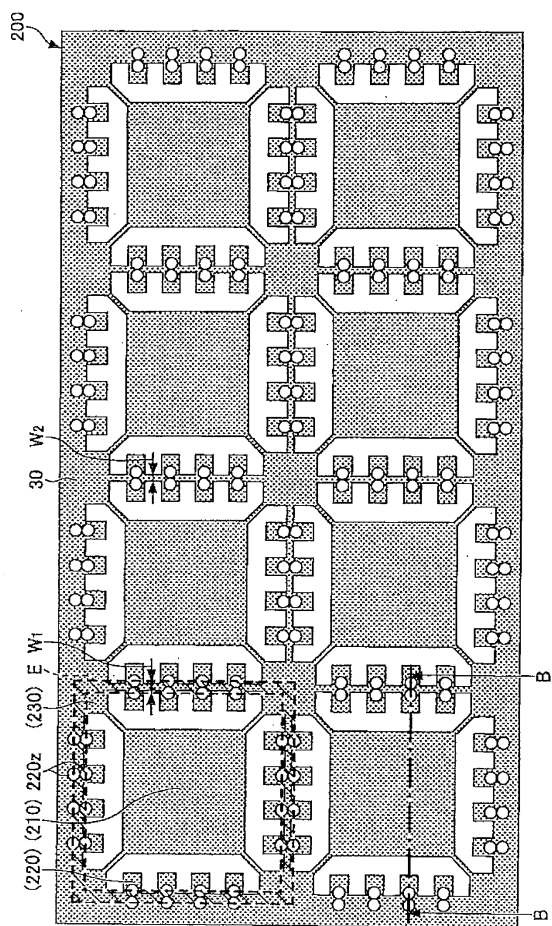
도면15a



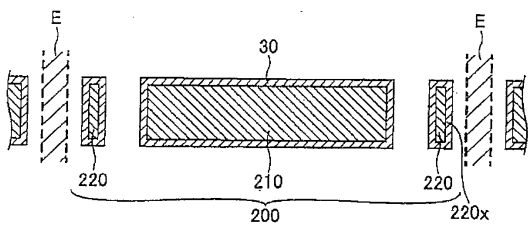
도면15b



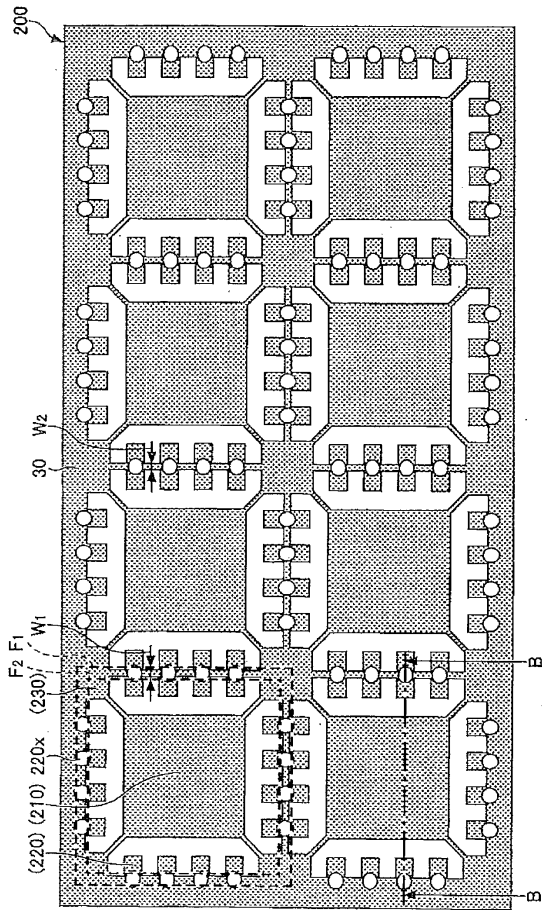
도면16a



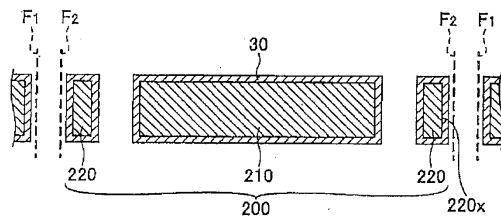
도면16b



도면17a

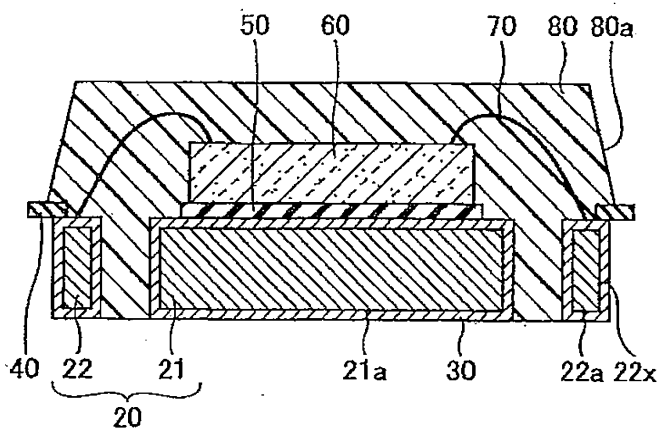


도면17b



도면18

10D



도면19

