

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
22 juin 2006 (22.06.2006)

PCT

(10) Numéro de publication internationale
WO 2006/064110 A1

(51) Classification internationale des brevets :
H03K 5/156 (2006.01)

(21) Numéro de la demande internationale :
PCT/FR2005/003081

(22) Date de dépôt international :
8 décembre 2005 (08.12.2005)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
0413352 15 décembre 2004 (15.12.2004) FR

(71) Déposant (pour tous les États désignés sauf US) : **COM-
MISSARIAT A L'ENERGIE ATOMIQUE** [FR/FR];
31/33, rue de la Fédération, F-75752 Paris Cedex 15 (FR).

(72) Inventeur; et

(75) Inventeur/Déposant (pour US seulement) : **MASSON,
Gilles** [FR/FR]; 70 Allée de la cheminée Morun, F-38340
Voreppe (FR).

(74) Mandataire : **SANTARELLI**; 14, Avenue de la Grande-
Armée, BP 237, F-75822 Paris Cedex 17, FR (FR).

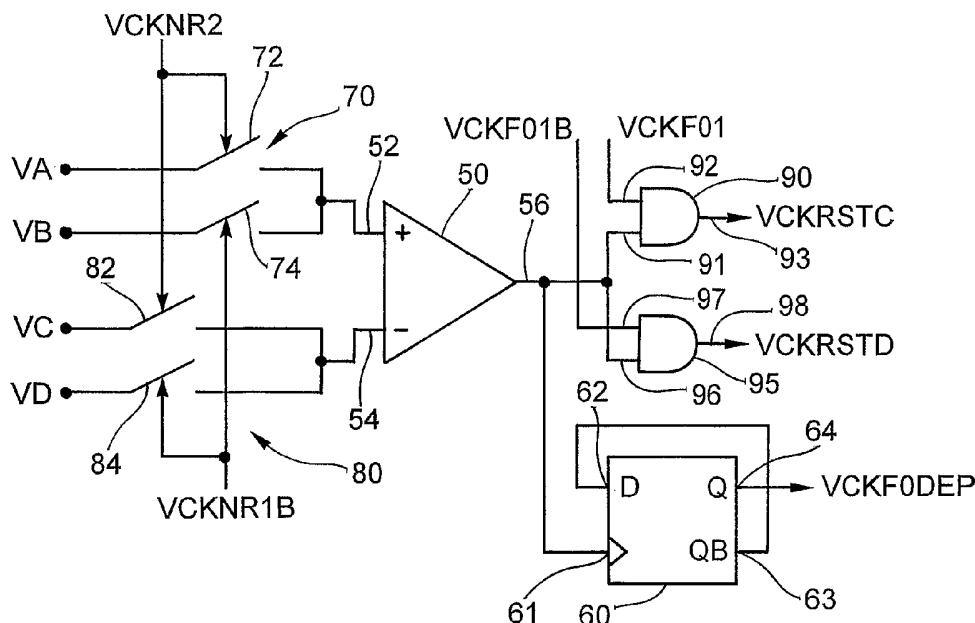
(81) États désignés (sauf indication contraire, pour tout titre de
protection nationale disponible) : AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO,
CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG,
KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY,
MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO,
NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK,
SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

(84) États désignés (sauf indication contraire, pour tout titre
de protection régionale disponible) : ARIPO (BW, GH,
GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM,
ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM),
européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT,

[Suite sur la page suivante]

(54) Title: FREQUENCY DOUBLER DEVICE

(54) Titre : DISPOSITIF DOUBLEUR DE FREQUENCE



(57) Abstract: The first and second arrangements of switches (70, 80) are connected to the positive (52) and negative (54) inputs of a comparator (50), respectively and are arranged in such a way that a first and third voltages (VA, VC) during the first phase of a reference clock (VCKNR2) signal and the second and fourth voltages (VB, VD) during the second phase (VCKNR1B) opposite to the first phase are applied to said positive and negative inputs, wherein said first and second voltages (VA, VB) and third and fourth voltages (VC, VD) are shifted with respect to each other at a half-period of the reference clock signal and the ratio between slopes of said voltages (Va, VB, VC, VD) is fixed with respect to a selected current (k).

[Suite sur la page suivante]



RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :

— avec rapport de recherche internationale

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

(57) Abrégé : Des premier et second arrangements de commutateurs (70, 80) sont reliés respectivement aux entrées positive (52) et négative (54) du comparateur (50), et agencés pour appliquer respectivement auxdites entrées positive et négative des première et troisième tensions (VA et VC) pendant une première phase du signal d'horloge de référence (VCKNR2) et des seconde et quatrième tensions (VB et VD) pendant une seconde phase (VCKNR1B) inverse de la première phase, lesdites première et seconde tensions (VA et VB) d'une part et les troisième et quatrième tensions (VC et VD) d'autre part étant décalées l'une par rapport à l'autre d'une demi-période du signal d'horloge de référence, le rapport des pentes desdites tensions (VA à VD) étant fixé par un rapport de courant (k) choisi.

Dispositif doubleur de fréquence

5 La présente invention se rapporte aux circuits électroniques devant produire une horloge ayant une fréquence double de celle de l'horloge d'entrée, appelés communément "doubleur de fréquence". Elle concerne plus particulièrement les circuits doubleurs de fréquence dont le rapport cyclique est ajustable continûment dans la gamme allant par exemple de 15% à 85%.

10 On connaît déjà la technique à boucle de verrouillage de phase pour produire une horloge ayant une fréquence double de celle de l'horloge d'entrée.

 Dans cette technique, le circuit doubleur de fréquence est typiquement constitué d'une boucle à verrouillage de phase, de structure PLL, pour *Phase Locked Loop*, ou de structure DLL, pour *Delay Locked Loop*. De
15 telles structures sont constituées des mêmes blocs mais agencés différemment. Ces blocs comprennent une ligne à retard commandée en tension (rebouclée dans une structure PLL pour former un oscillateur contrôlé en tension), un comparateur de phase, un diviseur de fréquence et un filtre passe-bas.

 Un tel circuit doubleur de fréquence est complexe à concevoir, notamment en raison des problèmes de stabilité pour une structure PLL,
20 occupe une surface importante et peut produire un décalage de phase aléatoire important (*jitter*).

 De plus, la résolution de réglage du rapport cyclique n'est pas continu, et est directement liée au nombre de cellules constituant la ligne à
25 retard, celui-ci devant augmenter pour augmenter la résolution du réglage.

 On connaît aussi la technique dite « à double rampe ou déphasage », pour produire une horloge ayant une fréquence double de celle de l'horloge d'entrée. Une telle technique connue utilise généralement une porte OU exclusif XOR recevant en entrée deux horloges de même fréquence
30 et décalées l'une de l'autre et délivrant en sortie une horloge de fréquence double de rapport cyclique dépendant du décalage de phase entre les deux horloges d'entrée.

Le décalage de phase est typiquement produit à l'aide d'un comparateur de tension qui compare une rampe de tensions générées en synchronisme avec l'une des horloges d'entrée, avec une tension de référence. Les points de basculement correspondent aux fronts de l'horloge décalée.

5 Une telle technique utilise deux rampes de tensions, l'une positive générée sur la demi-période de l'horloge d'entrée et l'autre négative générée sur la demi-période suivante. On obtient ainsi deux basculements à l'aide d'un comparateur.

Dans un tel système à double rampe, il est difficile de maîtriser
10 parfaitement le décalage de phase entre les deux horloges, celui-ci dépendant de la différence de pente entre les rampes positive et négative. Il est également nécessaire de connaître l'amplitude et la moyenne du « triangle » de tension générées afin d'ajuster le niveau de référence pour la comparaison. Ceci ajoute de la complexité, augmente la surface du circuit et réduit la
15 précision du rapport cyclique.

Le brevet US-A-5,257,301 décrit un doubleur de fréquence reposant sur la technique à double rampe. Toutefois, le doubleur de fréquence comprend ici un nombre de comparateur important pour faire varier le rapport cyclique dans la mesure où il faut un comparateur pour chaque valeur de rapport
20 cyclique.

On connaît aussi une technique articulée autour d'un système de bouclage automatique pour compenser les problèmes d'appariement entre les rampes. Le brevet EP-A-0155041 décrit cette technique dans laquelle l'horloge de fréquence double est « moyennée » afin d'extraire une tension
25 proportionnelle au rapport cyclique et de la réintroduire en entrée du système sur le seuil de basculement du comparateur. Dans le brevet EP-A-0155041, au lieu d'une génération de rampe de tensions, il y a une génération directe d'une horloge de fréquence double en utilisant une porte OU exclusif et une cellule de retard. L'horloge de fréquence double issue de la porte OU exclusif comporte
30 un rapport cyclique dépendant du délai entre les deux signaux d'entrée de la porte OU exclusif. Cette horloge de fréquence double est, après intégration, comparée à une référence de tension proportionnelle au rapport cyclique en

sortie du système. Une telle technique est peu compacte car d'une part, la cellule retard doit générer un délai important et comprend notamment des capacités de fortes valeurs et d'autre part, l'intégrateur est composé d'une capacité et d'une résistance de fortes valeurs.

5 La présente invention apporte justement une solution à ces problèmes.

Ainsi, elle vise, à partir d'une unique horloge de fréquence d'entrée de rapport cyclique choisi, à générer une horloge synchrone de fréquence double et de rapport cyclique ajustable continûment et précis, notamment peu
10 sensible aux variations technologiques, et à l'aide d'un circuit électronique occupant une faible surface.

Plus précisément, elle porte sur un dispositif doubleur de fréquence comprenant une porte OU exclusif possédant une première entrée recevant un premier signal d'horloge de fréquence de référence, une seconde entrée
15 recevant un second signal d'horloge de même fréquence que le premier signal d'horloge et décalé par rapport audit premier signal d'horloge d'un décalage choisi, et une sortie délivrant un signal d'horloge de fréquence double de celle de référence et de rapport cyclique dépendant dudit décalage.

Selon une définition générale de l'invention, le dispositif comprend en
20 outre :

- un comparateur possédant une entrée positive, une entrée négative et une sortie reliée à la seconde entrée de la porte OU exclusif, via une bascule et

- des premier et second arrangements de commutateurs reliés
25 respectivement aux entrées positive et négative du comparateur, et agencés pour appliquer respectivement auxdites entrées positive et négative des première et troisième tensions pendant une première phase du signal d'horloge de référence et des seconde et quatrième tensions pendant une seconde phase inverse de la première phase, lesdites première et seconde tensions d'une part
30 et les troisième et quatrième tensions d'autre part étant décalées l'une par rapport à l'autre d'une demi-période du signal d'horloge de référence ; le rapport des pentes desdites tensions étant fixé par un rapport de courant choisi.

Selon une réalisation, les première et troisième tensions sont générées à partir d'un condensateur dont l'une des bornes est reliée à une borne d'alimentation à travers une source de courant de rapport de courant choisi et l'autre des bornes est reliée à une autre borne d'alimentation, les bornes du condensateur étant reliées l'une à l'autre par un commutateur dont l'ouverture/fermeture est commandée par un signal en opposition au signal d'horloge de référence et un autre commutateur commandé par un signal en phase avec le signal d'horloge de référence.

Selon une autre réalisation, les troisième et quatrième tensions sont générées à partir d'un condensateur dont l'une des bornes est reliée à une borne d'alimentation à travers une source de courant de rapport de courant choisi et l'autre des bornes est reliée à une autre borne d'alimentation, les bornes du condensateur étant reliées l'une à l'autre par un commutateur dont l'ouverture/fermeture est commandée par un signal synchrone du signal issu du comparateur.

Le dispositif doubleur de fréquence selon l'invention élimine les inconvénients des structures antérieures dans la mesure où les tensions sont générées à partir des mêmes composants et sont de même sens, ce qui réduit le problème de désappariement, et un seul comparateur est utilisé, ce qui réduit encore le désappariement et la surface correspondante. De plus, le rapport cyclique est fixé par un rapport de courant, ce qui engendre une bonne précision du rapport cyclique.

La présente invention a également pour objet un dispositif comprenant une porte OU exclusif comportant une première entrée recevant un premier signal délivré par un premier dispositif doubleur de fréquence selon l'invention, une seconde entrée recevant un second signal délivré par un second dispositif doubleur de fréquence selon l'invention, et une sortie délivrant un signal de fréquence double de celle du premier ou second signal.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lumière de la description détaillée ci-après et des dessins dans lesquels :

- la **figure 1** représente schématiquement la génération de plusieurs signaux de commande destinés à piloter les arrangements de commutateurs à partir d'un signal d'horloge de référence selon l'invention ;

5 - la **figure 2** représente schématiquement un bloc de génération d'horloges non recouvrantes selon l'invention;

- la **figure 3** représente schématiquement la porte OU exclusif permettant de générer l'horloge de fréquence double selon l'invention ;

- la **figure 4** représente schématiquement un mode de réalisation des arrangements de commutateurs selon l'invention ;

10 - les **figures 5A à 5D** représentent schématiquement la génération des tensions appliquées aux entrées positive et négative du comparateur selon l'invention ;

- les **figures 6A à 6J** représentent des chronogrammes relatifs aux tensions et signaux d'horloge des **figures 4 et 5A à 5D** selon l'invention ;

15 - les **figures 7A et 7B** représentent schématiquement un mode de réalisation générant deux horloges déphasées et une porte OU exclusif recevant lesdites horloges déphasées ; et

- les **figures 8A à 8H** représentent des chronogrammes relatifs aux tensions et signaux d'horloge des dispositifs des **figures 7A et 7B**.

20 En référence à la **figure 1**, le signal d'horloge de référence est désigné sous le signe de référence VCKFO. C'est cette horloge de référence que l'on veut doubler en fréquence, avec un rapport cyclique variable.

A partir de cette fréquence VCKFO, un bloc 2 va générer plusieurs signaux de commande ou horloges VCKNR1B, VCKNR2, VCKFO1 et
25 VCKFO1B que l'on détaillera plus en détail ci-après.

En pratique, le bloc 2 comprend un bloc de génération d'horloges non recouvrantes possédant une première sortie 4 délivrant l'horloge VCKNR2 et une seconde sortie 6 délivrant l'horloge VCKNR1B via un inverseur 8. L'horloge VCKNR1B est appliquée à une cellule de retard à neuf inverseurs
30 pour délivrer l'horloge VCKF01 et l'horloge VCKF01B via un inverseur 12.

Des horloges non recouvrantes sont des horloges dont les fronts de commutation sont décalés les uns par rapport aux autres d'un décalage choisi,

comme cela sera décrit en détails en référence aux chronogrammes des **figures 6A à 6J**.

En référence à la **figure 2**, le bloc 2 de génération d'horloges non recouvrantes comprend deux chaînes d'inverseurs 20 et 22, individualisés
5 chacun en 20-1, 20-2, 20-3, 20-4, 20-5 et 22-1, 22-2, 22-3, 22-4, 22-5.

La chaîne d'inverseurs 20, précédée d'une porte 24 ayant pour entrée l'horloge VCKIN, délivre une horloge VCKOUT1. La chaîne d'inverseurs 22, précédée d'une porte NAND 26 ayant pour entrée l'horloge VCKIN, délivre une horloge VCKOUT2. La sortie de la chaîne 22 est reliée à l'autre entrée de
10 la porte NOR 24 et la sortie de la chaîne 20 est reliée à l'autre entrée de la porte NAND 26.

La **figure 3** montre une porte OU exclusif 30. A partir de l'horloge d'entrée VCKFO1 (en phase avec VCKFO) et une horloge déphasée VCKFODEP que l'on décrira plus en détail en référence à la **figure 4**, la porte
15 30 génère l'horloge de fréquence double VCK2FO avec un rapport cyclique déterminé.

En référence à la **figure 4**, le dispositif doubleur de fréquence selon l'invention comprend un comparateur 50 possédant une entrée positive 52, une entrée négative 54 et une sortie 56 reliée à une entrée de la porte OU exclusif
20 30 de la **figure 3** via une bascule D 60.

Le dispositif comprend en outre des premier et second arrangements de commutateurs 70 et 80 reliés respectivement aux entrées positive 52 et négative 54 du comparateur 50.

L'arrangement de commutateurs 70 comprend deux commutateurs
25 72 et 74.

L'arrangement de commutateurs 80 comprend deux commutateurs 82 et 84.

Les arrangements de commutateurs 70 et 80 sont agencés pour appliquer respectivement auxdites entrées positive 52 et négative 54 du
30 comparateur 50 des première VA et troisième VC tensions pendant une première phase VCKNR2 du signal d'horloge de référence et des seconde VB

et quatrième VD tensions pendant une seconde phase VCKNR1B inverse de la première phase VCKNR2.

Les tensions VA et VB sont sensiblement identiques, mais décalées l'une de l'autre d'une demi-période du signal d'horloge de référence. De même, les tensions VC et VD sont sensiblement identiques, mais décalées l'une de l'autre d'une demi-période du signal d'horloge de référence. Les pentes des tensions VA et VC sont décalées l'une par rapport à l'autre d'un rapport k de courant choisi. De même, les tensions VB et VD sont décalées l'une par rapport à l'autre dudit rapport k de courant.

Ainsi, sur une alternance positive de l'horloge de référence VCKFO, les tensions VA et VC sont comparées à l'aide du comparateur 50, car le signal VCKNR2 ferme les interrupteurs 72 et 82 des arrangements 70 et 80 et le signal VCKNR1B ouvre les interrupteurs 74 et 84 des arrangements 70 et 80.

Sur une alternance négative de l'horloge de référence VCKFO, les tensions VB et VD sont comparées à l'aide du même comparateur 50, car le signal VCKNR1B ferme les interrupteurs 74 et 84 et le signal VCKNR2 ouvre les interrupteurs 72 et 82.

Le signal VCKCOMP de la sortie 56 du comparateur 50 bascule sur les alternances positives et négatives de l'horloge VCKFO, ce qui va permettre de générer grâce à une bascule D 60, l'horloge déphasée VCKFODEP.

La bascule D 60 comprend une entrée 61 reliée à la sortie 56 du comparateur. L'entrée D 62 de la bascule 60 est reliée à la borne QB 63 de la bascule 60. La sortie Q 64 de la bascule délivre le signal VCKFODEP.

Lorsque le comparateur 50 a basculé, il convient de remettre à zéro les tensions VC ou VD avant de générer une autre tension, car celles-ci sont générées en début de l'alternance suivante.

Ceci est réalisé grâce aux horloges VCKRSTC et VCKRSTD. En pratique, l'horloge VCKRSTC est délivrée par la sortie 93 d'une porte NAND 90 dont l'une 91 des entrées est reliée à la sortie 56 du comparateur et dont l'autre entrée 92 reçoit le signal VCKF01. De son côté, l'horloge VCKRSTD est délivrée par la sortie 98 d'une porte NAND 95 dont l'une 96 des entrées est

reliée à la sortie 56 du comparateur et dont l'autre entrée 97 reçoit le signal VCKF01B.

Pour les tensions VA et VB, il n'y a pas ce problème de remise à zéro, car elles ne durent qu'une demi-alternance.

5 Comme on peut le voir sur les **figures 5A à 5D**, les condensateurs CA, CB, CC et CD génèrent respectivement les rampes ou tensions VA, VB, VC, et VD.

Par exemple, en référence à la **figure 5A**, la tension VA est engendrée par un arrangement constitué d'un condensateur CA dont une borne
10 100A est reliée à une borne d'alimentation VDD via une source de courant IA et dont une autre borne 102A est reliée à une autre borne d'alimentation de référence VREF. Les bornes 100A et 102A du condensateur CA sont reliées l'une à l'autre par un commutateur 104A dont l'ouverture/fermeture est commandée par le signal VCKF01B, en opposition avec le signal de référence.

15 La borne d'alimentation VDD est par exemple de 3,3 V. De son côté, la borne d'alimentation VREF est par exemple de 1 V.

De son côté, en référence à la **figure 5B**, la tension VB est engendrée par un arrangement constitué d'un condensateur CB dont une borne
20 100B est reliée à une borne d'alimentation VDD via une source de courant IB et dont une autre borne 102B est reliée à une autre borne d'alimentation de référence VREF. Les bornes 100B et 102B du condensateur CB sont reliées l'une à l'autre par un commutateur 104B dont l'ouverture/fermeture est commandée par le signal VCKF01, en phase avec le signal d'horloge de référence.

25 En ce qui concerne la tension VC, en référence à la **figure 5C**, elle est engendrée par un arrangement constitué d'un condensateur CC dont une borne 100C est reliée à une borne d'alimentation VDD via une source de courant IC et dont une autre borne 102C est reliée à une autre borne d'alimentation de référence VREF. Les bornes 100C et 102C du condensateur
30 CC sont reliées l'une à l'autre par un commutateur 104C dont l'ouverture/fermeture est commandée par le signal VCKRSTC, issu du comparateur via la porte 90.

Enfin, en référence à la **figure 5D**, la tension VD est engendrée par un arrangement constitué d'un condensateur CD dont une borne 100D est reliée à une borne d'alimentation VDD via une source de courant kID et dont une autre borne 102D est reliée à une autre borne d'alimentation de référence VREF. Les bornes 100D et 102D du condensateur CD sont reliées l'une à l'autre par un commutateur 104D dont l'ouverture/fermeture est commandée par le signal VCKRSTD, issu du comparateur via la porte 95.

Lorsque les condensateurs sont déchargés, les tensions VA, VB, VC, et VD sont identiques en valeur et sont égales à VREF. Ainsi, on a VA=VB=VC=VD et IA=IB=IC=ID.

Les rampes possèdent des inclinaisons différentes, qui sont ajustées par le coefficient k appliqué aux courants IC et ID. Le coefficient k est par exemple inférieur à 0.5 et permet d'ajuster la pente des rampes, donc le lieu de « croisement » des rampes et donc le rapport cyclique de l'horloge VCKFODEP.

Le rapport cyclique Dcy est donné par la formule suivante :

$$Dcy = k/(1-k) \text{ avec } k < 0.5$$

Par exemple, $k=1/3=0.33$ donne un rapport cyclique de 50%, $k=3/7=0.43$ donne 75% et $k=1/5=0.20$ donne 25%.

En référence à la **figure 6A**, le signal d'horloge de référence VCKFO est un signal rectangulaire, par exemple de fréquence $f = 10$ MHz.

En référence à la **figure 6B**, les tensions VA et VC sont des rampes d'inclinaison différente, fonction du coefficient k. Sur une alternance positive de l'horloge de référence VCKFO, les tensions VA et VC sont comparées l'une à l'autre à l'aide du comparateur 50. Le résultat de la comparaison s'exprime par le signal VCKCOMP (**figure 6D**).

En référence à la **figure 6C**, les tensions VB et VD sont des rampes d'inclinaison différente, fonction du coefficient k. Sur une alternance négative de l'horloge de référence VCKFO, les tensions VB et VD sont comparées l'une à l'autre à l'aide du comparateur 50. Le résultat de la comparaison s'exprime par le signal VCKCOMP (**figure 6D**). Les tensions VA et VB sont identiques, mais décalées l'une de l'autre d'une demi-période du signal d'horloge de référence

VCKF0. De même, les tensions VC et VD sont sensiblement identiques, mais décalées l'une de l'autre d'une demi-période du signal d'horloge de référence VCKF0.

En référence aux **figures 6E** et **6F**, les signaux de reset VCKRSTC et VCKRSTD remettent à zéro respectivement les tensions VC et VD à la fin de l'alternance respective.

En référence à la **figure 6G**, le signal VCKF0DEP correspond au décalage engendré par la commutation des rampes de tensions selon l'invention.

En référence à la **figure 6H**, le signal d'horloge VCK2F est un signal rectangulaire de fréquence double par rapport au signal VCKF0, par exemple de fréquence $2f = 2 \text{ MHz}$.

En référence à la **figure 6I**, le signal VCKNR2 est appelé ici la première phase du signal d'horloge. Les fronts de commutation du signal VCKNR2 sont décalés par rapport à ceux du signal VCKF0 (horloges non recouvrantes), d'un décalage qui est fonction du nombre d'inverseurs 20 (**figure 2**).

En référence à la **figure 6J**, le signal VCKNR1B est appelé ici la seconde phase du signal d'horloge de référence, inverse de la première phase.

Les deux horloges VCKNR2 et VCKNR1B sont de même fréquence et non recouvrantes, c'est-à-dire que leurs périodes d'activité ne se recouvrent pas et possèdent, en plus, des zones de part et d'autre de l'activité dans lesquelles les deux horloges sont ensemble inactives (zones de non recouvrement). En référence aux **figures 6I** et **6J**, les périodes d'activité sont les niveaux hauts des horloges et les périodes d'inactivité sont les niveaux bas des horloges. On voit clairement d'une part que lorsque VCKNR2 est actif, VCKNR1B ne l'est pas et réciproquement et, d'autre part, qu'il existe bien des zones dans lesquelles les deux horloges sont inactives (zones de non recouvrement).

Le dispositif doubleur de fréquence selon l'invention est beaucoup plus compact par rapport aux techniques PLL ou DLL de l'art antérieur. Elle est notamment plus robuste en milieu bruité car il n'y a pas d'oscillateur contrôlé en

tension (VCO). De plus, on peut ajuster le rapport cyclique continûment de 15 à 85%.

La précision sur le rapport cyclique est meilleure par rapport aux techniques à rampe classiques, car il n'est pas nécessaire de générer deux courants appairés de sens opposé, ce qui annule une partie des problèmes de désappariement et les problèmes de dissymétrie dans la réjections des alimentations.

De plus, le dispositif doubleur de fréquence selon l'invention est plus compact car il n'est pas nécessaire de récupérer l'amplitude et la moyenne du signal synchronisé sur l'horloge d'entrée, ce qui annule les problèmes de décalage offset et de temps d'établissement du système.

Par rapport à la technique du brevet EP-A-0155041, le temps de réaction aux changements de fréquence est plus rapide car le système selon l'invention n'est pas bouclé.

Le problème du désappariement, qui apporte de l'imprécision au système est ici beaucoup moins important car la technique selon l'invention n'utilise qu'un seul élément actif (comparateur) qui est utilisé pour les deux alternances, contre deux pour le brevet EP-A-0155041.

De plus, par rapport au brevet EP-A-0155041, le dispositif selon l'invention ne nécessite pas de cellule retard générant un délai important ni d'intégrateur constitué de capacité et de résistance.

De plus, le rapport cyclique ne dépend ici que d'un rapport de courant de même sens alors qu'il dépend d'une différence de tension dans le brevet EP-A-0155041, ce qui détériore la précision.

La dynamique de réglage du rapport cyclique est donc plus grande dans le dispositif conforme à l'invention et ne nécessite aucune génération de référence de tension précise.

La présente invention peut être utilisée dans la technique de détection synchrone dans un circuit de type appelé « microfluxgate », correspondant à un circuit de mesure du champ magnétique comprenant un capteur magnétique à porte de flux réalisé par une technologie microélectronique et un circuit électronique d'excitation du capteur et de lecture

de l'information. Un capteur de type microfluxgate est excité par un signal analogique de forme triangulaire de fréquence F_0 généré par un oscillateur local. On effectue une mesure de l'amplitude du signal d'harmonique 2 qui contient l'information utile, à l'aide d'un système de détection synchrone qui
5 consiste à multiplier le signal analogique d'entrée par une horloge de fréquence $2F_0$.

L'oscillateur local génère directement à la fois le signal analogique d'excitation de forme triangulaire et l'horloge de fréquence F_0 . Un doubleur de fréquence est donc nécessaire pour générer l'horloge de fréquence $2F_0$ à partir
10 de l'horloge de fréquence F_0 . De plus, pour optimiser l'efficacité de la détection synchrone, il est nécessaire d'ajuster la phase du signal de fréquence $2F_0$, soit manuellement par retour de mesures, soit avec une boucle automatique qui est capable de détecter l'optimum de phase et commande le système générant l'horloge $2F_0$.

15 Dans ce contexte, l'invention convient parfaitement puisque le réglage de la phase peut se faire simplement et continûment en ajustant les courants des rampes générées. On utilise alors deux structures du type de celle décrite en référence aux **figures 1 à 6**.

En référence aux **figures 7A et 7B**, deux horloges VCKFODEP1 et
20 VCKFODEP2 sont générées séparément à partir de deux blocs 130 et 140 réalisés de manière similaire à celle du doubleur de fréquence décrit en référence aux **figures 1 à 6**.

Un bloc de génération 120 des signaux de commande, reçoit le signal de référence VCKF0. Le bloc 120 est commun aux deux blocs 120 et
25 130. Une porte OU exclusif 150 délivre une horloge de fréquence double VCK2FO à partir des deux horloges de fréquences F_0 , VCKFODEP1 et VCKFODEP2 appliquées aux entrées de la porte OU exclusif 150.

Les valeurs relatives des courants pour chacun des blocs 120 et 130 permettent d'une part, de contrôler le déphasage entre l'horloge VCK2FO et
30 VCKFO et d'autre part, de contrôler le rapport cyclique de l'horloge VCK2FO.

En référence aux **figures 8A à 8H**, on retrouve les chronogrammes des signaux d'horloge de référence VCKFO (**figure 8A**), de déphase du bloc

130 VCKF0DEP1 (**figure 8D**), de déphase du bloc 140 VCKF0DEP2 (**figure 8G**), et de fréquence double VCK2F0 (**figure 8H**).

Les rampes de tensions du bloc 130 (**figures 8B et 8C**) sont similaires à celles des tensions VA, VB, VC et VD décrites en référence aux
5 **figures 6B et 6C**.

De même, les rampes de tensions du bloc 140 (**figures 8E et 8F**) sont similaires à celles des tensions VA, VB, VC et VD décrites en référence aux **figures 6B et 6C**.

REVENDICATIONS

1. Dispositif doubleur de fréquence comprenant une porte OU
5 exclusif (30) possédant une première entrée recevant un premier signal
d'horloge de fréquence de référence, une seconde entrée recevant un second
signal d'horloge de même fréquence que le premier signal d'horloge et décalé
par rapport audit premier signal d'horloge d'un décalage choisi, et une sortie
10 délivrant un signal d'horloge de fréquence double de celle de référence et de
rapport cyclique dépendant dudit décalage ;

caractérisé en ce qu'il comprend en outre :

- un comparateur (50) possédant une entrée positive (52), une entrée
négative (54) et une sortie (56) reliée à la seconde entrée de la porte OU
exclusif (30), à travers une bascule (60) ; et
15 - des premier et second arrangements de commutateurs (70, 80)
reliés respectivement aux entrées positive (52) et négative (54) du comparateur
(50), et agencés pour appliquer respectivement auxdites entrées positive et
négative des première et troisième tensions (VA et VC) pendant une première
phase du signal d'horloge de référence (VCKNR2) et des seconde et quatrième
20 tensions (VB et VD) pendant une seconde phase (VCKNR1B) inverse de la
première phase, lesdites première et seconde tensions (VA et VB) d'une part et
les troisième et quatrième tensions (VC et VD) d'autre part étant décalées l'une
par rapport à l'autre d'une demi-période du signal d'horloge de référence, le
rapport des pentes desdites tensions (VA à VD) étant fixé par un rapport de
25 courant (k) choisi.

2. Dispositif selon la revendication 1, dans lequel les première et
seconde tensions (VA et VB) sont générées à partir d'un condensateur (CA et
CB) dont l'une (100A, 100B) des bornes est reliée à une borne d'alimentation
30 (VDD) à travers une source de courant (IA, IB) de rapport de courant choisi et
l'autre (102A et 102B) des bornes est reliée à une autre borne d'alimentation
(VREF), les bornes du condensateur (CA et CB) étant reliées l'une à l'autre par

un commutateur (104a) dont l'ouverture/fermeture est commandée par un signal (VCKF01B) en opposition au signal d'horloge de référence (VCKF0) et un commutateur (104b) commandé par un signal (VCKF01) en phase avec le signal d'horloge de référence (VCKF0).

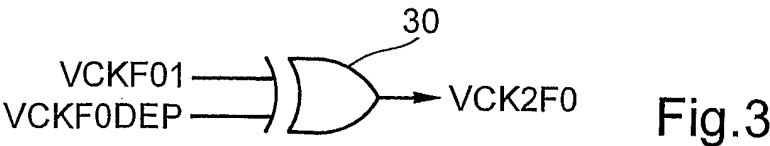
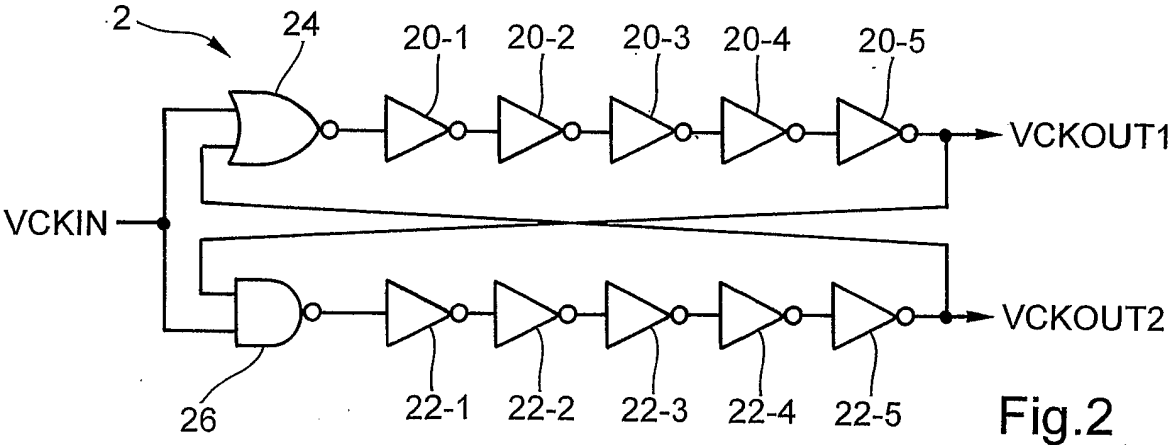
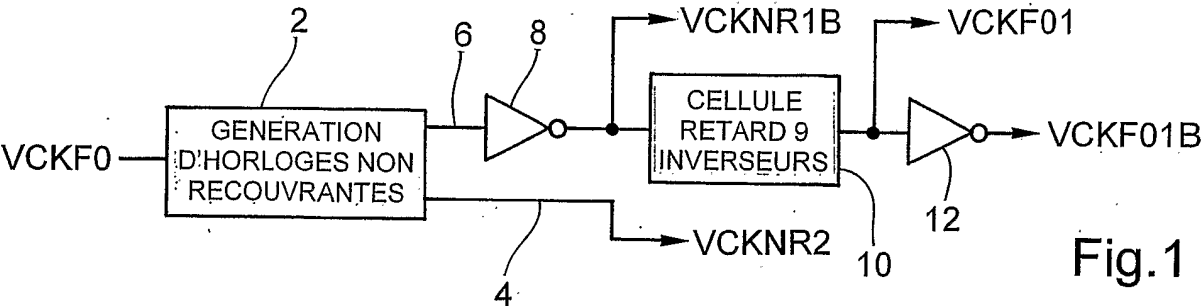
5

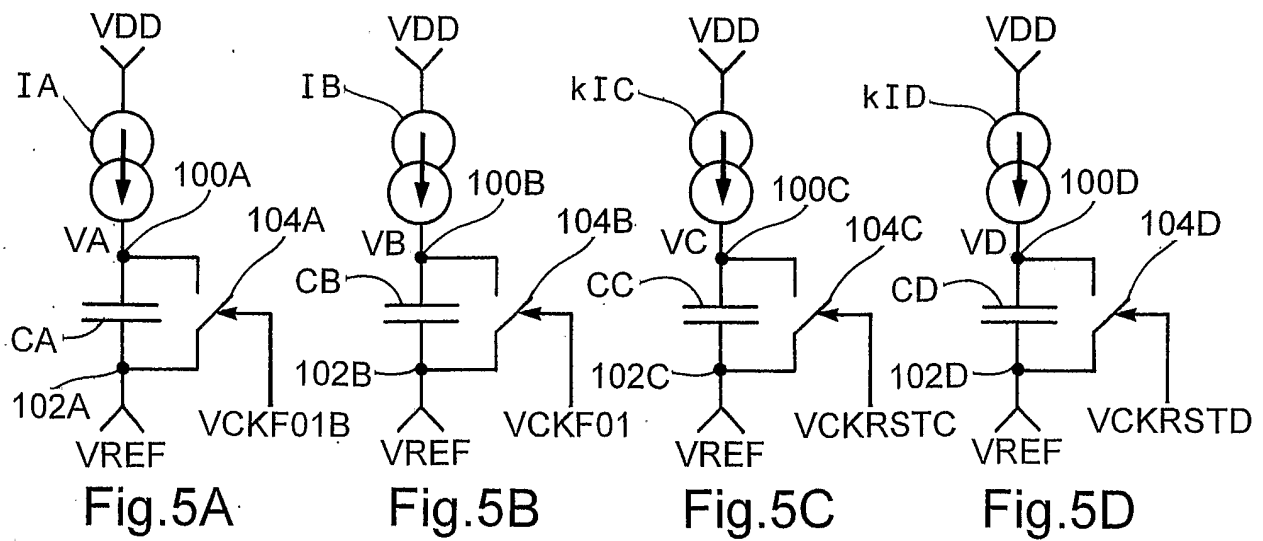
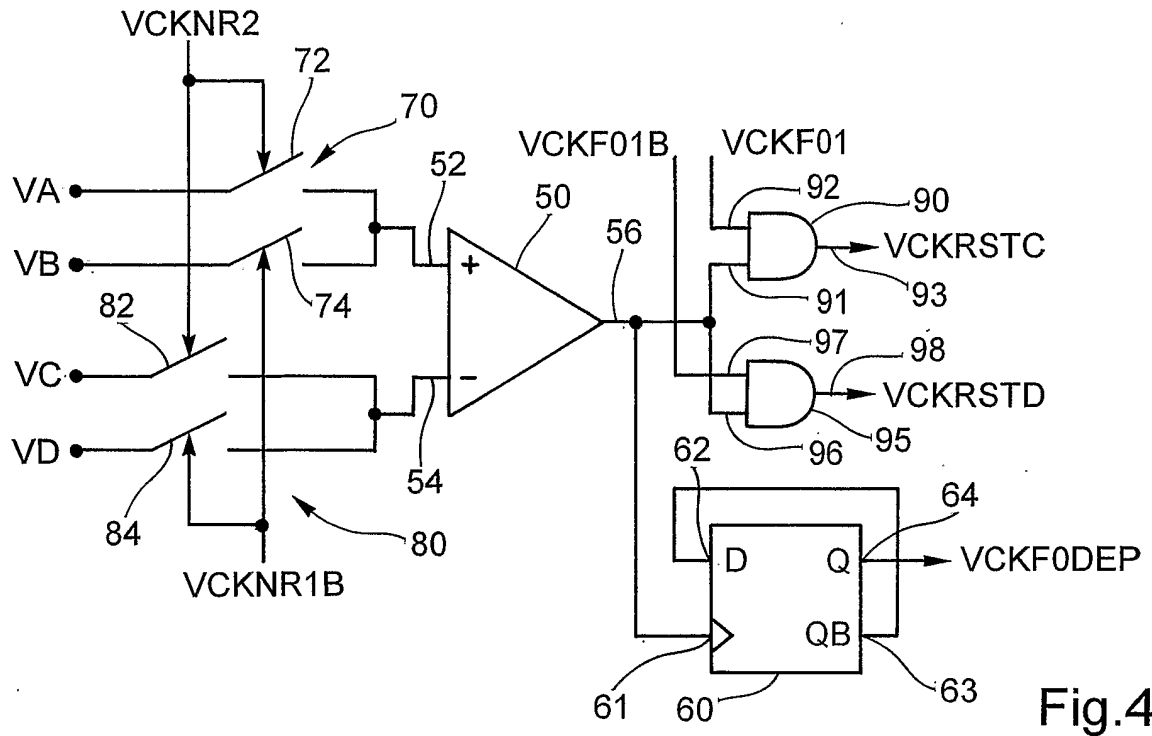
3. Dispositif selon la revendication 1, dans lequel les troisième et quatrième tensions (VC et VD) sont générées à partir d'un condensateur (CC et CD) dont l'une (100C, 100D) des bornes est reliée à une borne d'alimentation (VDD) à travers une source de courant (kIC, kID) de rapport de courant choisi et l'autre (102C et 102D) des bornes est reliée à une autre borne d'alimentation (VREF), les bornes du condensateur (CC et CD) étant reliées l'une à l'autre par un commutateur (104c et 104d) dont l'ouverture/fermeture est commandée par un signal synchrone du signal issu du comparateur.

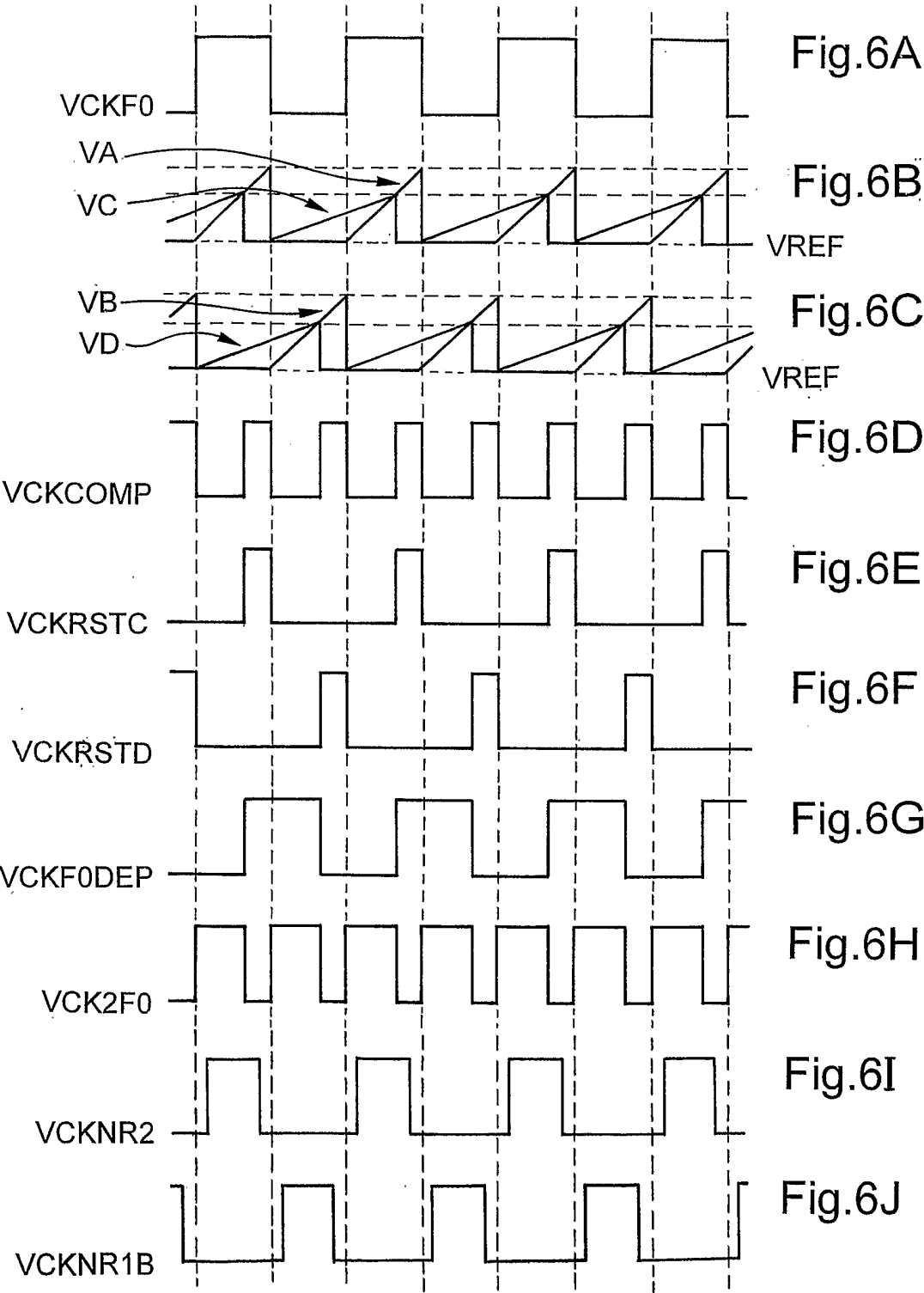
15

4. Dispositif comprenant une porte OU exclusif (150) comportant une première entrée recevant un premier signal (VCKF0DEP1) délivré par un premier dispositif doubleur de fréquence selon la revendication 1, une seconde entrée recevant un second signal (VCKF0DEP2) délivré par un second dispositif doubleur de fréquence selon la revendication 1, et une sortie délivrant un signal de fréquence double (VCK2F0) de celle du premier ou second signal.

20







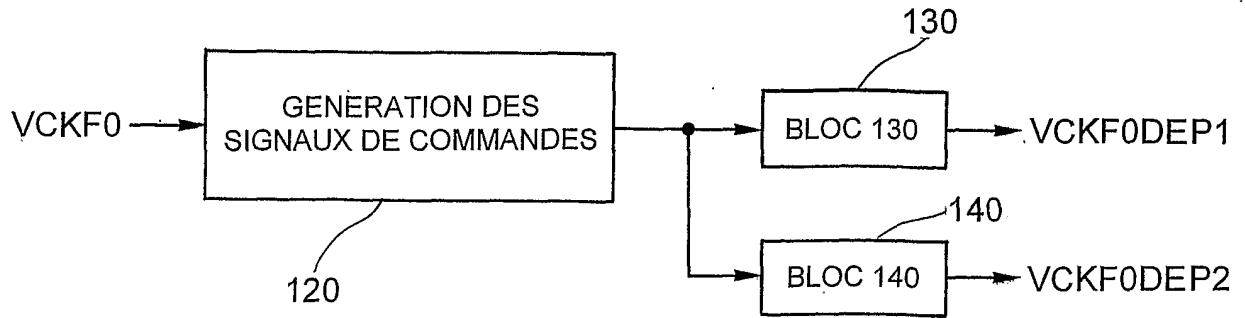


Fig.7A

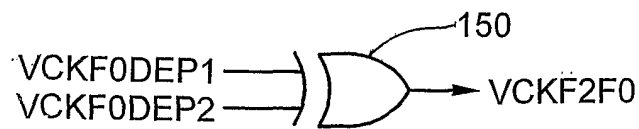
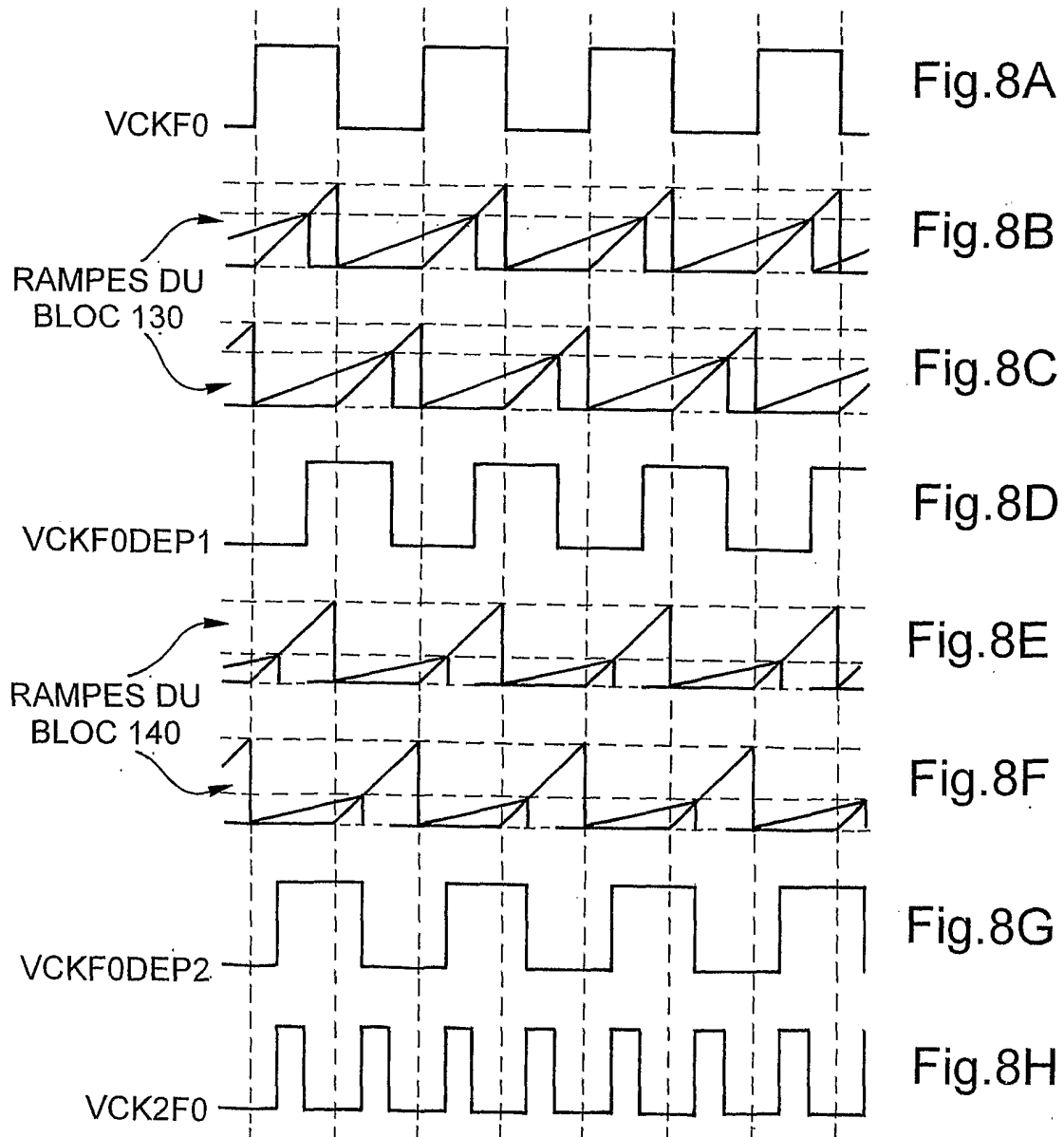


Fig.7B



INTERNATIONAL SEARCH REPORT

International application No
PCT/FR2005/003081

A. CLASSIFICATION OF SUBJECT MATTER

H03K5/156

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 977 362 A (STMICROELECTRONICS S.R.L.) 2 February 2000 (2000-02-02) column 2, line 56 - column 3, line 36; figures 3-5 column 3, line 45 - line 52	1-4
A	US 5 257 301 A (VANDERBILT ET AL) 26 October 1993 (1993-10-26) cited in the application the whole document	1-4
A	EP 0 155 041 A (AMERICAN MICROSYSTEMS, INCORPORATED) 18 September 1985 (1985-09-18) cited in the application the whole document	1-4
	----- -/--	

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *Z* document member of the same patent family

Date of the actual completion of the international search

27 March 2006

Date of mailing of the international search report

07/04/2006

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Jepsen, J

INTERNATIONAL SEARCH REPORT

International application No
PCT/FR2005/003081

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	NAGARAJ K ET AL: "A frequency doubler for rectangular inputs" March 1984 (1984-03), INTERNATIONAL JOURNAL OF ELECTRONICS, TAYLOR AND FRANCIS.LTD. LONDON, GB, PAGE(S) 433-436 , XP002084165 ISSN: 0020-7217 page 433, paragraph 1 - page 436, paragraph 4; figures 1-3 -----	1-4

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/FR2005/003081

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0977362	A	02-02-2000	DE 69808611 D1 DE 69808611 T2 US 6348821 B1	14-11-2002 06-02-2003 19-02-2002
US 5257301	A	26-10-1993	NONE	
EP 0155041	A	18-09-1985	CA 1217826 A1 JP 2843320 B2 JP 60223319 A US 4596954 A	07-02-1987 06-01-1999 07-11-1985 24-06-1986

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2005/003081

A. CLASSEMENT DE L'OBJET DE LA DEMANDE

H03K5/156

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
H03K

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	EP 0 977 362 A (STMICROELECTRONICS S.R.L.) 2 février 2000 (2000-02-02) colonne 2, ligne 56 - colonne 3, ligne 36; figures 3-5 colonne 3, ligne 45 - ligne 52 -----	1-4
A	US 5 257 301 A (VANDERBILT ET AL) 26 octobre 1993 (1993-10-26) cité dans la demande le document en entier -----	1-4
A	EP 0 155 041 A (AMERICAN MICROSYSTEMS, INCORPORATED) 18 septembre 1985 (1985-09-18) cité dans la demande le document en entier -----	1-4
-/--		



Voir la suite du cadre C pour la fin de la liste des documents



Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- *A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- *E* document antérieur, mais publié à la date de dépôt international ou après cette date
- *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

T document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

X document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

Y document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

Z document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

27 mars 2006

Date d'expédition du présent rapport de recherche internationale

07/04/2006

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5618 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Jepsen, J

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2005/003081

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	NAGARAJ K ET AL: "A frequency doubler for rectangular inputs" mars 1984 (1984-03), INTERNATIONAL JOURNAL OF ELECTRONICS, TAYLOR AND FRANCIS.LTD. LONDON, GB, PAGE(S) 433-436 , XP002084165 ISSN: 0020-7217 page 433, alinéa 1 - page 436, alinéa 4; figures 1-3 -----	1-4

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2005/003081

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)		Date de publication
EP 0977362	A	02-02-2000	DE	69808611 D1	14-11-2002
			DE	69808611 T2	06-02-2003
			US	6348821 B1	19-02-2002
US 5257301	A	26-10-1993	AUCUN		
EP 0155041	A	18-09-1985	CA	1217826 A1	07-02-1987
			JP	2843320 B2	06-01-1999
			JP	60223319 A	07-11-1985
			US	4596954 A	24-06-1986