(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0134164
(43) 공개일자 2019년12월04일

(51) 국제특허분류(Int. Cl.)
G11C 11/16 (2006.01)
(52) CPC특허분류
G11C 11/1675 (2013.01)
G11C 11/1655 (2013.01)
(21) 출원번호 10-2018-0059451
(22) 출원일자 2018년05월25일
심사청구일자 2018년06월04일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
강규성
경기 용인시 기흥구 구갈동 한양아파트 107-901
박종선
서울시 서초구 반포동 반포아파트 85동 403호
(74) 대리인
이기성

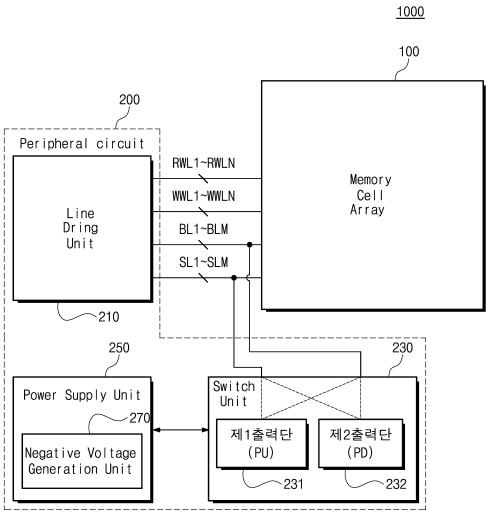
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 **에쓰오티 엠램 및 그 데이터 쓰기방법**

(57) 요 약

본 출원의 일 실시예에 따르는 반도체 장치는, 메모리 셀 어레이와 연결된 라인구동부, 상기 메모리 셀 어레이에 복수의 비트라인들과 복수의 소스라인들을 통해 전기적으로 연결되는 제1 및 제2 출력단을 포함하는 스위칭부 및 상기 제1 및 제2 출력단에 프리차지전압과 소스전압을 출력하는 전원공급부를 포함하고, 상기 전원공급부는, 상기 프리차지전압을 전하공유(Charge Sharing)하여 제1 전압을 충전하고, 상기 제1 전압을 일측으로 방전함에 따라 타측에 음전압을 생성하는 음전압생성부를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
G11C 11/1697 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711064802
부처명 과학기술정보통신부(P71)
연구관리전문기관 한국연구재단(ABX3869)
연구사업명 미래소재디스커버리지원(R&D)(1311101501551100113940 3)
연구과제명 설계기반 Spin-Orbitronics 소재 개발
기 여 율 5/10
주관기관 고려대학교
연구기간 2018.02.04 ~ 2019.02.03
이 발명을 지원한 국가연구개발사업
과제고유번호 1711071760
부처명 과학기술정보통신부(P71)
연구관리전문기관 한국연구재단(ABX3869)
연구사업명 개인기초연구(과기정통부)(R&D)(1311101500155120012343 01)
연구과제명 사물인터넷용 저면적/저전력 전용 프로세서 설계를 위한 맞춤형 임베디드 메모리 개발
기 여 율 5/10
주관기관 고려대학교
연구기간 2018.04.01 ~ 2019.02.28

명 세 서

청구범위

청구항 1

메모리 셀 어레이와 연결된 라인구동부;

상기 메모리 셀 어레이에 복수의 비트라인들과 복수의 소스라인들을 통해 전기적으로 연결되는 제1 및 제2 출력단을 포함하는 스위칭부; 및

상기 제1 및 제2 출력단에 프리차지전압과 소스전압을 출력하는 전원공급부를 포함하고,

상기 전원공급부는, 상기 프리차지전압을 전하공유(Charge Sharing)하여 제1 전압을 충전하고, 상기 제1 전압을 일측으로 방전함에 따라 타측에 음전압을 생성하는 음전압생성부를 포함하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 스위칭부는, 입력데이터에 따라, 상기 복수의 비트라인들 및 소스라인들 중 어느 한쌍의 비트라인 및 소스라인과 상기 제1 및 제2 출력단을 서로 스위칭하여 연결하는 반도체 장치.

청구항 3

제1항에 있어서,

상기 전원공급부는, 상기 제1 출력단에 드레인전압을 출력할 때, 상기 제2 출력단에 상기 음전압을 출력하는 반도체 장치.

청구항 4

제1항에 있어서,

상기 음전압생성부는, 상기 제1 출력단과 연결된 전하공유스위치;

상기 전하공유스위치를 통해 상기 제1 출력단과 연결되는 충전커패시터;

상기 일측에 위치한 제1 노드와 상기 제2 출력단에 연결된 제1 및 제2 방전트랜지스터; 및

상기 타측에 위치한 제2 노드 및 상기 제2 출력단 사이에 위치한 출력트랜지스터를 포함하는 반도체 장치.

청구항 5

제4항에 있어서,

상기 전하공유스위치는, 상기 라인구동부로부터 전송받는 제1 인에이블신호에 응답하여 상기 제1 출력단에 출력된 프리차지전압을 상기 충전커패시터에 전하공유하는 반도체 장치.

청구항 6

제4항에 있어서,

상기 제1 방전트랜지스터는, 상기 라인구동부로부터 전송받는 제2 인에이블신호에 응답하여, 상기 제1 전압을 상기 제1 노드를 통해 공통접지로 방전하는 반도체 장치.

청구항 7

제6항에 있어서,

상기 제2 방전트랜지스터는, 상기 라인구동부로부터 전송받는 제2 인에이블신호에 응답하여, 상기 제2 출력단에 출력된 상기 소스전압을 공통접지로 방전하는 반도체 장치.

청구항 8

제4항에 있어서,

상기 제2 노드에 연결된 제3 방전트랜지스터를 더 포함하고,

제3 방전트랜지스터는, 상기 라인구동부로부터 전송받는 소거신호에 응답하여, 이전에 라이트(WRITE) 동작으로 생성된 음전압을 상기 제2 노드를 통해 공통접지로 방전하는 반도체 장치.

청구항 9

제2항에 있어서,

상기 스위칭부는, 상기 입력데이터에 따라, 상기 어느 한쌍의 비트라인과 소스라인 중 어느 하나에 연결된 상기 제1 출력단을 다른 하나에 스위칭하여 연결하는 제1 인가스위치; 및

상기 제2 출력단을 상기 어느 하나에 스위칭하여 연결하는 제2 인가스위치를 더 포함하는 반도체 장치.

청구항 10

제9항에 있어서,

상기 메모리 셀 어레이는, 상기 어느 한쌍의 비트라인과 소스라인 사이에 형성된 MTJ를 포함하는 어느 하나의 메모리 셀을 포함하고,

상기 어느 하나의 메모리 셀은, 상기 MTJ를 연결하는 제1 및 제2 트랜지스터의 게이트에 연결되는 어느 하나의 리드 및 라이트 워드라인을 포함하는 반도체 장치.

청구항 11

제10항에 있어서,

상기 라인구동부는, 상기 리드 워드라인을 선택하고, 상기 어느 하나의 비트라인으로부터 상기 MTJ를 통해 해당 소스라인으로 흐르는 전류를 감지증폭하여 상기 어느 하나의 메모리 셀에 저장된 저장데이터를 판독하는 반도체 장치.

청구항 12

제11항에 있어서,

상기 라인구동부는, 상기 라이트 워드라인을 선택한 이후에, 상기 저장데이터와 상기 입력데이터의 차이에 따라 라이트 신호를 생성하는 반도체 장치.

청구항 13

제12항에 있어서,

상기 음전압생성부는, 상기 라이트 신호에 응답하여, 상기 음전압을 상기 제2 출력단에 출력하는 반도체 장치.

청구항 14

반도체 장치의 데이터 쓰기방법에 있어서,

음전압생성부가 전원공급부로부터 제1 출력단에 출력된 프리차지전압을 전하공유(Charge Sharing)하고, 상기 프리차지전압에 기초하는 제1 전압을 충전커패시터에 충전하는 단계;

상기 음전압생성부가 상기 제1 전압을 상기 충전커패시터의 일측에 위치한 제1 노드를 통해 방전하는 단계; 및

상기 음전압생성부가 상기 제1 전압의 방전에 기초하여 상기 충전커패시터의 타측에 위치한 제2 노드에서 생성되는 음전압을 제2 출력단에 출력하는 단계를 포함하는 반도체 장치의 데이터 쓰기방법.

청구항 15

제14항에 있어서,

상기 충전하는 단계는, 상기 음전압생성부가 라인구동부로부터 전송받는 제1 인에이블신호에 응답하여 상기 제1 출력단과 상기 충전커패시터를 연결하는 단계를 포함하는 반도체 장치의 데이터 쓰기방법.

청구항 16

제15항에 있어서,

상기 방전하는 단계는, 상기 음전압생성부가 상기 라인구동부로부터 전송받는 소거신호에 응답하여, 상기 제2 노드와 공통접지를 연결하는 단계를 포함하는 반도체 장치의 데이터 쓰기방법.

청구항 17

제15항에 있어서,

상기 방전하는 단계는, 상기 음전압생성부가 상기 라인구동부로부터 전송받는 제2 인에이블신호에 응답하여 상기 제1 노드와 공통접지를 연결하는 단계를 포함하는 반도체 장치의 데이터 쓰기방법.

청구항 18

제17항에 있어서,

상기 방전하는 단계는, 상기 음전압생성부가 상기 제2 인에이블신호에 응답하여 상기 제2 노드와 상기 제2 출력단을 연결하는 단계를 포함하는 반도체 장치의 데이터 쓰기방법.

청구항 19

제14항에 있어서,

상기 반도체 장치는, 상기 제1 및 제2 출력단에 연결되는 제1 및 제2 인가스위치를 더 포함하고,

상기 제1 및 제2 인가스위치가 입력데이터에 따라, 복수의 비트라인들 및 복수의 소스라인들 중 어느 한쌍의 비트라인 및 소스라인에 연결된 제1 및 제2 출력단을 서로 스위칭하여 연결하는 단계를 더 포함하는 반도체 장치의 데이터 쓰기방법.

청구항 20

제15항에 있어서,

상기 출력하는 단계는, 상기 라인구동부가 어느 하나의 메모리 셀에 저장된 저장데이터와 라이트할 입력데이터 간의 차이에 따라, 제3 인에이블신호를 생성하는 단계를 포함하는 반도체 장치의 데이터 쓰기방법.

청구항 21

제20항에 있어서,

상기 출력하는 단계는, 상기 라인구동부가 상기 어느 하나의 메모리 셀에 연결된 어느 하나의 라이트 워드라인을 선택할 때, 상기 제3 인에이블신호의 생성유무에 기초하여 라이트 신호를 생성하는 단계를 포함하는 반도체 장치의 데이터 쓰기방법.

청구항 22

제21항에 있어서,

상기 출력하는 단계는, 상기 음전압생성부가 상기 라인구동부로부터 전송받는 라이트 신호에 응답하여 상기 제2 노드와 상기 제2 출력단을 연결하는 단계를 포함하는 반도체 장치의 데이터 쓰기방법.

발명의 설명

기 술 분 야

[0001] 본 출원의 실시예들은, 반도체 장치 및 그 데이터 쓰기방법에 관한 것으로, 특히, 에쓰오티 엠램 및 그 데이터

쓰기방법에 관한 것이다.

배 경 기 술

[0002] 최근 자기 메모리(magnetic memory), 특히 MRAM(magnetic random access memory)에 대한 관심이 증가하고 있다. 이러한 MRAM의 한 종류로 STT-MRAM(Spin Transfer Torque Magnetic Random Access Memory)이 있다. 보다 구체적으로, STT-MRAM은 자기 터널 접합(magnetic tunneling junction, MTJ)의 저항의 크기를 데이터 '1' 과 '0'으로 표현할 수 있다.

[0003] 이러한 STT-MRAM은 리드(READ) 동작 시 MTJ의 저항에 따라 유도된 전류를 통해 데이터 '1' 과 '0' 중 어느 하나를 판독할 수 있다. 특히, 라이트(WRITE) 동작 시 MTJ의 저항에 따라 유도된 라이트(WRITE)전류의 경로와 리드(READ) 동작 시 MTJ의 저항에 따라 유도된 리드(READ)전류의 경로가 서로 동일하며, 동시에, 리드(READ) 동작과 라이트(WRITE) 동작을 수행할 수 있다.

[0004] 그러나, 리드(READ)전류의 경로와 라이트(WRITE)전류의 경로가 서로 동일한 이유로, STT-MRAM은 라이트(WRITE) 동작 시 MTJ의 저항에 따라 라이트(WRITE)전류를 변화시켜야 하고, 이러한 변화에 따라, 라이트(WRITE)의 동작 시간이 증가하여, 결과적으로, 라이트(WRITE) 동작에 소모되는 에너지는, MTJ의 저항에 따라 변화되는 문제를 가지고 있다.

[0005] 이에 따라, 본 출원에서는, 라이트(WRITE)전류의 경로와 리드(READ)전류의 경로가 서로 다른 SOT-MRAM(Spin Orbit Torque Magnetoresistive Random Access Memory)을 이용하여, 라이트(WRITE) 동작 시 소모되는 에너지가 MTJ의 저항에 따라 변화되는 문제를 해결하고, 라이트(WRITE) 동작 시 소모되는 에너지를 보다 더 감소시킬 수 있는 에쓰오티 엠램 및 그 데이터 쓰기방법을 제공하고자 한다.

발명의 내용

해결하려는 과제

[0006] 본 출원의 목적은, 라이트동작 시 소모되는 에너지를 감소시킬 수 있는 반도체 장치 및 그 데이터 쓰기방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 출원의 일 실시예에 따르는 반도체 장치는, 메모리 셀 어레이와 연결된 라인구동부, 상기 메모리 셀 어레이에 복수의 비트라인들과 복수의 소스라인들을 통해 전기적으로 연결되는 제1 및 제2 출력단을 포함하는 스위칭부 및 상기 제1 및 제2 출력단에 프리차지전압(VPRE)과 소스전압(VSS)을 출력하는 전원공급부를 포함하고, 상기 전원공급부는, 상기 프리차지전압(VPRE)을 전하공유(Charge Sharing)하여 제1 전압(VCS)을 충전하고, 상기 제1 전압(VCS)을 일측으로 방전함에 따라 타측에 음전압(VBB)을 생성하는 음전압생성부를 포함한다.

[0008] 실시예에 있어서, 상기 스위칭부는, 상기 복수의 비트라인들 및 소스라인들에 연결되는 상기 제1 및 제2 출력단을 입력데이터(D1)에 따라, 서로 스위칭하여 연결한다.

[0009] 실시예에 있어서, 상기 전원공급부는, 상기 제1 출력단에 드레인전압(VDD)을 출력할 때, 상기 제2 출력단에 상기 음전압(VBB)을 출력한다.

[0010] 실시예에 있어서, 상기 음전압생성부는, 상기 제1 출력단과 연결된 전하공유스위치, 상기 전하공유스위치를 통해 상기 제1 출력단과 연결되는 충전커패시터, 상기 일측에 위치한 제1 노드와 상기 제2 출력단에 연결된 제1 및 제2 방전트랜지스터 및 상기 타측에 위치한 제2 노드와 상기 제2 출력단 사이에 위치한 출력트랜지스터를 포함한다.

[0011] 실시예에 있어서, 상기 전하공유스위치는, 상기 라인구동부로부터 전송받는 제1 인에이블신호(CSEN)에 응답하여 상기 제1 출력단에 출력된 프리차지전압(VPRE)을 상기 충전커패시터에 전하공유한다.

[0012] 실시예에 있어서, 상기 제1 방전트랜지스터는, 상기 라인구동부로부터 전송받는 제2 인에이블신호(NGEN)에 응답하여, 상기 제1 전압(VCS)을 상기 제1 노드를 통해 공통접지로 방전한다.

[0013] 실시예에 있어서, 상기 제2 방전트랜지스터는, 상기 라인구동부로부터 전송받는 제2 인에이블신호(NGEN)에 응답하여, 상기 제2 출력단에 출력된 상기 소스전압(VSS)을 공통접지로 방전한다.

[0014] 실시예에 있어서, 상기 제2 노드에 연결된 제3 방전트랜지스터를 더 포함하고, 제3 방전트랜지스터는, 상기 라인구동부로부터 전송받는 소거신호(INIT)에 응답하여, 이전에 라이트(WRITE) 동작으로 생성된 음전압(VBB)을 상기 제2 노드를 통해 공통접지로 방전한다.

[0015] 실시예에 있어서, 상기 스위칭부는, 상기 입력데이터(D1)에 따라, 상기 어느 한쌍의 비트라인과 소스라인 중 어느 하나에 연결된 상기 제1 출력단을 다른 하나에 스위칭하여 연결하는 제1 인가스위치 및 상기 제2 출력단을 상기 어느 하나에 스위칭하여 연결하는 제2 인가스위치를 더 포함한다.

[0016] 실시예에 있어서, 상기 메모리 셀 어레이는, 상기 어느 한쌍의 비트라인과 소스라인 사이에 형성된 MTJ를 포함하는 어느 하나의 메모리 셀을 포함하고, 상기 어느 하나의 메모리 셀은, 상기 MTJ를 연결하는 제1 및 제2 트랜지스터의 게이트에 연결되는 어느 하나의 리드 및 라이트 워드라인을 포함한다.

[0017] 실시예에 있어서, 상기 라인구동부는, 상기 리드 워드라인을 선택하고, 상기 비트라인으로부터 상기 MTJ를 통해 상기 소스라인으로 흐르는 전류를 감지증폭하여 상기 어느 하나의 메모리 셀에 저장된 저장데이터(DO)를 판독한다.

[0018] 실시예에 있어서, 상기 라인구동부는, 상기 라이트 워드라인(WWL)을 선택한 이후에, 상기 저장데이터와 상기 입력데이터의 차이에 따라 라이트 신호(WSTART)를 생성한다.

[0019] 실시예에 있어서, 상기 음전압생성부는, 상기 라이트 신호(WSTART)에 응답하여, 상기 음전압(VBB)을 상기 제2 출력단에 출력한다.

[0020] 본 출원의 일 실시예에 따르는, 리드 동작 시 메모리 셀 어레이에 인가된 프리차지전압(VPRE)을 재사용하는 음전압생성부를 포함하는 전원공급부와 라인구동부를 포함하는 반도체 장치의 데이터 쓰기방법은, 상기 음전압생성부가 상기 전원공급부로부터 제1 출력단에 출력된 프리차지전압(VPRE)을 전하공유(Charge Sharing)하고, 상기 프리차지전압(VPRE)에 기초하는 제1 전압(VCS)을 충전커패시터에 충전하는 단계, 상기 음전압생성부가 상기 제1 전압(VCS)을 상기 충전커패시터의 일측에 위치한 제1 노드를 통해 방전하는 단계 및 상기 음전압생성부가 상기 제1 전압(VCS)의 방전에 기초하여 상기 충전커패시터의 타측에 위치한 제2 노드에서 생성되는 음전압(VBB)을 제2 출력단에 출력하는 단계를 포함한다.

[0021] 실시예에 있어서, 상기 충전하는 단계는, 상기 음전압생성부가 상기 라인구동부로부터 전송받는 제1 인에이블신호(CSEN)에 응답하여 상기 제1 출력단과 상기 충전커패시터를 연결하는 단계를 포함한다.

[0022] 실시예에 있어서, 상기 방전하는 단계는, 상기 음전압생성부가 상기 라인구동부로부터 전송받는 소거신호(INIT)에 응답하여, 상기 제2 노드와 공통접지를 연결하는 단계를 포함한다.

[0023] 실시예에 있어서, 상기 방전하는 단계는, 상기 음전압생성부가 상기 라인구동부로부터 전송받는 제2 인에이블신호(NGEN)에 응답하여 상기 제1 노드와 공통접지를 연결하는 단계를 포함한다.

[0024] 실시예에 있어서, 상기 방전하는 단계는, 상기 음전압생성부가 상기 제2 인에이블신호(NGEN)에 응답하여 상기 제2 노드와 상기 제2 출력단을 연결하는 단계를 포함한다.

[0025] 실시예에 있어서, 상기 반도체 장치는, 상기 제1 및 제2 출력단에 연결되는 제1 및 제2 인가스위치를 더 포함하고, 상기 제1 및 제2 인가스위치가 입력데이터(D1)에 따라, 복수의 비트라인들과 복수의 소스라인들 중 복수의 어느 하나의 라인들에 연결된 제1 출력단과 나머지 복수의 라인들에 연결된 상기 제2 출력단을 서로 스위칭하는 단계를 더 포함한다.

[0026] 실시예에 있어서, 상기 출력하는 단계는, 상기 라인구동부가 상기 메모리 셀 어레이에 연결된 리드 워드라인들(RWL1~RWLN) 중 어느 하나를 선택할 때 리드(READ)되는 저장데이터(DO)와 상기 입력데이터(D1)의 차이 여부에 따라, 제3 인에이블신호(WEN)를 생성하는 단계를 포함한다.

[0027] 실시예에 있어서, 상기 출력하는 단계는, 상기 라인구동부가 상기 메모리 셀 어레이에 연결된 리드 워드라인들(RWL1~RWLN) 중 어느 하나를 선택할 때 리드(READ)되는 저장데이터(DO)와 상기 입력데이터(D1)의 차이 여부에 따라, 제3 인에이블신호(WEN)를 생성하는 단계를 포함한다.

[0028] 실시예에 있어서, 상기 출력하는 단계는, 상기 음전압생성부가 상기 라인구동부로부터 전송받는 라이트 신호(WSTART)에 응답하여 상기 제2 노드와 상기 제2 출력단을 연결하는 단계를 포함한다.

발명의 효과

[0029] 본 출원의 실시 예에 따른 에쓰오티 엠램 및 그 데이터 쓰기방법은, 라이트동작 시 소모되는 에너지를 감소시킬 수 있다.

도면의 간단한 설명

[0030] 도 1은 본 출원의 일 실시예에 따른 반도체 장치의 블록도이다.

도 2는 도 1의 메모리 셀 어레이의 일 실시예이다.

도 3은 도 2의 어느 하나의 메모리셀과 연결된 일 예이다.

도 4는 도 1의 음전압생성부의 회로도에 대한 실시 예이다.

도 5는 도 1의 스위칭부의 회로도에 대한 실시 예이다.

도 6은 도 1의 라인구동부의 회로도에 대한 실시 예이다.

도 7은 도 1의 반도체 장치의 라이트 동작을 설명하기 위한 실시 예이다.

도 8은 도 7의 반도체 장치의 라이트 동작에 대한 타이밍 도이이다.

도 9는 도 7의 반도체 장치의 라이트 동작에 따라 프리차지전압(VPRE)을 재사용하기 위한 순서도이다.

도 10은 도 9의 충전 동작에 대한 순서도이다.

도 11은 도 9의 방전 동작에 대한 순서도이다.

도 12는 도 9의 출력 동작에 대한 순서도이다.

도 13은 도 7의 라인구동부가 라이트 신호(WSTART)를 생성하는 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0031] 본 명세서에 개시되어 있는 본 출원의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 출원의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 출원의 개념에 따른 실시 예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.

[0032] 본 출원의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 출원의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 출원의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.

[0033] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 출원의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1구성요소는 제2구성요소로 명명될 수 있고, 유사하게 제2구성요소는 제1구성요소로도 명명될 수 있다.

[0034] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0035] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 출원을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0036] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 출원이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 가진다. 일반적으로 사

용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0037] 이하, 첨부한 도면을 참조하여 본 출원의 바람직한 실시 예를 설명함으로써, 본 출원을 상세히 설명한다.

[0038] 도 1은 본 출원의 일 실시예에 따른 반도체 장치(1000)의 일부에 대한 블록도이고, 도 2는 도 1의 메모리 셀 어레이(100)의 일 실시예이며, 도 3은 도 2의 메모리셀(10_1_1)의 일 실시 예이다.

[0039] 도 1 내지 도 3을 참조하면, 반도체 장치(1000)는 메모리 셀 어레이(100) 및 주변회로(200)를 포함할 수 있다.

[0040] 메모리 셀 어레이(100)는 복수의 비트라인들(BL1~BLM), 복수의 소스라인들(SL1~SLM), 복수의 리드 워드라인들(RMWL1~RWLN) 및 복수의 라이트 워드라인들(WWL1~WWLN)에 전기적으로 연결된 복수의 서브어레이들(110_1~110_M)을 포함할 수 있다.

[0041] 여기서, 복수의 서브어레이들(110_1~110_M)은 복수의 리드 워드라인들(RMWL1~RWLN) 및 복수의 라이트 워드라인들(WWL1~WWLN)에 전기적으로 연결될 수 있다. 또한, 각각의 서브어레이들(110_1~110_M)은 복수의 비트라인들(BL1~BLM) 및 복수의 소스라인들(SL1~SLM) 중 어느 한쌍의 비트라인과 소스라인에 전기적으로 연결될 수 있다. 예컨대, 제1 서브어레이(110_1)는 복수의 리드 워드라인들(RMWL1~RWLN) 및 복수의 라이트 워드라인들(WWL1~WWLN)에 전기적으로 연결되는 동시에, 한쌍의 제1 비트라인(BL1)과 제1 소스라인(SL1)에 전기적으로 연결될 수 있다.

[0042] 또한, 복수의 서브어레이들(110_1~110_M)은 제1 내지 제 M개의 복수의 메모리셀들(10_1_1~10_N_M)을 포함할 수 있다. 보다 구체적으로, 각 서브어레이(110_1~110_M)는 한쌍의 비트라인과 소스라인에 전기적으로 연결된 복수의 메모리셀들(10_1_1~10_N_M)을 포함할 수 있다. 예컨대, 제1 서브어레이(110_1)는 제1 비트라인(BL1)과 제2 소스라인(SL1)에 전기적으로 연결된 제1 복수의 메모리셀들(10_1_1~10_N_1)을 포함하고, 제2 서브어레이(110_2)는 제2 비트라인(BL2)과 제2 소스라인(SL2)에 전기적으로 연결된 제2 복수의 메모리셀들(10_1_2~10_N_2)을 포함할 수 있다.

[0043] 즉, 메모리 셀 어레이(100)는 제1 내지 제 M개의 복수의 메모리셀들(10_1_1~10_N_M)을 포함할 수 있다.

[0044] 이하에서는, 제1 내지 제M 개의 복수의 메모리셀들(10_1_1~10_N_M) 각각의 기능과 동작이 서로 동일하므로, 설명의 편의를 위해 어느 하나의 메모리셀(10_1_1)에 대해 보다 구체적으로 설명한다.

[0045] 다음으로, 메모리셀(10_1_1)은 제1 비트라인(BL1)과 제1 소스라인(SL1) 사이에 형성된 MTJ(20)와 제1 및 제2 트랜지스터(31, 32)를 포함할 수 있다.

[0046] 먼저, MTJ(20)는 기준층(reference layer)(21), 비자기 공간층 (nonmagnetic spacer layer)(22), 데이터 저장층(data storage layer)(23) 및 메탈층(24)을 포함할 수 있다.

[0047] 보다 구체적으로, 기준층(21)은 강자성층(ferromagnetic layer)으로 형성되어 고정층(pinned layer)이라고 불리우고, 자화 방향은 일 방향일 수 있다. 예를 들어, 기준층(21)은 Co, Fe, Ni, 또는 그들의 합금, 또는 이와 유사한 물질을 포함할 수 있다. 또한, 비자기 공간층(22)은 전자들로 하여금 터널링(tunneling)할 수 있을 정도의 두께를 가질 수 있다. 예를 들어, 비자기 공간층(22)은 Al2O3, MgO, AlN, Ta2O5, SiO2, HfO2, ZrO2, MgF2, CaF2, 또는 이와 유사한 것들을 포함할 수 있다. 또한, 데이터 저장층(23)은 기준층(21)과 유사한 강자성층일 수 있다. 이때, 데이터 저장층(23)은 기준층(21)과 다르게, 자화 방향을 일 또는 타 방향으로 스위치될 수 있다. 다음으로, 메탈층(24)은 강한 스핀-궤도 토크(Spin Orbit Toque)가 발생하는 층으로서, 표면을 따라 유도된 전류 크기에 기초하여 데이터 저장층(23)의 자화 방향을 스위치할 수 있다. 예를 들면 메탈층(24)은, 중금속(heavy metal)이나 중금속에 의하여 도핑된 물질들을 포함할 수 있다.

[0048] 다음으로, 제1 트랜지스터(31)는 게이트 측에서 제1 리드 워드라인(RWL1)과 연결되고, 드레인 측에서 제1 비트라인(BL1)과 연결되며, 소스 측에서 MTJ(20)의 기준층(21)과 연결될 수 있다. 또한, 제2 트랜지스터(32)는 게이트 측에서 제1 라이트 워드라인(WWL1)과 연결되고, 드레인 측에서 제1 비트라인(BL1)과 연결되며, 소스 측은 MTJ(20)에서 메탈층(24)과 연결될 수 있다. 즉, 하나의 MTJ(20)는 제1 및 제2 트랜지스터(31, 32)를 통해 제1 비트라인(BL1)과 제1 소스라인(SL1), 리드 및 라이트 워드라인(RWL1, WWL1)에 대하여 한쌍으로 연결될 수 있다.

[0049] 다음으로, 주변회로(200)는 라인구동부(210), 스위칭부(230) 및 전원공급부(250)를 포함할 수 있다.

[0050] 먼저, 라인구동부(210)는 복수의 비트라인들(BL1~BLM), 복수의 소스라인들(SL1~SLM), 복수의 리드 및 라이트 워

드라인들(RWL1~RWLN, WWL1~WWLN)을 통해 메모리 셀 어레이(100)와 연결될 수 있다. 즉, 라인구동부(210)는 복수의 비트라인들(BL1~BLM), 복수의 소스라인들(SL1~SLM), 복수의 리드 및 라이트 워드라인들(RWL1~RWLN, WWL1~WWLN)을 통해 제1 내지 제M 개의 복수의 메모리셀들(10_1_1~10_N_M)과 개별적으로 연결될 수 있다.

[0051] 또한, 라인구동부(210)는 제1 내지 제M 개의 복수의 메모리셀들(10_1_1~10_N_M) 중 어느 하나의 메모리셀(예컨대, 10_1_1)에 저장된 저장데이터(DO)를 리드(READ)할 수 있다.

[0052] 이때, 라인구동부(210)는 복수의 리드 워드라인들(RWL1~RWLN) 중 해당 어느 하나의 메모리셀(예컨대, 10_1_1)에 연결된 어느 하나의 리드 워드라인(예컨대, RWL1)을 선택할 수 있다. 이어서, 라인구동부(210)는 어느 하나의 메모리셀(예컨대, 10_1_1)에 연결된 어느 하나의 비트라인(예컨대, BL1)과 어느 하나의 소스라인(예컨대, SL1) 사이에 흐르는 전류를 감지증폭할 수 있다. 또한, 라인구동부(210)는 감지증폭된 전류와 기준전류와의 비교를 통해 저장데이터(DO)를 판독할 수 있다.

[0053] 즉, 제1 리드 워드라인(RWL1)이 선택되는 경우, 라인구동부(210)는 감지증폭된 전류에 기초하여 어느 하나의 메모리셀(예컨대, 10_1_1)의 데이터 저장층(24)의 자화방향을 판독할 수 있다. 여기서, 자화방향은 전류에 대한 저항인 동시에, 저장데이터(DO)일 수 있다.

[0054] 보다 구체적으로, 라인구동부(210)는, 어느 하나의 메모리셀(예컨대, 10_1_1)에 저장된 저장데이터(DO)를 리드(READ)하기 위하여, 프리차지신호(PCHGEN)를 생성할 수 있다. 여기서, 프리차지신호(PCHGEN)는 제1 및 제2 출력단(231, 232)에 프리차지전압(VPRE)과 소스전압(VSS)을 출력시키기 위하여, 라인구동부(210)가 전원공급부(250)에 전송하는 제어신호일 수 있다.

[0055] 이어서, 라인구동부(210)는, 프리차지신호(PCHGEN)를 전송한 이후에 제1 인에이블신호(CSEN)를 생성할 수 있다. 여기서, 제1 인에이블신호(CSEN)는 제1 출력단(231)에 출력된 프리차지전압(VPRE)을 전하공유 시키기 위하여, 전원공급부(250)에 전송하는 제어신호일 수 있다.

[0056] 이때, 라인구동부(210)는, 제1 내지 제M 개의 복수의 메모리셀들(10_1_1~10_N_M) 중 어느 하나의 메모리셀(예컨대, 10_1_1)에 연결된 제1 리드 워드라인(RWL1)을 선택할 수 있다. 이어서, 제1 리드 워드라인(RWL1)이 선택된 이후에, 라인구동부(210)는 제2 인에이블신호(NGEN)를 생성할 수 있다. 여기서, 제2 인에이블신호(NGEN)는 제1 인에이블신호(CSEN)에 의해 전하공유되어 충전된 전압을 방전시키기 위하여, 라인구동부(210)가 전원공급부(250)에 전송하는 제어신호일 수 있다.

[0057] 또한, 라인구동부(210)는 복수의 라이트 워드라인들(WWL1~WWLN) 중 메모리셀(예컨대, 10_1_1)에 연결된 제1 라이트 워드라인(WWL1)을 선택할 수 있다. 보다 구체적으로, 라인구동부(210)는 리드된 어느 하나의 메모리셀(예컨대, 10_1_1)에 입력데이터(D1)를 라이트(WRITE)하기 위하여, 판독된 저장데이터(DO)와 입력데이터(D1) 간의 차이에 기초하여 제3 인에이블신호(WEN)를 생성할 수 있다. 여기서, 제3 인에이블신호(WEN)는 드레인전압(VDD)을 제1 출력단(231)에 출력하기 위하여, 라인구동부(210)가 전원공급부(250)에 전송하는 제어신호일 수 있다.

[0058] 즉, 라인구동부(210)는 리드된 어느 하나의 메모리셀(예컨대, 10_1_1) 내 데이터 저장층(24)의 자화방향을 스위칭하기 위하여, 제3 인에이블신호(WEN)를 생성하고, 전원공급부(250)에 전송할 수 있다. 여기서, 스위칭된 자화방향은 전류에 대한 저항인 동시에, 입력데이터(D1)일 수 있다.

[0059] 이어서, 라인구동부(210)는 복수의 라이트 워드라인들(WWL1~WWLN) 중 어느 하나의 메모리셀(예컨대, 10_1_1)에 연결된 제1 라이트 워드라인(WWL1)을 선택할 수 있다. 이때, 라인구동부(210)는 제3 인에이블신호(WEN)를 생성하고, 제1 라이트 워드라인(WWL1)을 선택하는 경우, 라이트 신호(WSTART)를 생성할 수 있다. 여기서, 라이트 신호(WSTART)는 음전압(VBB)을 제2 출력단(232)에 출력하기 위하여, 라인구동부(210)가 전원공급부(250)에 전송하는 제어신호일 수 있다.

[0060] 본 출원에서, 라인구동부(210)는 설명의 편의를 위해 하나의 구성요소로 기재되지만, 이를 한정하는 것은 아니다. 예를 들면, 라인구동부(210)는 기능에 따라, 복수의 리드 및 라이트 워드라인들(RWL1~RWLN, WWL1~WWLN)을 선택하는 복수의 로우(ROW)선택 회로들, 복수의 비트라인들(BL1~BLM)과 복수의 소스라인들(SL1~SLM)을 선택하는 컬럼(COLUMN)선택 회로들, 어느 하나의 메모리셀(10_1_1)에 저장데이터(DO)를 리드(READ)하고 라이트(WRITE)하는 읽기-쓰기회로부, 전원공급을 제어하는 제어로직들을 포함하는 복수의 제어회로들로 구성될 수 있다. 이러한 복수의 회로들은 라인구동부(210)의 기능들을 독립적으로 수행할 수 있다.

[0061] 다음으로, 스위칭부(230)는 제1 출력단(231)과 제2 출력단(232)을 포함할 수 있다. 즉, 스위칭부(230)는 복수의 비트라인들(BL1~BLM)과 복수의 소스라인들(SL1~SLM)에 전기적으로 연결되는 제1 및 제2 출력단(231, 232)을 통

해 메모리 셀 어레이(100)에 연결될 수 있다.

[0062] 보다 구체적으로, 제1 및 제2 출력단(231, 232)은 복수의 비트라인들(BL1~BLM)과 복수의 소스라인들(SL1~SLM)을 통해 프리차지전압(VPRE)과 소스전압(VSS)을 메모리 셀 어레이(100)에 인가할 수 있다. 여기서, 프리차지전압(VPRE)과 소스전압(VSS)은 리드(READ) 동작 시 후술될 전원공급부(250)로부터 출력받는 전압일 수 있다.

[0063] 예를 들면, 제1 및 제2 출력단(231, 232)은 리드(READ) 동작 시 전원공급부(250)로부터 프리차지전압(VPRE)과 소스전압(VSS)을 출력받을 수 있다. 이어서, 제1 출력단(231)은 프리차지전압(VPRE)을 복수의 비트라인들(BL1~BLM)을 통해 메모리 셀 어레이(100)에 인가할 수 있다. 이때, 제2 출력단(232)은 소스전압(VSS)을 복수의 소스라인들(SL1~SLM)을 통해 메모리 셀 어레이(100)에 인가할 수 있다.

[0064] 또한, 제1 및 제2 출력단(231, 232)은 복수의 비트라인들(BL1~BLM)과 복수의 소스라인들(SL1~SLM)을 통해 드레인전압(VDD)과 음전압(VBB)을 메모리 셀 어레이(100)에 인가할 수 있다. 여기서, 드레인전압(VDD)과 음전압(VBB)은 라이트(WRITE) 동작 시 후술될 전원공급부(250)로부터 출력받는 전압일 수 있다.

[0065] 예를 들면, 제1 및 제2 출력단(231, 232)은 라이트(WRITE) 동작 시 전원공급부(250)로부터 드레인전압(VDD)과 음전압(VBB)을 출력받을 수 있다. 이어서, 제1 출력단(231)은 드레인전압(VDD)을 복수의 비트라인들(BL1~BLM)를 통해 메모리 셀 어레이(100)에 인가할 수 있다. 이때, 제2 출력단(232)은 음전압(VBB)을 복수의 소스라인들(SL1~SLM)을 통해 메모리 셀 어레이(100)에 인가할 수 있다.

[0066] 실시예에 따른, 스위칭부(230)는 입력데이터(D1)에 따라, 복수의 비트라인들(BL1~BLM) 및 소스라인들(SL1~SLM) 중 어느 한쌍의 비트라인 및 소스라인(예컨대, BL1, SL1)과 제1 및 제2 출력단(231, 232)을 서로 스위칭하여 연결할 수 있다. 예컨대, 메모리 셀(10_1_1)에 입력될 입력데이터(D1)가 '0'일 때, 스위칭부(230)는 메모리 셀(10_1_1)에 해당 비트라인(예컨대, BL1)에 연결된 제1 출력단(231)을 제2 출력단으로 스위칭할 수 있다. 또한, 스위칭부(230)는 해당 소스라인(SL1)에 연결된 제2 출력단(232)을 제1 출력단(231)으로 스위칭할 수 있다.

[0067] 즉, 스위칭부(230)는 입력데이터(D1)에 따라, 복수의 비트라인들(BL1~BLM) 중 어느 하나의 비트라인(예컨대, BL1)에 연결되는 제1 출력단(231)을 제2 출력단(232)으로 스위칭할 수 있다. 동시에, 스위칭부(230)는 복수의 소스라인들(SL1~SLM) 중 어느 하나의 소스라인(SL1)에 연결된 제2 출력단(232)을 제1 출력단(231)으로 스위칭할 수 있다.

[0068] 실시예에 따라, 제1 및 제2 출력단(231, 232)은 복수의 서브어레이들(110_1~110_M)의 개수에 따라 복수개로 형성될 수 있다. 이에 따라, 복수개의 제1 및 제2 출력단(231, 232)은 각 서브어레이(110_1~110_M)와 연결되는 한쌍의 비트라인과 소스라인에 각각 연결될 수 있다. 예컨대, 복수의 제1 및 제2 출력단들 중 첫번째 제1 및 제2 출력단은 한쌍의 제1 비트라인(BL1)과 제1 소스라인(SL1)을 통해 제1 서브어레이(110_1)와 연결되고, 두번째 제1 및 제2 출력단은 제2 비트라인(BL2)과 제2 소스라인(SL2)을 통해 제2 서브어레이(110_2)와 연결될 수 있다.

[0069] 본 출원에서 '인가' 또는 '출력'이라 함은 전압을 공급하는 동일한 의미로서, 메모리 셀 어레이(100)로 전압을 공급할 때, '인가'로 정하고, 스위칭부(230)에 전압을 공급할 때, '출력'으로 정하여 식별되게 표기한다.

[0070] 다음으로, 전원공급부(250)는 리드(READ) 동작 시 프리차지전압(VPRE)과 소스전압(VSS)을 제1 및 제2 출력단(231, 232)에 출력하는 통상의 전원회로일 수 있다.

[0071] 실시예에 따른 전원공급부(250)는 음전압생성부(270)를 포함할 수 있다.

[0072] 보다 구체적으로, 음전압생성부(270)는 제1 출력단(231)에 출력된 프리차지전압(VPRE)을 전하공유(Charge Sharing)하여 제1 전압(VCS)을 충전하고, 제1 전압(VCS)을 일측으로 방전함에 따라 타측에 음전압(VBB)을 생성할 수 있다.

[0073] 또한, 전원공급부(250)는 라이트(WRITE) 동작 시 제1 출력단(231)에 드레인전압(VDD)을 출력할 때, 음전압생성부(270)에서 생성된 음전압(VBB)을 제2 출력단(232)에 출력할 수 있다.

[0074] 보다 구체적으로, 전원공급부(250)는 라이트(WRITE) 동작 시 프리차지전압(VPRE)을 드레인전압(VDD)으로 변경하고, 변경된 드레인전압(VDD)을 제1 출력단(231)에 출력할 수 있다. 이때, 전원공급부(250)는 입력데이터(D1)과 저장데이터(DO)의 차이 여부에 따라, 음전압생성부(270)에서 생성된 음전압(VBB)을 제2 출력단(232)에 출력할 수 있다. 여기서, 드레인전압(VDD)은 프리차지전압(VPRE)보다 전압레벨이 높고, 프리차지전압(VPRE)은 소스전압(VSS)보다 전압레벨이 높으며, 소스전압(VSS)은 음전압(VBB)보다 전압레벨이 높을 수 있다.

[0075] 본 출원의 기술적 사상의 실시 예에 있어서, 반도체 장치(1000)는 입력데이터(D1)를 메모리 셀 어레이(100)에

라이트(WRITE)하는 경우, 먼저, 프리차지전압(VPRE)과 소스전압(VSS)을 메모리 셀 어레이(100)에 인가할 수 있다. 이어서, 반도체 장치(1000)는 라인구동부(210)를 통해 메모리 셀 어레이(100) 중 어느 하나의 메모리 셀(예컨대, 10_1_1)에 저장된 저장데이터(DO)를 리드(READ)할 수 있다. 또한, 반도체 장치(1000)는 저장데이터(DO)와 입력데이터(D1)가 서로 차이가 있을 때, 복수의 비트라인들(BL1~BLM)과 복수의 소스라인들(SL1~SLM)에 연결된 제1 및 제2 출력단(231, 232)을 통해 드레인전압(VDD)과 음전압(VBB)을 인가할 수 있다. 이어서, 반도체 장치(1000)는 라인구동부(210)를 통해 어느 하나의 메모리 셀(예컨대, 10_1_1)에 입력데이터(D1)를 라이트(WRITE)할 수 있다. 즉, 반도체 장치(1000)는 리드(READ) 동작 시 인가된 프리차지전압(VPRE)을 라이트(WRITE) 동작 시 인가되는 음전압(VBB)으로 재사용할 수 있다. 이에 따라, 반도체 장치(1000)는, 종래의 반도체 장치보다 입력데이터(D1)를 라이트(WRITE)할 때 소모되는 에너지를 보다 더 감소시킬 수 있는 효과가 있다.

[0076] 이하, 도 4를 참조하여, 음전압(VBB)을 생성하는 음전압생성부(270)에 대해 보다 구체적으로 설명한다.

[0077] 도 4는 도 1의 음전압생성부(270)의 회로도에 대한 실시 예이다.

[0078] 도 1 내지 도 4를 참조하면, 음전압생성부(270)는 충전커패시터(272), 전하공유스위치(271), 제1 및 제2 방전트랜지스터(274, 275), 출력트랜지스터(277) 및 제3 방전트랜지스터(278)를 포함할 수 있다.

[0079] 먼저, 전하공유스위치(271)는 제1 출력단(231)에 연결되고, 라인구동부(210)로부터 전송받는 제1 인에이블신호(CSEN)에 응답하여, 제1 출력단(231)과 충전커패시터(272)를 연결하며, 제1 출력단(231)에 출력된 프리차지전압(VPRE)을 충전커패시터(272)에 전달할 수 있다. 즉, 전하공유스위치(271)는 음(-) 또는 양(+)의 성질을 갖는 제1 인에이블신호(CSEN)에 응답하여 한쪽이 스위칭온되면 다른쪽이 스위칭오프되는 한 쌍의 스위치일 수 있다.

[0080] 다음으로, 충전커패시터(272)는 전하공유스위치(271)를 통해 제1 출력단(231)과 전기적으로 연결되면, 제1 출력단(231)에 출력된 프리차지전압(VPRE)을 전하공유(Charge Sharing)하고, 정전용량에 따라 제1 전압(VCS)을 충전할 수 있다. 여기서, 충전커패시터(272)는 프리차지전압(VPRE)에 대해 정전용량에 따라 제1 전압(VCS)을 충전하는 커패시터 또는, 복수의 커패시터들이 병렬로 조합된 회로일 수 있다.

[0081] 다음으로, 제1 방전트랜지스터(274)는 충전커패시터(272)의 일측에 위치한 제1 노드(273)에 연결되고, 제1 노드(273)와 공통접지 사이에 위치할 수 있다. 보다 구체적으로, 제1 방전트랜지스터(274)는 라인구동부(210)로부터 전송받는 제2 인에이블신호(NGEN)에 응답하여, 충전커패시터(272)에 충전된 제1 전압(VCS)을 제1 노드(273)를 통해 공통접지로 방전할 수 있다. 즉, 제1 방전트랜지스터(274)는 제2 인에이블신호(NGEN)를 게이트 측 신호로 입력받아, 드레인 측의 제1 전압(VCS)을 제1 노드(273)를 통해 소스 측의 공통접지로 방전하는 트랜지스터일 수 있다.

[0082] 이때, 충전커패시터(272)에 충전된 제1 전압(VCS)이 일측에 위치한 제1 노드(273)에서 제1 방전트랜지스터(274)를 통해 공통접지로 방전됨에 따라, 충전커패시터(272)는 타측에 위치한 제2 노드(276)에 음전압(VBB)을 생성할 수 있다.

[0083] 다음으로, 제2 방전트랜지스터(275)는 제2 출력단(232)에 연결되고, 제2 출력단(232)과 공통접지 사이에 위치할 수 있다. 보다 구체적으로, 제2 방전트랜지스터(275)는 제2 인에이블신호(NGEN)에 응답하여, 제2 출력단(232)에 출력된 소스전압(VSS)을 공통접지로 방전할 수 있다. 즉, 제2 방전트랜지스터(275)는 제2 인에이블신호(NGEN)를 게이트 측 신호로 입력받아, 드레인 측의 소스전압(VSS)을 소스 측의 공통접지로 방전하는 트랜지스터일 수 있다.

[0084] 다음으로, 출력트랜지스터(277)는 제2 출력단(232)과 제2 노드(276) 사이에 위치할 수 있다. 또한, 출력트랜지스터(277)는 라인구동부(210)로부터 전송받는 라이트 신호(WSTART)에 응답하여 제2 노드(276)에 생성된 음전압(VBB)을 제2 출력단(232)에 출력할 수 있다. 즉, 출력트랜지스터(277)는 라이트 신호(WSTART)를 게이트 측 신호로 입력받아, 드레인 측의 음전압(VBB)을 소스 측의 제2 출력단(232)으로 출력하는 트랜지스터일 수 있다.

[0085] 실시예에 따라, 음전압생성부(270)는 제3 방전트랜지스터(278)를 더 포함할 수 있다. 제3 방전트랜지스터(278)는 라인구동부(210)로부터 전송받는 소거신호(INIT)에 응답하여, 이전에 라이트(WRITE) 동작으로 생성된 음전압(VBB)을 제2 노드(278)를 통해 공통접지로 방전할 수 있다. 즉, 제3 방전트랜지스터(278)는 소거신호(INIT)를 게이트 측 신호로 입력받아, 드레인 측의 이전에 라이트(WRITE) 동작으로 생성된 음전압(VBB)을 소스 측의 공통접지로 출력하는 트랜지스터일 수 있다.

[0086] 본 출원의 기술적 사상에 따른 음전압생성부(270)는 제1 인에이블신호(CSEN)에 응답하는 전하공유스위치(271)를 통해 제1 출력단(231)에 인가된 프리차지전압(VPRE)을 전하공유(Charge Sharing)할 수 있다. 이때, 음전압생성

부(270)는 충전커패시터(272)를 통해 정전용량에 따른 제1 전압(VCS)을 충전할 수 있다. 이어서, 음전압생성부(270)는 충전커패시터(272)에 충전된 제1 전압(VCS)을 제1 방전트랜지스터(274)를 통해 일측에 위치한 제1 노드(273)에서 방전함에 따라, 음전압(VBB)을 타측에 위치한 제2 노드(276)에 생성할 수 있다. 또한, 음전압생성부(270)는 라이트 신호(WSTART)에 응답하는 출력트랜지스터(277)를 통해 음전압(VBB)을 제2 출력단(232)에 출력할 수 있다. 이에 따라, 음전압생성부(270)는 리드(READ) 동작 시 사용되는 프리차지전압(VPRE)을 라이트(WRITE) 동작 시 재사용할 수 있게 할 수 있다.

[0087] 이하, 도 1의 스위칭부(230)에 대해 보다 구체적으로 설명한다.

[0088] 도 5는 도 1의 스위칭부(230)의 회로도에 대한 실시 예이다.

[0089] 도 1과 도 5를 참조하면, 스위칭부(230)는 제1 인가스위치(241) 및 제2 인가스위치(242)를 더 포함할 수 있다.

[0090] 상기 스위칭부는, 상기 입력데이터(D1)에 따라, 상기 어느 한쌍의 비트라인과 소스라인 중 어느 하나에 연결된 상기 제1 출력단을 다른 하나에 스위칭하여 연결하는 제1 인가스위치; 및

[0091] 상기 제2 출력단을 상기 어느 하나에 스위칭하여 연결하는 제2 인가스위치

[0092] 먼저, 제1 및 제2 인가스위치(241, 242)는 입력데이터(D1)에 따라, 복수의 비트라인들(BL1~BLM) 및 복수의 소스라인들(SL1~SLM) 중 어느 한쌍의 비트라인 및 소스라인(BL1~BLM, SL1~SLM)에 연결된 제1 및 제2 출력단(231, 232)을 서로 스위칭하여 연결할 수 있다.

[0093] 보다 구체적으로, 제1 인가스위치(241)는 입력데이터(D1)에 따라, 어느 한쌍의 비트라인 및 소스라인(BL1~BLM, SL1~SLM) 중 어느 하나에 연결된 제1 출력단(231)을 다른 하나에 스위칭하여 연결할 수 있다. 동시에, 제2 인가스위치(242)는 다른 하나에 연결된 제2 출력단(232)을 상기 어느 하나에 스위칭하여 연결할 수 있다.

[0094] 예를 들면, 입력데이터(D1)가 0일 때, 제1 인가스위치(241)는 어느 한쌍의 비트라인 및 소스라인(BL1~BLM, SL1~SLM) 중 어느 하나의 비트라인(BL1)에 연결된제1 출력단(231)을 다른 하나의 소스라인(SL1)에 연결할 수 있다. 이때, 제2 인가스위치(242)는 다른 하나의 소스라인(SL1)에 연결된 출력단(232)을 어느 하나의 비트라인(BL1)에 스위칭하여 연결할 수 있다.

[0095] 보다 구체적으로, 제1 인가스위치(241)는 '0' 또는 '1'의 값을 갖는 입력데이터(D1)에 따라, 한쪽이 스위칭온되면 다른쪽이 스위칭오프되는 한쌍의 제1 및 제2 연결스위치(241_1, 241_2)를 포함할 수 있다. 이때, 제1 연결스위치(241_1)는 복수의 비트라인들(BL1~BLM)과 제1 출력단(231) 사이에 위치하며, 제2 연결스위치(241_2)는 제1 소스라인(SL1)과 제1 출력단(231) 사이에 위치할 수 있다.

[0096] 또한, 제2 인가스위치(242)는 '0' 또는 '1'의 값을 갖는 입력데이터(D1)에 따라, 한쪽이 스위칭온되면 다른쪽이 스위칭오프되는 한 쌍의 제3 및 제4 연결스위치(242_1, 242_2)를 포함할 수 있다. 이때, 제3 연결스위치(242_1)는 복수의 소스라인들(SL1~SLM)과 제2 출력단(110) 사이에 위치하고, 제4 연결스위치(242_2)는 복수의 비트라인들(BL1~BLM)과 제2 출력단(231) 사이에 위치할 수 있다.

[0097] 즉, 스위칭부(230)는 입력데이터(D1)에 따라, 복수의 비트라인들(BL1~BLM)에 연결된 제1 출력단(231)을 제1 인가스위치(241)를 통해 스위칭하여 복수의 소스라인들(SL1~SLM)에 연결할 수 있다. 이때, 스위칭부(230)는 입력데이터(D1)에 따라, 복수의 소스라인들(SL1~SLM)에 연결된 제2 출력단(232)을 제2 인가스위치(242)를 통해 스위칭하여 복수의 비트라인들(BL1~BLM)에 연결할 수 있다. 예컨대, 스위칭부(230)는 입력데이터(D1)가 '0'일 때, 복수의 비트라인들(BL1~BLM)에 연결된 제1 출력단(231)을 제1 인가스위치(241)를 통해 스위칭하여 복수의 소스라인들(SL1~SLM)에 연결할 수 있다. 동시에, 스위칭부(230)는 복수의 소스라인들(SL1~SLM)에 연결된 제2 출력단(232)을 제2 인가스위치(242)를 통해 스위칭하여 복수의 비트라인들(BL1~BLM)에 연결할 수 있다.

[0098] 실시예에 따라, 스위칭부(230)는 복수의 서브어레이(110_1~110_M)의 개수에 따라 복수개로 형성될 수 있다. 이에 따라, 스위칭부(230)는 스위칭 동작을 어느 한쌍의 비트라인 및 소스라인에 따라 개별적으로 수행할 수 있다.

[0099] 본 출원의 기술적 사상에 따른 스위칭부(230)는 입력데이터(D1)에 따라, 복수의 비트라인들(BL1~BLM)과 복수의 소스라인들(SL1~SLM)을 제1 및 제2 출력단(231, 232)과 서로 스위칭하여 연결시킬 수 있다. 이에 따라, 스위칭부(230)는 드레인전압(VDD)과 음전압(VBB)을 스위칭하여 복수의 비트라인들(BL1~BLM)과 복수의 소스라인들(SL1~SLM)에 인가할 수 있다. 즉, 스위칭부(230)는 메모리 셀 어레이(100)에 인가되는 전압을 입력데이터(D1)에 따라, 서로 스위칭할 수 있기 때문에, 라이트(WRITE) 동작 속도를 감소시킬 수 있는 효과가 있다.

[0100] 도 6은 도 1의 라인구동부(210)의 회로도에 대한 실시 예이다.

[0101] 도 1 과 도 6을 참조하면, 라인구동부(210)는 감지증폭부(211)와 라이트신호 생성부(212)를 더 포함할 수 있다.

[0102] 먼저, 라인구동부(210)가 메모리 셀 어레이(100)에 연결된 복수의 리드 워드라인들(RWL1~RWLN) 중 어느 하나의 리드 워드라인(예컨대, RWL1)을 선택하는 경우, 감지증폭부(211)는 리드 워드라인(예컨대, RWL1)에 연결된 어느 하나의 메모리셀(10_1_1)에 흐르는 전류(Ir)를 감지증폭할 수 있다.

[0103] 즉, 어느 하나의 리드 워드라인(예컨대, RWL1)이 선택되는 경우, 감지증폭부(211)는 해당 메모리셀(10_1_1)에 연결된 제1 비트라인(BL1)으로부터 MTJ(20)를 통해 제1 소스라인(SL1)에 흐르는 전류(Ir)를 감지증폭할 수 있다. 이때, 감지증폭부(211)는 기준전류(REF)와 비교를 통해 어느 하나의 메모리셀(10_1_1)에 저장된 저장데이터(DO)를 판독할 수 있다.

[0104] 다음으로, 라이트신호 생성부(212)는 저장데이터(DO)와 입력데이터(D1)의 값이 서로 다를 때, 제3 인에이블신호(WEN)를 출력할 수 있다. 이때, 라인구동부(210)가 메모리 셀 어레이(100)에 연결된 복수의 라이트 워드라인들(WWL1~WWLN) 중 어느 하나의 라이트 워드라인(예컨대, WWL1)을 선택하는 경우, 라이트신호 생성부(212)는 라이트 신호(WSTART)를 생성할 수 있다. 한편, 감지증폭부(211)는 저장데이터(DO)와 입력데이터(D1)가 서로 다를 때 생성되는 제3 인에이블신호(WEN)의 유무에 따라, 감지증폭 동작을 중단할 수 있다.

[0105] 보다 구체적으로, 라이트신호 생성부(212)는 XOR 게이트(212_1)와 AND 게이트(212_2)를 포함할 수 있다. 여기서, XOR 게이트(212_1)는 감지증폭부(211)에서 판독된 저장데이터(DO)와, 메모리셀(10_1_1)에 라이트(WRITE)하는 입력데이터(D1)를 입력으로 하여, XOR 연산을 통해 제3 인에이블신호(WEN)를 출력할 수 있다. 또한, AND 게이트(212_2)는 제3 인에이블신호(WEN)와 선택된 제1 라이트 워드라인(WWL1)을 입력으로 하여, 라이트 신호(WSTART)를 출력할 수 있다.

[0106] 도 7은 도 1의 반도체 장치(1000)의 라이트 동작을 설명하기 위한 실시 예이고, 도 8은 도 7의 반도체 장치(1000)의 라이트 동작에 대한 타이밍 도이이다.

[0107] 도 1 내지 도 8을 참조하면, 반도체 장치(1000)는 먼저, 메모리셀(10_1_1)에 입력데이터(D1)를 라이트(WRITE)하기 위하여, 메모리셀(10_1_1)에 저장된 저장데이터(DO)를 리드(READ)하는 동작을 수행할 수 있다.

[0108] 이에 따라, T1 내지 T5 구간에서, 라인구동부(210)는 메모리셀(10_1_1)에 입력데이터(D1)를 라이트(WRITE)하기 이전인 메모리셀(10_1_1)에 저장된 저장데이터(DO)를 리드(READ)할 수 있다.

[0109] 이때, T1 구간에서, 라인구동부(210)는 프리차지신호(PCHGEN)를 전원공급부(250)에 전송할 수 있다. 즉, T1 구간에서, 전원공급부(250)는 라인구동부(210)로부터 전송받는 프리차지신호(PCHGEN)에 응답하여 프리차지전압(VPRE)을 제1 출력단(231)에 출력하고, 소스전압(VSS)을 제2 출력단(232)에 출력할 수 있다.

[0110] 다음으로, T2 구간에서, 라인구동부(210)는 제1 인에이블신호(CSEN)를 생성하고, 제1 인에이블신호(CSEN)를 전하공유스위치(271)에 전송할 수 있다. 이때, T2 구간에서, 전하공유스위치(271)는 제1 인에이블신호(CSEN)에 응답하여 제1 출력단(231)에 출력된 프리차지전압(VPRE)을 충전커패시터(272)에 전하공유하고, 충전커패시터(272)의 정전용량에 따른 제1 전압(VCS)을 충전할 수 있다. 이에 따라, T2 구간에서, 제1 출력단(231)의 전압(PU)은 전하공유에 의해 감소방향으로 변화되고, 제1 전압(VCS)은 정전용량까지 상승방향으로 변화될 수 있다.

[0111] 다음으로, T3~T4 구간동안, 라인구동부(210)는 리드할 메모리셀(10_1_1)의 제1 리드 워드라인(RWL1)을 선택할 수 있다. 이때, T3~T5 구간동안, 라인구동부(210)가 제1 비트라인(BL1)으로부터 MTJ(20)를 통해 제1 소스라인(SL1)으로 흐르는 전류를 감지증폭함으로써, 제1 출력단(231)의 전압(PU)을 소모시키기 때문에, 제1 출력단(231)의 전압(PU)은 감소방향으로 변화될 수 있다.

[0112] 실시예에 따라, T3 구간에서, 라인구동부(210)는 리드할 메모리셀(10_1_1)의 제1 리드 워드라인(RWL1)을 선택할 때, 소거신호(INIT)를 생성하여 제3 방전트랜지스터(278)에 전송할 수 있다. 이때, 제3 방전트랜지스터(278)는 소거신호(INIT)에 응답하여 이전에 생성된 음전압(VBB)을 제2 노드(276)를 통해 공통접지로 방전시킬 수 있다.

[0113] 다음으로, T5 구간에서, 라인구동부(210)는 제1 비트라인(BL1)으로부터 MTJ(20)를 통해 제1 소스라인(SL1)으로 흐르는 전류를 감지증폭(SAEN)하고, 동시에, 제2 인에이블신호(NGEN)를 생성하여 제1 및 제2 방전트랜지스터(274, 275)에 전송할 수 있다. 이때, T5 구간에서, 제1 방전트랜지스터(274)는 제2 인에이블신호(NGEN)에 응답하여 충전커패시터(272)에 충전된 제1 전압(VCS)을 충전커패시터(272)의 일측에 위치한 제1 노드(273)를 통해 공통접지로 방전킬 수 있다.

[0114] 이에 따라, T5 구간에서, 음전압생성부(270)는 제1 노드(273)를 통해 제1 전압(VCS)이 방전됨에 따라 제2 노드(276)에 음전압(VBB)을 생성할 수 있다. 즉, T5 구간의 시작점에서, 제1 전압(VCS)은 방전에 의해 감소방향으로 변화되고, 동시에, 음전압(VBB)은 소스전압(VSS)에 해당하는 가로축에서 음(-)의 축 방향으로 변화할 수 있다.

[0115] 다음으로, T6 구간에서, 라인구동부(210)는 감지증폭되어 리드된 메모리셀(10_1_1)의 저장데이터(D0)와 메모리셀(10_1_1)에 라이트(WRITE)할 입력데이터(D1) 간의 차이에 기초하여 제3 인에이블신호(WEN)를 생성할 수 있다. 또한, T6 구간에서, 라인구동부(210)는 제3 인에이블신호(WEN)를 전원공급부(250)에 전송할 수 있다. 이때, T6~T7 구간동안, 전원공급부(250)는 제3 인에이블신호(WEN)에 응답하여 라이트 동작에 필요한 드레인전압(VDD)을 제1 출력단(231)에 출력할 수 있다. 이에 따라, T6 구간일 때, 제1 출력단(231)의 전압(PU)은 T3~T5 구간동안 프리차지전압(VPRE)에서 감소방향으로 변화되는 전압에서, 드레인전압(VDD)인 상승방향으로 변화될 수 있다.

[0116] 이어서, T7 구간에서, 전원공급부(250)가 드레인전압(VDD)을 제1 출력단(231)에 출력하는 경우, 라인구동부(210)는 제1 라이트 워드라인(WWL1)을 선택할 수 있다. 이때, T7 구간에서, 라인구동부(210)는 제1 라이트 워드라인(WWL1)을 선택함에 따라, 라이트 신호(WSTART)를 생성하여 출력트랜지스터(277)에 전송할 수 있다. 이에 따라, T7 구간에서, 출력트랜지스터(277)는 제2 노드(276)에 생성된 음전압(VBB)을 제2 출력단(232)으로 출력함으로써, 메모리셀(10_1_1)에 입력데이터(D1)를 라이트(WRITE)할 수 있다. 즉, T7 구간에서, 제2 출력단(232)의 전압(PD)은 음전압(VBB)에 의해 상승방향으로 변화되고, 음전압(VBB)은 소모되는 방향 예컨대, 0V인 소스전압(VSS)방향인 증가방향으로 변화될 수 있다.

[0117] 도 9는 도 7의 반도체 장치(1000)의 라이트 동작에 따라 프리차지전압(VPRE)을 재사용하기 위한 순서도이다.

[0118] 도 1 내지 도 9를 참조하면, S110 단계에서, 음전압생성부(270)는 전원공급부(250)로부터 제1 출력단(231)에 출력된 프리차지전압(VPRE)을 충전커패시터(272)에 전하공유(Charge Sharing)하고, 충전커패시터(272)의 정전용량에 따른 제1 전압(VCS)을 충전할 수 있다.

[0119] 다음으로, S120 단계에서, 음전압생성부(270)는 충전커패시터(272)에 충전된 제1 전압(VCS)을 충전커패시터(272)의 일측에 위치한 제1 노드(273)를 통해 공통접지로 방전할 수 있다.

[0120] 이후, S130 단계에서, 음전압생성부(270)는 충전커패시터(272)의 제1 전압(VCS)에 대한 방전에 기초하여 타측에 위치한 제2 노드(276)에서 생성되는 음전압(VBB)을 제2 출력단(232)으로 출력할 수 있다.

[0121] 도 10은 도 9의 충전 동작에 대한 순서도이다.

[0122] 도 1 내지 도 10을 참조하면, S210 단계에서, 전하공유스위치(271)는 메모리셀(10_1_1)과 연결된 라인구동부(210)로부터 제1 인에이블신호(CSEN)를 전송받을 수 있다.

[0123] 이때, S220 단계에서, 전하공유스위치(271)는 제1 인에이블신호(CSEN)에 응답하여 제1 출력단(231)과 충전커패시터(272)를 전기적으로 연결할 수 있다.

[0124] 이후, S230 단계에서, 충전커패시터(272)는 제1 출력단(231)과 연결될 때, 제1 출력단(231)에 출력된 프리차지전압(VPRE)을 전하공유하고, 정전용량에 따른 제1 전압(VCS)을 충전할 수 있다.

[0125] 도 11은 도 9의 방전 동작에 대한 순서도이다.

[0126] 도 1 내지 도 9 및 도 11을 참조하면, S310 단계에서, 라인구동부(210)가 제1 리드 워드라인(RWL1)을 선택할 때, 제3 방전트랜지스터(278)는 라인구동부(210)로부터 소거신호(INIT)를 전송받을 수 있다.

[0127] 이때, S320 단계에서, 제3 방전트랜지스터(278)는 소거신호(INIT)에 응답하여 제2 노드(276)와 공통접지를 연결하고, S330 단계에서, 제3 방전트랜지스터(278)는 이전에 라이트 동작으로 생성된 음전압(VBB)을 제2 노드(276)를 통해 공통접지로 방전할 수 있다.

[0128] 다음으로, S340 단계에서, 제1 및 제2 방전트랜지스터(274, 275)는 라인구동부(210)로부터 제2 인에이블신호(NGEN)를 전송받을 수 있다.

[0129] 이때, S350 단계에서, 제1 및 제2 방전트랜지스터(274, 275)는 제2 인에이블신호(NGEN)에 응답하여 제1 노드(273)와 공통접지를 연결하고, 제2 출력단(232)과 공통접지를 연결할 수 있다.

[0130] 이후, S360 단계에서, 제1 및 제2 방전트랜지스터(274, 275)는 제1 노드(273)를 통해 공통접지로 제1 전압(VCS)을 방전하고, 제2 출력단(232)에 출력된 소스전압(VSS)을 공통접지로 방전할 수 있다.

[0131] 도 12는 도 9의 출력 동작에 대한 순서도이다.

[0132] 도 1 내지 도 9 및 도 12를 참조하면, S410 단계에서, 출력트랜지스터(277)는 라인구동부(210)로부터 라이트 신호(WSTART)를 전송받을 수 있다.

[0133] 이때, S420 단계에서, 출력트랜지스터(277)는 라이트 신호(WSTART)에 응답하여 제2 노드(276)와 제2 출력단(232)을 연결할 수 있다.

[0134] 이후, S430 단계에서, 출력트랜지스터(277)는 제1 전압(VCS)의 방전에 기초하여 S130 단계에서 생성되는 음전압(VBB)을 제2 노드(276)를 통해 제2 출력단(232)에 출력할 수 있다.

[0135] 도 13은 도 7의 라인구동부(210)가 라이트 신호(WSTART)를 생성하는 순서도이다.

[0136] 도 1 내지 도 8 및 도 10을 참조하면, S510 단계에서, 라인구동부(210)는 제1 비트라인(BL1)으로부터 MTJ(20)를 통해 제1 소스라인(SL1)으로 흐르는 전류를 감지증폭하고, 기준전류와의 비교를 통해 저장데이터(DO)를 판독할 수 있다.

[0137] 이때, S520 단계에서, 라인구동부(210)는 메모리셀(10_1_1)에 입력될 입력데이터(D1)와 판독된 저장데이터(DO)의 차이 여부를 판단할 수 있다.

[0138] 이어서, S530 단계에서, 라인구동부(210)는 입력데이터(D1)와 저장데이터(DO)의 차이에 따라, 제3 인에이블신호(WEN)를 생성하고, 전원공급부(250)에 제3 인에이블신호(WEN)를 전송할 수 있다.

[0139] 이때, S530 단계에서, 전원공급부(250)는 라인구동부(210)로부터 생성된 제3 인에이블신호(WEN)를 전송받고, 제3 인에이블신호(WEN)에 응답하여 제1 출력단(231)에서 충전 동작으로 감소되는 프리차지전압(VPRE)을 드레인전압(VDD)으로 변환하고, 드레인전압(VDD)을 제1 출력단(231)에 출력할 수 있다.

[0140] 한편, S540 단계에서, 라인구동부(210)는 입력데이터(D1)와 저장데이터(DO)가 서로 동일할 때, 저장데이터(DO)를 판독하는 동작을 중단할 수 있다.

[0141] 이후, S550 단계에서, 라인구동부(210)는메모리셀(10_1_1)에 연결된 제1 라이트 워드라인(WWL1)을 선택할 때, 라이트 신호(WSTART)를 생성하고, 음전압생성부(270)에 전송할 수 있다.

[0142] 본 출원은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 출원의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0143] 100: 메모리 셀 어레이

200: 주변회로

210: 라인구동부

230: 스위칭부

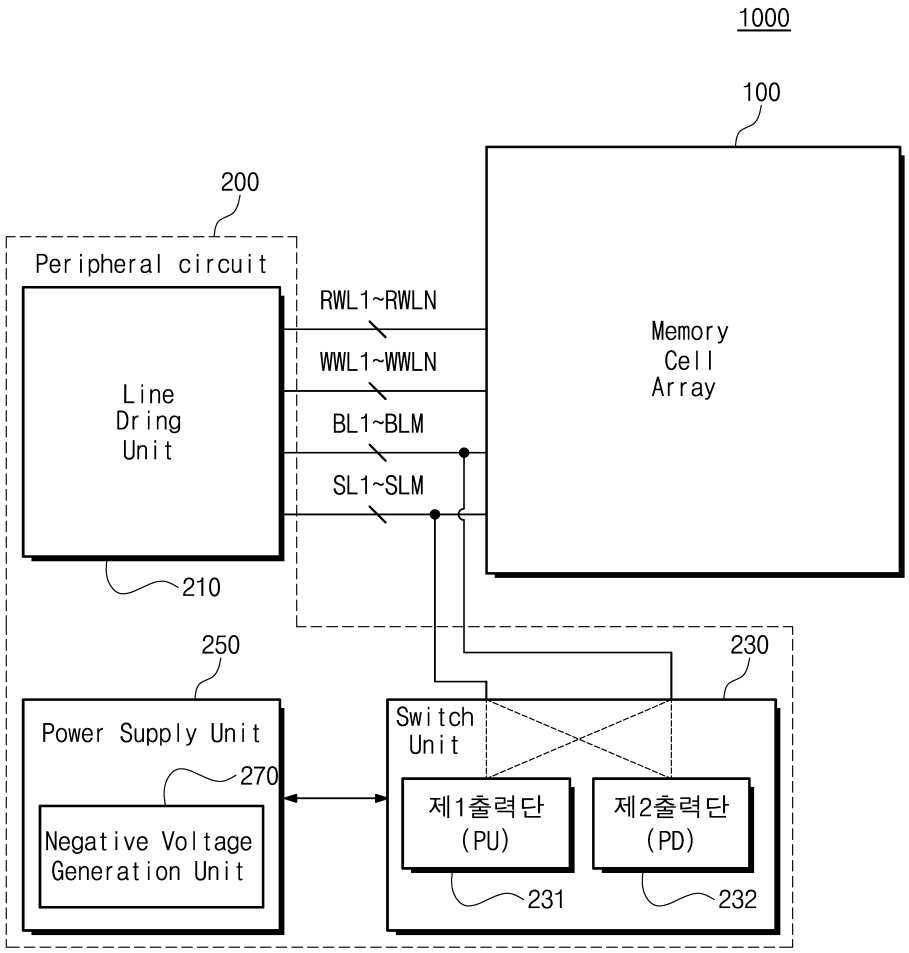
250: 전원공급부

270: 음전압생성부

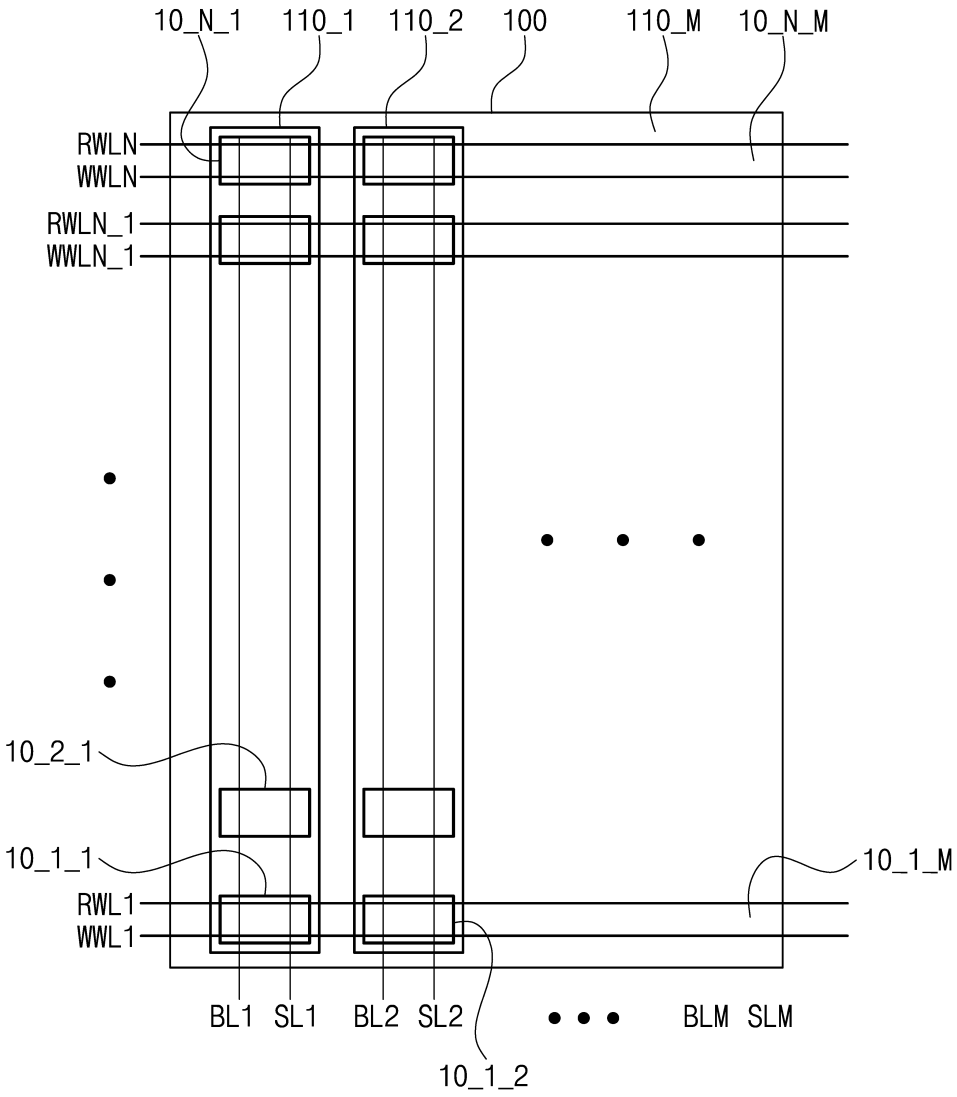
1000: 반도체 장치

도면

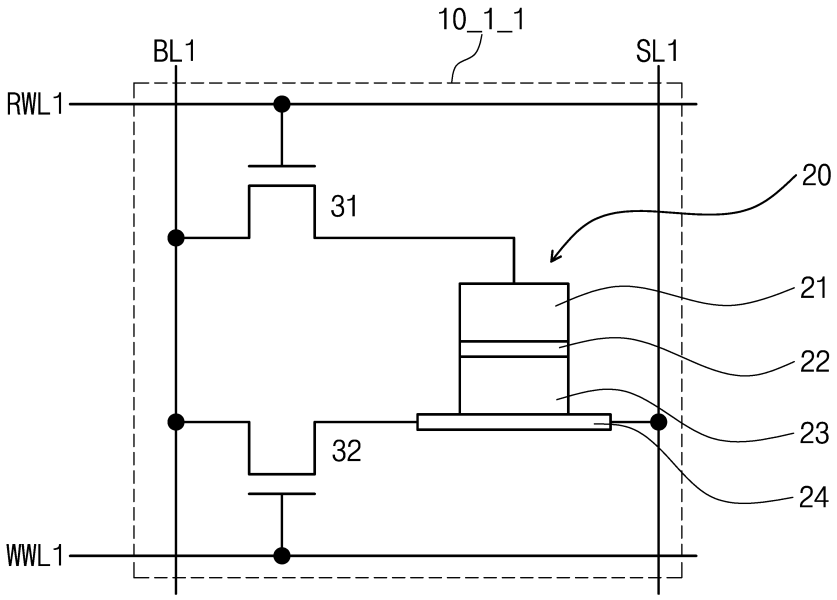
도면1


1000
100
200
Peripheral circuit
RWL1~RWLN
WWL1~WWLN
BL1~BLM
SL1~SLM
Memory
Cell
Array
Line
Dring
Unit
210
250
230
Power Supply Unit
270
Negative Voltage
Generation Unit
Switch
Unit
제1출력단
(PU)
제2출력단
(PD)
231
232

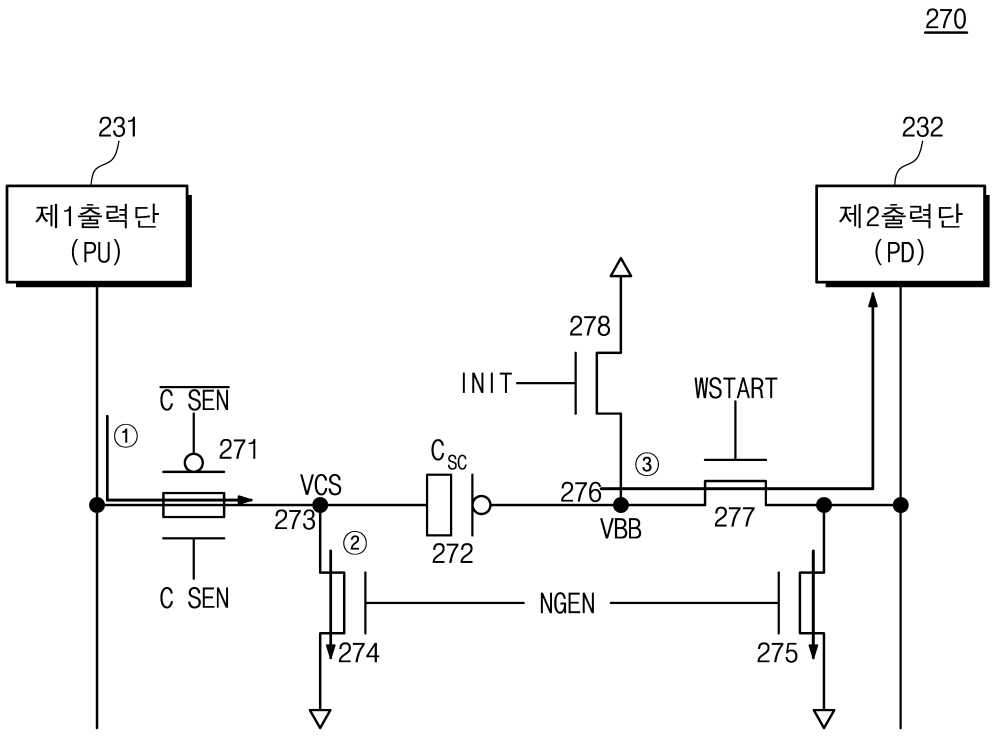
도면2


10_N_1
110_1
110_2
100
110_M
10_N_M
RWLN
WWLN
RWLN_1
WWLN_1
10_2_1
10_1_1
10_1_M
RWL1
WWL1
BL1
SL1
BL2
SL2
BLM
SLM
10_1_2

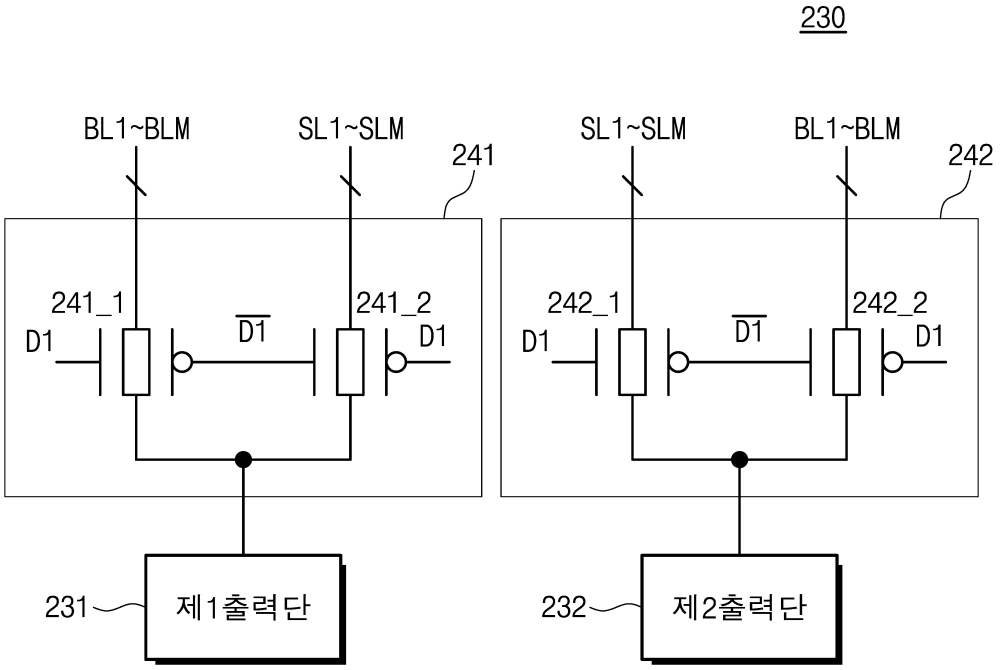
도면3


10_1_1
BL1
SL1
RWL1
31
20
21
22
23
24
32
WWL1

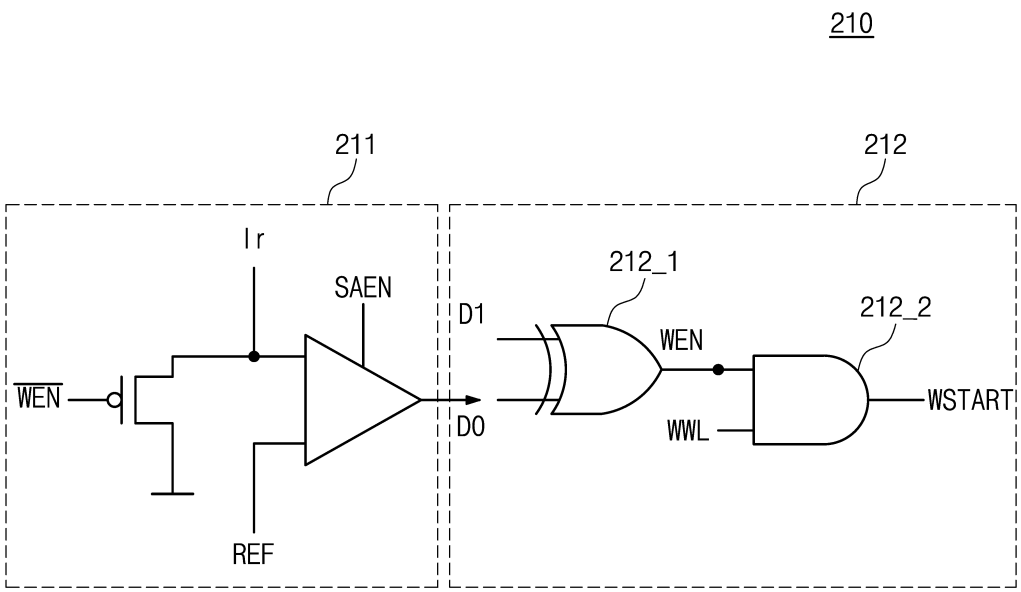
도면4


270
231
232
제1출력단
(PU)
제2출력단
(PD)
278
INIT
WSTART
C SEN
①
271
CSC
③
VCS
273
276
277
VBB
②
272
C SEN
NGEN
274
275

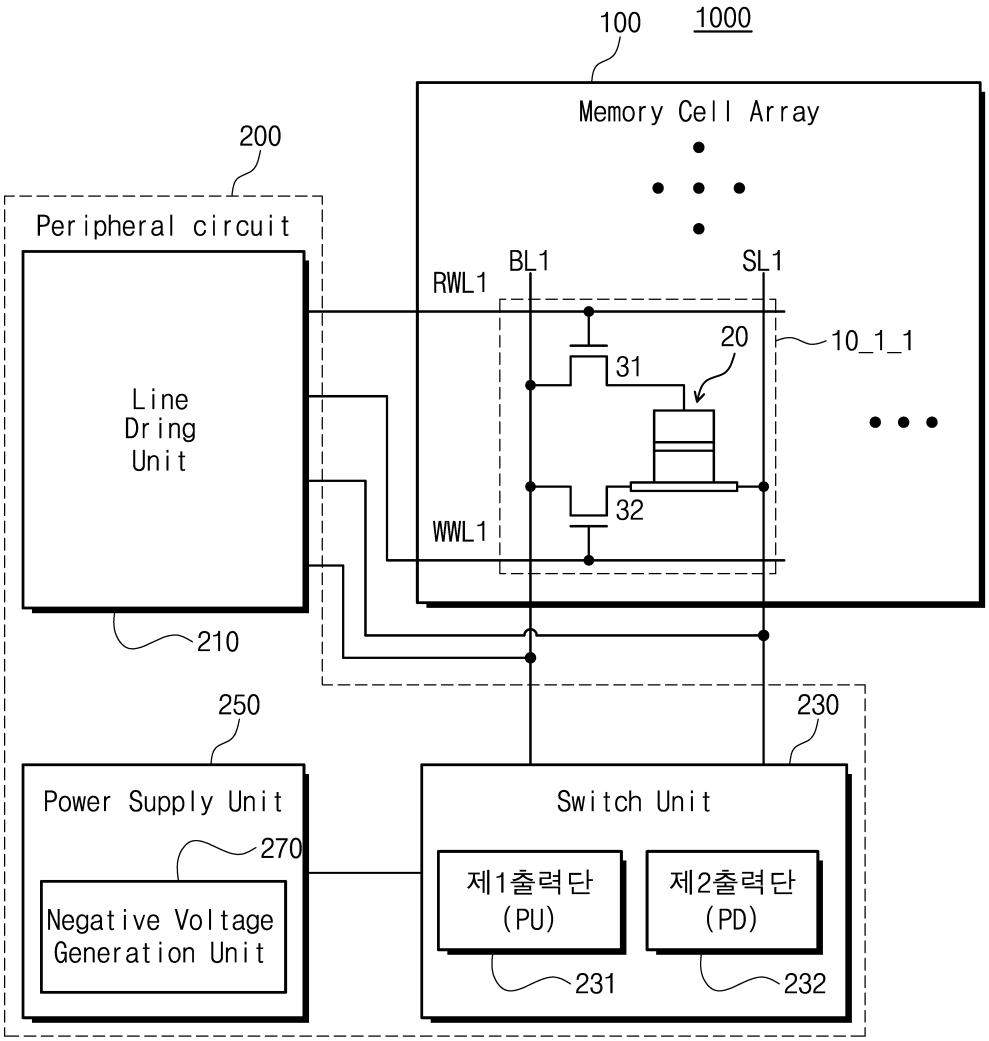
도면5


230
BL1~BLM
SL1~SLM
241
241_1
D1
D1
241_2
D1
231
제1출력단
SL1~SLM
BL1~BLM
242
242_1
D1
D1
242_2
D1
232
제2출력단

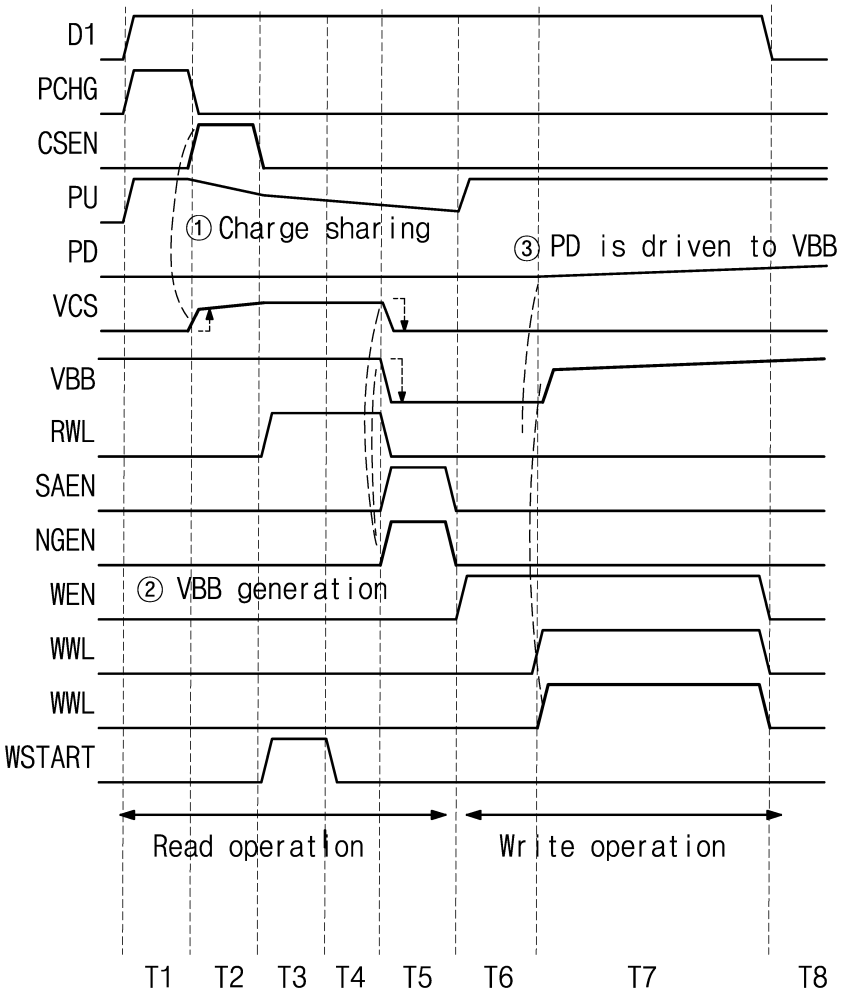
도면6


210
211
212
Ir
SAEN
WEN
REF
212_1
D1
WEN
212_2
DO
WWL
WSTART

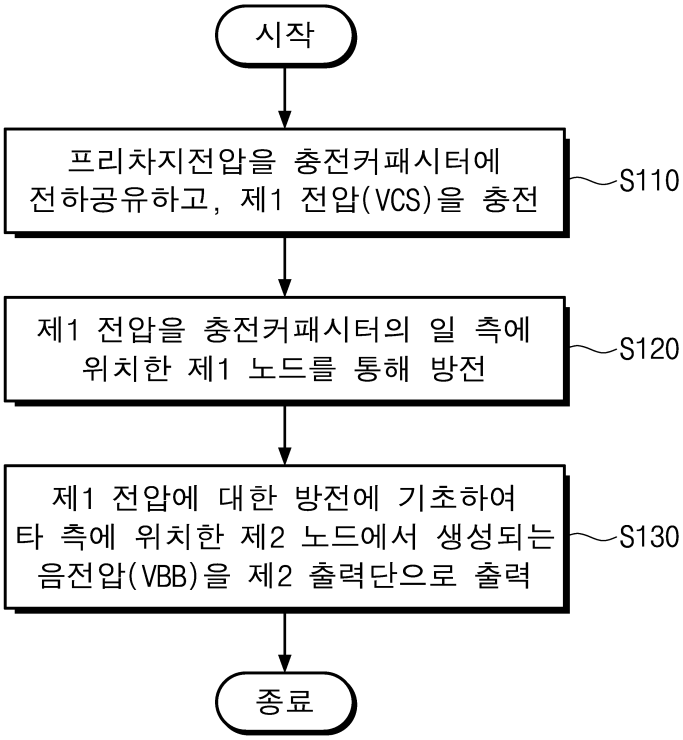
도면7


100
1000
Memory Cell Array
200
Peripheral circuit
Line
Dring
Unit
RWL1
BL1
SL1
20
10_1_1
31
32
WWL1
210
250
230
Power Supply Unit
270
Negative Voltage
Generation Unit
Switch Unit
제1출력단
(PU)
제2출력단
(PD)
231
232

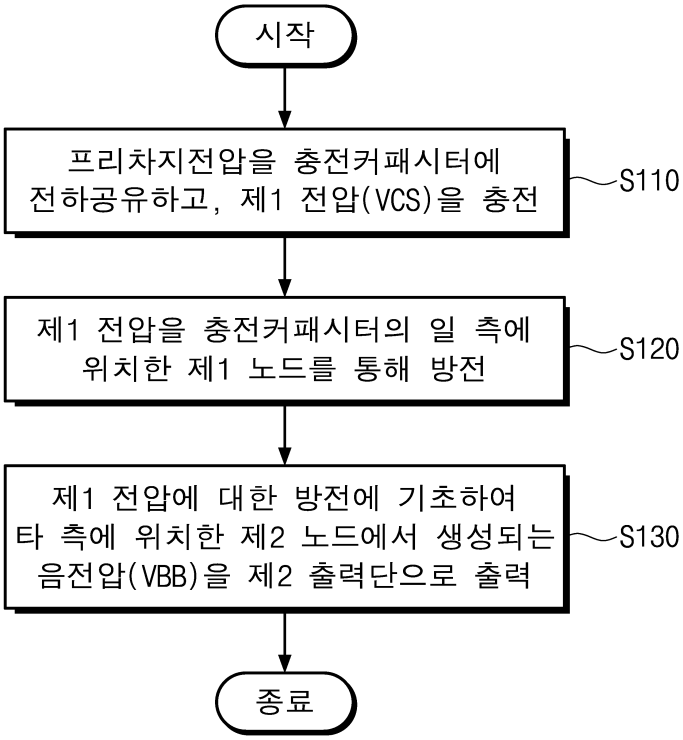
도면8


D1
PCHG
CSEN
PU
PD
VCS
VBB
RWL
SAEN
NGEN
WEN
WWL
WWL
WSTART
① Charge sharing
② VBB generation
③ PD is driven to VBB
Read operation
Write operation
T1
T2
T3
T4
T5
T6
T7
T8

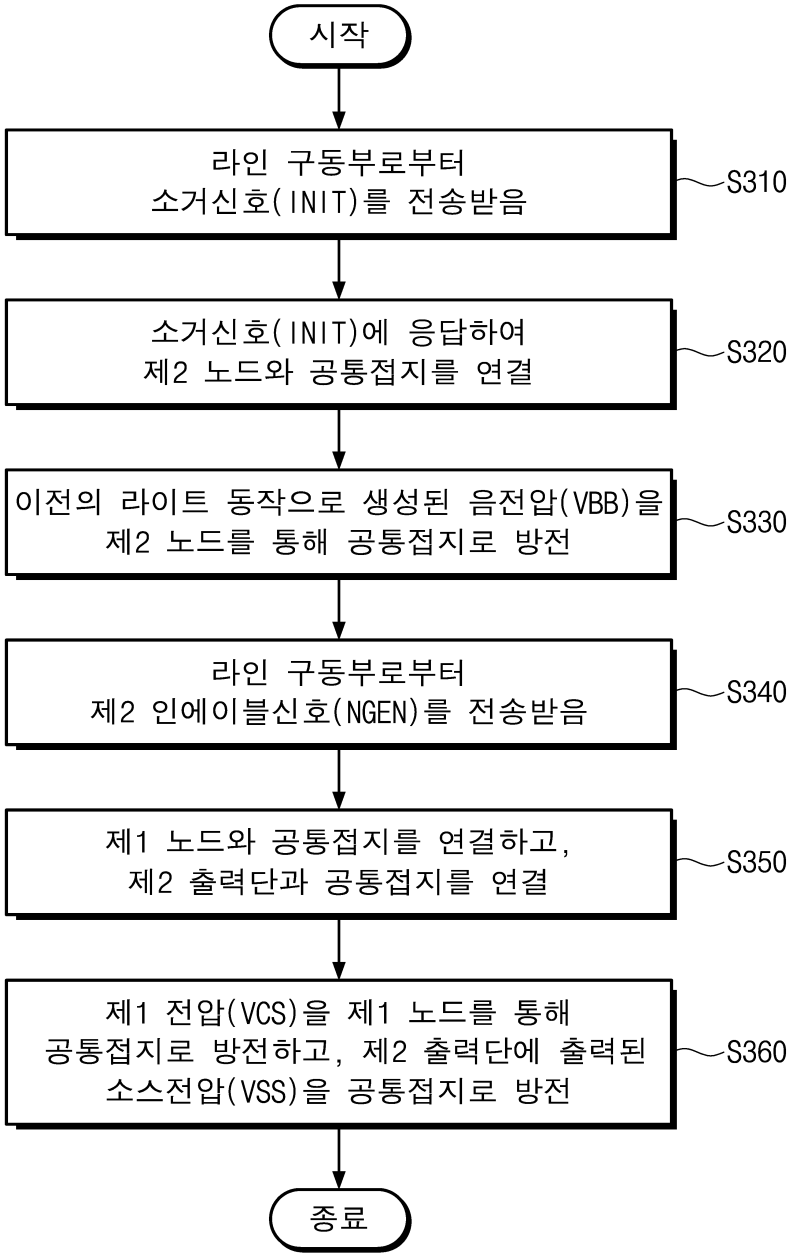
도면9


시작
프리차지전압을 충전커패시터에 전하공유하고, 제1 전압(VCS)을 충전
S110
제1 전압을 충전커패시터의 일 측에 위치한 제1 노드를 통해 방전
S120
제1 전압에 대한 방전에 기초하여 타 측에 위치한 제2 노드에서 생성되는 음전압(VBB)을 제2 출력단으로 출력
S130
종료

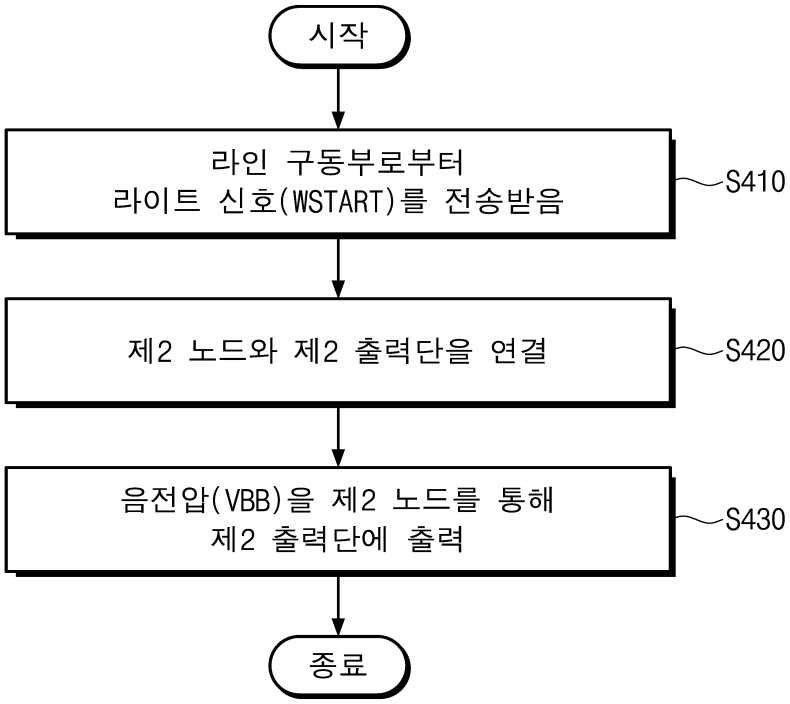
도면10


시작
프리차지전압을 충전커패시터에 전하공유하고, 제1 전압(VCS)을 충전
S110
제1 전압을 충전커패시터의 일 측에 위치한 제1 노드를 통해 방전
S120
제1 전압에 대한 방전에 기초하여 타 측에 위치한 제2 노드에서 생성되는 음전압(VBB)을 제2 출력단으로 출력
S130
종료

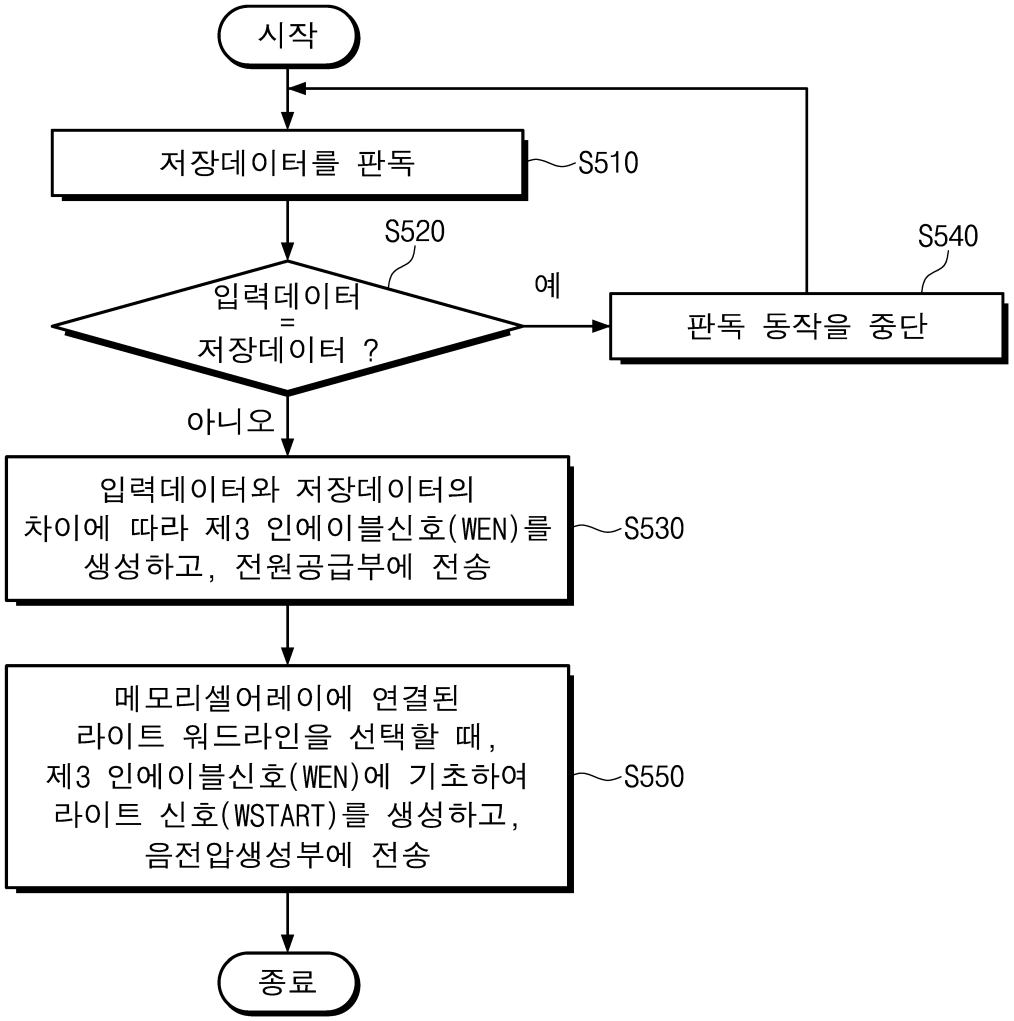
도면11


시작
라인 구동부로부터
소거신호(INIT)를 전송받음
S310
소거신호(INIT)에 응답하여
제2 노드와 공통접지를 연결
S320
이전의 라이트 동작으로 생성된 음전압(VBB)을
제2 노드를 통해 공통접지로 방전
S330
라인 구동부로부터
제2 인에이블신호(NGEN)를 전송받음
S340
제1 노드와 공통접지를 연결하고,
제2 출력단과 공통접지를 연결
S350
제1 전압(VCS)을 제1 노드를 통해
공통접지로 방전하고, 제2 출력단에 출력된
소스전압(VSS)을 공통접지로 방전
S360
종료

도면12


시작
라인 구동부로부터
라이트 신호(WSTART)를 전송받음
S410
제2 노드와 제2 출력단을 연결
S420
음전압(VBB)을 제2 노드를 통해
제2 출력단에 출력
S430
종료

도면13


시작
저장데이터를 판독
S510
S520
입력데이터 = 저장데이터 ?
예
S540
판독 동작을 중단
아니오
입력데이터와 저장데이터의 차이에 따라 제3 인에이블신호(WEN)를 생성하고, 전원공급부에 전송
S530
메모리셀어레이에 연결된 라이트 워드라인을 선택할 때, 제3 인에이블신호(WEN)에 기초하여 라이트 신호(WSTART)를 생성하고, 음전압생성부에 전송
S550
종료