

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年12月21日(2006.12.21)

【公開番号】特開2001-196500(P2001-196500A)

【公開日】平成13年7月19日(2001.7.19)

【出願番号】特願2000-2594(P2000-2594)

【国際特許分類】

H 01 L 23/12 (2006.01)

【F I】

H 01 L 23/12 301

【手続補正書】

【提出日】平成18年8月30日(2006.8.30)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】表裏導通スルーホールを有する誘電体基板を積層して形成したキャビティ内に半導体素子及び誘電体回路基板を搭載した半導体パッケージにおいて、上記キャビティを形成する複数の上記表裏導通スルーホールから上記キャビティに向かう方向に信号周波数の概略1/4伝送波長の間隔をもって、抵抗膜を形成した複数のスルーホールを配置したことを特徴とする半導体パッケージ。

【請求項2】表裏導通スルーホールを有する誘電体基板を積層して形成したキャビティ内に半導体素子及び誘電体回路基板を搭載した半導体パッケージにおいて、上記キャビティを形成する複数の上記表裏導通スルーホールから上記キャビティの周囲方向に信号周波数の概略1/4伝送波長の間隔をもって、抵抗膜を形成した複数のスルーホールを配置したことを特徴とする半導体パッケージ。

【請求項3】表裏導通スルーホールを有する誘電体基板を積層して形成したキャビティ内に半導体素子及び誘電体回路基板を搭載した半導体パッケージにおいて、上記キャビティを形成する複数の上記表裏導通スルーホールから上記キャビティに向かう方向及び上記キャビティの周囲方向に信号周波数の概略1/4伝送波長の間隔をもって、抵抗膜を形成した複数のスルーホールを配置したことを特徴とする半導体パッケージ。

【請求項4】表裏導通スルーホールを有する誘電体基板を積層して形成したキャビティ内に半導体素子及び誘電体回路基板を搭載した半導体パッケージにおいて、抵抗膜を形成した、長さの異なる複数のスルーホールを配置したことを特徴とする請求項1~3のいずれかに記載の半導体パッケージ。

【請求項5】表裏導通スルーホールを有する誘電体基板を積層して形成したキャビティ内に半導体素子及び誘電体回路基板を搭載した半導体パッケージにおいて、上記キャビティを形成する複数の上記表裏導通スルーホールから上記キャビティに向かう方向に信号周波数の概略1/4伝送波長の間隔をもって、キャビティ共振を抑制する抵抗体を配置したことを特徴とする半導体パッケージ。

【請求項6】表裏導通スルーホールを有する誘電体基板を積層して形成したキャビティ内に半導体素子及び誘電体回路基板を搭載した半導体パッケージにおいて、上記キャビティを形成する複数の上記表裏導通スルーホールから上記キャビティの周囲方向に信号周波数の概略1/4伝送波長の間隔をもって、キャビティ共振を抑制する抵抗体を配置したことを特徴とする半導体パッケージ。